



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0056090
(43) 공개일자 2019년05월24일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 21/324 (2017.01) H01L 21/768 (2006.01)</p> <p>(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02205 (2013.01)</p> <p>(21) 출원번호 10-2017-0153154
(22) 출원일자 2017년11월16일
심사청구일자 2017년11월16일</p> | <p>(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)</p> <p>(72) 발명자
이가원
대전광역시 유성구 배울2로 42, 503동 1603호 (관평동, 대덕테크노밸리5단지아파트)</p> <p>김유정
전라남도 광양시 광영로 141, 103동 406호(광영동, 현대아파트)
(뒷면에 계속)</p> <p>(74) 대리인
유미특허법인</p> |
|--|---|

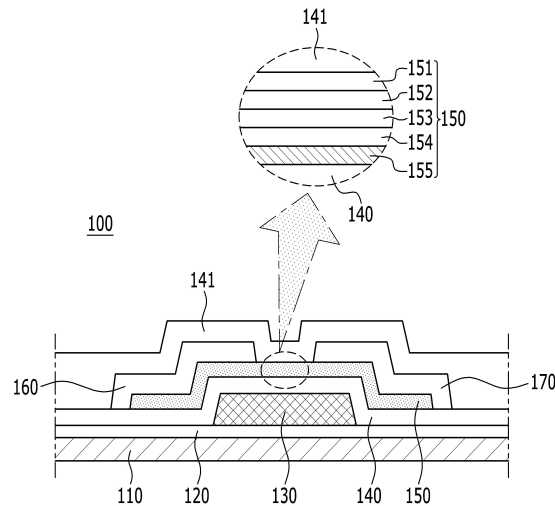
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 전기 전도성 제어를 위해 선택적 UV-O₃ 처리를 한 용액 공정 기반의 박막트랜지스터 및 그 제조방법

(57) 요약

본 발명의 한 실시예에 따른 전기 전도성 제어가 가능한 박막트랜지스터는, 베이스층 상에 위치하는 게이트 전극, 게이트 전극과 이격되어 있고, 적어도 일부가 게이트 전극과 중첩되는 금속 산화물층, 그리고 금속 산화물층 상에 위치하고, 일부가 금속 산화물층에 접촉되어 있는 소스 전극 및 드레인 전극을 포함하고, 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/0231 (2013.01)

H01L 21/324 (2013.01)

H01L 21/76862 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/78645 (2013.01)

(72) 발명자

정준교

충청북도 청주시 서원구 모충로145번길 5-6 (사직동)

박정현

대전광역시 동구 대전천동로 478, 101동 1306호(인동, 듀오빌아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017R1D1A1B03033601

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 이공분야기초연구-기본연구

연구과제명 다기능 웨어러블 전자 기기를 위한 금속산화물 소자 구조 및 채널 형성과 개질 공정 연구

기 여 율 1/1

주관기관 충남대학교 산학협력단

연구기간 2017.01.01~2018.02.28

명세서

청구범위

청구항 1

베이스층(base layer) 상에 위치하는 게이트 전극,

상기 게이트 전극과 이격되어 있고, 적어도 일부가 상기 게이트 전극과 중첩되는 금속 산화물층, 그리고

상기 금속 산화물층 상에 위치하고, 일부가 상기 금속 산화물층에 접촉되어 있는 소스 전극 및 드레인 전극을 포함하고,

상기 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 상기 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 2

제1항에서,

상기 금속 산화물층에서, 상기 둘 이상의 금속 산화물 박막 중 상기 게이트 전극에 가장 가깝게 위치하는 금속 산화물 박막이 UV-O₃ 처리되어 있는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 3

제2항에서,

상기 게이트 전극 상에 상기 금속 산화물층이 위치하고,

상기 둘 이상의 금속 산화물 박막 중 가장 하부에 위치하는 금속 산화물 박막만이 UV-O₃ 처리되어 있는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 4

제2항에서,

상기 게이트 전극이 상기 금속 산화물층 상에 위치하고,

상기 둘 이상의 금속 산화물 박막 중 가장 상부에 위치하는 금속 산화물 박막만이 UV-O₃ 처리되어 있는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 5

제1항에서,

상기 금속 산화물층은 셋 이상의 금속 산화물 박막을 포함하고, 상기 셋 이상의 금속 산화물 박막 중 둘 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 6

제1항에서,

상기 금속 산화물 박막에서, 상기 금속 산화물은 In_2O_3 , ZnO , IZO (indium zinc oxide), IGZO (indium gallium zinc oxide), ZTO (zinc tin oxide), 또는 ITO (indium tin oxide) 중 하나 이상을 포함하는 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 7

제1항에서,

상기 박막트랜지스터는 바텀 게이트(bottom gate type) 타입, 톱 게이트(top gate) 타입, 또는 듀얼 게이트(dual gate) 타입인 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 8

제1항에서,

상기 베이스층은 기판 또는 절연막인 전기 전도성 제어가 가능한 박막트랜지스터.

청구항 9

기판 상에 게이트 전극 및 게이트 절연막을 순차적으로 형성하는 단계,

상기 게이트 절연막 상에 금속 산화물층을 형성하는 단계, 그리고

상기 금속 산화물층 상에 소스 전극 및 드레인 전극을 형성하는 단계

를 포함하고,

상기 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 상기 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O_3 처리되어 있으며,

상기 금속 산화물층을 형성하는 단계에서,

상기 UV-O_3 처리된 금속 산화물 박막은, 금속 산화물 용액을 하부층 상에 도포하고 가열하여 용매를 제거한 이후, 산소 분위기에서 UV-O_3 처리를 수행한 후 열처리하여 형성되는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 10

제9항에서,

상기 금속 산화물층에서 상기 UV-O_3 처리된 금속 산화물 박막의 하부 또는 상부에 UV-O_3 가 미처리된 금속 산화물 박막이 하나 이상 위치하는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 11

제10항에서,

상기 하부층은 상기 게이트 절연막 또는 상기 UV-O_3 가 미처리된 금속 산화물 박막인 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 12

제9항에서,

상기 금속 산화물 용액은,

아연(zinc) 전구체, 갈륨(gallium) 전구체, 또는 인듐(indium) 전구체 중 하나 이상을 포함하는 금속 전구체와, 2-메톡시에탄올(2-methoxyethanol), 메탄올(methanol), 탈이온수(deionized water), 또는 이소프로필알코올(isopropylalcohol) 중 하나 이상을 포함하는 용매를 혼합하여 제조되는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 13

제12항에서,

상기 아연 전구체는 징크 클로라이드(Zinc chloride), 징크 아세테이트(Zinc acetate), 또는 징크 아세테이트 하이드레이트(Zinc acetate hydrate) 중 하나 이상을 포함하고,

상기 갈륨 전구체는 갈륨나이트레이트(Gallium nitrate), 갈륨 나이트레이트 하이드레이트(Gallium nitrate hydrate), 갈륨 아세테이트(Gallium acetate), 갈륨 아세테이트 하이드레이트(Gallium acetate hydrate), 또는 갈륨 알콕사이드(Gallium alkoxides) 중 하나 이상을 포함하며,

상기 인듐 전구체는 인듐 콜로라이드(Indium chloride), 인듐 아세테이트(Indium acetate), 인듐 아세테이트 하이드레이트(Indium acetate hydrate), 인듐 나이트레이트(Indium nitrate), 인듐 나이트레이트 하이드레이트(Indium nitrate hydrate), 또는 인듐 알콕사이드(Indium alkoxides) 중 하나 이상을 포함하는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 14

제9항에서,

상기 UV-O₃ 처리에서 사용되는 파장은 185 nm 또는 254 nm이고, 처리 시간은 10 분인 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 15

제9항에서,

상기 금속 산화물 용액의 도포는, 스핀 코팅(spin coating), 딥 코팅(dip coating), 잉크젯 프린팅(inkjet printing), 오프셋 프린팅(offset printing), 리버스 오프셋 프린팅(reverse offset printing), 그라비아 프린팅(gravure printing), 또는 롤 프린팅(roll printing) 중 하나의 용액 공정으로 이루어지는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 16

제9항에서,

상기 도포된 금속 산화물 용액에 대한 가열 온도는 90 ~ 110 °C인 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 17

제16항에서,

상기 열처리 온도는 250 ~ 350 °C인 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

청구항 18

기관 상에 금속 산화물층을 형성하는 단계,

상기 금속 산화물층 상에 제1 절연막, 게이트 전극, 제2 절연막을 순차적으로 형성하는 단계,

상기 제2 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계

를 포함하고,

상기 소스 전극과 상기 드레인 전극 각각은 상기 제1 절연막 및 상기 제2 절연막을 관통하는 컨택홀(contact hole)을 통해 상기 금속 산화물층에 접촉되고,

상기 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 상기 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있으며,

상기 금속 산화물층을 형성하는 단계에서,

상기 UV-O₃ 처리된 금속 산화물 박막은, 금속 산화물 용액을 하부층 상에 도포하고 가열하여 용매를 제거한 이후, 산소 분위기에서 UV-O₃ 처리를 수행한 후 열처리하여 형성되는 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 전기 전도성 제어를 위해 선택적 UV-O₃ 처리를 한 용액 공정 기반의 박막트랜지스터 및 그 제조방법이 제공된다.

배경 기술

[0002] 박막트랜지스터는 게이트 전극에 전압을 인가하여 소스와 드레인 사이에 흐르는 전류를 on-off 상태로 만들어 스위칭 동작을 한다. 빠른 스위칭 동작 구동을 위해서는 소스와 드레인 사이의 반도체의 역할이 중요하다.

[0003] 반도체 물질로서 저온 다결정 실리콘(LTPS), 비정질 실리콘(a-Si), 또는 산화물 등이 적용될 수 있다. 특히, 산화물 반도체는 저온에서 제작이 가능하며 기존의 실리콘 기반 반도체보다 이동도가 빠르고 균일도 측면에서 우수한 특성을 보이기 때문에 디스플레이의 스위칭 소자를 비롯한 다양한 전자소자에서 널리 사용되고 있다.

[0004] 그러나, 아직까지 상용화를 고려한 산화물 반도체 박막을 형성하는 방법으로 고가의 고진공 장비가 이용되고 있어 향후 생산성과 경제적인 측면에서 경쟁력을 가지기 위해서는 용액 공정과 같은 비교적 저가의 공정을 통해 우수한 소자 특성을 확보할 수 있는 연구가 필수적이다.

[0005] 한편, 산화물 반도체에 UV-O₃ 처리를 하게 되면, 산소 공공의 농도가 변화될 수 있고, 자유전자의 농도가 조절될 수 있으며, 이러한 특성을 활용하여 전기 전도성의 제어가 가능할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 한 실시예에 따른 박막트랜지스터의 전자 이동도를 제어하기 위한 것이다.

[0007] 본 발명의 한 실시예에 따른 박막트랜지스터 및 그 제조방법은 박막트랜지스터의 균일도 특성을 향상시키기 위한 것이다.

[0008] 본 발명의 한 실시예에 따른 박막트랜지스터 및 그 제조방법은 박막트랜지스터의 표면 처리 효율성을 증대시키기 위한 것이다.

[0009] 본 발명의 한 실시예에 따른 박막트랜지스터 및 그 제조방법은 생산성과 경제성을 증대시키기 위한 것이다.

[0010] 본 발명의 한 실시예에 따른 박막트랜지스터 및 그 제조방법은 박막트랜지스터의 이용률을 증대시키기 위한 것이다.

[0011] 상기 과제 이외에도 구체적으로 언급되지 않은 다른 과제를 달성하는데 본 발명에 따른 실시예가 사용될 수 있다.

과제의 해결 수단

[0012] 본 발명의 한 실시예에 따른 전기 전도성 제어가 가능한 박막트랜지스터는, 베이스층(base layer) 상에 위치하는 게이트 전극, 게이트 전극과 이격되어 있고, 적어도 일부가 상기 게이트 전극과 중첩되는 금속 산화물층, 그리고 금속 산화물층 상에 위치하고, 일부가 금속 산화물층에 접촉되어 있는 소스 전극 및 드레인 전극을 포함하고, 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있다.

[0013] 금속 산화물층에서, 둘 이상의 금속 산화물 박막 중 게이트 전극에 가장 가깝게 위치하는 금속 산화물 박막이 UV-O₃ 처리되어 있을 수 있다.

[0014] 게이트 전극 상에 금속 산화물층이 위치하고, 둘 이상의 금속 산화물 박막 중 가장 하부에 위치하는 금속 산화물 박막만이 UV-O₃ 처리되어 있을 수 있다.

[0015] 게이트 전극이 금속 산화물층 상에 위치하고, 둘 이상의 금속 산화물 박막 중 가장 상부에 위치하는 금속 산화물 박막만이 UV-O₃ 처리되어 있을 수 있다.

[0016] 금속 산화물층은 셋 이상의 금속 산화물 박막을 포함하고, 셋 이상의 금속 산화물 박막 중 둘 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있을 수 있다.

[0017] 금속 산화물 박막에서, 상기 금속 산화물은 In₂O₃, ZnO, IZO(indium zinc oxide), IGZO(indium gallium zinc oxide), ZTO(zinc tin oxide), 또는 ITO(indium tin oxide) 중 하나 이상을 포함할 수 있다.

[0018] 박막트랜지스터는 바텀 게이트(bottom gate type) 타입, 톱 게이트(top gate) 타입, 또는 듀얼 게이트(dual gate) 타입일 수 있다.

[0019] 베이스층은 기판 또는 절연막일 수 있다.

[0020] 본 발명의 한 실시예에 따른 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법은, 기판 상에 게이트 전극 및 게이트 절연막을 순차적으로 형성하는 단계, 게이트 절연막 상에 금속 산화물층을 형성하는 단계, 그리고 금속 산화물층 상에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있으며, 금속 산화물층을 형성하는 단계에서, UV-O₃ 처리된 금속 산화물 박막은, 금속 산화물 용액을 하부층 상에 도포하고 가열하여 용매를 제거한 이후, 산소 분위기에서 UV-O₃ 처리를 수행한 후 열처리하여 형성된다.

[0021] 금속 산화물층에서 UV-O₃ 처리된 금속 산화물 박막의 하부 또는 상부에 UV-O₃가 미처리된 금속 산화물 박막이 하나 이상 위치할 수 있다.

[0022] 하부층은 게이트 절연막 또는 UV-O₃가 미처리된 금속 산화물 박막일 수 있다.

[0023] 금속 산화물 용액은, 아연(zinc) 전구체, 갈륨(gallium) 전구체, 또는 인듐(indium) 전구체 중 하나 이상을 포함하는 금속 전구체와, 2-메톡시에탄올(2-methoxyethanol), 메탄올(methanol), 탈이온수(deionized water), 또는 이소프로필알코올(isopropylalcohol) 중 하나 이상을 포함하는 용매를 혼합하여 제조될 수 있다.

[0024] 아연 전구체는 징크 클로라이드(Zinc chloride), 징크 아세테이트(Zinc acetate), 또는 징크 아세테이트 하이드레이트(Zinc acetate hydrate) 중 하나 이상을 포함하고, 갈륨 전구체는 갈륨나이트레이트(Gallium nitrate), 갈륨 나이트레이트 하이드레이트(Gallium nitrate hydrate), 갈륨 아세테이트(Gallium acetate), 갈륨 아세테이트 하이드레이트(Gallium acetate hydrate), 또는 갈륨 알콕사이드(Gallium alkoxides) 중 하나 이상을 포함하며, 인듐 전구체는 인듐 콜로라이드(Indium chloride), 인듐 아세테이트(Indium acetate), 인듐 아세테이트 하이드레이트(Indium acetate hydrate), 인듐 나이트레이트(Indium nitrate), 인듐 나이트레이트 하이드레이트

(Indium nitrate hydrate), 또는 인듐 알콕사이드(Indium alkoxides) 중 하나 이상을 포함할 수 있다.

[0025] UV-O₃ 처리에서 사용되는 파장은 185 nm 또는 254 nm이고, 처리 시간은 10 분일 수 있다.

[0026] 금속 산화물 용액의 도포는, 스핀 코팅(spin coating), 딥 코팅(dip coating), 잉크젯 프린팅(inkjet printing), 오프셋 프린팅(offset printing), 리버스 오프셋 프린팅(reverse offset printing), 그라비어 프린팅(gravure printing), 또는 롤 프린팅(roll printing) 중 하나의 용액 공정으로 이루어질 수 있다.

[0027] 도포된 금속 산화물 용액에 대한 가열 온도는 90 ~ 110 °C일 수 있다.

[0028] 열처리 온도는 250 ~ 350 °C일 수 있다.

[0029] 본 발명의 한 실시예에 따른 전기 전도성 제어가 가능한 박막트랜지스터의 제조방법은, 기판 상에 금속 산화물 층을 형성하는 단계, 금속 산화물층 상에 제1 절연막, 게이트 전극, 제2 절연막을 순차적으로 형성하는 단계, 제2 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 소스 전극과 상기 드레인 전극 각각은 상기 제1 절연막 및 상기 제2 절연막을 관통하는 콘택홀(contact hole)을 통해 상기 금속 산화물층에 접촉되고, 금속 산화물층은 둘 이상의 금속 산화물 박막을 포함하고, 상기 둘 이상의 금속 산화물 박막 중 하나 이상의 금속 산화물 박막이 UV-O₃ 처리되어 있으며, 금속 산화물층을 형성하는 단계에서, UV-O₃ 처리된 금속 산화물 박막은, 금속 산화물 용액을 하부층 상에 도포하고 가열하여 용매를 제거한 이후, 산소 분위기에서 UV-O₃ 처리를 수행한 후 열처리하여 형성된다.

발명의 효과

[0030] 본 발명의 한 실시예에 따른 전기전도성 제어를 위해 선택적 UV-O₃ 처리를 한 용액 공정 기반의 박막트랜지스터 및 그 제조방법은 박막트랜지스터의 전자 이동도 및 균일도 특성을 향상시킬 수 있고, 박막트랜지스터의 표면 처리 효율성을 증대시킬 수 있으며, 용액 공정의 생산성과 경제성을 증대시킬 수 있으며, 박막트랜지스터의 산업적 이용률을 증대시키기 위한 것이다.

도면의 간단한 설명

[0031] 도 1은 실시예에 따른 bottom gate형 박막트랜지스터의 단면 구조를 나타내는 도면이다.

도 2는 실시예에 따른 top gate형 박막트랜지스터의 단면 구조를 나타내는 도면이다.

도 3a 내지 도 3d는 실시예에 따른 금속 산화물층의 예시들을 나타내는 도면들이다.

도 4a 내지 도 4g는 실시예에 따른 박막트랜지스터의 제조방법을 나타내는 도면들이다.

도 5a는 금속 산화물층의 두께가 40nm일 때의 SEM 이미지이다.

도 5b는 금속 산화물층의 두께가 90nm일 때의 SEM 이미지이다.

도 5c는 금속 산화물층의 두께가 120nm일 때의 SEM 이미지이다.

도 6은 실시예에 따른 박막트랜지스터의 금속 산화물 박막의 선택적 UV-O₃ 처리에 따른 전압-전류 특성을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0032] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다. 또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.

[0033] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바

로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- [0034] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0035] 도 1은 실시예에 따른 박막트랜지스터의 단면을 나타내는 도면이다. 이때, 도 1은 bottom gate형의 박막트랜지스터의 단면 구조를 나타낸다.
- [0036] 도 1을 참조하면, 실시예에 따른 bottom gate 박막트랜지스터(100)는, 게이트 전극(130), 하나 이상의 금속 산화물 박막(151, 152, 153, 154, 155)을 포함하는 금속 산화물층(150), 소스 전극(160), 드레인 전극(170)을 포함한다. 또한, 박막트랜지스터(100)는 기판(110), 버퍼층(120), 게이트 절연막(140), 보호층(141) 등을 더 포함할 수 있다.
- [0037] 도 1에서, 금속 산화물층(150)이 5개 층의 금속 산화물 박막(151~155)으로 이루어진 형태가 도시되었지만, 이는 예시에 불과하고, 금속 산화물층(150)은 다양한 개수의 층으로 이루어질 수 있다.
- [0038] 도 1을 참조하면, bottom gate 박막트랜지스터(100)는, 기판(110), 기판(110) 상에 위치하는 버퍼층(120), 버퍼층(120) 상에 위치하는 게이트 전극(130), 게이트 전극(130)을 덮는 게이트 절연막(140), 게이트 절연막(140) 상에 위치하고 게이트 전극(130)과 중첩되는 금속 산화물층(150), 금속 산화물층(150) 상에 위치하고 일부분이 금속 산화물층(150)에 접촉되어 있는 소스 전극(160) 및 드레인 전극(170), 소스 전극(160) 및 드레인 전극(170) 상에 위치하고 하부 구조들을 덮는 보호층(141)을 포함한다. 이때, 도면에는 표시되지 않았지만, 금속 산화물층(150)의 일부는 소스 전극(160)과 접촉되어 소스 영역을 형성하고, 금속 산화물층(150)의 다른 일부는 드레인 전극(170)과 접촉되어 드레인 영역을 형성하며, 금속 산화물층(150)에서 소스 영역과 드레인 영역 사이에 채널 영역이 위치할 수 있다. 소스 전극(160)과 드레인 전극(170)은 서로 이격되어 있으며, 금속 산화물층(150)의 채널 영역의 전도성에 따라 전기적으로 연결될 수도 있고, 전기적으로 분리될 수도 있다.
- [0039] 기판(110)은, 예를 들면, 유리 기판, 플라스틱 기판, 실리콘 기판, 게르마늄 기판 등을 포함할 수 있다.
- [0040] 추가적으로, 버퍼층(120)은 기판 상에 형성될 수 있으며, 기판(110)과 게이트 전극(130) 사이에 배치될 수 있다.
- [0041] 게이트 전극(130)은 기판(110) 상에 배치되고, 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 몰리브덴 텅스텐(MoW) 등의 금속 또는 전도성 폴리머를 포함할 수 있다.
- [0042] 게이트 절연막(140)은 게이트 전극(130)을 커버(cover)하면서 기판(110) 상에 배치된다. 이 때, 게이트 절연막(140)은 산화물, 질화물, 산질화물 등과 같은 절연 물질을 포함할 수 있다. 예를 들면, 게이트 절연막(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있다. 또한 게이트 절연막(140)은 단일층 또는 복수층으로 이루어질 수 있다.
- [0043] 금속 산화물층(150)은 게이트 절연막(140) 상에 배치되며, 게이트 전극(130)의 돌출된 부분의 형상을 따라 형성될 수 있다. 금속 산화물층(150)은 소스 전극(160)과 드레인 전극(170)을 전기적으로 연결하는 채널층으로 사용될 수 있다.
- [0044] 금속 산화물층(150)은 하나 이상의 금속 산화물 박막(151, 152, 153, 154, 155)을 포함할 수 있다. 도 1에서는 금속 산화물층(150)이 5개의 층으로 이루어진 경우만이 도시되었지만, 실시예들은 이에 제한되지 않고 다양한 개수의 층으로 이루어진 금속 산화물층(150)을 포함할 수 있다.
- [0045] 금속 산화물층(150)은 제1 금속 산화물 박막(151), 제2 금속 산화물 박막(152), 제3 금속 산화물 박막(153), 제4 금속 산화물 박막(154), 제5 금속 산화물 박막(155)을 포함하고, 도 1은 제5 금속 산화물 박막(155)에만 UV-O₃ 처리가 이루어진 경우를 나타낸다.
- [0046] 게이트 전극(130)과 가장 근접해 있는 제5 금속 산화물 박막(155)에 UV-O₃ 처리가 이루어져 산소 공공이 증가하고, 전기 전도성이 증가할 수 있다. 이는, UV-O₃ 처리는, 금속 산화물 박막(155)의 금속과 산소의 결합을 깨뜨릴 수 있고, 이로 인해 산소 공공의 양이 증가할 수 있다. 또한, 주변의 산소는 오존과 산소 라디칼로 화학적 변화를 일으킬 수 있으며, 생성된 불안정한 산소 라디칼은 금속 산화물 박막(155)의 산소와 결합되어 산소 공공의 양의 증가를 가속화시킬 수 있다. 반면, 제1 금속 산화물 박막(151) 내지 제4 금속 산화물 박막(154)은, UV-O₃

처리가 이루어지지 않아 상대적으로 전기 전도성이 낮을 수 있으나, 전체 금속산화물 박막(151~155)에 UV-O₃ 처리를 실시할 경우, 오프 커런트(off-current)가 증가하여 박막트랜지스터(100)의 성능이 저하될 수 있으므로, 선택적 UV-O₃ 처리를 통하여, 상황에 따라 전기적 특성이 조절 가능한 박막트랜지스터(100)를 제조할 수 있다.

[0047] 도 1에서는 금속 산화물층(150)에서 제5 금속 산화물 박막(155)에만 UV-O₃ 처리가 이루어진 경우를 나타냈지만, 실시예들은 이에 제한되지 않고, 둘 이상의 층에 UV-O₃ 처리가 이루어질 수 있다.

[0048] 소스 전극(160)은 금속 산화물층(150)의 일부를 덮고, 게이트 전극(130)과 일부 중첩될 수 있다(도면에서 세로 방향으로 중첩).

[0049] 드레인 전극(170)은 금속 산화물층(150)의 일부를 덮고, 게이트 전극(130)과 일부 중첩될 수 있다.

[0050] 소스 전극(160)과 드레인 전극(170)은 금속 산화물층(150) 상에서 서로 이격되어 있다(도면에서 가로 방향으로 이격됨). 예를 들어, 소스 전극(160)과 드레인 전극(170)은 서로 약 10 μm 정도 이격되어 있을 수 있다. 또한 소스 전극(160) 및 드레인 전극(170)의 두께는 각각 약 100 nm일 수 있으나 이에 제한되지 않는다. 소스 전극(160)과 드레인 전극(170)은, 알루미늄(Al) 계열의 금속, 은(Ag) 계열의 금속, 구리(Cu) 계열의 금속, 몰리브덴(Mo) 계열의 금속, 크롬(Cr), 티타늄(Ti) 또는 탄탈륨(Ta) 중 하나 이상의 금속을 포함할 수 있다.

[0051] 이어서, 보호층(141)은 소스 전극(160)과 드레인 전극(170), 소스 전극(160)과 드레인 전극(170)이 이격되어 있는 부분에 드러난 금속 산화물층(150) 및 게이트 절연막(140)을 덮고, 하부 구조를 보호하는 기능을 수행할 수 있다.

[0052] 박막트랜지스터(100)는 게이트 전극(130)에 전압이 인가되는 경우 On 상태가 될 수 있고, 금속 산화물층(150)이 소스 전극(160) 및 드레인 전극(170)을 전기적으로 연결시킬 수 있다. 이때, 금속 산화물층(150)에 포함된 금속 산화물 박막(151, 152, 153, 154, 155) 중 일부가 선택적으로 UV-O₃ 처리됨으로써 금속 산화물층(150)의 전기 전도성이 제어될 수 있다. UV-O₃ 처리가 이루어진 금속 산화물 박막(155)은 산소 공공의 증가로 인해 전기 전도성이 높아질 수 있고, UV-O₃ 처리가 이루어지지 않은 금속 산화물 박막(151, 152, 153, 154)은 상대적으로 전기 전도성이 낮을 수 있으므로, 이러한 특성을 활용하여 필요에 따라 금속 산화물층(150) 전체의 전기 전도성을 조절할 수 있다.

[0053] 도 2는 실시예에 따른 박막트랜지스터의 단면을 나타내는 도면이다. 이때, 도 2는 top gate형의 박막트랜지스터의 단면 구조를 나타낸다.

[0054] 이하에서, 도 1의 구성과 동일한 구성에 대해서는 재질이나 구조와 관련하여 상세한 설명이 생략될 수 있다.

[0055] 도 2를 참조하면, 실시예에 따른 top gate형 박막트랜지스터(200)는, 게이트 전극(230), 하나 이상의 금속 산화물 박막(251, 252, 253, 254, 255)을 포함하는 금속 산화물층(250), 소스 전극(260), 드레인 전극(270)을 포함한다. 또한, 박막트랜지스터(200)는 기판(210), 기판(210) 상에 위치하는 버퍼층(220), 제1 절연막(240), 제2 절연막(241) 등의 구성을 더 포함할 수 있다.

[0056] 금속 산화물층(250)은 기판(210) 상에 배치되며, 기판(210)과 금속 산화물층(250) 사이에 버퍼층(220)이 위치한다.

[0057] 금속 산화물층(250) 상에는 제1 절연막(240)이 위치하고, 제1 절연막(240) 상에는 게이트 전극(230)이 위치한다. 게이트 전극(230)은 금속 산화물층(250)과 중첩된다.

[0058] 이때, 금속 산화물층(250)은 한 개 이상의 금속 산화물 박막(251, 252, 253, 254, 255)을 포함할 수 있다.

[0059] 도 2에서, 금속 산화물층(250)이 5개 층의 금속 산화물 박막(251~255)으로 이루어진 형태가 도시되었지만, 이는 예시에 불과하고, 금속 산화물층(250)은 다양한 개수의 층으로 이루어질 수 있다. 또한 금속 산화물층(250) 중 제1 금속 산화물 박막(251)에만 UV-O₃ 처리가 이루어진 경우가 도시되었지만, 실시예들은 이에 제한되지 않고, 둘 이상의 층에 UV-O₃ 처리가 이루어질 수 있다.

[0060] 게이트 전극(230)과 가장 근접해 있는 제1 금속 산화물 박막(251)에 UV-O₃ 처리가 이루어져 산소 공공이 증가하고, 전기 전도성이 증가할 수 있다. 이는, UV-O₃ 처리는, 금속 산화물 박막(251)의 금속과 산소의 결합을 깨뜨릴 수 있고, 이로 인해 산소 공공의 양이 증가할 수 있다. 또한, 주변의 산소는 오존과 산소 라디칼로 화학적 변화

를 일으킬 수 있으며, 생성된 불안정한 산소 라디칼은 금속 산화물 박막(251)의 산소와 결합되어 산소 공공의 양의 증가를 가속화시킬 수 있다.

[0061] 반면, 제2 금속 산화물 박막(252) 내지 제5 금속 산화물 박막(255)은, UV-O₃ 처리가 이루어지지 않아 상대적으로 전기 전도성이 낮을 수 있으나, 전체 금속 산화물 박막(251~255)에 UV-O₃ 처리를 실시할 경우, 오프 커런트(off-current)가 증가하여 박막트랜지스터(100)의 성능이 저하될 수 있으므로, 선택적 UV-O₃ 처리를 통하여, 상황에 따라 전기적 특성이 조절 가능한 박막트랜지스터(200)를 제조할 수 있다.

[0062] 게이트 전극(230)과 제1 절연막(240) 상에는 제2 절연막(241)이 위치한다. 제1 절연막(240)과 제2 절연막(241)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있다

[0063] 소스 전극(260)과 드레인 전극(270)이 제2 절연막(241) 상에 위치할 수 있다. 소스 전극(260)과 드레인 전극(270) 각각은, 제1 절연막(240)과 제2 절연막(241)에 구비된 콘택홀을 통해서 일부가 금속 산화물층(250)에 접촉되어 있을 수 있다.

[0064] 도 3a 내지 3d는 금속 산화물층(150)에서 선택적으로 UV-O₃ 처리를 하는 실시예들을 나타내는 도면이다. 여기서, 금속 산화물층(150)은 다수의 금속 산화물 박막(151, 152, 153, 154, 155, 156, 157)으로 이루어질 수 있다.

[0065] 도 3a는 제5 금속 산화물 박막(155)에 UV-O₃ 처리를 실시한 금속 산화물층(150)의 단면을 나타내는 도면이다. 이러한 실시예는, 예를 들어, bottom gate형 박막트랜지스터에 적용될 수 있고, 게이트 전극(130)과 상대적으로 인접한 영역에만 UV-O₃ 처리가 이루어져, 제1 금속 산화물 박막(151) 내지 제4 금속 산화물 박막(154)에 비해, 제5 금속 산화물 박막(155)의 전기 전도성이 향상될 수 있다. 이는, UV-O₃ 처리를 통하여, 박막에 산소 공공의 양이 증가함에 기인한 것일 수 있다.

[0066] 도 3b는 제1 금속 산화물 박막(151)에 UV-O₃ 처리를 실시한 금속 산화물층(150)의 단면을 나타내는 도면이다. 이러한 실시예는, 예를 들어, top gate형 박막트랜지스터에 적용될 수 있으며, 게이트 전극과 인접한 금속 산화물 박막에 UV-O₃ 처리를 실시하여, 박막트랜지스터의 전기적 특성이 향상될 수 있다

[0067] 도 3c는 제1 금속 산화물 박막(151) 및 제5 금속 산화물 박막(155)에 UV-O₃ 처리를 실시한 금속 산화물층(150)의 단면을 나타내는 도면이다. 이러한 실시예는, 예를 들어, dual gate형 박막 트랜지스터에 적용될 수 있다.

[0068] 도 3d는 제1 금속 산화물 박막(151), 제3 금속 산화물 박막(153), 제5 금속 산화물 박막(155) 및 제7 금속 산화물 박막(157)에 UV-O₃ 처리를 실시한 금속 산화물층(150)의 단면을 나타내는 도면이다.

[0069] 이처럼, 필요에 따라 금속 산화물 박막(151~157)의 개수 및 UV-O₃ 처리 박막을 다양하게 변경하여 적용할 수 있다. 이때, UV-O₃ 처리는, 금속 산화물 박막(151~157)의 금속과 산소의 결합을 깨뜨릴 수 있고, 이로 인해 산소 공공의 양이 증가할 수 있다. 또한, 주변의 산소는 오존과 산소 라디칼로 화학적 변화를 일으킬 수 있으며, 생성된 불안정한 산소 라디칼은 금속 산화물층(150)의 산소와 결합되어 산소 공공의 증가를 가속화시킬 수 있다.

[0070] 도 4a 내지 도 4g는 실시예에 따른 bottom gate형 박막트랜지스터의 제조 방법을 나타낸다. 도면에서는 bottom gate형 박막트랜지스터의 제조방법만을 도시하였으나, top gate형 박막트랜지스터의 경우에도 동일한 공정으로 형성될 수 있다.

[0071] 도 4a에 도시된 바와 같이, 기판(110) 상에 버퍼층(120)이 형성될 수 있다. 버퍼층(120)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물일 수 있고, 증착 공정에 의해 형성될 수 있다. 증착 공정은, 예를 들어, 물리적 기상 증착(PVD), 화학적 기상 증착(CVD), 또는 원자층 증착(ALD) 등일 수 있으나, 이에 제한되지 않는다.

[0072] 도 4b를 참조하면, 버퍼층(120) 상에 게이트 전극(130)이 형성된다. 구체적으로, 버퍼층(120) 상에 구리 등의 금속 물질을 증착시킨 후, 식각 공정으로 패터닝(patterning)하여 게이트 전극(130)을 형성할 수 있다. 증착 공정은, 예를 들어, 물리적 기상 증착(PVD) 또는 화학적 기상 증착(CVD) 등일 수 있으나, 이에 제한되지 않는다.

[0073] 도 4c를 참조하면, 게이트 전극(130) 상에 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물일 수 있고, 증착 공정에 의해 형성될 수 있다. 증착 공정은, 예를 들어, 물리적 기상 증착(PVD), 화학적 기상 증착(CVD), 또는 원자층 증착(ALD) 등일 수 있다.

- [0074] 도 4d 및 도 4e를 참조하면, 게이트 절연막(140) 상에 금속 산화물층(150)이 형성된다.
- [0075] 금속 산화물층(150)의 제조 방법은, 금속 산화물 용액을 제조하는 단계, 게이트 절연막(140) 상에 금속 산화물 용액을 도포하는 단계, 가열하여 용매를 제거하는 단계, UV-O₃를 처리하는 단계, 열처리하는 단계, 그리고 금속 산화물 용액을 도포하고 가열하여 용매를 제거하는 과정을 반복하여 금속 산화물 박막(151~155)을 추가 형성하는 단계를 포함한다.
- [0076] 도면에서는 가장 하부의 제5 금속 산화물 박막(155)에만 UV-O₃ 처리가 이루어지고, 제5 금속 산화물 박막(155) 상에는 네 개의 UV-O₃ 처리가 이루어지지 않은 금속 산화물 박막들(151, 152, 153, 154)이 형성되는 형태만이 도시되었지만, 실시예들은 다양한 개수의 금속 산화물 박막을 포함할 수 있고, UV-O₃ 처리가 이루어진 층도 다양할 수 있다.
- [0077] 우선, 금속 산화물 용액을 제조하는 단계가 수행된다.
- [0078] 예를 들어, 금속 산화물 박막용 금속 전구체들을 용매에 용해시킨 후, 약 70 °C에서 약 3시간 동안 스티어링(stirring)하여 금속 산화물 용액을 제조할 수 있다. 이 때, 이 전구체 용액 내에 질산(HNO₃) 첨가제를 더 추가할 수 있다.
- [0079] 금속 산화물 용액이 제조되는 과정에서, 금속과 산소가 부분적인 결합(Metal-Oxygen, M-O)을 형성하여, 금속 산화물을 형성할 수 있다.
- [0080] 전구체는, 예를 들어, 아연전구체인 징크 클로라이드(Zinc chloride), 징크 아세테이트(Zinc acetate), 징크 아세테이트 하이드레이트(Zinc acetate hydrate), 징크 나이트레이트(Zinc nitrate), 징크 나이트레이트 하이드레이트(Zinc nitrate hydrate), 징크 알콕사이드(Zinc alkoxides), 갈륨 전구체인 갈륨나이트레이트(Gallium nitrate), 갈륨 나이트레이트 하이드레이트(Gallium nitrate hydrate), 갈륨 아세테이트(Gallium acetate), 갈륨 아세테이트 하이드레이트(Gallium acetate hydrate), 갈륨 알콕사이드(Gallium alkoxides), 인듐 전구체인, 인듐 클로라이드(Indium chloride), 인듐 아세테이트(Indium acetate), 인듐 아세테이트 하이드레이트(Indium acetate hydrate), 인듐 나이트레이트(Indium nitrate), 인듐 나이트레이트 하이드레이트(Indium nitrate hydrate), 인듐 알콕사이드(Indium alkoxides) 중 하나 이상을 포함할 수 있다. 이 외에도 주석 전구체나 알루미늄 전구체 등을 활용할 수 있다.
- [0081] 금속 산화물 용액의 용매는, 예를 들어, 2-메톡시에탄올(2-methoxyethanol), 메탄올(methanol), 탈이온수(deionized water), 또는 이소프로필알코올(isopropylalcohol) 중 하나 이상일 수 있다.
- [0082] 다음으로, 게이트 절연막(140) 상에 금속 산화물 용액을 도포하는 단계가 수행된다.
- [0083] 금속 산화물 용액은 용액 공정에 의해 도포될 수 있다. 용액 공정은, 예를 들어, 스핀 코팅(spin coating), 딥 코팅(dip coating), 잉크젯 프린팅(inkjet printing), 오프셋 프린팅(offset printing), 리버스 오프셋 프린팅(reverse offset printing), 그라비아 프린팅(gravure printing), 또는 롤 프린팅(roll printing) 중 하나일 수 있다. 이외에도, 진공 프로세스 공정을 이용할 수도 있다.
- [0084] 이어서, 도포된 금속 산화물 용액을 가열하여 용매를 제거하여 제5 금속 산화물 박막(155)을 형성하는 단계가 수행된다. 이 때, 가열 온도는 약 90 ~ 110 °C일 수 있다.
- [0085] 이어서, UV-O₃를 처리하는 단계가 수행된다. 사용되는 UV-O₃의 파장은 185nm, 254nm일 수 있으며, UV-O₃ 처리 시간은 약 10분일 수 있다. 이 때, UV-O₃ 처리로 인하여, 금속 산화물 박막, 예를 들어, 제5 금속 산화물 박막(155)의 금속과 산소의 결합을 깨뜨릴 수 있으며, 주변의 산소는 오존과 산소 라디칼로 화학적 변화를 일으킬 수 있다. 생성된 불안정한 산소 라디칼은 금속 산화물 박막(155)의 산소와 결합될 수 있다. UV-O₃ 처리시, 형성된 금속 산화물 박막(155) 한 층의 두께는 약 10nm일 수 있으며, 금속 산화물 박막(155) 내에 산소 공공의 양이 증가할 수 있다.
- [0086] 다음으로, 열처리 단계가 수행된다. 열처리 온도는 약 250 ~ 350 °C일 수 있다. 이러한 범위의 온도로 열처리 공정에 수행되어 제5 금속 산화물 박막(155)이 안정화될 수 있다.
- [0087] 마지막으로, 앞의 과정을 반복하여 금속 산화물 박막, 예를 들어, 제1 금속 산화물 박막(151) 내지 제4 금속 산화물 박막(154)을 추가적으로 형성하는 단계가 수행된다. 이 단계를 통하여, 금속 산화물층(150)의 두께를 설계

또는 상황에 따라 자유롭게 조절할 수 있다.

[0088] 도 4f를 참조하면, 금속 산화물층(150) 상에 소스 전극(160) 및 드레인 전극(170)이 형성된다. 소스 전극(160)과 드레인 전극(170)은 서로 이격되어 있으며, 금속 산화물층(150)의 채널 영역의 전도성에 따라 전기적으로 연결될 수도 있고, 전기적으로 분리될 수도 있다.

[0089] 소스 전극(160) 및 드레인 전극(170)은, 물리적 기상 증착(PVD), 화학적 기상 증착(CVD) 등의 공정으로 증착이 이루어진 후, 식각 공정을 통해 패터닝되어 형성될 수 있다.

[0090] 도 4g를 참조하면, 소스 전극(160) 및 드레인 전극(170) 상에 위치하고 하부 구조들을 덮는 보호층(141)이 위치한 단면을 나타낸다.

[0091] 보호층(141)은 예를 들어, 실리콘 산화물 또는 실리콘 질화물일 수 있고, 증착 공정에 의해 형성될 수 있다. 증착 공정은, 예를 들어, 물리적 기상 증착(PVD), 화학적 기상 증착(CVD), 또는 원자층 증착(ALD) 등일 수 있다.

[0092] 정리하면, 선택적인 UV-O₃ 처리를 통하여 금속 산화물층(150)을 제조하는 경우, 필요에 따라 박막트랜지스터(100, 200)의 전기 전도성을 제어할 수 있다.

[0093] 실시예에 따른 박막트랜지스터는, 금속 산화물층(150)의 선택적인 UV-O₃ 처리를 통하여 금속 산화물 박막(151~155) 내 원하는 위치에서 산소 공공의 농도를 조절 할 수 있으며, 문턱전압, 전계 이동도, sub-threshold slope을 포함하는 전기적 특성을 제어할 수 있어, 설계에 따라 다양한 변경이 가능할 수 있다. 또한, 용액 공정을 기반으로 한 금속 산화물층(150)을 포함하는 박막트랜지스터는 간단한 공정 단계 및 저비용으로 제조가 가능하며, 상온에서 공정이 진행되므로, 금속 산화물 박막(151~155)의 표면에 UV-O₃과 같은 표면 처리 및 기타 공정을 수행하기에 용이하여 각종 산업에 적용이 가능할 수 있다.

[0094] 이하에서는, 실시예를 들어 본 발명에 대해서 더욱 상세하게 설명할 것이나, 하기의 실시예는 본 발명의 실시예일뿐, 본 발명이 하기 실시예에 한정되는 것은 아니다.

[0095] 실시예들에서, UV-O₃ 처리는, 산소가 존재하는 조건 하에서 실시되며 오존의 발생으로 인하여 금속 산화물 박막(151~157)에 미치는 영향을 고려한다.

[0096] 실시예 1- 금속 산화물층의 제조

[0097] 클리닝한 Si 기판 위에 버퍼층이 형성된 기판을 준비한다. Indium Zinc Oxide(IZO) 박막용 금속 전구체를 2-메톡시에탄올에 용해시킨 용액에 질산(HNO₃) 첨가제를 넣어 혼합한다. 이 전구체 용액을 약 70℃에서 약 3시간동안 스티어링(stirring)한다. 제조된 용액은 준비한 Si 기판 위에 코팅한다. 코팅을 약 4번 반복하여 40nm~50nm 두께를 가진 IZO 박막을 형성하고, UV-O₃ 처리를 실시한다. 그 후, 약 300 ℃에서 열처리를 진행한다.

[0098] 실시예 2- 금속 산화물층의 제조

[0099] 클리닝한 Si 기판 위에 버퍼층이 형성된 기판을 준비한다. Indium Zinc Oxide(IZO) 박막용 금속 전구체를 2-메톡시에탄올에 용해시킨 용액에 질산(HNO₃) 첨가제를 넣어 혼합한다. 이 전구체 용액을 약 70℃에서 약 3시간동안 스티어링(stirring)한다. 제조된 용액은 준비한 Si 기판 위에 코팅한다. 코팅을 9번 반복하여 약 90nm 두께를 가진 IZO 박막을 형성하고, 그 후, 열처리를 진행한다.

[0100] 실시예 3- 금속 산화물층의 제조

[0101] 클리닝한 Si 기판 위에 버퍼층이 형성된 기판을 준비한다. Indium Zinc Oxide(IZO) 박막용 금속 전구체를 2-메톡시에탄올에 용해시킨 용액에 질산(HNO₃) 첨가제를 넣어 혼합한다. 이 전구체 용액을 약 70℃에서 약 3시간동안 스티어링(stirring)한다. 제조된 용액은 준비한 Si 기판 위에 코팅한다. 코팅을 12번 반복하여 약 120nm 두께를 가진 IZO 박막을 형성하고, 그 후, 열처리를 진행한다.

[0102] 실험예 1- SEM 분석

[0103] 실시예 1 내지 3에 따른 금속 산화물층을 준비하고, 이들의 SEM 분석을 실시하여 도 5a 내지 도 5c에 나타내었다.

[0104] 도 5a 내지 도 5c를 참조하면, 코팅 횟수가 증가할수록 박막의 두께가 증가하는 것을 확인할 수 있다.

[0105] **실험예 1- XPS 분석**

[0106] 실시예 1 내지 3에 따른 금속 산화물층을 준비하고, 이의 XPS 분석을 수행하여 그 값을 표 1에 정리하였다.

[0107] 표 1은 금속 산화물층의 두께 별 UV-O₃을 처리한 후, 각각의 XPS O1s 피크를 측정하여 분석한 값을 정리한 표이다.

[0108] 세로축은 금속 산화물층의 두께(50nm, 90nm, 120nm)를 나타내고, 가로축은 금속 산화물층의 UV-O₃ 처리 전(Base)와 UV-O₃ 처리 후(UV-O₃)를 나타낸다.

표 1

3-Pick	Base (V ₀ /total)	UV-O ₃ (V ₀ /total)
a (50nm)	38.2	44.2
b (90nm)	41.4	37.6
c (120nm)	41.7	39.5

[0110] 표 1을 참조하면, 금속 산화물층의 두께가 약 50nm 정도로 얇을 경우, UV-O₃ 처리 후의 산소 공공의 양이, UV-O₃ 처리를 하지 않았을 때 38.2인 것에 비하여, 44.2로 약 6% 정도 증가하는 것을 알 수 있다.

[0111] 반면, 금속 산화물층이 약 90nm 이상의 두께에서는 UV-O₃ 처리 후에 산소 공공의 양이, 41.4에서 37.6으로 약 4% 감소함을 확인할 수 있다. 또한, 약 120nm 이상의 두께에서는, UV-O₃ 처리 후 산소 공공의 양이, 41.7에서 39.5로 약 2% 정도 감소함을 확인할 수 있다.

[0112] 이는, 금속 산화물층의 두께가 어느 정도 얇으면, 예를 들어, 50nm ~ 90nm일 경우, UV-O₃ 에너지로 인하여, 금속 산화물층을 이루고 있는 상당량의 메탈과 산소의 결합이 깨지면서 산소 공공이 형성되고, 주로 표면에 영향을 주게 되는 산소 라디칼에 의해 산소 공공의 증가가 가속화되어 후 열처리 시 재결합으로 완벽하게 복원이 어려워져 산소 공공의 증가를 뚜렷하게 확인할 수 있다. 그에 따라, on-current가 증가하고 off-current가 낮아져서, 전기 전도성이 향상되고, 박막트랜지스터의 성능이 좋아지는 것으로 유추할 수 있다.

[0113] 한편, 금속 산화물층(150)이 50nm 이하일 경우, 산소 공공의 양이 부족하여 전도성이 작아져 박막트랜지스터의 성능이 감소하고, 금속 산화물층의 두께가 충분히 두꺼울 경우, 예를 들어, 90nm 이상의 두께에서는, 산소 라디칼에 의한 표면의 산소 공공 증가 현상은 나타나지만, 표면을 제외한 Bulk 영역에서는 후 열처리 시 메탈과 산소의 재배열과 재결합이 더 우세하게 일어나기 때문에 off-current가 높아지고, 오히려 더 조밀한 박막이 형성되어 박막 트랜지스터의 성능이 감소하게 됨을 유추할 수 있다.

[0114] 따라서, 금속 산화물층에 선택적으로 UV-O₃ 처리를 하는 것이 효율적일 수 있으며, 이에 제한되지 않고, 상황 및 필요에 따라 UV-O₃ 처리를 실시함으로써 원하는 금속 산화물층에 산소 공공의 농도를 조절하여 다양하게 쓰일 수 있다

[0115] **비교예 1- UV-O₃ 처리 하지 않은 금속 산화물층의 제조**

[0116] 클리닝한 Si 기판 위에 절연막이 형성된 기판을 준비한다. Indium Zinc Oxide(IZO) 박막용 금속전구체를 2-메톡시에탄올에 용해시킨 용액에 질산(HNO₃) 첨가제를 넣어 혼합한다. 이 전구체 용액을 약 70℃에서 약 3시간동안 스티어링(stirring)한다. 제조된 용액은 준비한 Si 기판 위에 코팅한다. 그 후, 열처리를 진행하여, UV-O₃ 처리를 하지 않은 금속 산화물층을 얻는다.

[0117] **실험예 2- 박막트랜지스터의 전압-전류 특성**

[0118] 실시예 2에 따른 금속 산화물층과 비교예 1에 따른 금속 산화물층을 준비하고, 이들의 전류-전압 특성 분석을

수행하였으며, 이를 도 6 및 표 2에 도시하였다. 여기서, 실시예 2에 따른 금속 산화물층은, 90nm의 두께를 가지며, 기판 상에 처음 증착된 금속 산화물층인 첫 번째 층(1st layer)에 UV-O₃ 처리를 한 금속 산화물층 및 기판 상에 마지막으로 증착된 마지막 층(Last layer)에 UV-O₃ 처리를 한 금속 산화물층을 각각 준비하였다. 또한, 비교예 1에 따른 금속 산화물층(Base)의 두께도 90nm로 준비하였다.

[0119] 도 6은 비교예 1에 따른 금속 산화물층과 실시예 2에 따른 첫 번째 층에 UV-O₃ 처리한 금속 산화물층 및 실시예 2에 따른 마지막 층에 UV-O₃ 처리를 한 금속 산화물층 각각의 전류-전압 특성을 비교한 그래프이다. 도 6의 세로축은 드레인 전극의 전류 값(Drain current, I_D)을 나타내고, 가로축은 게이트 전극의 전압 값(Gate Voltage, V_G)을 나타낸다.

[0120] 표 2는 도 6의 전류-전압 특성 측정 결과로부터 얻어진 포화영역에서의 on/off ratio, 문턱전압 및 전자 이동도 값을 정리한 표이다.

표 2

Type	I _{on/off} ratio	V _{th}	μFE
Non-treatment	1.54E+3	7.46	0.014
1st layer	2.86E+3	4.03	0.12
Last layer	4.37E+2	8.37	0.002

[0122] 도 6 및 표 2를 참조하면, 1st layer 금속 산화물층은, Base 금속 산화물층에 비하여, 소자의 전자 이동도가 증가하고 문턱 전압이 감소한 것을 확인할 수 있다. 이는, 금속 산화물 박막의 경우 산소 공공이 증가할 경우 기증자 역할을 하여 캐리어가 증가함에 기인하는 것일 수 있다.

[0123] Last layer 금속 산화물층은, Base 금속 산화물층에 비하여, 문턱전압은 높아지고, 전자 이동도는 감소한 것을 확인할 수 있다.

[0124] 이는, UV-O₃ 처리에서, UV 에너지는 인듐과 산소, 아연과 산소의 결합을 깨뜨릴 수 있으며 산소가 포함된 분위기에서는 오존과 불안정한 산소 라디칼을 형성할 수 있다. 따라서, 박막의 표면에서는 산소 공공의 양이 증가하나, 이후에 열처리를 하는 경우, 메탈과 산소의 재배열과 재결합 반응이 우세해지기 때문에, 금속 산화물 박막이 조밀해짐을 유추할 수 있다.

[0125] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

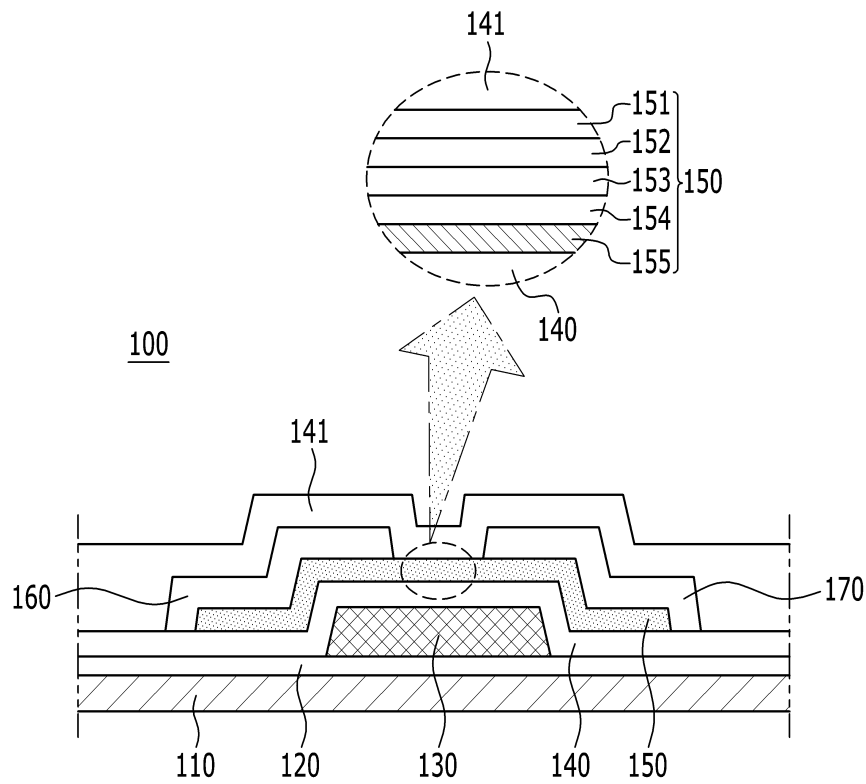
부호의 설명

- [0126] 100: bottom gate 박막트랜지스터
 110: 기판
 120: 버퍼층
 130: 게이트 전극
 140: 게이트 절연막
 141: 보호층
 150: 금속 산화물층
 151: 제1 금속 산화물 박막
 152: 제2 금속 산화물 박막
 153: 제3 금속 산화물 박막

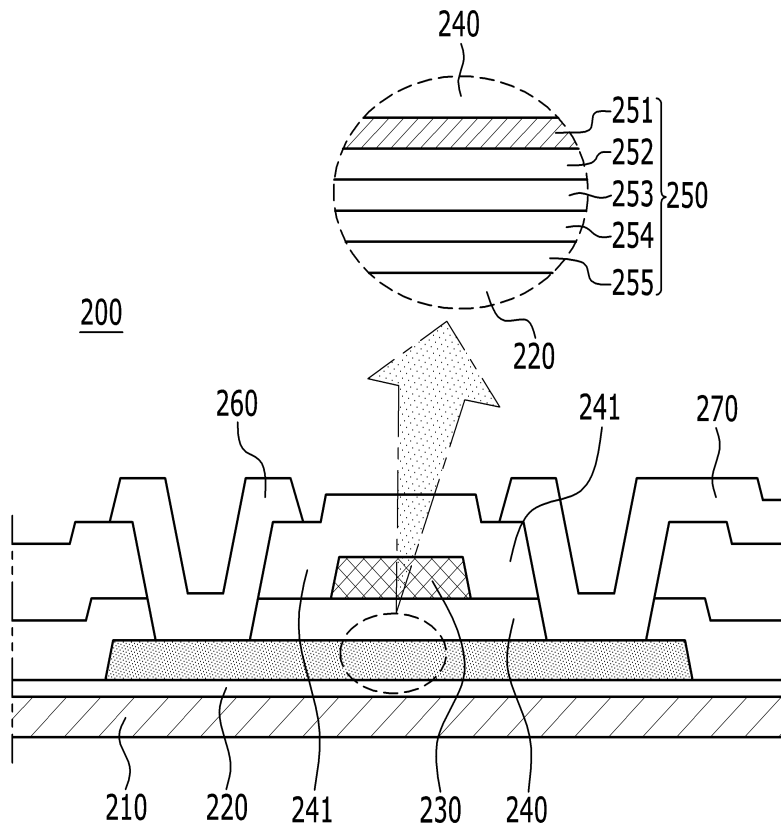
- 154: 제4 금속 산화물 박막
- 155: 제5 금속 산화물 박막
- 156: 제6 금속 산화물 박막
- 157: 제7 금속 산화물 박막
- 160: 소스 전극
- 170: 드레인 전극
- 200: top gate형 박막트랜지스터
- 210: 기판
- 220: 버퍼층
- 230: 게이트 전극
- 240: 제1 절연막
- 241: 제2 절연막
- 250: 금속 산화물층
- 251: 제1 금속 산화물 박막
- 252: 제2 금속 산화물 박막
- 253: 제3 금속 산화물 박막
- 254: 제4 금속 산화물 박막
- 255: 제5 금속 산화물 박막
- 260: 소스 전극
- 270: 드레인 전극

도면

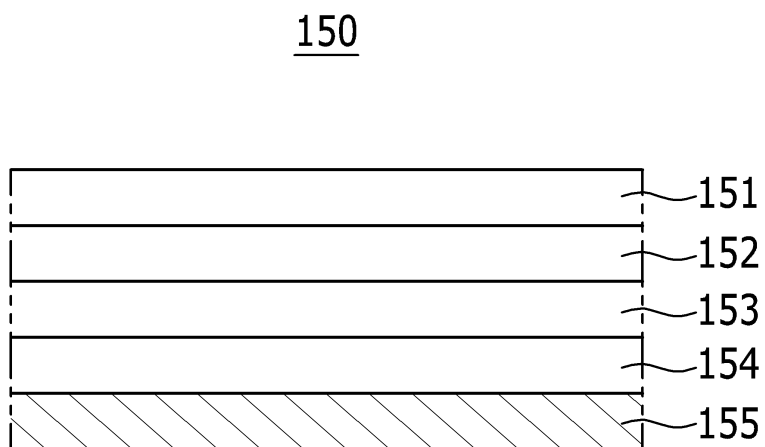
도면1



도면2



도면3a



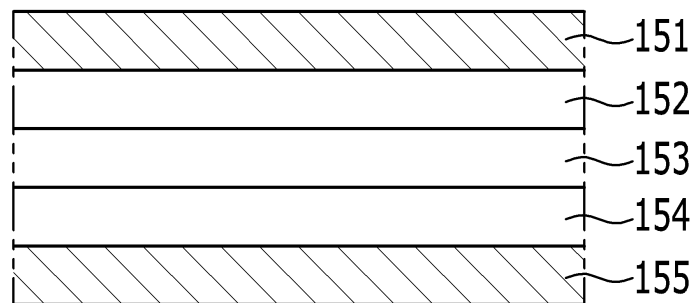
도면3b

150

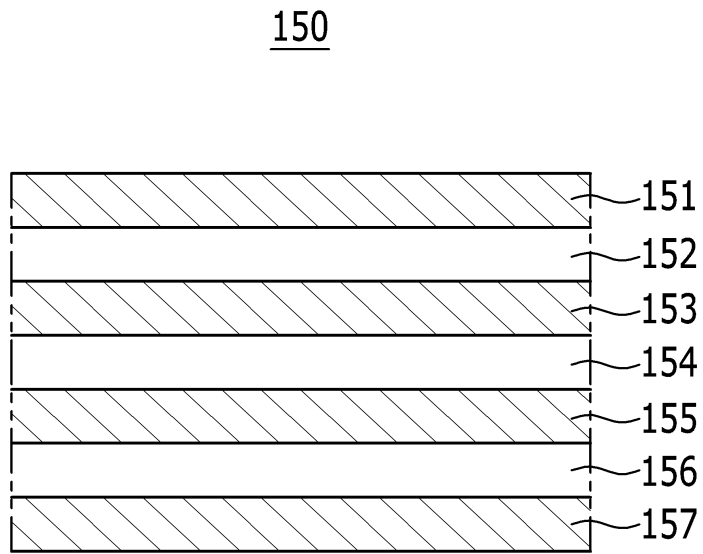


도면3c

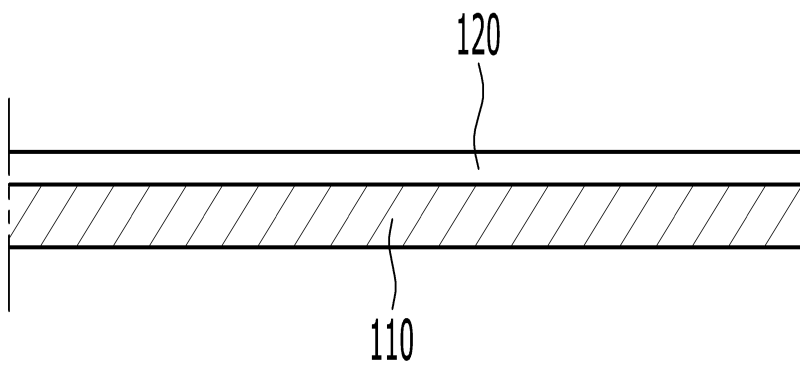
150



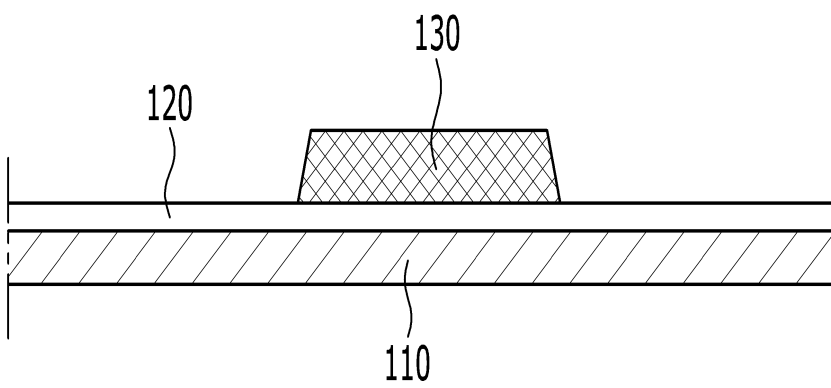
도면3d



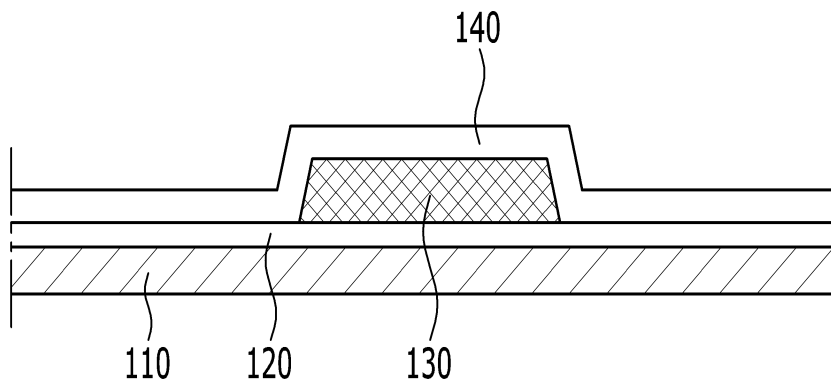
도면4a



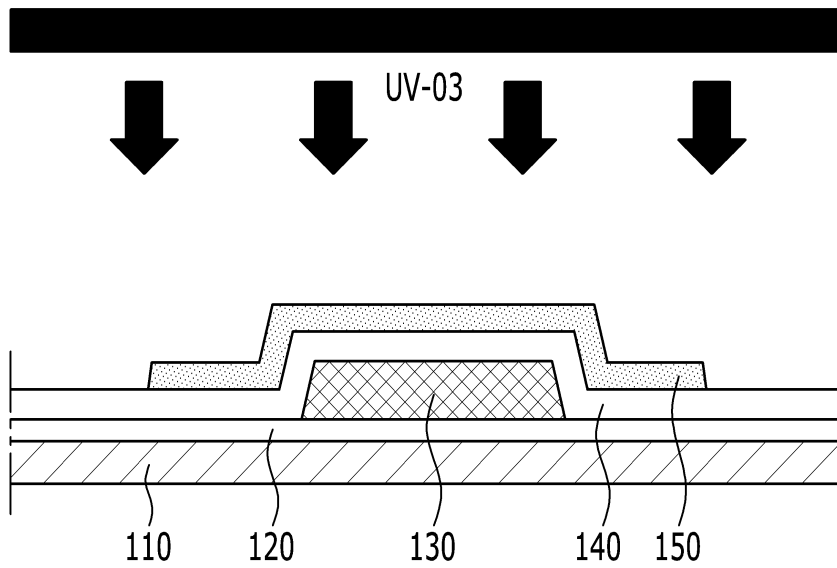
도면4b



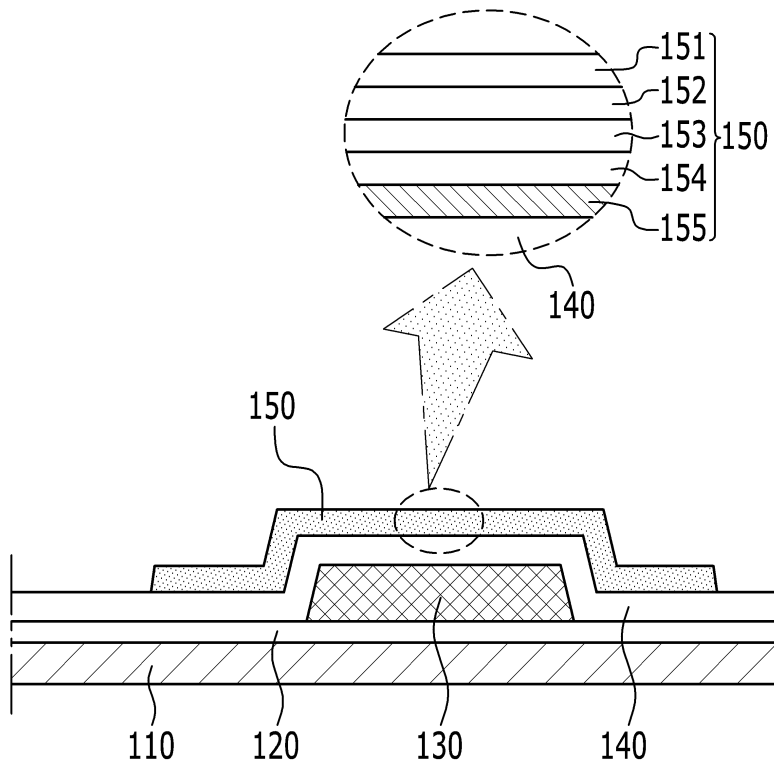
도면4c



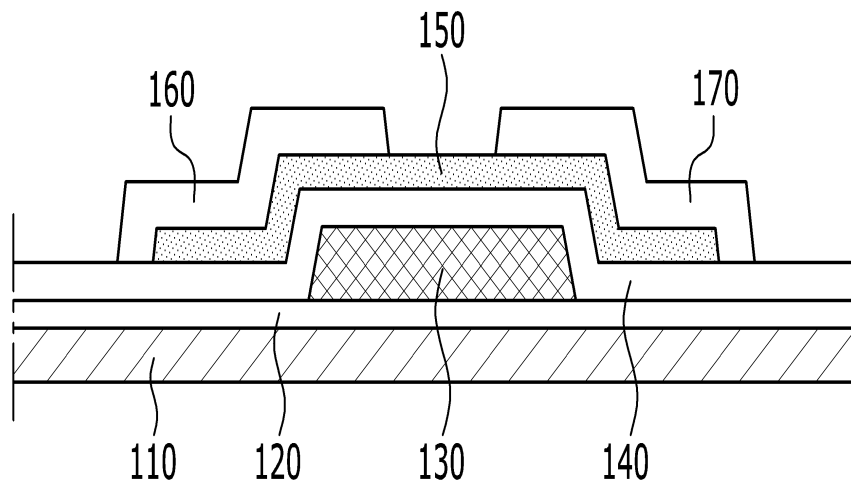
도면4d



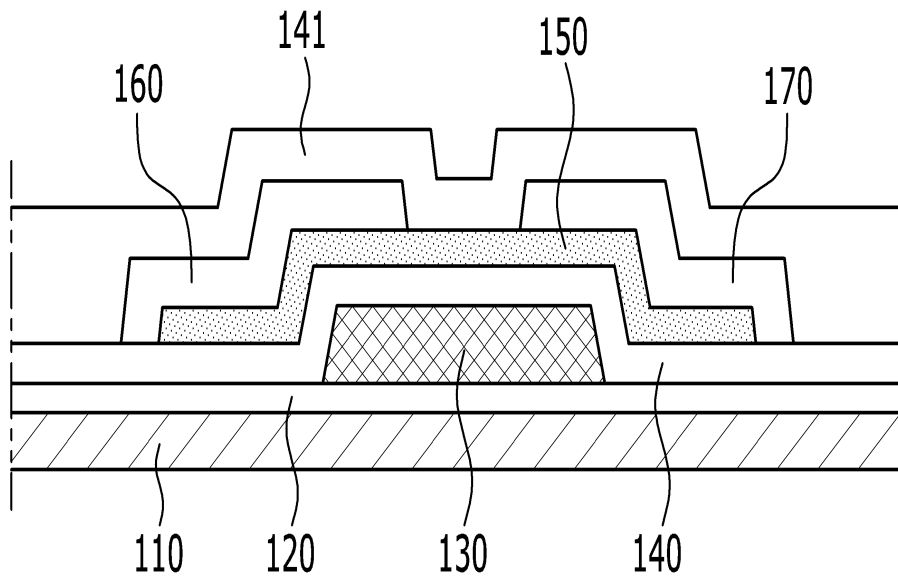
도면4e



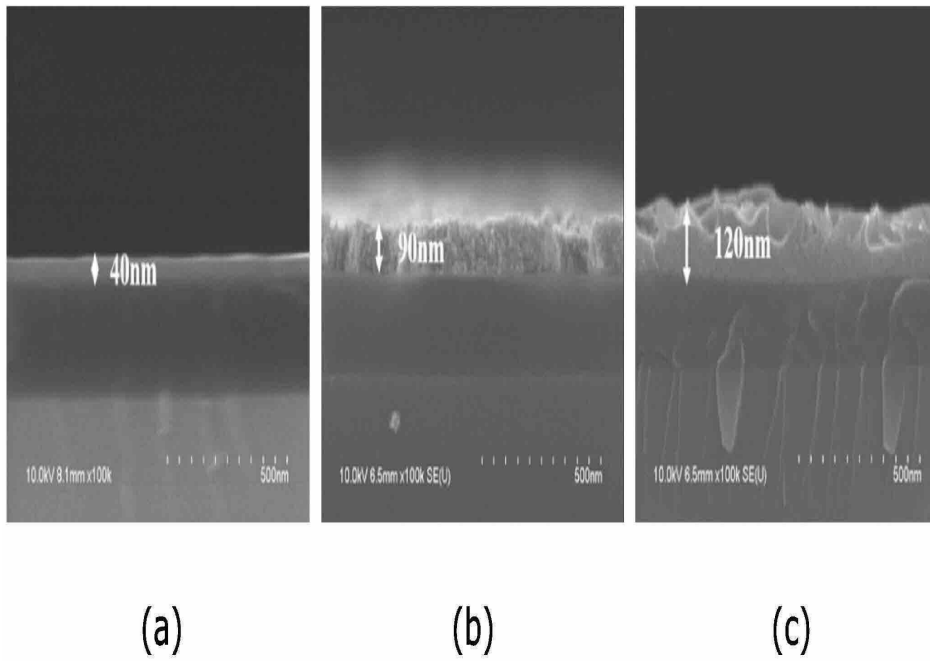
도면4f



도면4g



도면5



도면6

