

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4777455号
(P4777455)

(45) 発行日 平成23年9月21日 (2011. 9. 21)

(24) 登録日 平成23年7月8日 (2011. 7. 8)

(51) Int. Cl.
H03M 3/02 (2006.01)F I
H03M 3/02

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2009-284201 (P2009-284201)	(73) 特許権者	595099281
(22) 出願日	平成21年12月15日 (2009. 12. 15)		アナログ デバイスズ インコーポレイテッド
(62) 分割の表示	特願2007-519197 (P2007-519197) の分割		アメリカ合衆国 マサチューセッツ州 ノーウッド ビーオーボックス 9106
原出願日	平成17年4月14日 (2005. 4. 14)		テクノロジー ウェイ ワン
(65) 公開番号	特開2010-63180 (P2010-63180A)	(74) 代理人	100075258
(43) 公開日	平成22年3月18日 (2010. 3. 18)		弁理士 吉田 研二
審査請求日	平成21年12月15日 (2009. 12. 15)	(74) 代理人	100096976
(31) 優先権主張番号	60/583, 756		弁理士 石田 純
(32) 優先日	平成16年6月29日 (2004. 6. 29)	(72) 発明者	ヌイアン キーム
(33) 優先権主張国	米国 (US)		アメリカ合衆国 マサチューセッツ テュークスベリー ノース ビレリカ ロード 406
(31) 優先権主張番号	10/936, 179		
(32) 優先日	平成16年9月8日 (2004. 9. 8)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 連続時間積分器およびその積分期間を調整する方法

(57) 【特許請求の範囲】

【請求項 1】

連続時間積分器における積分期間を調整する方法であって、
積分制御信号を生成するステップと、

生成された積分制御信号に応答して、一対の積分器スイッチを作動させて差動電流信号をコンパレータへ提供するステップであって、前記一対の積分器スイッチの作動により前記差動電流信号のオン・オフ切り替えがなされ、前記差動電流信号は、差動入力信号のフィードイン電流と前記連続時間積分器のデジタル／アナログ変換器からの差動フィードバック電流との差である、ステップと、

前記一対の積分器スイッチを作動させる前記積分制御信号により前記連続時間積分器の積分期間を制御するステップとを含む方法。

10

【請求項 2】

フィードバック DAC のシンボル間干渉を減らすべく、
前記積分制御信号をオフにするステップと、
オフ状態である間に DAC コードを変化させることによって、前記差動フィードバック電流を変化させるステップと、

前記 DAC コードが変化した後で前記積分制御信号をオンにするステップとを更に含む、請求項 1 に記載の方法。

【請求項 3】

ゼロ復帰フェーズ中に DAC の出力および入力抵抗器の両方を既知の電圧に接続するス

20

テップと、

バッファを用いてD A C出力電圧を既知の電圧に維持するステップとを更に含む、請求項1に記載の方法。

【請求項4】

調節可能な積分期間を有する連続時間積分器であって、
積分制御信号を生成する生成器と、

生成された積分制御信号に応答して、差動電流信号をコンパレータへ提供する一对の積分器スイッチであって、前記一对の積分器スイッチの作動により前記差動電流信号のオン・オフ切り替えがなされ、前記差動電流信号は、差動入力信号のフィードイン電流と前記連続時間積分器のデジタル／アナログ変換器からの差動フィードバック電流との差である、積分器スイッチと、

前記一对の積分器スイッチを作動させる前記積分制御信号により前記連続時間積分器の積分期間を制御する制御部と、を含む連続時間積分器。

【請求項5】

フィードバックD A Cのシンボル間干渉を減らすべく、
前記積分制御信号をオンまたはオフにするオン・オフ部と、
オフ状態である間にD A Cコードを変化させることによって、前記差動フィードバック電流を変化させるD A Cとを更に含む、

前記オン・オフ部は、前記D A Cコードが変化した後で前記積分制御信号をオンにする、請求項4に記載の連続時間積分器。

【請求項6】

ゼロ復帰フェーズ中にD A Cの出力および入力抵抗器の両方を既知の電圧に接続する手段と、

バッファを用いてD A C出力電圧を既知の電圧に維持する手段とを更に含む、請求項4に記載の連続時間積分器。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2004年6月29日出願の米国仮特許出願第60／583,756号および2004年9月8日出願の米国特許出願第10／936,179号を優先権主張するものであり、両方の全文を本明細書に引用する。

【0002】

本発明は、シグマデルタ・ノイズ整形型の混合信号変換器に関し、より具体的には、ハイブリッド連続時間および離散時間回路を採用した混合信号アナログ／デジタル変換器に関する。

【背景技術】

【0003】

シグマデルタ型アナログ／デジタル変換器(ADC)は、従来のナイキスト変換器に比べて比較的 low コストで高い解像度および低い歪みを実現する手段を提供する。高い解像度は、入力信号をオーバーサンプリングして関心帯域における量子化ノイズをより高い周波数領域に整形することにより実現される。より高い周波数ノイズは次いで、後続のデジタル・フィルタ段によりデジタル的にフィルタリングすることができる。その結果得られたデータは次いで、変換器の出力において所望のサンプル・レートで下方サンプリングされる。

【0004】

通常、音声シグマデルタADCは以下の理由によりスイッチトキャパシタ等の離散時間回路を用いて行なう。スイッチトキャパシタ回路は通常、第1積分器の実装に用いられ、クロックジッターからの影響が少なく、サンプリング・レートに合わせて容易にスケール可能である。更に、キャパシタのマッチングが良好なため、本来的に係数のトラッキングが良好である。しかし、離散時間特性に起因して、変換器は、主として第1の積分器の

10

20

30

40

50

サンプリング・キャパシタが捕捉した信号依存グリッチにより生じる高調波歪みの影響を受ける。オンチップ・変換器を有するデジタル信号プロセッサ(DSP)等の高集積回路において、DSPが変換器よりはるかに高いクロック・レートで動作しているため、これらの望ましくないグリッチを含むことは、極めて困難である。更に、信号対ノイズ比(SNR)が100dB超の高性能変換器の場合、サンプリング・キャパシタは熱ノイズを減らすために巨大でなければならない。このように巨大なキャパシタが入力電圧をサンプリングする場合、電流グリッチが信号源へ返されるため電磁干渉(EMI)が生じる。

【0005】

第1の積分器をスイッチトキャパシタにより実装するのではなく、連続時間積分器の実装と同様に、積分器を実際の抵抗器およびキャパシタを用いて実装することができる。スーチ(Sooch)他による米国特許第5,079,550号(以下スーチ特許)は、シグマデルタADCにおける連続時間と離散積分器のそのような組合せを提供する。

10

【0006】

図1に、加算回路101、連続時間積分器102、離散時間積分器(群)104、量子化器106、および電流フィードバック型デジタル/アナログ変換器(DAC)108を含むスーチの機構100の概要を表わすブロック図を示す。アナログ入力信号が加算回路または加算器101の正入力に接続されていて、加算器101の出力がループ・フィルタ105の入力に接続されており、これは連続時間積分器102への入力でもある。連続時間積分器102の出力は、離散信号に変換される。連続時間積分器102の反対側には離散時間積分器104が接続されており、離散時間積分器104の出力はアナログ・ループ・フィルタ105の出力を形成して、量子化器106の入力に接続されている。これは、本例では1ビットのアナログ対デジタル変換器である。量子化器106のDAC108の出力およびDAC108への入力も形成し、DAC108の出力は加算器101の負入力に接続されている。

20

【0007】

第1ステージの連続時間機構の特性により、第1ステージで生じるグリッチはサンプリングされるのではなく、クロック周期にわたり平均化される。従って、これらのグリッチが変換器の性能に及ぼす好ましくない影響が大幅に減少する。これは連続時間実装対離散時間実装の主な利点である。更に、入力インピーダンスは純粋に抵抗性であるため(入力からのフィードフォワード経路が除外された場合)、回路は高周波電流グリッチを外部電流源へ返さない。スーチ機構の設定は、スイッチトキャパシタによる実装に比べて、生じる電磁干渉(EMI)が極めて低い。しかし、図1のスーチ機構には各種の短所があり、そのいくつかを以下に述べる。

30

【0008】

上述の連続時間と離散時間を組合せた実装方式に付随する主な短所は、RC時定数または積分器ゲインが、プロセス、温度、および電力供給(Supply)により大幅に変動する点である。RC積の変動によりループのノイズ伝達関数が変化して変換器の性能低下をもたらす。

【0009】

このような実装方式に付随する別の短所は、RC時定数もまた、第2ステージにおいてスイッチトキャパシタ・ネットワークを計時する変換器のマスタ・クロックの周期に伴なって変化する点である。これにより、変換器の動作が特定の一つのサンプリング・レートに限定される。

40

【0010】

連続時間の実装方式に付随する更に別の短所は、連続時間フィードバックDACが、ADCの全体的な性能の高調波歪みを支配するシンボル間干渉(ISI)を有する点である。

【0011】

この問題を解決する試みが、シャ(Xia)他による文献「連続同調シグマデルタADCおよび高精度フィルタ用の自動同調構造」に開示されている。シャ(Xia)他は、離

50

散的同調方法を介してRC積の安定を実現した。図2に、シャ(Xia)他が示唆した従来技術の同調技術の簡略図を示す。図2の機構は、基準電流源202、プログラム可能なキャパシタ・バンク204、固定キャパシタ206、コンパレータ208、および同調論理回路210を含んでいる。キャパシタ出力における電圧を固定電圧に調整することにより、当該回路は、制御コードを生成して、同調回路のプログラム可能なキャパシタアレイおよび第1ステップ連続時間積分器のプログラム可能なキャパシタアレイの両方を制御する。シャ(Xia)の技術は、カウンタの量子化ステップサイズが粗く、高精度シグマデルタADCに適していない点が短所である。更に、プログラム可能なキャパシタアレイ204を利用する点も、同調を狭い範囲に制限するため、音声ADCで必要とされるようにサンプリング・レートが大幅に変動する場合に適していない。

10

【0012】

図3は、シグマデルタADCにおける連続時間第1ステージの従来の差分実装方式を示す。これは、増幅器300、一对のキャパシタ302、304、一对の入力抵抗器306、308、およびフィードバックDAC310を含んでいる。通常の動作モードにおいて、入力電圧は入力抵抗器306、308を介して電流に変換される。フィードバックDAC310は、変換器のデジタル出力により制御される。上述のように、デジタル出力の低周波コンテンツは入力をトラッキングする。従って、エラー電流、すなわちDACの入力電流と出力の差の大部分は高周波整形されたノイズである。このノイズは、キャパシタ302、304により積分され、次いで後続のスイッチトキャパシタ積分器によりサンプリングされる。

20

【0013】

上に述べた従来技術の実装方式の利点、特徴、および効果は何であれ、いずれも本発明の目的を実現するには至らない。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】米国特許第5,079,550号明細書

【発明の開示】

【課題を解決するための手段】

【0015】

30

本発明の関連技術は、(a)連続時間積分器におけるRC積の変動およびサンプリング周波数の変動を補償するステップと、(b)前記補償に基づいて前記連続時間積分器の積分間隔を調整するステップと、(c)前記補償に基づいて積分キャパシタを調整するステップとを含んでいる。本技術に係る方法は、一実施形態において、連続時間積分器の入力および帰還信号の両方にゼロ復帰技術を適用することに基づいてシンボル間干渉を除去する。本技術に係る方法は別の実施形態において、入力と帰還信号の差にゼロ復帰技術を適用することによりシンボル間干渉の問題を解決する。

【0016】

本発明の関連技術はまた、ゼロ復帰期間へ出入りする遷移の間に、電流源のドレインにおけるグリッチを減らす方法を提供する。当該方法は、(a)積分器から入力抵抗器およびフィードバックDACを切り離すステップと、(b)ゼロ復帰期間中にDACの出力および入力抵抗器の両方を既知の電圧に接続するステップと、(c)DAC出力電圧を既知のレベルに維持するステップと、(d)ゼロ復帰期間中にDAC入力コードを変えるステップとを含んでいる。

40

【0017】

本発明の関連技術はまた、改良型連続時間積分器と連動するハイブリッド同調回路を提供する。改良型連続時間積分器は、第1の複数のスイッチと第1のプログラム可能なキャパシタアレイとを含んでいる。ハイブリッド同調回路は、(a)第1の複数のスイッチを制御することにより積分制御信号を生成して連続的に調整する第2のプログラム可能なキャパシタアレイと第2の複数のスイッチとを有し、積分制御信号が連続時間積分器の積分

50

時間を制御するアナログ制御回路と、(b) 積分制御信号を監視する有限状態機械であって、前記連続時間積分器および前記アナログの制御回路のキャパシタアレイのキャパシタ・サイズを増減させる有限状態機械とを含んでいる。

【0018】

本発明の関連技術はまた、連続時間積分器を提供する。当該連続時間積分器は、(a) デジタル／アナログ変換器(DAC)と、(b) 複数の入力抵抗器と、(c) 演算増幅器と、(d) ハイブリッド同調回路を介して制御可能な複数のスイッチと、(e) 複数のプログラム可能なキャパシタアレイと、(f) 固定キャパシタとを含み、スイッチが積分期間中に入力抵抗器およびDAC出力を演算増幅器の各々の加算接続点に接続するか、またはスイッチが抵抗器およびDAC出力を演算増幅器から切り離して、入力抵抗器およびDAC出力を既知の電圧に接続する。

10

【0019】

本発明の関連技術はまた、有限状態機械を提供する。当該有限状態機械は、(a) アナログ制御回路からの積分制御信号を監視する手段と、(b) 必要に応じて連続時間積分器のキャパシタ・サイズを小さくする手段と、(c) 必要に応じて積分器におけるキャパシタ・サイズを大きくする手段とを含んでいる。

【0020】

本発明は、連続時間積分器における積分期間を調整する方法であって、積分制御信号を生成するステップと、生成された積分制御信号にตอบสนองして、一对の積分器スイッチを作動させて差動電流信号をコンパレータへ提供するステップであって、前記一对の積分器スイッチの作動により前記差動電流信号のオン・オフ切り替えがなされ、前記差動電流信号は、差動入力信号のフィードイン電流と前記連続時間積分器のデジタル／アナログ変換器からの差動フィードバック電流との差である、ステップと、前記一对の積分器スイッチを作動させる前記積分制御信号により前記連続時間積分器の積分期間を制御するステップとを含む。

20

【0021】

また、本発明に係る方法においては、フィードバックDACのシンボル間干渉を減らすべく、前記積分制御信号をオフにするステップと、オフ状態である間にDACコードを変化させることによって、前記差動フィードバック電流を変化させるステップと、前記DACコードが変化した後で前記積分制御信号をオンにするステップとを更に含むことが好適である。

30

【0022】

また、本発明に係る方法においては、ゼロ復帰フェーズ中にDACの出力および入力抵抗器の両方を既知の電圧に接続するステップと、バッファを用いてDAC出力電圧を既知の電圧に維持するステップとを更に含むことが好適である。

【0023】

また、本発明は、調節可能な積分期間を有する連続時間積分器であって、積分制御信号を生成する生成器と、生成された積分制御信号にตอบสนองして、差動電流信号をコンパレータへ提供する一对の積分器スイッチであって、前記一对の積分器スイッチの作動により前記差動電流信号のオン・オフ切り替えがなされ、前記差動電流信号は、差動入力信号のフィードイン電流と前記連続時間積分器のデジタル／アナログ変換器からの差動フィードバック電流との差である、積分器スイッチと、前記一对の積分器スイッチを作動させる前記積分制御信号により前記連続時間積分器の積分期間を制御する制御部と、を含む。また、本発明に係る連続積分装置においては、フィードバックDACのシンボル間干渉を減らすべく、前記積分制御信号をオンまたはオフにするオン・オフ部と、オフ状態である間にDACコードを変化させることによって、前記差動フィードバック電流を変化させるDACとを更に含み、前記オン・オフ部は、前記DACコードが変化した後で前記積分制御信号をオンにすることが好適である。

40

【0024】

また、本発明に係る連続時間積分器においては、ゼロ復帰フェーズ中にDACの出力お

50

よび入力抵抗器の両方を既知の電圧に接続する手段と、バッファを用いてD A C出力電圧を既知の電圧に維持する手段とを更に含む。

【図面の簡単な説明】

【0025】

【図1】従来技術によるシグマデルタA D Cの連続時間と離散時間実装方式の組み合わせを示す図である。

【図2】従来技術による離散同調技術を示す図である。

【図3】連続時間積分器の従来の差分実装方式を示す図である。

【図4】本発明の実施形態における連続時間第1ステージを有する4ビット・シグマデルタ型アナログ・デジタル変換器のブロック図である。

10

【図5】従来技術に関する上述の問題を除去する回路を示す、本発明の例証的な実施例である。

【図6】同調回路のデジタル有限状態機械の例証的な実施形態を示す図である。

【図7】アナログ同調回路の例証的な実施形態を示す図である。

【図8】スイッチング・スキームを示すタイミング図である。

【図9】積分器電圧対積分時間のグラフである。

【発明を実施するための形態】

【0026】

本発明を、いくつかの好適な実施形態に関して図示および説明するが、本発明の概念および範囲から逸脱することなく、形式と細部への各種の変更、省略、および追加を行なってもよい。

20

【0027】

本発明の実施形態では、プロセス、温度、電力供給（Supply）、およびサンプリング・レートの変化に対して連続時間積分器定数のRC積を効果的に維持すべく、デジタル有限状態機械およびアナログ制御回路を含むハイブリッド同調回路を使用する。本発明の実装方式が連続的な性質を有するため、上述の従来技術に比べてトラッキングが極めて正確である。更に、本発明の実施形態は、従来技術では不可能なサンプリング・レートの広範な変動も考慮に入れている。

【0028】

本発明の更に別の態様によれば、注意深く選ばれた計時スキームが提供され、当該スキームにより従来技術の連続時間A D C設計に付随する主な短所である、フィードバックD A Cにおけるシンボル間干渉（ISI）が除去される。本発明の技術では較正に基準周波数を使用しないため、ユーザーが当該基準を識別する必要が無くなる点に留意されたい。

30

【0029】

図4に、本発明の実施形態で使用する連続時間第1ステージを有する4ビットの2次シグマデルタ型アナログ・デジタル変換器の単純化したモデルを示す。本機構は主に、連続時間積分器402、スイッチトキャパシタDAC406、スイッチトキャパシタ積分器404、電流ステアリングDAC408、16レベル・フラッシュADC410、2進・温度計コード・エンコーダ412、データ指向スクランブラ414を含んでいる。

【0030】

40

図5に、本発明の例証的な実施形態を示す。図5の回路500により従来技術に関する上述の問題が解決される。回路500は2個の部分、すなわち改良型連続時間積分器502および同調回路504で構成されている。上述の改良型連続時間積分器は、入力抵抗器510、512と直列な一対のスイッチ506、508、増幅器518、DAC526、並びに電圧バッファ520を有する。スイッチ506、508は、同調回路504により制御される。プログラム可能なキャパシタアレイ514、516もまた同調回路504により制御される。

【0031】

同調回路504は、有限状態機械及びアナログ制御ブロックを含んでいる。図6に、同調回路504の有限状態機械の例証的な実施形態を示す。有限状態機械は、図4のフロー

50

チャートに示すタスクを実行するいくつかのDフリップフロップおよび組合せ論理と、アナログ同調回路504内のキャパシタアレイ(514、516)および上述の連続時間積分器502のキャパシタアレイをも制御する4ビットの2進カウンタを含んでいる。有限状態機械の実装は、ハードウェア記述言語によっても、または単にマニュアル設計(manual design)によっても可能である。

【0032】

図7に、上述のアナログ同調回路504の例証的な実施形態を示す。アナログ同調回路は、リセット・セット(RS)フリップフロップ702と組み合わせたパルスジェネレータ、DACと同じバイアス電圧によりバイアスをかけられた電流源704、プログラム可能なキャパシタアレイ706、スイッチアレイ708、固定キャパシタ710、コンパレータ712、一対のスイッチ714、716、およびシャントスイッチ718を含んでいる。固定キャパシタ710に対するプログラム可能なキャパシタ706の合計の比率は、改良型連続時間積分器502におけるものと同一である。同調回路および上述の連続時間積分器におけるプログラム可能なキャパシタアレイ706は共に、有限状態機械からの同一デジタルコード(nビット制御コード)により制御される。アナログ同調回路504の入力は、マスタ・クロック(MCLK)、ADC全体のクロック、および上述の有限状態機械からのデジタルコード(nビット制御コード)を含んでいる。アナログ同調回路504は、図5の積分器スイッチ506、508を制御する積分制御信号を生成する。

【0033】

図5での議論に戻るに、積分期間、すなわち積分器内の2個のスイッチ506、508が閉じられている期間をRC積の変化に対して比例的に変化させることにより、プロセス、電力供給、温度、およびサンプリング・レートが変化しても積分器出力における最終電圧が一定であるようにすることが目的である。この動作は、アナログ同調回路504において積分制御信号を増減することにより自動的に達成される。別の目的は、同調回路から504の有限状態機械からの命令に従い、積分器内の帰還キャパシタ(514、516)を削減することである。

【0034】

同調回路504の動作について以下に述べる。電源投入時に、アナログ同調回路504はリセット状態になる。この状態で、コンパレータ712の出力は0であり、同調回路504および積分器502内の全てのキャパシタ(キャパシタ710、706、514、516)がスイッチインされて、積分器502内のスイッチ506、508は共に閉じられている。この設定により非同調連続時間積分器が形成される。リセット信号がディアサートされたならば同調回路504は機能する。図8にこの方式を示す。マスタ・クロックの立ち上がりエッジにおいて、パルスジェネレータがリセット・セットフリップ・フロップ回路702を起動させるパルスを生成する。フリップフロップ702の出力は次いで、連続時間積分器内の2個のスイッチ506、508をオンにして積分期間を開始する。同時に、スケールされた電流源704(図7の)がキャパシタ710、706への充電を開始する。キャパシタアレイ706の出力における電圧がコンパレータ712の閾値を超えたならば、コンパレータ712はトリップする。次いでRSフリップフロップ702がリセットされて、積分期間が終了する。スイッチ714は次いで、同調回路504内のキャパシタ710、706の電圧を放電させる。この間、スイッチ718は電流源704の出力をアースに接続し、従って当該ノードにおける寄生キャパシタにより捕捉された電圧を全て放電する。

【0035】

図7のアナログ同調回路は、クロックの次の立ち上がりエッジの前に積分期間が終了するように設計されている。非積分期間、すなわち積分器502内の両スイッチ(506、508)が開いている間、DAC512のビットは次の値に変化する(図8に示すように)ことができる。次の積分期間が開始する場合、DAC512のビットは既に適当な値に設定されている。これは、積分器502がDAC512の以前のデータを記憶していないことを意味する。従って、積分器502にはシンボル間干渉が生じない。当業者であれば

10

20

30

40

50

、これが誤差信号、すなわちフィードイン電流とフィードバック電流の差に適用されるゼロ復帰スキームであることが想起されよう。このスキームの利点は以下の通りである。すなわち（a）積分器 5 0 2 内のスイッチを通して流れる微弱な誤差信号に R T Z が適用されるため、積分器 5 0 2 内の演算増幅器 5 1 8 にそれ以上の負荷をかけず、（b）信号に関係する電流をスイッチ （5 0 6、5 0 8） が通さないため、変換器の性能に影響を及ぼすことがない。このことは、従来の D A C だけに R T Z を実装する方式と比較した場合の主な利点である。

【0 0 3 6】

図 6 の有限状態機械は、積分制御信号を常時監視する。プロセスの変動に起因してキャパシタ （7 1 0、7 0 6） 容量が公称値より小さい場合、アナログ同調回路 5 0 4 内のキャパシタアレイ 7 0 6 の出力における電圧は通常より早くコンパレータ 7 1 2 の閾値に到達する。積分器 5 0 2 の出力はまた、通常より急速に立ち上がる。しかし、コンパレータ 7 1 2 がトリップした場合、積分期間は短くなる。従って、積分器 5 0 2 の出力における最終電圧は依然として通常の場合と同様である。この方式を図 9 に示す。

10

【0 0 3 7】

プロセスの変動に起因してキャパシタ （7 1 0、7 0 6） の容量が正常値より大きい場合、アナログ同調回路 5 0 4 内のキャパシタアレイ 7 0 6 の出力における電圧は通常より遅く閾値電圧に到達する。積分器 5 0 2 の出力はまた、通常より緩慢に立ち上がる。従って、コンパレータ 7 1 2 がトリップするまでの時間が長くなる。積分期間は通常より長くなる。同調回路 5 0 4 は、積分期間が 1 クロック周期より長くなるまで連続的にトラッキングする。これが生じた場合、有限状態機械（図 6）はアナログ同調回路 5 0 4 内のプログラム可能なキャパシタアレイ 7 0 6 を削減する。積分期間が 1 クロック周期より短くなるまでこれを続ける。この時点で、同調回路 5 0 4 は連続時間積分器 5 0 2 内のプログラム可能なキャパシタ （5 1 4、5 1 6） を、アナログ同調回路 5 0 4 で用いられているものと同一のコードに変える。サンプリング・レート変動の上限は、従って、同調回路 5 0 4 内のプログラム可能なキャパシタ 7 0 6 と固定キャパシタ 7 1 0 の合計に対するプログラム可能なキャパシタアレイ 5 1 4、5 1 6 の比率である。

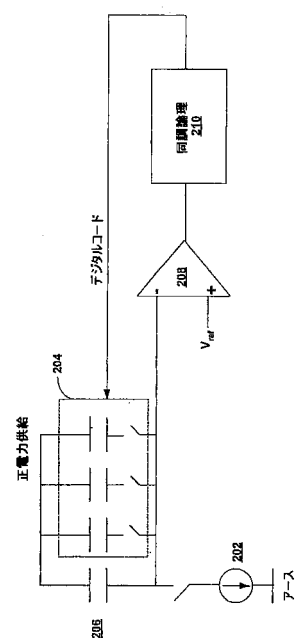
20

【0 0 3 8】

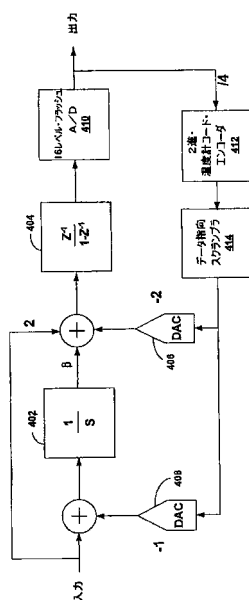
較正が完了した後で、同調回路 5 0 4 は監視状態に入って積分制御信号を連続的に点検し、必要に応じて較正を再開する。連続時間積分器 5 0 2 が中断なく動作することを保証すべく、スイッチ 5 0 6、5 0 8 は較正期間中、常時閉じている。また、連続時間積分器 5 0 2 内のキャパシタアレイ （5 1 4、5 1 6） が更新されるのは、較正サイクルの終了時点だけである。

30

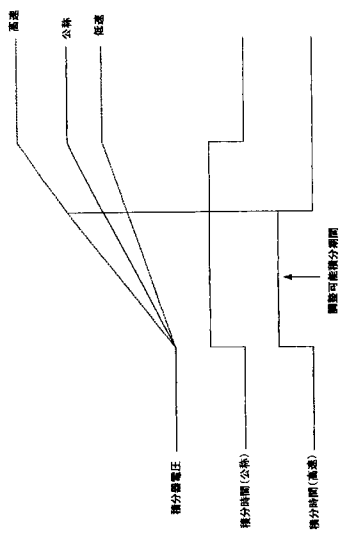
【図 2】



【図 4】



【図 9】



フロントページの続き

(72)発明者 アダムス ロバート ダブリュ
アメリカ合衆国 マサチューセッツ アクトン オーバールック ドライブ 19

審査官 北村 智彦

(56)参考文献 欧州特許出願公開第00477694 (EP, A1)
Bo Xia,Shauli Yan,Edgar Sanchez-Sinencio, AN AUTO-TUNING STRACTURE FOR CONTINUOUS TIME SIGMA-DELTA AD CONVERTER AND HIGH PRECISION FILTERS, Circuits and Systems, 2002 IEEE International Symposium on , 2002年, VOL.5, pp.V-593-V-596
Khiem Nguyen,Robert Adams,Karl Sweetland,Huaijin Chen, A 106-dB SNR Hybrid Oversampling Analog-to-Digital Converter for Digital Audio, Solid-State Circuits, IEEE Journal of , 2005年12月, VOL.40,NO.12, p.2408-2415
WALDER J-P, A Low Power,Wide Dynamic Range Multi-Gain Signal Processor for the SNAP CC D., 2003 IEEE NUCLEAR SCIENCE SYMPOSIUM CONFERENCE RECORD., 米国, IEEE, 2003年10月19日, V5 OF 5, pp.1-5

(58)調査した分野(Int.Cl., DB名)
H03M3/00-11/00