

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5580190号
(P5580190)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.	F I
H O 1 L 21/8242 (2006. 01)	H O 1 L 27/10 3 2 1
H O 1 L 27/108 (2006. 01)	H O 1 L 27/10 4 4 1
H O 1 L 27/105 (2006. 01)	G 1 1 C 17/00 6 2 3 A
G 1 1 C 16/04 (2006. 01)	G 1 1 C 11/34 3 5 2 B
G 1 1 C 11/405 (2006. 01)	

請求項の数 2 (全 52 頁)

(21) 出願番号	特願2010-289073 (P2010-289073)	(73) 特許権者	000153878
(22) 出願日	平成22年12月27日 (2010. 12. 27)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-155255 (P2011-155255A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成23年8月11日 (2011. 8. 11)	(72) 発明者	塩野入 豊
審査請求日	平成25年9月19日 (2013. 9. 19)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2009-297140 (P2009-297140)		半導体エネルギー研究所内
(32) 優先日	平成21年12月28日 (2009. 12. 28)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	加藤 清
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有し、
 前記第 1 のトランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 1 の半導体膜と、を有し、
 前記第 1 の導電層は、絶縁表面の上方に設けられ、
 前記第 1 の半導体膜は、前記第 1 の導電層の上方に設けられ、
 前記第 2 の導電層は、前記第 1 の半導体膜の上方に設けられ、
 前記第 1 の半導体膜は、前記第 1 のトランジスタのチャネル形成領域を含み、
 前記第 1 の導電層は、第 1 の絶縁膜を介して前記第 1 のトランジスタのチャネル形成領域と重なる領域を有し、
 前記第 2 の導電層は、第 2 の絶縁膜を介して前記第 1 のトランジスタのチャネル形成領域と重なる領域を有し、
 前記第 1 の導電層は、前記第 1 のトランジスタの第 1 のゲートとなることができる機能を有し、
 前記第 2 の導電層は、前記第 1 のトランジスタの第 2 のゲートとなることができる機能を有し、
 前記第 3 の導電層は、前記第 1 のトランジスタのソース電極又はドレイン電極の一方となることができる機能を有し、
 前記第 3 の導電層は、前記第 1 の半導体膜と電氣的に接続され、

10

20

前記第 4 の導電層は、前記第 1 のトランジスタのソース電極又はドレイン電極の他方とすることができる機能を有し、

前記第 4 の導電層は、前記第 1 の半導体膜と電氣的に接続され、

前記第 2 のトランジスタは、第 5 の導電層と、第 6 の導電層と、第 7 の導電層と、第 2 の半導体膜と、を有し、

前記第 5 の導電層は、前記絶縁表面の上方に設けられ、

前記第 2 の半導体膜は、前記第 5 の導電層の上方に設けられ、

前記第 2 の半導体膜は、前記第 2 のトランジスタのチャンネル形成領域を含み、

前記第 5 の導電層は、第 3 の絶縁膜を介して前記第 2 のトランジスタのチャンネル形成領域と重なる領域を有し、

10

前記第 5 の導電層は、前記第 2 のトランジスタのゲートとなることのできる機能を有し、

前記第 6 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の一方とすることができる機能を有し、

前記第 6 の導電層は、前記第 2 の半導体膜と電氣的に接続され、

前記第 7 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の他方とすることができる機能を有し、

前記第 7 の導電層は、前記第 2 の半導体膜と電氣的に接続され、

前記第 7 の導電層は、前記第 2 の導電層と電氣的に接続され、

前記第 1 の半導体膜は、シリコンを有し、

20

前記第 2 の半導体膜は、酸化物半導体を有し、

前記第 1 のトランジスタのソース電極又はドレイン電極の一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース電極又はドレイン電極の他方は、前記容量素子の一对の電極のうち的一方と電氣的に接続され、

前記第 1 のトランジスタの前記第 2 のゲートは、前記容量素子の一对の電極のうちの他方と電氣的に接続され、

前記第 4 の導電層は、前記容量素子の一对の電極のうち的一方となる第 1 の領域を有し、

前記第 2 の導電層は、前記容量素子の一对の電極のうちの他方となる第 2 の領域を有し、

30

前記第 1 の領域と前記第 2 の領域とは、前記第 2 の絶縁膜を介して重なり、

前記第 2 のトランジスタのソース電極又はドレイン電極の一方は、第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタの前記第 1 のゲートは、前記第 1 のトランジスタを導通状態とする電位と、前記第 1 のトランジスタを非導通状態とする電位と、が供給されることができる機能を有し、

前記第 2 のトランジスタの前記ゲートは、前記第 2 のトランジスタを導通状態とする電位と、前記第 2 のトランジスタを非導通状態とする電位と、が供給されることができる機能を有することを特徴とする半導体装置。

40

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有し、

前記第 1 のトランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 1 の半導体膜と、を有し、

前記第 1 の導電層は、絶縁表面の上方に設けられ、

前記第 1 の半導体膜は、前記第 1 の導電層の上方に設けられ、

前記第 2 の導電層は、前記第 1 の半導体膜の上方に設けられ、

前記第 1 の半導体膜は、前記第 1 のトランジスタのチャンネル形成領域を含み、

前記第 1 の導電層は、第 1 の絶縁膜を介して前記第 1 のトランジスタのチャンネル形成領域と重なる領域を有し、

50

前記第 2 の導電層は、第 2 の絶縁膜を介して前記第 1 のトランジスタのチャネル形成領域と重なる領域を有し、

前記第 1 の導電層は、前記第 1 のトランジスタの第 1 のゲートとなることができる機能を有し、

前記第 2 の導電層は、前記第 1 のトランジスタの第 2 のゲートとなることができる機能を有し、

前記第 3 の導電層は、前記第 1 のトランジスタのソース電極又はドレイン電極の一方となることができる機能を有し、

前記第 3 の導電層は、前記第 1 の半導体膜と電氣的に接続され、

前記第 4 の導電層は、前記第 1 のトランジスタのソース電極又はドレイン電極の他方となることができる機能を有し、

前記第 4 の導電層は、前記第 1 の半導体膜と電氣的に接続され、

前記第 2 のトランジスタは、第 5 の導電層と、第 6 の導電層と、第 7 の導電層と、第 2 の半導体膜と、を有し、

前記第 5 の導電層は、前記絶縁表面の上方に設けられ、

前記第 2 の半導体膜は、前記第 5 の導電層の上方に設けられ、

前記第 2 の半導体膜は、前記第 2 のトランジスタのチャネル形成領域を含み、

前記第 5 の導電層は、第 3 の絶縁膜を介して前記第 2 のトランジスタのチャネル形成領域と重なる領域を有し、

前記第 5 の導電層は、前記第 2 のトランジスタのゲートとなることができる機能を有し

、

前記第 6 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の一方となることができる機能を有し、

前記第 6 の導電層は、前記第 2 の半導体膜と電氣的に接続され、

前記第 7 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の他方となることができる機能を有し、

前記第 7 の導電層は、前記第 2 の半導体膜と電氣的に接続され、

前記第 7 の導電層は、前記第 2 の導電層と電氣的に接続され、

前記第 1 の半導体膜は、酸化物半導体を有し、

前記第 2 の半導体膜は、酸化物半導体を有し、

前記第 1 のトランジスタのソース電極又はドレイン電極の一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース電極又はドレイン電極の他方は、前記容量素子の一对の電極のうち的一方と電氣的に接続され、

前記第 1 のトランジスタの前記第 2 のゲートは、前記容量素子の一对の電極のうちの他方と電氣的に接続され、

前記第 4 の導電層は、前記容量素子の一对の電極のうち的一方となる第 1 の領域を有し

、

前記第 2 の導電層は、前記容量素子の一对の電極のうちの他方となる第 2 の領域を有し

、

前記第 1 の領域と前記第 2 の領域とは、前記第 2 の絶縁膜を介して重なり、

前記第 2 のトランジスタのソース電極又はドレイン電極の一方は、第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタの前記第 1 のゲートは、前記第 1 のトランジスタを導通状態とする電位と、前記第 1 のトランジスタを非導通状態とする電位と、が供給されることができる機能を有し、

前記第 2 のトランジスタの前記ゲートは、前記第 2 のトランジスタを導通状態とする電位と、前記第 2 のトランジスタを非導通状態とする電位と、が供給されることができる機能を有することを特徴とする半導体装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

不揮発性半導体記憶装置に係り、データを保持するメモリセルの構成及び駆動方法に関する。

【背景技術】

【0002】

半導体記憶装置（以下、単に記憶装置とする）には、揮発性メモリに分類されるDRAM、SRAM、不揮発性メモリに分類されるマスクROM、EPROM、EEPROM、フラッシュメモリ、強誘電体メモリなどがあり、単結晶の半導体基板を用いて形成されたこれらのメモリの多くは既に実用化されている。上記の半導体メモリの中でも、フラッシュメモリは、データの書き込みと消去を繰り返し行うことができ、電源の供給がなくてもデータの保持が可能な不揮発性メモリであるために、利便性が高く、また、物理的な衝撃に強いいため、主にUSBメモリ、メモリーカードなどの携帯型の記憶媒体に用いられ、市場に広く出回っている。

10

【0003】

フラッシュメモリには、複数のメモリセルが直列に接続された構造を有するNAND型と、複数のメモリセルがマトリクス状に接続された構造を有するNOR型とがあるが、いずれのフラッシュメモリも、記憶素子として機能するトランジスタを各メモリセルに有する。そして、この記憶素子として機能するトランジスタは、フローティングゲートと呼ばれる電荷を蓄積するための電極を、ゲート電極と、活性層である半導体膜との間に有しており、フローティングゲートにおける電荷の蓄積によりデータの記憶を行うことができる。

20

【0004】

下記の特許文献1と特許文献2には、ガラス基板上に形成された、フローティングゲートを有する薄膜トランジスタについて記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平6-021478号公報

【特許文献2】特開2005-322899号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

ところで、不揮発性メモリは、データの書き込み時に記憶素子に印加される電圧の絶対値が、20V前後と、揮発性メモリに比べて一般的に大きい傾向にある。データの書き換えを繰り返し行うことができるフラッシュメモリの場合は、データの書き込み時のみならず、データの消去時にも、記憶素子として用いるトランジスタに大きい電圧を印加する必要がある。よって、データの書き込み、消去などの、フラッシュメモリの動作時において消費される電力は高く、そのことが、フラッシュメモリを記憶装置として用いる電子機器の、低消費電力化を阻む一因となっている。特に、カメラや携帯電話などの携帯型の電子機器にフラッシュメモリを用いる場合、消費電力の高さは、連続使用時間の短縮化というデメリットに繋がる。

40

【0007】

また、フラッシュメモリは不揮発性メモリではあるが、微少な電荷のリークによりデータが消失してしまう。そのため、データの保持期間は現状5年から10年程度であると言われており、より長い保持期間の確保が可能なフラッシュメモリの実現が望まれている。

【0008】

さらに、フラッシュメモリは、データの書き込みと消去を繰り返し行うことが可能ではあるが、フローティングゲートに電荷を蓄積する際に、トンネル電流によりゲート絶縁膜が劣化しやすい。そのため、1つの記憶素子におけるデータの書き換え回数は数万から数十万回程度が限度であり、より多くの書き換え回数に耐えうるようなフラッシュメモリの実

50

現が望まれている。

【 0 0 0 9 】

上述の課題に鑑み、本発明は、消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。また、本発明は、さらに長い期間においてデータの保持が可能な記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。また、本発明は、データの書き換え回数を増やすことができる記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様では、通常のゲート電極の他に、閾値電圧を制御するための第2のゲート電極が備えられたトランジスタを記憶素子として用い、不揮発性の記憶装置を構成する。そして、上記記憶装置では、絶縁膜に囲まれたフローティングゲートに高電圧で電荷を注入するのではなく、記憶素子として用いるトランジスタの閾値電圧を制御するための第2のゲート電極の電位を、オフ電流が極めて小さいトランジスタによって制御することで、データの書き込みを行う。すなわち、本発明の一態様に係る記憶装置は、少なくとも、第2のゲート電極によって閾値電圧が制御されるトランジスタと、該第2のゲート電極の電位を保持するための容量素子と、当該容量素子の充放電を制御するためのスイッチング素子として用いるトランジスタとで、構成されることを特徴としている。

【 0 0 1 1 】

記憶素子として用いるトランジスタの閾値電圧のシフト量は、第2のゲート電極の電位の高さ、より具体的には、ソース電極と第2のゲート電極の電位差により制御される。そして、閾値電圧の高さの違い、或いは、閾値電圧の高さの違いによるソース電極とドレイン電極間の抵抗値の違いが、記憶素子が記憶しているデータの違いとなる。

【 0 0 1 2 】

記憶素子として用いるトランジスタは、絶縁ゲート型電界効果トランジスタであれば良く、具体的には、第1のゲート電極と、第2のゲート電極と、第1のゲート電極と第2のゲート電極の間に位置する半導体膜と、第1のゲート電極と半導体膜の間に位置する第1の絶縁膜と、第2のゲート電極と半導体膜の間に位置する第2の絶縁膜と、半導体膜に接するソース電極及びドレイン電極と、を有する。

【 0 0 1 3 】

そして、スイッチング素子として用いるトランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むことを特徴とするものである。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。このような半導体材料としては、例えば、シリコンの約3倍程度の大きなバンドギャップを有する、酸化物半導体、炭化シリコン、窒化ガリウムなどが挙げられる。

【 0 0 1 4 】

なお、酸化物半導体は、微結晶シリコンまたは多結晶シリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた、半導体特性を示す金属酸化物である。そして、電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（*purified OS*）は、*i*型（真性半導体）又は*i*型に限りなく近く、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、酸化物半導体に含まれる水分または水素などの不純物を除去し、二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectrometry*）による、酸化物半導体に含まれる水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1 \times 10^{11} \text{ cm}^{-3}$ 未満とする。即ち、酸化物半導体膜のキャリア密度は、限りなくゼロに近

い。また、バンドギャップは 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0015】

ここで、酸化物半導体膜中及び導電膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、SIMSで行う。SIMSは、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値または極小値を、当該膜中の水素濃度として採用する。さらに、当該膜の存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0016】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素が多量に含まれていることが判明している。水分または水素はドナー準位を形成しやすいため、酸化物半導体自体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減するために、酸化物半導体膜に対して、窒素、酸素、超乾燥空気（水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で加熱処理を行う。上記加熱処理は、 500 以上 850 以下（若しくはガラス基板の歪点以下）、好ましくは 550 以上 750 以下の温度範囲で行うのが望ましい。なお、この加熱処理は、用いる基板の耐熱温度を超えないものとする。水分または水素の加熱処理による脱離の効果については、TDS（Thermal Desorption Spectroscopy；昇温脱離ガス分析）により確認済みである。

【0017】

加熱処理は、炉での熱処理またはラピッドサーマルアニール法（RTA法）を用いる。RTA法は、ランプ光源を用いる方法と、加熱されたガス中に基板を移動させて短時間の熱処理を行う方法がある。RTA法を用いると熱処理に要する時間を 0.1 時間よりも短くすることもできる。

【0018】

具体的に、上述した加熱処理により高純度化された酸化物半導体膜を活性層として用いたトランジスタは、例えば、チャネル幅 W が $1 \times 10^6\text{ }\mu\text{m}$ でチャネル長 L が $10\text{ }\mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流（ゲート電極とソース電極間の電圧を 0 V としたときのドレイン電流）が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{ A}$ 以下という特性を得ることができる。よって、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100\text{ z A}/\mu\text{m}$ 以下であることが分かる。また、保持容量の電荷を保持するためのスイッチング素子として、高純度化された酸化物半導体膜を有するゲート絶縁膜の厚さが 100 nm のトランジスタを用いて、保持容量の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定したところ、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、 $10\text{ z A}/\mu\text{m}$ 乃至 $100\text{ z A}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。したがって、本発明の一態様に係る記憶装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、 $100\text{ z A}/\mu\text{m}$ 以下、好ましくは $10\text{ z A}/\mu\text{m}$ 以下、更に好ましくは $1\text{ z A}/\mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、ゲート電極とソース電極間の電圧が 0 以下におけるオフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0019】

また、高純度化された酸化物半導体を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体中で電子供与体（ドナー）となる不純物を除去して、酸化物半導体が高純度化することによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するためと言える。また、これは、酸化物半導体のエネルギーギャップが3 eV以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース電極及びドレイン電極が縮退した状態にあることも、温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース電極から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度には温度依存性がないことから、オフ電流の温度依存性がみられないことを説明することができる。

10

【0020】

なお、酸化物半導体は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体や、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、In-Sn-Ga-Zn-O系酸化物半導体とは、インジウム（In）、錫（Sn）、ガリウム（Ga）、亜鉛（Zn）を有する金属酸化物、という意味であり、その化学量論的組成比は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

20

【0021】

或いは、酸化物半導体は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記することができる。ここで、Mは、Ga、Al、Mn及びCoから選ばれた一又は複数の金属元素を示す。

【発明の効果】

【0022】

上記オフ電流の低いトランジスタを、記憶素子に蓄積された電荷を保持するためのスイッチング素子として用いることで、記憶素子からの電荷のリークを防ぐことができる。よって、長期間に渡るデータの保持が可能な記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

30

【0023】

また、記憶素子へのデータの書き込み及び読み出しに必要な電圧は、スイッチング素子として機能するトランジスタの動作電圧によりほぼ決まる。よって、従来のフラッシュに比べて動作電圧を格段に低くすることができ、消費電力を抑えられる記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

【0024】

また、トンネル電流によるゲート絶縁膜の劣化を、従来のフラッシュに比べて抑えることができるので、データの書き換え回数を増やすことができる記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

40

【図面の簡単な説明】

【0025】

【図1】メモリセルの構成を示す図。

【図2】(A) 記憶素子の構成と、(B) その動作について説明する図。

【図3】メモリセルの構成を示す図。

【図4】メモリセルの構成を示す図。

【図5】セルアレイの構成を示す図。

【図6】セルアレイの構成を示す図。

50

【図 7】記憶装置の駆動方法を示すタイミングチャート。

【図 8】記憶装置の構成を示す図。

【図 9】読み出し回路の構成を示す図。

【図 10】記憶装置の作製方法を示す、メモリセルの断面図。

【図 11】メモリセルの上面図。

【図 12】酸化物半導体を用いた逆スタガ型のトランジスタの縦断面図。

【図 13】図 12 に示す A - A' 上におけるエネルギーバンド図（模式図）。

【図 14】（A）ゲート電極（GE）に正の電圧（ $V_G > 0$ ）が印加された状態を示し、（B）ゲート電極（GE）に負の電圧（ $V_G < 0$ ）が印加された状態を示す図。

【図 15】真空準位と金属の仕事関数（ ϕ_M ）、酸化物半導体の電子親和力（ χ ）の関係を示す図。

10

【図 16】記憶媒体の構成を示す図。

【図 17】電子機器の構成を示す図。

【図 18】測定用回路の構成を示す図。

【図 19】測定結果を示す図（経過時間 Time と、出力電位 V_{out} との関係を示す図）。

【図 20】測定結果を示す図（ソース - ドレイン電圧 V と、オフ電流 I との関係を示す図）。

【図 21】記憶装置の駆動方法を示すタイミングチャート。

【発明を実施するための形態】

20

【0026】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0027】

なお、マイクロプロセッサ、画像処理回路などの集積回路や、RF タグ、記憶媒体、半導体表示装置など、記憶装置を用いることができるありとあらゆる半導体装置が、本発明の範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子（OLED）に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD（Digital Micromirror Device）、PDP（Plasma Display Panel）、FED（Field Emission Display）など、半導体膜を用いた回路素子を画素部または駆動回路に有している半導体表示装置が、その範疇に含まれる。

30

【0028】

（実施の形態 1）

図 1（A）に、本発明の記憶装置の最小単位に当たるメモリセルの、回路図の一例を示す。図 1（A）に示すメモリセル 100 は、記憶素子として機能するトランジスタ 101 と、トランジスタ 101 の第 2 のゲート電極への電位の供給を制御することができる、スイッチング素子として機能するトランジスタ 102 とを有する。また、メモリセル 100 は、トランジスタ 101 の第 2 のゲート電極の電位を保持するための容量素子 103 が設けられていても良い。

40

【0029】

なお、メモリセル 100 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0030】

記憶素子として機能するトランジスタ 101 は、第 1 のゲート電極と、第 2 のゲート電極と、第 1 のゲート電極と第 2 のゲート電極の間に位置する半導体膜と、第 1 のゲート電極と半導体膜の間に位置する第 1 の絶縁膜と、第 2 のゲート電極と半導体膜の間に位置する第 2 の絶縁膜と、半導体膜に接するソース電極及びドレイン電極と、を有する。トランジ

50

スタ１０１の第１のゲート電極、第２のゲート電極、ソース電極、ドレイン電極に与える電位により、記憶装置の各種動作を制御することができる。

【００３１】

スイッチング素子として機能するトランジスタ１０２は、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むものである。このような半導体材料をトランジスタ１０２のチャネル形成領域に用いることで、オフ電流を十分低減することができるからである。

【００３２】

シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）などの化合物半導体、酸化亜鉛（ＺｎＯ）などの金属酸化物でなる酸化物半導体などを適用することができる。この中でも酸化物半導体は、スパッタリング法や湿式法（印刷法など）により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンのプロセス温度は約１５００、窒化ガリウムのプロセス温度は約１１００であるが、酸化物半導体の成膜温度は、３００～５００（ガラス転移温度以下、最大でも７００程度）と低く、安価で入手しやすいガラス基板上への成膜が可能であり、また、１５００～２０００もの高温での熱処理に対する耐性を有さない半導体材料を用いた集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能（例えば電界効果移動度）を向上させるために結晶性の酸化物半導体を得ようとする場合でも、４５０から８００の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【００３３】

以下の説明では第２のトランジスタ１０２の半導体膜として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。

【００３４】

なお、図１（Ａ）では、メモリセル１００がスイッチング素子として機能するトランジスタ１０２を一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子として機能するトランジスタが各メモリセルに最低限１つ設けられていれば良く、上記トランジスタの数は複数であっても良い。メモリセル１００がスイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【００３５】

なお、トランジスタが直列に接続されている状態とは、第１のトランジスタのソース電極とドレイン電極のいずれか一方のみが、第２のトランジスタのソース電極とドレイン電極のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第１のトランジスタのソース電極が第２のトランジスタのソース電極に接続され、第１のトランジスタのドレイン電極が第２のトランジスタのドレイン電極に接続されている状態を意味する。

【００３６】

また、スイッチング素子として機能するトランジスタ１０２は、記憶素子として機能するトランジスタ１０１とは異なり、活性層の片側にだけ存在するゲート電極を有していれば良い。ただし、本発明はこの構成に限定されず、スイッチング素子として機能するトランジスタも、記憶素子として機能するトランジスタと同様に、活性層を間に挟んで存在する一対のゲート電極を有していても良い。

【００３７】

また、本発明の一態様では、少なくとも、スイッチング素子として機能するトランジスタ１０２が、上述したワイドギャップ半導体材料を活性層に有していれば良い。よって、記憶素子として機能するトランジスタ１０１の活性層に、酸化物半導体膜が用いられていて

10

20

30

40

50

も良い。或いは、記憶素子として機能するトランジスタ101の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いられていても良い。ただし、メモリセル100内の全てのトランジスタの活性層に、酸化物半導体膜を用いることで、プロセスを簡略化することができる。

【0038】

次いで、図1(A)に示したメモリセル100における、トランジスタ101、トランジスタ102、容量素子103の接続関係について説明する。

【0039】

トランジスタ102のゲート電極は、書き込み用ワード線WLに接続されている。そして、トランジスタ102は、ソース電極とドレイン電極のうち、いずれか一方が入力用データ線Dinに接続され、他方が、トランジスタ101の第2のゲート電極に接続されている。また、トランジスタ101の第1のゲート電極は、読み出し用ワード線RLに接続されている。そして、トランジスタ101は、ソース電極とドレイン電極のうち、いずれか一方が出力用データ線Doutに接続され、他方がグラウンドなどの固定電位が与えられている電源線に接続されている。

10

【0040】

また、容量素子103が有する一对の電極は、一方がトランジスタ101の第2のゲート電極に接続されており、他方がグラウンドなどの固定電位が与えられている電源線に接続されている。

【0041】

20

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

【0042】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っているだけの場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【0043】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低差によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。本明細書では、便宜上、ソース電極とドレイン電極とが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソース電極とドレイン電極の呼び方が入れ替わる。

【0044】

40

なお、図1(A)では、トランジスタ102がゲート電極を活性層の片側にのみ有している場合を示している。トランジスタ102が、活性層を間に挟んで存在する一对のゲート電極を有している場合は、一方のゲート電極が書き込み用ワード線WLに接続され、他方のゲート電極は、電気的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、一对の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみグラウンドなどの固定電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタ102の閾値電圧を制御することができる。

【0045】

次いで、図1(B)に、図1(A)に示した回路構成を有するメモリセル100の、断面

50

図の一例を示す。図 1 (B) に示すメモリセルは、記憶素子として機能するトランジスタ 1 0 1 と、スイッチング素子として機能するトランジスタ 1 0 2 とが、絶縁表面を有する基板 1 1 0 上に形成されている。

【 0 0 4 6 】

具体的に、トランジスタ 1 0 1 は、絶縁表面を有する基板 1 1 0 上に、第 1 のゲート電極 1 2 1 と、第 1 のゲート電極 1 2 1 上の絶縁膜 1 1 2 と、絶縁膜 1 1 2 を間に挟んで第 1 のゲート電極 1 2 1 と重なる、活性層として機能する酸化物半導体膜 1 2 3 と、酸化物半導体膜 1 2 3 上のソース電極 1 2 4、ドレイン電極 1 2 5 と、酸化物半導体膜 1 2 3、ソース電極 1 2 4 及びドレイン電極 1 2 5 上の絶縁膜 1 1 6 と、絶縁膜 1 1 6 上において酸化物半導体膜 1 2 3 と重なっている第 2 のゲート電極 1 2 6 とを有している。また、第 2 のゲート電極 1 2 6 上には絶縁膜 1 1 7 が形成されており、トランジスタ 1 0 1 は絶縁膜 1 1 7 を構成要素に含んでいても良い。

10

【 0 0 4 7 】

また、トランジスタ 1 0 2 は、絶縁表面を有する基板 1 1 0 上に、ゲート電極 1 1 1 と、ゲート電極 1 1 1 上の絶縁膜 1 1 2 と、絶縁膜 1 1 2 を間に挟んでゲート電極 1 1 1 と重なる、活性層として機能する酸化物半導体膜 1 1 3 と、酸化物半導体膜 1 1 3 上のソース電極 1 1 4、ドレイン電極 1 1 5 とを有している。酸化物半導体膜 1 1 3、ソース電極 1 1 4 及びドレイン電極 1 1 5 上には絶縁膜 1 1 6 が形成されており、トランジスタ 1 0 2 は絶縁膜 1 1 6 を構成要素に含んでいても良い。

20

【 0 0 4 8 】

また、容量素子 1 0 3 は、トランジスタ 1 0 1 のソース電極 1 2 4 と、第 2 のゲート電極 1 2 6 とが、絶縁膜 1 1 6 を間に挟んで重なり合っている領域に形成されている。

【 0 0 4 9 】

次いで、図 2 を用いて、記憶素子として機能するトランジスタの動作について、トランジスタ 1 0 1 が n チャネル型であり、なおかつ 2 値のデータを扱う場合を例に挙げて説明する。なお、図 2 (A) には、トランジスタ 1 0 1 の回路図を示しており、第 1 のゲート電極の電位を V_{cg} 、第 2 のゲート電極の電位を V_{bg} 、ソース電極の電位を V_s 、ドレイン電極の電位を V_d として、トランジスタ 1 0 1 が有する各電極の電位を表記している。

【 0 0 5 0 】

まず、データの書き込み時におけるトランジスタ 1 0 1 の動作について説明する。書き込み時において、トランジスタ 1 0 1 は、第 1 のゲート電極とソース電極間に、閾値電圧 V_{th0} と同じか、それよりも低い電圧が印加される。なお、閾値電圧 V_{th0} は、第 2 のゲート電極の電位 V_{bg} がグラウンドの電位 V_{gnd} に等しいときの、トランジスタ 1 0 1 の閾値電圧に相当する。具体的に、書き込み時における第 1 のゲート電極とソース電極の電位の関係は、 $V_{cg} - V_s = V_{th0}$ となる。よって、トランジスタ 1 0 1 は書き込み時においてオフであり、ドレイン電極はハイインピーダンスの状態にある。

30

【 0 0 5 1 】

そして、データの書き込み時において、第 2 のゲート電極の電位 V_{bg} は、書き込むデータの値に従ってその高さが制御される。2 値のデータを扱う場合、第 2 のゲート電極には、高電位 V_{dd} か、もしくは低電位 V_{ss} の、いずれかが与えられる。各電位の関係は、 $V_{dd} > V_{ss} > V_{gnd}$ で表される。例えば、第 2 のゲート電極の電位 V_{bg} が低電位 $V_{ss} = V_{gnd}$ に設定された場合、トランジスタ 1 0 1 の閾値電圧は V_{th0} のままである。一方、第 2 のゲート電極の電位 V_{bg} が高電位 V_{dd} に設定された場合、トランジスタ 1 0 1 の閾値電圧はマイナス側にシフトし、 V_{th1} となる。

40

【 0 0 5 2 】

なお、本実施の形態では、書き込み時において低電位 $V_{ss} = V_{gnd}$ である場合を例に挙げて説明したが、低電位 V_{ss} は必ずしもグラウンドの電位 V_{gnd} と等しくする必要はない。例えば、 $V_{dd} > V_{ss} > V_{gnd}$ としてもよい。ただし、この場合、閾値電圧のシフト量は、第 2 のゲート電極の電位 V_{bg} が高電位 V_{dd} に設定された場合における閾値電圧のシフト量よりも、小さいものとする。

50

【 0 0 5 3 】

次いで、データの保持時におけるトランジスタ 1 0 1 の動作について説明する。保持時において、スイッチング素子として機能するトランジスタ 1 0 2 はオフである。上述したようにトランジスタ 1 0 2 はオフ電流が著しく低いので、第 2 のゲート電極の電位 V_{bg} は、書き込み時において設定された高さを保持する。

【 0 0 5 4 】

次いで、データの読み出し時におけるトランジスタ 1 0 1 の動作について説明する。読み出し時において、トランジスタ 1 0 1 は、第 1 のゲート電極とソース電極間に、閾値電圧 V_{th1} よりも高く V_{th0} よりも低い電圧が印加される。

【 0 0 5 5 】

そして、直前に行われたデータの書き込み時において、トランジスタ 1 0 1 の閾値電圧が V_{th1} に設定されている場合は、第 1 のゲート電極とソース電極間の電圧が閾値電圧 V_{th1} よりも高くなることで、トランジスタ 1 0 1 がオンになり、ソース電極とドレイン電極間の抵抗値が下がる。よって、ソース電極の電位 V_s は、ドレイン電極に与えられる。一方、直前に行われたデータの書き込み時において、トランジスタ 1 0 1 の閾値電圧が V_{th0} に設定されている場合、第 1 のゲート電極とソース電極間の電圧が、閾値電圧 V_{th1} よりも高くなっても、閾値電圧 V_{th0} よりも低いと、トランジスタ 1 0 1 はオフのままである。よって、ソース電極とドレイン電極間の抵抗値が高く、ドレイン電極の電位 V_d はハイインピーダンスの状態のままである。

【 0 0 5 6 】

従って、ドレイン電極の電位 V_d は、直前に行われたデータの書き込み時において、第 2 のゲート電極に与えられた電位の高さに連動している。図 2 (B) に、読み出し時における、第 1 のゲート電極の電位 V_{cg} と、トランジスタ 1 0 1 のドレイン電流 I_d の関係を示す。線 1 3 0 は、閾値電圧が V_{th1} に設定されている場合の、電位 V_{cg} とドレイン電流 I_d の関係を示しており、線 1 3 1 は、閾値電圧が V_{th0} に設定されている場合の、電位 V_{cg} とドレイン電流 I_d の関係を示している。図 2 (B) に示すように、第 1 のゲート電極とソース電極間の電圧が、閾値電圧 V_{th1} よりも高く、閾値電圧 V_{th0} よりも低い電位 V_{read} に設定されると、線 1 3 0 と線 1 3 1 から、閾値電圧が V_{th1} の場合に得られるドレイン電流 I_{d1} が、閾値電圧が V_{th0} の場合に得られるドレイン電流 I_{d0} よりも高くなる。よって、ドレイン電流 I_d もしくはドレイン電極の電位 V_d の値を読み取ることで、書き込まれたデータの値を把握することができる。

【 0 0 5 7 】

なお、本実施の形態では、読み出し時において第 1 のゲート電極とソース電極間の電圧が、閾値電圧 V_{th1} よりも高く、閾値電圧 V_{th0} よりも低い場合について説明したが、本発明はこの構成に限定されない。読み出し時における第 1 のゲート電極とソース電極間の電圧は、必ずしも閾値電圧 V_{th0} 以下である必要はない。例えば、直前に行われたデータの書き込み時において、トランジスタ 1 0 1 の閾値電圧が V_{th1} に設定されている場合、読み出し時において、第 1 のゲート電極とソース電極間の電圧が閾値電圧 V_{th0} より高いと、トランジスタ 1 0 1 がオンになり、ソース電極とドレイン電極間の抵抗値が下がる。このときの、ソース電極とドレイン電極間の抵抗値を R_{ds0} とする。一方、直前に行われたデータの書き込み時において、トランジスタ 1 0 1 の閾値電圧が V_{th0} に設定されている場合、読み出し時において、第 1 のゲート電極とソース電極間の電圧が閾値電圧 V_{th0} より高いと、トランジスタ 1 0 1 はオンになり、ソース電極とドレイン電極間の抵抗値が下がる。このときの、ソース電極とドレイン電極間の抵抗値を R_{ds1} とする。そして、少なくとも、閾値電圧が V_{th1} に設定されている場合に、トランジスタ 1 0 1 を飽和領域で動作させることで、読み出し時におけるトランジスタ 1 0 1 が、 V_{th1} 及び V_{th0} のいずれの閾値電圧設定時においてオンの状態であっても、ソース電極とドレイン電極間の抵抗値を $R_{ds0} < R_{ds1}$ として差を持たせることができる。具体的には、第 1 のゲート電極とソース電極間の電圧を V_{gs} 、ソース電極とドレイン電極間の電圧 V_{ds} とすると、 $|V_{ds}| > |V_{gs} - V_{th0}|$ を満たす範囲において、トラ

10

20

30

40

50

ンジスタ101を動作させればよい。ソース電極とドレイン電極間の抵抗値を $R_{ds0} < R_{ds1}$ として差を持たせることで、読み出し時における第1のゲート電極とソース電極間の電圧が、閾値電圧 V_{th0} より高くあっても、ドレイン電極の電位 V_d を、直前に行われたデータの書き込み時において第2のゲート電極に与えられた電位の高さに連動させることが可能である。例えば、図2(B)に示すように、第1のゲート電極とソース電極間の電圧が、閾値電圧 V_{th0} よりも高い電位 $V_{read'}$ に設定されると、線130と線131から、閾値電圧が V_{th1} の場合に得られるドレイン電流 $I_{d1'}$ が、閾値電圧が V_{th0} の場合に得られるドレイン電流 $I_{d0'}$ よりも高くなる。よって、ドレイン電流 I_d もしくはドレイン電極の電位 V_d の値を読み取ることで、書き込まれたデータの値を把握することができる。

10

【0058】

次いで、データの消去時におけるトランジスタ101の動作について説明する。消去時において、トランジスタ101は、データの書き込み時と同様に、第1のゲート電極とソース電極間に、閾値電圧 V_{th1} と同じか、それよりも低い電圧が印加される。具体的に、消去時における第1のゲート電極とソース電極の電位の関係は、 $V_{cg} - V_s = V_{th1}$ となる。よって、トランジスタ101は消去時においてオフであり、ドレイン電極はハイインピーダンスの状態にある。そして、データの消去時において、第2のゲート電極の電位 V_{bg} は、グラウンドなどの固定電位に設定され、トランジスタ101の閾値電圧は V_{th0} に設定される。

【0059】

20

なお、本実施の形態では、書き込んだデータを消去する記憶装置の駆動方法について説明したが、本発明はこの構成に限定されない。本発明の一態様に係る記憶装置は、従来のフラッシュメモリとは異なり、消去動作を必要としない点が、利点の一つでもある。よって、例えば、先に書き込んだデータに上書きするように、別のデータを書き込むことも可能である。

【0060】

なお、一般的なフラッシュメモリの場合、データの書き込み時において、電荷を蓄積するフローティングゲートが、絶縁膜で覆われた絶縁状態にある。よって、フローティングゲートに、トンネル効果を利用して電荷を蓄積させるためには、20V程度の高い電圧を記憶素子に印加する必要がある。しかし、本発明の一態様では、高純度化された酸化物半導体膜をトランジスタの活性層として用いたトランジスタにより、データの書き込み及び読み出しを行うことができる。よって、記憶装置の動作時に必要な電圧は数V程度であり、消費電力を格段に小さく抑えることができる。なお、フラッシュメモリの記憶素子として用いられているトランジスタと、本発明の一態様に係る記憶装置の記憶素子として用いられているトランジスタとは、構造や駆動方法が異なるため、記憶素子の各電極に与えられる電位から、動作時の消費電力の違いを正確に把握することは難しい。しかし、例えば、データの書き込み時についてのみに着目して消費電力を比較してみると、本発明の一態様に係る記憶装置では、第2のゲート電極とソース電極間に印加される電圧が5Vあれば十分データの書き込みが可能である。一方、通常のフラッシュメモリでは、フローティングゲートに電荷を蓄積させてデータの書き込みを行うために、ゲート電極とソース電極間に、少なくとも16V程度の電圧が必要となる。トランジスタにおいて消費される電力は、トランジスタのゲート電圧の二乗を、トランジスタの負荷抵抗で割ったものに相当することから、本発明の一態様に係る記憶装置の消費電力は、通常のフラッシュメモリの消費電力の約10%程度であることがわかる。したがって、書き込み時における消費電力の比較から、動作時の消費電力が大幅に削減できることがわかる。

30

40

【0061】

なお、一般的なフラッシュメモリを用いた半導体装置では、フラッシュメモリの動作時に必要な電圧（動作電圧）が大きいので、通常、昇圧回路などを用いてフラッシュメモリに与える電圧を昇圧している。しかし、本発明の一態様に係る記憶装置では、記憶装置の動作電圧を小さく抑えられるので、消費電力を小さくすることができる。よって、半導体装

50

置内の、記憶装置の動作に係わる昇圧回路などの外部回路の負担を軽減することができ、その分、外部回路の機能拡張などを行い、半導体装置の高機能化を実現することができる。また、記憶装置の動作電圧を小さく抑えられることで、動作電圧の大きさをカバーするための冗長な回路設計が不要となるため、半導体装置に用いられている集積回路の集積度を高めることができ、半導体装置を高機能化させることができる。

【0062】

また、本実施の形態では、2値のデジタルデータを扱う場合の駆動方法について説明したが、本発明の記憶装置では、3値以上の多値のデータを扱うことも可能である。3値以上の多値のデータを扱う場合は、データの書き込み時において、第2のゲート電極の電位 V_{bg} の高さを、3つ以上選択できるようにする。閾値電圧の値は、第2のゲート電極の電位 V_{bg} により制御されるので、上記構成により、設定された第2のゲート電極の電位 V_{bg} の高さに従って、閾値電圧の高さを3段階以上に設定できる。そして、閾値電圧の高さの違いによりドレイン電流に生じる差、或いは、閾値電圧の高さの違いによりソース電極とドレイン電極間の抵抗値に生じる差を用いて、多値のデータの読み出しを行なうことができる。さらに別の方法として、閾値電圧の高さの各段階に応じて、予め各段階よりもやや高めの電圧を準備しておき、その準備した電圧を第1のゲート電極に印加し、閾値電圧の高さの段階分だけ読み出しを行う。例えば、4値のデータを読み出す場合、4段階の閾値電圧 (V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3}) の各段階よりもやや高めの4つの電圧 (V_{read0} 、 V_{read1} 、 V_{read2} 、 V_{read3}) を予め準備しておき、4つの電圧を用いて4回の読み出しを行うことで、4値のデータを読み出すことができる。上記構成によって、面積を抑えつつ、記憶装置の記憶容量を増やすことができる。

【0063】

なお、3値以上の多値のデータの場合、値が4値、5値と増えていくにつれて各値どうしの閾値電圧の差が小さくなるため、微少なオフ電流が存在すると、第2のゲート電極の電位が変化し、データの正確さを維持するのが難しく、保持期間がさらに短くなる傾向にある。しかし、本発明の一態様では、高純度化された酸化物半導体膜を用いることでオフ電流が著しく低減されたトランジスタをスイッチング素子として用いるので、シリコンを用いたトランジスタよりも、オフ電流を防ぐ効果がより高い。従って、多値化に伴う保持期間の短縮化を抑えることができる。

【0064】

また、図1(B)では、スイッチング素子として機能するトランジスタ102が、ゲート電極111上に酸化物半導体膜113を有するボトムゲート型である場合を例示しているが、トランジスタ102はボトムゲート型に限定されない。トランジスタ102は、酸化物半導体膜を活性層として用いていれば良く、例えば、酸化物半導体膜上にゲート電極を有するトップゲート型であっても良い。また、トランジスタ102は、ソース電極114とドレイン電極115が酸化物半導体膜113上に形成されているトップコンタクト型に限定されず、ソース電極114とドレイン電極115上に酸化物半導体膜113が形成されているボトムコンタクト型であっても良い。また、トランジスタ102は、ソース電極114とドレイン電極115間において絶縁膜116に重なる酸化物半導体膜113の膜厚が、他の部分よりも薄くなっているチャネルエッチ型であるが、本発明はこの構成に限定されない。ソース電極114とドレイン電極115の形成のためのエッチング時のプラズマによるダメージやエッチングによる膜減りなどを防ぐために、ソース電極114とドレイン電極115間において酸化物半導体膜113上にチャネル保護膜を有する、チャネル保護型であっても良い。

【0065】

図3(A)に、図1(A)に示した回路構成を有するメモリセル100の、断面図の一例を示す。図3(A)に示すメモリセルは、記憶素子として機能するチャネル保護型のトランジスタ101と、スイッチング素子として機能するチャネル保護型のトランジスタ102とが、絶縁表面を有する基板140上に形成されている。

【0066】

具体的に、トランジスタ１０１は、絶縁表面を有する基板１４０上に、第１のゲート電極１５１と、第１のゲート電極１５１上の絶縁膜１４２と、絶縁膜１４２を間に挟んで第１のゲート電極１５１と重なる、活性層として機能する酸化物半導体膜１５３と、酸化物半導体膜１５３上においてゲート電極１５１と重なるチャネル保護膜１５７と、酸化物半導体膜１５３上のソース電極１５４、ドレイン電極１５５と、酸化物半導体膜１５３、チャネル保護膜１５７、ソース電極１５４及びドレイン電極１５５上の絶縁膜１４６と、絶縁膜１４６上において酸化物半導体膜１５３と重なっている第２のゲート電極１５６とを有している。また、第２のゲート電極１５６上には絶縁膜１４７が形成されており、トランジスタ１０１は絶縁膜１４７を構成要素に含んでいても良い。

【００６７】

10

また、トランジスタ１０２は、絶縁表面を有する基板１４０上に、ゲート電極１４１と、ゲート電極１４１上の絶縁膜１４２と、絶縁膜１４２を間に挟んでゲート電極１４１と重なる、活性層として機能する酸化物半導体膜１４３と、酸化物半導体膜１４３上のチャネル保護膜１４８と、酸化物半導体膜１４３上のソース電極１４４及びドレイン電極１４５とを有している。酸化物半導体膜１４３、チャネル保護膜１４８、ソース電極１４４及びドレイン電極１４５上には絶縁膜１４６が形成されており、トランジスタ１０２は絶縁膜１４６を構成要素に含んでいても良い。

【００６８】

また、容量素子１０３は、トランジスタ１０１のソース電極１５４と、第２のゲート電極１５６とが、絶縁膜１４６を間に挟んで重なりあっている領域に形成されている。

20

【００６９】

チャネル保護膜１５７、チャネル保護膜１４８は、プラズマＣＶＤ法や熱ＣＶＤ法などの化学気相成長法やスパッタリング法を用いて形成することができる。また、チャネル保護膜１５７、チャネル保護膜１４８には、酸素を含む無機材料（酸化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることが望ましい。酸素を含む無機材料をチャネル保護膜１５７、チャネル保護膜１４８に用いることで、酸化物半導体膜１５３、酸化物半導体膜１４３中の水分または水素を低減させるための加熱処理により酸素欠損が発生していたとしても、酸化物半導体膜１５３、酸化物半導体膜１４３の少なくともチャネル保護膜１５７、チャネル保護膜１４８とそれぞれ接する領域に酸素を供給し、ドナーとなる酸素欠損を低減して化学量論的組成比を満たす構成とすることが可能である。よって、チャネル形成領域を、*i*型化または実質的に*i*型化させることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

30

【００７０】

なお、チャネル形成領域とは、半導体膜のうち、ゲート絶縁膜を間に挟んでゲート電極と重なる領域に相当する。記憶素子として用いるトランジスタの場合は、半導体膜のうち、ソース電極とドレイン電極の間において、ゲート絶縁膜を間に挟んで、第１のゲート電極または第２のゲート電極と重なる領域に相当する。

【００７１】

次いで、図３（Ｂ）に、図１（Ａ）に示した回路構成を有するメモリセル１００の、断面図の一例を示す。図３（Ｂ）に示すメモリセルは、記憶素子として機能するボトムコンタクト型のトランジスタ１０１と、スイッチング素子として機能するボトムコンタクト型のトランジスタ１０２とが、絶縁表面を有する基板１６０上に形成されている。

40

【００７２】

具体的に、トランジスタ１０１は、絶縁表面を有する基板１６０上に、第１のゲート電極１７１と、第１のゲート電極１７１上の絶縁膜１６２と、絶縁膜１６２上のソース電極１７４及びドレイン電極１７５と、絶縁膜１６２を間に挟んで第１のゲート電極１７１と重なっており、ソース電極１７４及びドレイン電極１７５と接している、活性層として機能する酸化物半導体膜１７３と、酸化物半導体膜１７３、ソース電極１７４及びドレイン電極１７５上の絶縁膜１６６と、絶縁膜１６６上において酸化物半導体膜１７３と重なっている第２のゲート電極１７６とを有している。また、第２のゲート電極１７６上には絶縁

50

膜 1 6 7 が形成されており、トランジスタ 1 0 1 は絶縁膜 1 6 7 を構成要素に含んでいても良い。

【 0 0 7 3 】

また、トランジスタ 1 0 2 は、絶縁表面を有する基板 1 6 0 上に、ゲート電極 1 6 1 と、ゲート電極 1 6 1 上の絶縁膜 1 6 2 と、絶縁膜 1 6 2 上のソース電極 1 6 4 及びドレイン電極 1 6 5 と、絶縁膜 1 6 2 を間に挟んでゲート電極 1 6 1 と重なっており、ソース電極 1 6 4 及びドレイン電極 1 6 5 と接している、活性層として機能する酸化物半導体膜 1 6 3 と、を有している。酸化物半導体膜 1 6 3、ソース電極 1 6 4 及びドレイン電極 1 6 5 上には絶縁膜 1 6 6 が形成されており、トランジスタ 1 0 2 は絶縁膜 1 6 6 を構成要素に含んでいても良い。

10

【 0 0 7 4 】

また、容量素子 1 0 3 は、トランジスタ 1 0 1 のソース電極 1 7 4 と、第 2 のゲート電極 1 7 6 とが、絶縁膜 1 6 6 を間に挟んで重なりあっている領域に形成されている。

【 0 0 7 5 】

また、図 1 (A)、図 3 (A)、図 3 (B) では、記憶素子として機能するトランジスタ 1 0 1 の活性層に、酸化物半導体膜が用いられている場合を例示しているが、上述したように、トランジスタ 1 0 1 の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体が用いられていても良い。

【 0 0 7 6 】

図 4 (A) に、記憶素子として機能するトランジスタ 1 0 1 の活性層に、シリコンを含む半導体膜を用いた場合の、メモリセル 1 0 0 の断面図を、一例として示す。図 4 (A) に示すメモリセルは、記憶素子として機能するトランジスタ 1 0 1 と、スイッチング素子として機能するトランジスタ 1 0 2 とが、絶縁表面を有する基板 2 0 0 上に形成されている。

20

【 0 0 7 7 】

具体的に、トランジスタ 1 0 2 は、絶縁表面を有する基板 2 0 0 上に、ゲート電極 2 1 1 と、ゲート電極 2 1 1 上の絶縁膜 2 3 0 と、絶縁膜 2 3 0 を間に挟んでゲート電極 2 1 1 と重なる、活性層として機能する酸化物半導体膜 2 1 3 と、酸化物半導体膜 2 1 3 上のソース電極 2 1 4 及びドレイン電極 2 1 5 とを有している。酸化物半導体膜 2 1 3、ソース電極 2 1 4 及びドレイン電極 2 1 5 上には絶縁膜 2 3 1 が形成されており、トランジスタ 1 0 2 は絶縁膜 2 3 1 を構成要素に含んでいても良い。

30

【 0 0 7 8 】

また、トランジスタ 1 0 1 は、絶縁表面を有する基板 2 0 0 上に形成された絶縁膜 2 3 1 上に、第 1 のゲート電極 2 2 1 と、第 1 のゲート電極 2 2 1 上の絶縁膜 2 1 2 と、絶縁膜 2 1 2 を間に挟んで第 1 のゲート電極 2 2 1 と重なる、シリコンを用いた活性層として機能する半導体膜 2 2 3 と、半導体膜 2 2 3 上のソース電極 2 2 4、ドレイン電極 2 2 5 と、半導体膜 2 2 3、ソース電極 2 2 4 及びドレイン電極 2 2 5 上の絶縁膜 2 1 6 と、絶縁膜 2 1 6 上において半導体膜 2 2 3 と重なっている第 2 のゲート電極 2 2 6 とを有している。また、第 2 のゲート電極 2 2 6 上には絶縁膜 2 1 7 が形成されており、トランジスタ 1 0 1 は絶縁膜 2 1 7 を構成要素に含んでいても良い。

40

【 0 0 7 9 】

また、容量素子 1 0 3 は、トランジスタ 1 0 1 のドレイン電極 2 2 5 と、第 2 のゲート電極 2 2 6 とが、絶縁膜 2 1 6 を間に挟んで重なりあっている領域に形成されている。

【 0 0 8 0 】

次いで、図 4 (B) に、記憶素子として機能するトランジスタ 1 0 1 の活性層に、シリコンを含む半導体膜を用いた場合の、メモリセル 1 0 0 の断面図を、一例として示す。図 4 (B) に示すメモリセルは、記憶素子として機能するトランジスタ 1 0 1 と、スイッチング素子として機能するトランジスタ 1 0 2 とが、絶縁表面を有する基板 2 7 0 上に形成されている。

【 0 0 8 1 】

50

具体的に、トランジスタ１０２は、基板２７０上に形成された絶縁膜２４７上に、ゲート電極２４１と、ゲート電極２４１上の絶縁膜２６０と、絶縁膜２６０を間に挟んでゲート電極２４１と重なる、活性層として機能する酸化物半導体膜２４３と、酸化物半導体膜２４３上のソース電極２４４またはドレイン電極２４５とを有している。酸化物半導体膜２４３、ソース電極２４４及びドレイン電極２４５上には絶縁膜２６１が形成されており、トランジスタ１０２は絶縁膜２６１を構成要素に含んでいても良い。

【００８２】

また、トランジスタ１０１は、基板２７０上に、第１のゲート電極２５１と、第１のゲート電極２５１上の絶縁膜２４２と、絶縁膜２４２を間に挟んで第１のゲート電極２５１と重なる、シリコンを用いた活性層として機能する半導体膜２５３と、半導体膜２５３上のソース電極２５４、ドレイン電極２５５と、半導体膜２５３、ソース電極２５４及びドレイン電極２５５上の絶縁膜２４６と、絶縁膜２４６上において半導体膜２５３と重なっている第２のゲート電極２５６とを有している。また、第２のゲート電極２５６上には絶縁膜２４７が形成されており、トランジスタ１０１は絶縁膜２４７を構成要素に含んでいても良い。

10

【００８３】

また、容量素子１０３は、トランジスタ１０１のドレイン電極２５５と、第２のゲート電極２５６とが、絶縁膜２４６を間に挟んで重なりあっている領域に形成されている。

【００８４】

なお、図４（Ａ）と図４（Ｂ）に示したトランジスタ１０１は、ともにボトムゲート型である場合を例示しているが、トップゲート型であっても良いし、ボトムコンタクト型であっても良い。そして、トランジスタ１０１は、チャネルエッチ型であるが、チャネル保護型であっても良い。また、図４（Ａ）と図４（Ｂ）に示したトランジスタ１０２は、ともにボトムゲート型である場合を例示しているが、トップゲート型であっても良いし、ボトムコンタクト型であっても良い。そして、トランジスタ１０２は、チャネルエッチ型であるが、チャネル保護型であっても良い。

20

【００８５】

（実施の形態２）

本実施の形態では、複数のメモリセルを有する記憶装置の構成と、その駆動方法の一例について説明する。

30

【００８６】

図５に、複数のメモリセル３００がマトリクス状に接続された、ＮＯＲ型の記憶装置のセルアレイの回路図を、一例として示す。図５に示す記憶装置が有する各メモリセル３００の構成については、実施の形態１において、メモリセル１００の構成について説明した内容を参照することができる。

【００８７】

具体的に、メモリセル３００は、記憶素子として機能するトランジスタ３０１と、トランジスタ３０１の第２のゲート電極への電位の供給を制御することができる、スイッチング素子として機能するトランジスタ３０２とを有する。また、メモリセル３００は、トランジスタ３０１の第２のゲート電極の電位を保持するための容量素子３０３が設けられていても良い。メモリセル３００は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子を、さらに有していても良い。

40

【００８８】

図５に示すセルアレイでは、複数の入力用データ線Ｄｉｎ、複数の出力用データ線Ｄｏｕｔ、複数の書き込み用ワード線ＷＬ、複数の読み出し用ワード線ＲＬなどの各種配線が設けられており、セルアレイの駆動回路からの信号または電源電位が、これら配線を介して各メモリセル３００に供給される。よって、上記配線の本数は、メモリセル３００の数及び配置によって決めることができる。

【００８９】

具体的に、図５に示すセルアレイの場合、３行×３列のメモリセルがマトリクス状に接続

50

されており、少なくとも、入力用データ線 $D_{in1} \sim D_{in3}$ 、出力用データ線 $D_{out1} \sim D_{out3}$ 、書き込み用ワード線 $W_{L1} \sim W_{L3}$ 、読み出し用ワード線 $R_{L1} \sim R_{L3}$ が、セルアレイ内に配置されている場合を例示している。

【0090】

そして、上記配線と、メモリセル300内の回路素子との接続構造について、入力用データ線 D_{in1} 、出力用データ線 D_{out1} 、書き込み用ワード線 W_{L1} 、読み出し用ワード線 R_{L1} に接続されているメモリセル300のひとつを例に挙げ、説明する。トランジスタ302のゲート電極は、書き込み用ワード線 W_{L1} に接続されている。そして、トランジスタ302は、ソース電極とドレイン電極のうち、いずれか一方が入力用データ線 D_{in1} に接続され、他方が、トランジスタ301の第2のゲート電極に接続されている。また、トランジスタ301の第1のゲート電極は、読み出し用ワード線 R_{L1} に接続されている。そして、トランジスタ301は、ソース電極とドレイン電極のうち、いずれか一方が出力用データ線 D_{out1} に接続され、他方がグラウンドなどの固定電位が与えられている電源線304に接続されている。

10

【0091】

また、容量素子303が有する一对の電極は、一方がトランジスタ301の第2のゲート電極に接続されており、他方がグラウンドなどの固定電位が与えられている電源線304に接続されている。

【0092】

また、図6に、複数のメモリセル300が直列に接続された、NAND型の記憶装置のセルアレイの回路図を、一例として示す。図6に示す記憶装置が有する各メモリセルの構成は、図5と同じであり、実施の形態1において、メモリセル100の構成について説明した内容を参照することができる。

20

【0093】

図6に示すセルアレイの場合、3つのメモリセルが直列に接続されたセルアレイを3列分配置した場合を例示している。具体的には、 3×3 のメモリセルを備えるセルアレイで、入力用データ線 $D_{in1} \sim D_{in3}$ 、出力用データ線 $D_{out1} \sim D_{out3}$ 、書き込み用ワード線 $W_{L1} \sim W_{L3}$ 、読み出し用ワード線 $R_{L1} \sim R_{L3}$ 、選択信号線 $S_{E1} \sim S_{E2}$ 、電源線304が、セルアレイ内に配置されている場合を例示している。セルアレイの駆動回路からの信号または電源電位が、これら配線を介して各メモリセルに供給される。よって、上記配線の本数は、メモリセル300の数によって決めることができる。

30

【0094】

次いで、上記配線と、メモリセル300内の回路素子との接続構造について説明する。例えば、入力用データ線 D_{in1} 、出力用データ線 D_{out1} 、書き込み用ワード線 W_{L1} 、読み出し用ワード線 R_{L1} に接続されているメモリセル300に着目すると、トランジスタ302のゲート電極は、書き込み用ワード線 W_{L1} に接続されている。そして、トランジスタ302は、ソース電極とドレイン電極のうち、いずれか一方が入力用データ線 D_{in1} に接続され、他方が、トランジスタ301の第2のゲート電極に接続されている。また、トランジスタ301の第1のゲート電極は、読み出し用ワード線 R_{L1} に接続されている。そして、トランジスタ301は、出力用データ線 D_{out1} とグラウンドなどの固定電位が与えられている電源線304の間において、隣接するメモリセルどうしで直列に接続されている。

40

【0095】

また、容量素子303が有する一对の電極は、一方がトランジスタ301の第2のゲート電極に接続されており、他方がグラウンドなどの固定電位が与えられている電源線304に接続されている。

【0096】

次いで、図6に示すセルアレイを例に挙げ、本発明の一態様に係る記憶装置の動作について、図21を用いて説明する。図21は、各配線に入力される信号の電位の時間変化を示すタイミングチャートであり、トランジスタ301及びトランジスタ302がnチャンネル

50

型であり、なおかつ2値のデータを扱う場合を例示している。

【0097】

まず、データの書き込み時における記憶装置の動作について説明する。書き込み時において、書き込み用ワード線WL1にパルスをもつ信号が入力されると、当該パルスの電位、具体的にはハイレベルの電位が、トランジスタ302のゲート電極に与えられる。そして、書き込み用ワード線WL1にゲート電極が接続されているトランジスタ302は、全てオンになる。一方、読み出し用ワード線RL1にはローレベルの電位が入力されることで、トランジスタ301の第1のゲート電極にはローレベルの電位が与えられる。そして、読み出し用ワード線RL1に第1のゲート電極が接続されているトランジスタ301は、全てオフになる。

10

【0098】

そして、入力用データ線Din1~Din3に、順に、データを情報として含む信号が入力される。図21では、入力用データ線Din1と入力用データ線Din3にはハイレベルの電位をもつ信号を入力し、入力用データ線Din2にはローレベルの電位をもつ信号が入力されている場合を例示している。入力用データ線Din1~Din3に入力される信号の電位のレベルは、データの内容によって当然異なる。

【0099】

入力用データ線Din1~Din3に入力されている電位は、オンのトランジスタ302を介して、トランジスタ301が有する第2のゲート電極に与えられる。そして、第2のゲート電極の電位に従って、トランジスタ301の閾値電圧のシフト量が決まる。具体的には、入力用データ線Din1と入力用データ線Din3にはハイレベルの電位をもつ信号が入力されているので、入力用データ線Din1に接続されているメモリセル300と、入力用データ線Din3に接続されているメモリセル300において、トランジスタ301の第2のゲート電極の電位は、ハイレベルとなっている。つまり、当該メモリセル300において、記憶素子として機能するトランジスタ301は、図2における線130に従って動作する。一方、入力用データ線Din2にはローレベルの電位をもつ信号が入力されているので、入力用データ線Din2に接続されているメモリセル300において、トランジスタ301の第2のゲート電極の電位は、ローレベルとなっている。つまり、当該メモリセル300において、記憶素子として機能するトランジスタ301は、図2における線131に従って動作する。

20

30

【0100】

書き込み用ワード線WL1への、パルスをもつ信号の入力が終了すると、書き込み用ワード線WL1にゲート電極が接続されているトランジスタ302が、全てオフになる。そして、書き込み用ワード線WL2、書き込み用ワード線WL3に、パルスをもつ信号が順に入力され、書き込み用ワード線WL2をもつメモリセル、書き込み用ワード線WL3をもつメモリセルにおいて、上述した動作が同様に繰り返される。

【0101】

次いで、データの保持時における記憶装置の動作について説明する。保持時において、全ての書き込み用ワード線WL1~WL3には、トランジスタ302がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。トランジスタ302は、上述したようにオフ電流が著しく低いので、第2のゲート電極の電位は、書き込み時において設定されたレベルを保持する。また、全ての読み出し用ワード線RL1~RL3には、ローレベルの電位が与えられている。

40

【0102】

図21のタイミングチャートではデータを保持する動作を説明するために保持期間を設けている。しかし、実際のメモリの動作においては保持期間を設けなくとも良い。

【0103】

次いで、データの読み出し時における記憶装置の動作について説明する。読み出し時において、全ての書き込み用ワード線WL1~WL3には、保持時と同様に、トランジスタ302がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。

50

【 0 1 0 4 】

NAND型の記憶装置は、出力用データ線とグラウンドなどの固定電位が与えられている電源線の間において、隣接するメモリセルどうしが直列に接続されている。とあるメモリセルのデータを読み出したい場合、当該メモリセルと同一の出力用データ線に接続されているメモリセルを制御することで、当該メモリセルが接続された出力用データ線が、グラウンドなどの固定電位が与えられている電源線と導通するか否かで、記憶されている2値を区別することができる。

【 0 1 0 5 】

具体的には、入力用データ線 D_{in1} 、出力用データ線 D_{out1} 、書き込み用ワード線 W_{L1} 、読み出し用ワード線 R_{L1} に接続されているメモリセル300に着目し、当該メモリセル300に記憶されたハイレベルのデータを読み出す場合について考える。当該メモリセル300が接続されている出力用データ線 D_{out1} を選択するために、 S_{EL1} および S_{EL2} をハイレベルの電位にし、 S_{EL1} に接続されたトランジスタ320および S_{EL2} に接続されたトランジスタ321をオンする。そして、当該メモリセル300内のトランジスタ301の第1のゲート電極に接続された読み出し用ワード線 R_{L1} はローレベルにする。さらに、読み出し用ワード線 $R_{L2} \sim R_{L3}$ にハイレベルの電位を与えて、読み出し用ワード線 $R_{L2} \sim R_{L3}$ に接続された各トランジスタ301をオンする。当該メモリセル300のトランジスタ301は、第2のゲート電極にハイレベルのデータが書き込まれている。つまり、図2において示した、記憶素子として機能するトランジスタ301の動作に従い、閾値電圧はマイナス側にシフトし、 V_{th1} となっている。よって、トランジスタ301はオンとなっている。したがって、出力用データ線 D_{out1} に接続されたトランジスタは全てオンとなり、出力用データ線 D_{out1} はグラウンドが与えられている電源線と導通し、グラウンドとおおよそ同じ電位になる。

【 0 1 0 6 】

続いて、入力用データ線 D_{in2} 、出力用データ線 D_{out2} 、書き込み用ワード線 W_{L1} 、読み出し用ワード線 R_{L1} に接続されているメモリセル300に着目し、当該メモリセル300に記憶されたローレベルのデータを読み出す場合を考える。出力用データ線 D_{out2} を選択するために、 S_{EL1} および S_{EL2} をハイレベルの電位にし、 S_{EL1} に接続されたトランジスタ320および S_{EL2} に接続されたトランジスタ321をオンする。そして、当該メモリセル300内のトランジスタ301の第1のゲート電極に接続された読み出し用ワード線 R_{L1} はローレベルにする。さらに、読み出し用ワード線 $R_{L2} \sim R_{L3}$ にハイレベルの電位を与えて、読み出し用ワード線 $R_{L2} \sim R_{L3}$ に接続された各トランジスタ301をオンする。当該メモリセル300のトランジスタ301は、第2のゲート電極にローレベルのデータが書き込まれている。つまり、図2において示した、記憶素子として機能するトランジスタ301の動作に従い、閾値電圧はシフトせず、 V_{th0} となっている。よって、トランジスタ301はオフとなっている。したがって、出力用データ線 D_{out2} はグラウンドが与えられている電源線とは導通せずに、ハイインピーダンス状態となる。

【 0 1 0 7 】

なお、各出力用データ線 D_{out} の先には読み出し回路が接続されており、読み出し回路の出力信号がメモリの実際の出力となる。

【 0 1 0 8 】

なお、本実施の形態においては、データの読み出し時において出力用データ線を選択するに当たり、 S_{EL1} および S_{EL2} の二つの選択信号線とそれぞれの信号線にゲート電極が接続されたトランジスタを用いた場合を例示している。データの読み出し時における出力用データ線を選択は、出力用データ線とそれにつながる読み出し回路との導通、非導通を選択出来ればよいので、少なくとも一つの選択信号線とその選択信号線に接続されたトランジスタがあればよい。

【 0 1 0 9 】

本実施の形態では、書き込み、保持、読み出し、の各動作を、複数のメモリセルにおいて

10

20

30

40

50

順に行う駆動方法について説明したが、本発明はこの構成に限定されない。指定されたアドレスのメモリセルにおいてのみ、上記動作を行うようにしても良い。

【0110】

また、図6に示したセルアレイの場合、各メモリセルに、入力用データ線D_{in}、出力用データ線D_{out}、書き込み用ワード線W_L、読み出し用ワード線R_Lの4つの配線が接続されている場合を例示しているが、本発明の記憶装置において、各メモリセルに接続されている配線の数はこれに限定されない。トランジスタ301のスイッチングを制御するための信号、トランジスタ302のスイッチングを制御するための信号、トランジスタ301が有する第2のゲート電極に電位を供給するための信号を、メモリセル300に供給することができ、なおかつ、トランジスタ301のドレイン電流、またはソース電極とドレイン電極間の抵抗値が、情報として含まれる電位を、駆動回路に送ることができるように、配線の数及び接続構造を、適宜決めれば良い。

10

【0111】

なお、図21に示したタイミングチャートにおいて、出力用データ線D_{out1}、D_{out2}およびD_{out3}の斜線部はデータが不確定な状態を表している。また、各信号の立ち上がりは垂直に立ち上げ、各信号の立ち下がりも垂直に立ち下げているが、実際の各信号は信号線の負荷やノイズ等の影響を受けるため各信号の波形が鈍ることは当業者であれば容易に理解される。

【0112】

次いで、図5に示すセルアレイを例に挙げ、本発明の一態様に係る記憶装置の動作について、図7を用いて説明する。図7は、各配線に入力される信号の電位の時間変化を示すタイミングチャートであり、トランジスタ301及びトランジスタ302がnチャンネル型であり、なおかつ2値のデータを扱う場合を例示している。

20

【0113】

まず、データの書き込み時における記憶装置の動作について説明する。書き込み時において、書き込み用ワード線W_{L1}に、パルスを含む信号が入力されると、当該パルスの電位、具体的にはハイレベルの電位が、ゲート電極に与えられることで、書き込み用ワード線W_{L1}にゲート電極が接続されているトランジスタ302が、全てオンになる。一方、読み出し用ワード線R_{L1}には、記憶素子として機能するトランジスタの動作について示した図2のV_{th1}よりも低い電位を有する信号が入力されており、読み出し用ワード線R_{L1}に第1のゲート電極が接続されているトランジスタ301は、全てオフを維持する。

30

【0114】

そして、入力用データ線D_{in1}～D_{in3}に、順に、データを情報として含む信号が入力される。図7では、入力用データ線D_{in1}～D_{in3}の全てに、ハイレベルの電位を有する信号が入力されている場合を例示しているが、入力用データ線D_{in1}～D_{in3}に入力される信号の電位のレベルは、データの内容によって当然異なる。また、2値のデータを扱う場合は、入力用データ線D_{in1}～D_{in3}に入力される信号の電位が電源電圧に相当する電位（例えばV_{dd}とV_{ss}）の2値であれば良いが、3値以上の多値のデータを扱う場合は、その扱うデータに用いられている基数に合わせて、電位のレベルの数を決めればよい。

40

【0115】

入力用データ線D_{in1}～D_{in3}に入力されている電位は、オンのトランジスタ302を介して、トランジスタ301が有する第2のゲート電極に与えられる。そして、第2のゲート電極の電位に従って、トランジスタ301の閾値電圧のシフト量が決まる。

【0116】

書き込み用ワード線W_{L1}への、パルスを含む信号の入力が終了すると、書き込み用ワード線W_{L1}にゲート電極が接続されているトランジスタ302が、全てオフになる。そして、書き込み用ワード線W_{L2}、書き込み用ワード線W_{L3}に、パルスを含む信号が順に入力され、書き込み用ワード線W_{L2}を有するメモリセル、書き込み用ワード線W_L

50

3を有するメモリセルにおいて、上述した動作が同様に繰り返される。

【0117】

次いで、データの保持時における記憶装置の動作について説明する。保持時において、全ての書き込み用ワード線 $WL1 \sim WL3$ には、トランジスタ302がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。トランジスタ302は、上述したようにオフ電流が著しく低いので、第2のゲート電極の電位は、書き込み時において設定されたレベルを保持する。また、全ての読み出し用ワード線 $RL1 \sim RL3$ には、トランジスタ301がオフとなるレベルの電位、具体的には記憶素子として機能するトランジスタの動作について示した図2の V_{th1} よりも低い電位が与えられる。

【0118】

図7のタイミングチャートではデータを保持する動作を説明するために保持期間を設けている。しかし、実際のメモリの動作においては保持期間を設けなくとも良い。

【0119】

次いで、データの読み出し時における記憶装置の動作について説明する。読み出し時において、全ての書き込み用ワード線 $WL1 \sim WL3$ には、保持時と同様に、トランジスタ302がオフとなるレベルの電位、具体的にはローレベルの電位が与えられる。

【0120】

一方、読み出し時において、読み出し用ワード線 $RL1 \sim RL3$ には、パルスを有する信号が順に入力される。具体的には、まず、読み出し用ワード線 $RL1$ に、パルスを有する信号が入力されると、当該パルスの電位、具体的には、記憶素子として機能するトランジスタの動作について示した図2の V_{th1} よりも高く V_{th0} よりも低い電位、あるいは、 V_{th0} よりも高い電位が、トランジスタ301の第1のゲート電極に与えられる。トランジスタ301では、第1のゲート電極に記憶素子として機能するトランジスタの動作について示した図2の V_{th1} よりも高く V_{th0} よりも低い電位、あるいは、 V_{th0} よりも高い電位が与えられると、直前の書き込み時において設定された閾値電圧に従って、そのドレイン電流、またはソース電極とドレイン電極間の抵抗値が定まる。

【0121】

そして、トランジスタ301のドレイン電流、またはソース電極とドレイン電極間の抵抗値が、情報として含まれる電位、すなわちトランジスタ301が有するソース電極とドレイン電極のうち、出力用データ線 $Dout1 \sim Dout3$ に接続されている方の電極の電位が、出力用データ線 $Dout1 \sim Dout3$ を介して駆動回路に供給される。

【0122】

なお、出力用データ線 $Dout1 \sim Dout3$ に供給される電位は、メモリセルに書き込まれているデータに従って、そのレベルが決まる。よって、理想的には、複数のメモリセルに同じ値のデータが記憶されているならば、当該メモリセルに接続された全ての出力用データ線には、同じレベルの電位が供給されているはずである。しかし、実際には、トランジスタ301またはトランジスタ302の特性が、メモリセル間においてばらついている場合があるため、読み出されるはずのデータが全て同じ値であっても、出力用データ線に供給される電位にばらつきが生じ、その分布に幅を有することがある。よって、出力用データ線 $Dout1 \sim Dout3$ に供給される電位に多少のばらつきが生じていても、上記電位から、読み出されたデータを情報として含み、なおかつ、所望の仕様に合わせて振幅、波形が処理された信号を形成することができる読み出し回路を、駆動回路として記憶装置に設ける。

【0123】

図9に、読み出し回路の一例を回路図で示す。図9に示す読み出し回路は、出力用データ線 $Dout1 \sim Dout3$ の電位の、読み出し回路への入力を制御するためのスイッチング素子として機能するトランジスタ310__1～310__3と、抵抗として機能するトランジスタ311__1～311__3とを有する。また、図9に示す読み出し回路は、オペアンプ312__1～312__3を有している。

【0124】

10

20

30

40

50

具体的に、トランジスタ 3 1 1 __ 1 ~ 3 1 1 __ 3 は、それぞれ、そのゲート電極とドレイン電極が接続されており、なおかつ、ゲート電極及びドレイン電極にハイレベルの電源電位 V_{dd} が与えられている。また、トランジスタ 3 1 1 __ 1 ~ 3 1 1 __ 3 は、ソース電極が、オペアンプ 3 1 2 __ 1 ~ 3 1 2 __ 3 の非反転入力端子 (+) に接続されている。よって、トランジスタ 3 1 1 __ 1 ~ 3 1 1 __ 3 は、電源電位 V_{dd} が与えられているノードと、オペアンプ 3 1 2 __ 1 ~ 3 1 2 __ 3 の非反転入力端子 (+) との間に接続された、抵抗として機能する。なお、図 9 では、ゲート電極とドレイン電極が接続されたトランジスタを抵抗として用いたが、本発明はこれに限定されず、抵抗として機能する素子であれば代替が可能である。

【 0 1 2 5 】

また、スイッチング素子として機能するトランジスタ 3 1 0 __ 1 ~ 3 1 0 __ 3 は、ゲート電極がビット線 $B L 1 \sim B L 3$ にそれぞれ接続されている。そして、ビット線 $B L 1 \sim B L 3$ の電位に従って、出力用データ線 $D o u t 1 \sim D o u t 3$ と、トランジスタ 3 1 1 __ 1 ~ 3 1 1 __ 3 のソース電極との間の接続が制御される。

【 0 1 2 6 】

例えば、トランジスタ 3 1 0 __ 1 がオンになると、メモリセル 3 0 0 内のトランジスタ 3 0 1 と、読み出し回路内のトランジスタ 3 1 1 __ 1 とが、直列に接続されるので、当該接続のノードにおける電位 V_{data} が、オペアンプ 3 1 2 __ 1 ~ 3 1 2 __ 3 の非反転入力端子 (+) に与えられることになる。そして、電位 V_{data} の高さは、トランジスタ 3 0 1 のソース電極とドレイン電極間の抵抗値と、トランジスタ 3 1 1 __ 1 のソース電極とドレイン電極間の抵抗値の比に従って決まるので、電位 V_{data} のレベルには、読み出されたデータの値が反映されている。

【 0 1 2 7 】

一方、オペアンプ 3 1 2 __ 1 ~ 3 1 2 __ 3 の反転入力端子 (-) には、基準電位 V_{ref} が与えられている。そして、非反転入力端子 (+) に与えられる電位 V_{data} が、基準電位 V_{ref} に対して高いか低いかにより、出力端子の電位 V_{out} のレベルを異ならせることができ、それにより、間接的にデータを情報として含む信号を得ることができる。

【 0 1 2 8 】

なお、同じ値のデータが記憶されているメモリセルであっても、メモリセル間の特性のばらつきにより、読み出された電位 V_{data} のレベルにもばらつきが生じ、その分布に幅を有する場合がある。よって、基準電位 V_{ref} のレベルは、データの値を正確に読み取るために、ノードの電位 V_{data} のばらつきを考慮して定める。

【 0 1 2 9 】

また、図 9 では、データの読み出しに用いるオペアンプは、各出力用データ線に 1 つ用いているが、オペアンプの数はこれに限定されない。n 値 (n は 2 以上の自然数) のデータを扱う場合は、各出力用データ線に用いるオペアンプの数を、(n - 1) とする。

【 0 1 3 0 】

次いで、データの消去時における記憶装置の動作について説明する。消去時では、データの書き込み時と同様に、書き込み用ワード線 $W L 1$ に、パルスをもつ信号が入力されると、当該パルスの電位、具体的にはハイレベルの電位が、ゲート電極に与えられることで、書き込み用ワード線 $W L 1$ にゲート電極が接続されているトランジスタ 3 0 2 は、全てオンになる。一方、読み出し用ワード線 $R L 1$ には、記憶素子として機能するトランジスタの動作について示した図 2 の V_{th_1} よりも低い電位を有する信号が入力されており、読み出し用ワード線 $R L 1$ に第 1 のゲート電極が接続されているトランジスタ 3 0 1 は、全てオフを維持する。

【 0 1 3 1 】

そして、入力用データ線 $D i n 1 \sim D i n 3$ に、グラウンドなどの固定電位が与えられる。図 7 では、入力用データ線 $D i n 1 \sim D i n 3$ の全てに、ローレベルの電位を有する信号が入力されている場合を例示している。入力用データ線 $D i n 1 \sim D i n 3$ に入力されているローレベルの固定電位は、オンのトランジスタ 3 0 2 を介して、トランジスタ 3 0

10

20

30

40

50

1 が有する第 2 のゲート電極に与えられる。そして、第 2 のゲート電極の電位に従って、トランジスタ 301 の閾値電圧の値はリセットされる。

【0132】

書き込み用ワード線 WL1 への、パルスを有する信号の入力が終了すると、書き込み用ワード線 WL1 にゲート電極が接続されているトランジスタ 302 が、全てオフになる。そして、書き込み用ワード線 WL2、書き込み用ワード線 WL3 に、パルスを有する信号が順に入力され、書き込み用ワード線 WL2 を有するメモリセル、書き込み用ワード線 WL3 を有するメモリセルにおいて、上述した動作が同様に繰り返される。

【0133】

図 7 のタイミングチャートではデータを消去する動作を説明するために消去期間を設けている。しかし、実際のメモリの動作においては消去期間を設けなくとも良く、この場合、先に書き込んだデータに上書きするように、別のデータを書き込むようにすれば良い。消去期間を設けなくても良いことが、本発明の一態様に係る記憶装置の利点の一つである。

10

【0134】

また、本実施の形態では、書き込み、保持、読み出し、消去の動作を、複数のメモリセルにおいて順に行う駆動方法について説明したが、本発明はこの構成に限定されない。指定されたアドレスのメモリセルにおいてのみ、上記動作を行うようにしても良い。

【0135】

また、図 5 に示したセルアレイの場合、各メモリセルに、入力用データ線 Din、出力用データ線 Dout、書き込み用ワード線 WL、読み出し用ワード線 RL の 4 つの配線が接続されている場合を例示しているが、本発明の記憶装置において、各メモリセルに接続されている配線の数にはこれに限定されない。トランジスタ 301 のスイッチングを制御するための信号、トランジスタ 302 のスイッチングを制御するための信号、トランジスタ 301 が有する第 2 のゲート電極に電位を供給するための信号を、メモリセル 300 に供給することができ、なおかつ、トランジスタ 301 のドレイン電流、またはソース電極とドレイン電極間の抵抗値が、情報として含まれる電位を、駆動回路に送ることができるように、配線の数及び接続構造を、適宜決めれば良い。

20

【0136】

次いで、図 5 に示すセルアレイを用いた記憶装置を例に挙げ、本発明の一態様に係る記憶装置の、駆動回路の構成について説明する。

30

【0137】

図 8 に、本発明の一態様に係る記憶装置の構成を、一例としてブロック図で示す。なお、図 8 に示すブロック図では、記憶装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0138】

図 8 に示す記憶装置は、複数のメモリセルがマトリクス状に接続されたセルアレイ 500 と、セルアレイ 500 の駆動を制御する駆動回路 501 とを有している。そして、駆動回路 501 は、セルアレイ 500 から読み出されたデータを情報として含む信号を生成する読み出し回路 502 と、セルアレイ 500 が有するメモリセルを、行ごとに選択するワード線駆動回路 503 と、選択されたメモリセルにおけるデータの書き込みまたは消去を制御するデータ線駆動回路 504 と、読み出し回路 502、ワード線駆動回路 503、データ線駆動回路 504 の動作を選択する制御回路 505 とを有している。また、ワード線駆動回路 503 は、ワード線用デコーダ 506 を有する。また、データ線駆動回路 504 は、データ線用デコーダ 508 と、データ線用セクタ 509 とを有する。

40

【0139】

なお、本発明の一態様に係る記憶装置は、少なくともセルアレイ 500 をその構成に含んでいればよい。本発明の一態様に係る記憶装置は、セルアレイと、セルアレイに駆動回路の一部または全てが接続された状態にあるメモリモジュールとを、その範疇に含む。メモリモジュールは、プリント配線基板等を実装することが可能な接続端子が設けられ、なお

50

かつ樹脂等で保護された、所謂パッケージングされた状態であっても良い。

【0140】

また、上記駆動回路501の全てまたは一部は、セルアレイ500と共に、一の基板上に形成されていても良いし、セルアレイ500とは異なる基板に形成されていても良い。駆動回路501の全てまたは一部と、セルアレイ500とは異なる基板に形成されている場合、FPC(Flexible Printed Circuit)などを介してセルアレイ500と駆動回路501の全てまたは一部とを接続することができる。この場合、駆動回路501の一部がFPCにCOF(Chip On Film)法を用いて接続されていても良い。また、COG(Chip On Glass)法を用いて、駆動回路501の全てまたは一部がセルアレイ500に接続されていても良い。

10

【0141】

セルアレイ500と、駆動回路501とを、共に一つの基板上に形成することで、記憶装置に接続する外部回路の部品点数が減るので、組立工程や検査工程の削減によるコストダウンを図ることができる。また、記憶装置と外部回路の接続部における、接点の数を減らすことができるので、接続不良に起因する歩留まり低下を防ぎ、接続箇所における機械的強度の低さによる信頼性の低下を防ぐことができる。また、ワード線駆動回路503、データ線用セクタ509などの、駆動周波数が他の回路よりも比較的低い回路だけを、セルアレイ500と共に一つの基板上に形成することも可能である。このように、部分的に駆動回路501をセルアレイ500と共に一つの基板上に形成することで、上述した接続不良に起因する歩留まりの低下や、接続箇所における機械的強度の低さなどの回避、組立工程や検査工程の削減によるコストダウン、といったメリットをある程度享受できる。さらに、セルアレイ500、駆動回路501を全て一基板上に形成する場合に比べて、駆動周波数が高い回路の性能をより高めることができる。

20

【0142】

記憶装置にアドレス(Ax、Ay)を情報として含む信号ADが入力されると、制御回路505は、アドレスの列方向に関する情報であるアドレスAxをデータ線駆動回路504に送り、アドレスの行方向に関する情報であるアドレスAyをワード線駆動回路503に送る。また、制御回路505は、記憶装置に入力されたデータを情報として含む信号DATAを、データ線駆動回路504に送る。

【0143】

データの書き込みを行なうか、読み出しを行なうか、消去を行うかの、動作の選択は、制御回路505に供給されるRE(Read enable)、WE(Write enable)、EE(Erase enable)などの信号によって選択される。なお、記憶装置に複数のセルアレイ500が設けられている場合、制御回路505に、セルアレイを選択するための信号CE(Chip enable)が入力されていても良い。

30

【0144】

信号WEによって書き込みの動作が選択されると、制御回路505からの指示に従って、ワード線駆動回路503が有するワード線用デコーダ506により、アドレスAyに対応する書き込み用ワード線WLに、パルスの有する信号が入力される。一方、信号WEによって書き込みの動作が選択されると、制御回路505からの指示に従って、データ線駆動回路504では、データ線用デコーダ508からデータ線用セクタ509の動作を制御する信号が、データ線用セクタ509に与えられる。データ線用セクタ509では、データ線用デコーダ508からの信号に従って、データを情報として含む信号DATAをサンプリングし、アドレスAxに対応する入力用データ線Dinにサンプリングした信号を入力する。

40

【0145】

信号REによって読み出しの動作が選択されると、制御回路505からの指示に従って、ワード線駆動回路503が有するワード線用デコーダ506により、アドレスAyに対応する読み出し用ワード線RLに、パルスの有する信号が入力される。一方、信号REによって読み出しの動作が選択されると、制御回路505からの指示に従って、読み出し回路

50

502では、アドレスAxに対応するビット線BLの電位を制御することで、トランジスタ310__1~310__3のうちアドレスAxに対応するトランジスタを、オンにする。そして、該当するアドレスAxに対応する出力用データ線Doutの電位から、アドレスのメモセルに記憶されているデータを読み出し、該データを情報として含む信号を生成する。

【0146】

信号EEによって消去の動作が選択されると、制御回路505からの指示に従って、ワード線駆動回路503が有するワード線用デコーダ506により、該当するアドレスAyの書き込み用ワード線WLに、パルスを含む信号が入力される。一方、信号EEによって消去の動作が選択されると、制御回路505からの指示に従って、データ線駆動回路504では、データ線用デコーダ508からデータ線用セクタ509の動作を制御する信号が、データ線用セクタ509に与えられる。データ線用セクタ509では、データ線用デコーダ508からの信号に従って、データを消去するための信号を、該当するアドレスAxの入力用データ線Dinに入力する。

10

【0147】

なお、図8に示す記憶装置では、ワード線駆動回路503により、書き込み用ワード線WLへの信号の入力と、読み出し用ワード線RLへの信号の入力とを、両方制御しているが、本発明はこの構成に限定されない。書き込み用ワード線WLへの信号の入力を制御する駆動回路と、読み出し用ワード線RLへの信号の入力を制御する駆動回路とを、それぞれ記憶装置に設けるようにしても良い。

20

【0148】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0149】

(実施の形態3)

チャンネルエッチ構造のボトムゲート型のトランジスタを例に挙げ、本発明の一態様に係る記憶装置の作製方法について説明する。なお、本実施の形態では、記憶素子として機能するトランジスタと、スイッチング素子として機能するトランジスタとが、共に酸化半導体膜を活性層として用いる場合を例に挙げて、説明する。

【0150】

図10(A)に示すように、基板400上にゲート電極401、ゲート電極402を形成する。

30

【0151】

絶縁表面を有する基板400として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、B₂O₃よりBaOを多く含むガラス基板を用いることが好ましい。

40

【0152】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を用いても良い。

【0153】

また、プラスチック等の可撓性を有する合成樹脂からなる基板は、耐熱温度が一般的に低い傾向にあるが、後の作製工程における処理温度に耐え得るのであれば、基板400として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフ

50

タレート（PEN）、ポリカーボネート（PC）、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【0154】

基板400と、ゲート電極401及びゲート電極402との間に、下地膜となる絶縁膜を形成しておいても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか1つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分または水素などの雰囲気中の不純物、或いは基板400内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

10

【0155】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。

【0156】

ゲート電極401、ゲート電極402の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

20

【0157】

例えば、二層の積層構造を有するゲート電極401、ゲート電極402として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、銅膜上にモリブデン膜を積層した二層構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、または、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極401、ゲート電極402としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

30

【0158】

また、ゲート電極401、ゲート電極402に酸化インジウム膜、酸化インジウム酸化スズ合金膜、酸化インジウム酸化亜鉛合金膜、酸化亜鉛膜、酸化亜鉛アルミニウム膜、酸化窒化亜鉛アルミニウム膜、または酸化亜鉛ガリウム膜等の透光性を有する酸化物導電膜を用いることで、画素部の開口率を向上させることができる。

40

【0159】

ゲート電極401、ゲート電極402の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステントargetを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極401、ゲート電極402を形成する。なお、形成されたゲート電極の端部がテーパ形状であると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用

50

しないため、製造コストを低減できる。

【0160】

次いで、ゲート電極401、ゲート電極402上に、ゲート絶縁膜403を形成する。ゲート絶縁膜403は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜403は、水分や、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

10

【0161】

不純物を除去することによりi型化又は実質的にi型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体とゲート絶縁膜403との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜（GI）は、高品質化が要求される。

【0162】

例えば、 μ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐压の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

20

【0163】

もちろん、ゲート絶縁膜として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜の膜質、ゲート絶縁膜と酸化物半導体との界面特性が改善される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、ゲート絶縁膜と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0164】

バリア性の高い材料を用いた絶縁膜と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜403を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性の高い絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜403内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

30

【0165】

例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化珪素膜（ SiN_y （ $y > 0$ ））を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜として膜厚5nm以上300nm以下の酸化珪素膜（ SiO_x （ $x > 0$ ））を積層して、膜厚100nmのゲート絶縁膜403としても良い。ゲート絶縁膜403の膜厚は、トランジスタに要求される特性によって適宜設定すればよく、350nm乃至400nm程度でもよい。

40

【0166】

本実施の形態では、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁膜403を形成する。

50

【0167】

なお、ゲート絶縁膜403に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極401、ゲート電極402が形成された基板400を予備加熱し、基板400に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下、好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0168】

次いで、ゲート絶縁膜403上に膜厚2nm以上200nm以下、好ましくは膜厚3nm以上50nm以下、さらに好ましくは膜厚3nm以上20nm以下の酸化物半導体膜404を形成する。酸化物半導体膜404は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜404は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

10

【0169】

なお、酸化物半導体膜404をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜403の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

20

【0170】

酸化物半導体膜404には、上述したような酸化物半導体を用いることができる。

【0171】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む酸化物半導体ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系非単結晶膜を、酸化物半導体膜404として用いる。上記ターゲットとして、例えば、各金属の原子比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=1:1:2の組成比を有する酸化物半導体ターゲットを用いることができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。また、In、Ga、及びZnを含む酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0172】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板400上に酸化物半導体膜404を成膜する。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0173】

50

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0174】

なお、酸化物半導体膜404に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜403までが形成された基板400を予備加熱し、基板400に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下、好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁膜411の成膜前に、ソース電極407及びドレイン電極408、ソース電極409及びドレイン電極410まで形成した基板400にも同様に行ってもよい。

10

【0175】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

20

【0176】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0177】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0178】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

30

【0179】

ゲート絶縁膜403及び酸化物半導体膜404を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることがなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

【0180】

次いで、図10(B)に示すように、酸化物半導体膜404をエッチングなどにより所望の形状に加工(パターニング)し、ゲート電極401、ゲート電極402と重なる位置において、ゲート絶縁膜403上に島状の酸化物半導体膜405、酸化物半導体膜406を、それぞれ形成する。

40

【0181】

島状の酸化物半導体膜405、酸化物半導体膜406を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

【0182】

また、ゲート絶縁膜403にコンタクトホールを形成する場合、その工程は島状の酸化物半導体膜405、酸化物半導体膜406の形成時に行うことができる。

50

【0183】

なお、島状の酸化物半導体膜405、酸化物半導体膜406を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0184】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0185】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化を図ることができる。

【0186】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜405、酸化物半導体膜406及びゲート絶縁膜403の表面に付着しているレジスト残渣などを除去することが好ましい。

【0187】

次いで、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、酸化物半導体膜405、酸化物半導体膜406に加熱処理を施す。酸化物半導体膜405、酸化物半導体膜406に加熱処理を施すことで、酸化物半導体膜405、酸化物半導体膜406中の水分または水素を脱離させることができる。具体的には、300以上850以下（若しくはガラス基板の歪点以下の温度）、好ましくは550以上750以下で加熱処理を行えば良い。例えば、600、3分間以上6分間以下程度で行えばよい。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。或いは、基板温度が450に達した状態で、1時間程度、加熱処理を行うようにしても良い。

【0188】

本実施の形態では、加熱処理装置の一つである電気炉を用い、酸化物半導体膜405、酸化物半導体膜406に対して、窒素雰囲気下において、基板温度が600に達した状態で6分間、加熱処理を行う。上記加熱処理の後には、水分または水素の再混入を防ぐために、酸化物半導体膜405、酸化物半導体膜406を大気に触れさせないようにする。

【0189】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置

である。G R T A装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0190】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T Aを行ってもよい。G R T Aを用いると短時間での高温加熱処理が可能となる。

【0191】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分または水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%) 以上、好ましくは7 N (99.99999%) 以上、(即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下)とすることが好ましい。

【0192】

水分または水素などの不純物が酸化物半導体に添加されていると、85、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験(B T試験)において、不純物と酸化物半導体の主成分との結合手が、強電界(B:バイアス)と高温(T:温度)により切断され、生成された不対結合手が閾値電圧(V_{th})のドリフトを誘発することとなる。しかし、上述したように、ゲート絶縁膜と酸化物半導体膜との界面特性を良好にし、なおかつ、酸化物半導体膜中の不純物、特に水分または水素等を極力除去することにより、B T試験に対しても安定なトランジスタが得られる。

【0193】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0194】

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その上表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくともチャネル形成領域で各結晶のab面が一致するか、a軸、或いは、b軸が全てにおいて一致し、かつ、酸化物半導体膜の表面に対して略垂直にc軸配向した多結晶体であることが好ましい。なお、酸化物半導体膜の下地表面に凹凸がある場合、板状結晶は多結晶体となる。

【0195】

次いで、図10(C)に示すように、ゲート絶縁膜403、酸化物半導体膜405、酸化物半導体膜406上に、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜405上にソース電極407及びドレイン電極408、酸化物半導体膜406上にソース電極409及びドレイン電極410を、それぞれ形成する。導電膜をスパッタ法や真空蒸着法で形成すればよい。ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、Al、Cuなどの金属膜の下側もしくは上側にCr、Ta、Ti、Mo、Wなどの高融点金属膜を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0196】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0197】

また、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

10

【0198】

導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0199】

そして、導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410とを形成した後、レジストマスクを除去する。

【0200】

フォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体膜405、酸化物半導体膜406上で隣り合うソース電極の下端部とドレイン電極の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L=25\text{nm}$ 未満の露光を行う場合には、フォトリソグラフィ工程でのレジストマスク形成時に、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

20

30

【0201】

なお、導電膜のエッチングの際に、酸化物半導体膜405、酸化物半導体膜406がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0202】

本実施の形態では、導電膜にチタン膜を用い、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、導電膜をウェットエッチングすることで、ソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410とを形成する。アンモニア過水を含む溶液は、具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合した水溶液を用いる。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

40

【0203】

上記パターンングによりソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410とを形成する際に、島状の酸化物半導体膜405、酸化物半導体膜406の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。また、ソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410とを形成するためのレジストマスクを、インクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0204】

50

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0205】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0206】

なお、プラズマ処理を行った後、図10(D)に示すように、ソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410と、酸化物半導体膜405と、酸化物半導体膜406とを覆うように、絶縁膜411を形成する。絶縁膜411は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜411に水素が含まれると、その水素が酸化物半導体膜へ侵入し、又は水素が酸化物半導体膜中の酸素を引き抜き、酸化物半導体膜のバックチャネル部が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜411はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁膜411には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化物半導体膜405、酸化物半導体膜406に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、ソース電極407及びドレイン電極408、ソース電極409及びドレイン電極410、及び酸化物半導体膜405、酸化物半導体膜406と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜405及び酸化物半導体膜406内、ゲート絶縁膜403内、或いは、酸化物半導体膜405及び酸化物半導体膜406と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜405、酸化物半導体膜406に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜405、酸化物半導体膜406に接するのを防ぐことができる。

【0207】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜411を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0208】

なお、絶縁膜411を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、酸素、超乾燥空気(水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、ソース電極407及びドレイン電極408と、ソース電極409及びドレイン電極410とを形成する前に、酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸化物半導体膜に対して行った先の加熱処理により、酸化物半導体

膜 4 0 5 及び酸化物半導体膜 4 0 6 に酸素欠損が発生していたとしても、ソース電極 4 0 7 とドレイン電極 4 0 8 の間に設けられた酸化物半導体膜 4 0 5 の露出領域と、酸素を含む絶縁膜 4 1 1 とが接して設けられた後、または、ソース電極 4 0 9 とドレイン電極 4 1 0 の間に設けられた酸化物半導体膜 4 0 6 の露出領域と、酸素を含む絶縁膜 4 1 1 とが接して設けられた後に、加熱処理が施されることによって、酸化物半導体膜 4 0 5、酸化物半導体膜 4 0 6 に酸素が供与される。そのため、酸化物半導体膜 4 0 5、酸化物半導体膜 4 0 6 の絶縁膜 4 1 1 と接する領域に酸素が供与されることで、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たす構成とすることが可能である。その結果、酸化物半導体膜 4 0 5 及び酸化物半導体膜 4 0 6 を i 型化または実質的に i 型化にすることができ、トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、絶縁膜 4 1 1 の形成後であれば特に限定されない。他の工程における加熱処理、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理が、上記加熱処理を兼ねるようにすることで、工程数を増やすことなく、酸化物半導体膜 4 0 5 及び酸化物半導体膜 4 0 6 を i 型化または実質的に i 型化にすることができる。

10

【 0 2 0 9 】

図 1 1 (A) に、図 1 0 (D) に示す工程まで終了した後の、記憶装置の上面図を示す。なお、図 1 1 (A) の破線 A 1 - A 2 における断面図が、図 1 0 (D) に相当する。

【 0 2 1 0 】

次いで、絶縁膜 4 1 1 に、エッチング等によりコンタクトホール 4 1 2 を形成し、ドレイン電極 4 0 8 の一部を露出させる。そして、図 1 0 (E) に示すように、絶縁膜 4 1 1 上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体膜 4 0 6 と重なる位置にバックゲート電極 4 1 3 を形成した後、バックゲート電極 4 1 3 を覆うように絶縁膜 4 1 4 を形成する。バックゲート電極 4 1 3 は、コンタクトホール 4 1 2 においてドレイン電極 4 0 8 に接続されている。バックゲート電極 4 1 3 は、ゲート電極 4 0 1、ゲート電極 4 0 2、或いはソース電極 4 0 7 及びドレイン電極 4 0 8、ソース電極 4 0 9 及びドレイン電極 4 1 0 と同様の材料、構造を用いて形成することが可能である。

20

【 0 2 1 1 】

バックゲート電極 4 1 3 の膜厚は、10 nm ~ 400 nm、好ましくは100 nm ~ 200 nmとする。本実施の形態では、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターニング）することで、バックゲート電極 4 1 3 を形成する。

30

【 0 2 1 2 】

絶縁膜 4 1 4 は、雰囲気中の水分、水素などがトランジスタの特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマ CVD 法又はスパッタリング法等により単層で又は積層させて形成することができる。バリア性の効果を得るには、絶縁膜 4 1 4 は、例えば厚さ15 nm ~ 400 nm の膜厚で形成することが好ましい。

40

【 0 2 1 3 】

本実施の形態では、プラズマ CVD 法により300 nm の絶縁膜を形成する。成膜条件は、シランガスの流量を4 sccm とし、一酸化二窒素 (N_2O) の流量を800 sccm とし、基板温度を400 とする。

【 0 2 1 4 】

以上の工程により、スイッチング素子として機能するトランジスタ 4 2 0 と、記憶素子として機能するトランジスタ 4 2 1 と、容量素子 4 3 0 が形成される。図 1 1 (B) に、図 1 0 (E) に示すメモリセルの上面図を示す。図 1 0 (E) は、図 1 1 (B) の破線 A 1 - A 2 における断面図に相当する。

【 0 2 1 5 】

50

トランジスタ４２０は、絶縁表面を有する基板４００上に形成されたゲート電極４０１と、ゲート電極４０１上のゲート絶縁膜４０３と、ゲート絶縁膜４０３上においてゲート電極４０１と重なっている酸化半導体膜４０５と、酸化半導体膜４０５上に形成された一対のソース電極４０７またはドレイン電極４０８とを有する。さらに、トランジスタ４２０は、酸化半導体膜４０５上に形成された絶縁膜４１１を、その構成要素に含めても良い。図１０（Ｅ）に示すトランジスタ４２０は、ソース電極４０７とドレイン電極４０８の間において、酸化半導体膜４０５の一部がエッチングされたチャネルエッチ構造である。

【０２１６】

なお、トランジスタ４２０はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極４０１を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

10

【０２１７】

また、トランジスタ４２１は、絶縁表面を有する基板４００上に形成されたゲート電極４０２と、ゲート電極４０２上のゲート絶縁膜４０３と、ゲート絶縁膜４０３上においてゲート電極４０２と重なっている酸化半導体膜４０６と、酸化半導体膜４０６上に形成された一対のソース電極４０９またはドレイン電極４１０と、酸化半導体膜４０６、ソース電極４０９、ドレイン電極４１０上に形成された絶縁膜４１１と、絶縁膜４１１上において、酸化半導体膜４０６及びゲート電極４０２と重なっているバックゲート電極４１３と、を有する。さらに、トランジスタ４２１は、バックゲート電極４１３上に形成された絶縁膜４１４を、その構成要素に含めても良い。図１０（Ｅ）に示すトランジスタ４２１は、ソース電極４０９とドレイン電極４１０の間において、酸化半導体膜４０６の一部がエッチングされたチャネルエッチ構造である。

20

【０２１８】

なお、トランジスタ４２１はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極４０２を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【０２１９】

また、容量素子４３０は、トランジスタ４２１のソース電極４０９と、バックゲート電極４１３とが、絶縁膜４１１を間に挟んで重なりあっている領域に形成されている。

30

【０２２０】

トランジスタ４２１が有するゲート電極４０２は、その電位を制御することで、データの書き込み、読み出し、保持、消去などの、記憶素子としての動作を選択することができる、第１の電極として機能する。また、バックゲート電極４１３は、その電位を制御することで、記憶素子として用いるトランジスタ４２１の閾値電圧の値を制御することができる、第２のゲート電極として機能する。なお、本実施の形態では、記憶素子として用いるトランジスタ４２１において、酸化半導体膜４０６の前に形成されるゲート電極４０２を第１の電極、酸化半導体膜４０６の後に形成されるバックゲート電極４１３を第２の電極として用いるメモリセルについて例示しているが、本発明はこの構成に限定されない。例えば、記憶素子として用いるトランジスタ４２１において、酸化半導体膜４０６の前

40

【０２２１】

また、図１１（Ｂ）では、バックゲート電極４１３が、酸化半導体膜４０６全体を覆っている場合を例示しているが、本発明はこの構成に限定されない。バックゲート電極４１３は、酸化半導体膜４０６が有するチャネル形成領域の一部と少なくとも重なっていれば良い。

【０２２２】

50

なお、酸化物半導体のバンドギャップは $3.0 \sim 3.5 \text{ eV}$ である。一方、炭化シリコンのバンドギャップは 3.26 eV 、窒化ガリウムのバンドギャップは 3.39 eV と、ともにシリコンの約3倍程度の大きなバンドギャップを有している。よって、これら炭化シリコンや窒化ガリウムなどの化合物半導体は、ワイドギャップ半導体という点において、酸化物半導体と共通であり、バンドギャップが大きいという特性が、トランジスタの耐圧向上、電力損失の低減などに有利である。

【0223】

次いで、本実施の形態のように酸化物半導体膜中に含まれる水分または水素などの不純物を極力除去し、酸化物半導体膜を高純度化することが、トランジスタの特性にどのように影響を与えるかを以下に説明する。

10

【0224】

図12は、酸化物半導体を用いた逆スタガ型のトランジスタの縦断面図を示す。ゲート電極(GE)上にゲート絶縁膜(GI)を介して酸化物半導体膜(OS)が設けられ、その上にソース電極(S)及びドレイン電極(D)が設けられ、ソース電極(S)およびドレイン電極(D)を覆うように絶縁膜が設けられている。

【0225】

図13は、図12に示すA-A'上におけるエネルギーバンド図(模式図)を示す。また、図13において、黒丸(●)は電子を示し、白丸(○)は正孔を示し、それぞれは電荷 $-q$ と $+q$ を有している。ドレイン電極(D)に正の電圧($V_D > 0$)を印加した上で、破線はゲート電極(GE)に電圧を印加しない場合($V_G = 0$)、実線はゲート電極(GE)に正の電圧($V_G > 0$)を印加する場合を示す。ゲート電極(GE)に電圧を印加しない場合は高いポテンシャル障壁のためにソース電極(S)から酸化物半導体膜(OS)側へキャリア(電子)が注入されず、電流を流さないオフ状態を示す。一方、ゲート電極(GE)に正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。

20

【0226】

図14は、図12におけるB-B'上におけるエネルギーバンド図(模式図)である。図14(A)はゲート電極(GE)に正の電位($V_G > 0$)が印加された状態であり、ソース電極(S)とドレイン電極(D)間にキャリア(電子)が流れるオン状態を示している。また、図14(B)は、ゲート電極(GE)に負の電位($V_G < 0$)が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

30

【0227】

図15は、真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す。

【0228】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位(E_f)は、バンドギャップ中央に位置する真性フェルミ準位(E_i)から離れて、伝導帯(E_c)寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、酸化物半導体がn型化する一つの要因であることが知られている。また、酸素欠損もn型化する一つの要因であることが知られている。

40

【0229】

これに対して、本発明の一態様は、n型不純物である水素を酸化物半導体から除去して酸化物半導体の主成分以外の不純物が極力含まれないように高純度化し、かつ、酸素欠損を除去することにより、酸化物半導体を限りなく真性に近づけたものである。すなわち、不純物を添加して酸化物半導体をi型化するのでなく、水分または水素等の不純物や酸素欠損を極力除去して高純度化することにより、i型(真性半導体)又はi型(真性半導体)に限りなく近い酸化物半導体を得ることを特徴としている。上記構成により、矢印で示すように、フェルミ準位(E_f)は真性フェルミ準位(E_i)と同じレベルに限りなく近づけることができる。

50

【 0 2 3 0 】

酸化物半導体のバンドギャップ (E_g) は 3.15 eV で、電子親和力 (χ) は 4.3 V と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【 0 2 3 1 】

このとき電子は、図 1 4 (A) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【 0 2 3 2 】

また、図 1 4 (B) において、ゲート電極 (GE) に負の電位が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

10

【 0 2 3 3 】

次いで、酸化物半導体中の真性キャリア密度を計算した。 In-Ga-Zn-O 系酸化物半導体のバンドギャップは、 3.05 eV であり、この値を元に真性キャリア密度を計算する。固体中の電子のエネルギー分布 $f(E)$ は次の式で示されるフェルミ・ディラック統計に従うことが知られている。

【 0 2 3 4 】

【 数 1 】

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

20

【 0 2 3 5 】

キャリア密度が著しく高くない (縮退していない) 普通の半導体では、次の関係式が成立する。

【 0 2 3 6 】

【 数 2 】

$$|E - E_F| > kT \quad (2)$$

30

【 0 2 3 7 】

従って、(1) 式のフェルミ・ディラック分布は次の式で示されるボルツマン分布の式に近似される。

【 0 2 3 8 】

【 数 3 】

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3)$$

【 0 2 3 9 】

(3) 式を使って半導体の真性キャリア密度 (n_i) を計算すると以下の式が得られる。

40

【 0 2 4 0 】

【 数 4 】

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

【 0 2 4 1 】

そして、(4) 式に、 Si と In-Ga-Zn-O 系酸化物半導体の実効状態密度 (N_C 、 N_V) 、バンドギャップ (E_g) の値を代入し、真性キャリア密度を計算した。その結

50

果を表 1 に示す。

【 0 2 4 2 】

【表 1】

	Si	IGZO
N_c (300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}
N_v (300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05
n_i (300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

10

【 0 2 4 3 】

In - Ga - Zn - O系酸化物半導体は、Si に比べて極端に真性キャリア密度が少ないことがわかる。In - Ga - Zn - O系酸化物半導体のバンドギャップとして 3 . 0 5 e V を選んだ場合、Si と In - Ga - Zn - O系酸化物半導体とでは、真性キャリア密度におよそフェルミ・ディラックの分布則が正しいと仮定して、前者は後者よりキャリア密度が約 10^{17} 倍大きいと言える。

【 0 2 4 4 】

次いで、高純度化された酸化物半導体膜を有するトランジスタの、オフ電流の測定方法とその結果について説明する。

20

【 0 2 4 5 】

図 1 8 に、実際の測定に用いた、測定用回路の構成を示す。図 1 8 に示す測定用回路は、保持容量の電荷を保持するためのスイッチング素子として、高純度化された酸化物半導体膜を有するトランジスタを用い、上記保持容量の単位時間あたりの電荷量の推移から、上記トランジスタのオフ電流を測定するものである。

【 0 2 4 6 】

具体的に、図 1 8 に示す測定用回路は、オフ電流を測定するための 3 つの測定系 8 0 1 - 1 ~ 測定系 8 0 1 - 3 が、並列に接続された構成を有している。そして、測定系 8 0 1 - 1 ~ 測定系 8 0 1 - 3 は、容量素子 8 0 2 と、測定の対象となるトランジスタ 8 0 3 とを、それぞれ有している。さらに、測定系 8 0 1 - 1 ~ 測定系 8 0 1 - 3 は、トランジスタ 8 0 4 ~ トランジスタ 8 0 6 を、それぞれ有している。

30

【 0 2 4 7 】

各測定系において、トランジスタ 8 0 3 のゲート電極は、電位 V_{gb} が与えられるノードに接続されている。また、トランジスタ 8 0 3 は、ソース電極が電位 V_b の与えられるノードに接続されており、ドレイン電極がノード A に接続されている。また、トランジスタ 8 0 4 のゲート電極は、電位 V_{ga} が与えられるノードに接続されている。また、トランジスタ 8 0 4 は、ソース電極がノード A に接続されており、ドレイン電極が電位 V_a の与えられるノードに接続されている。また、トランジスタ 8 0 5 のゲート電極とドレイン電極は、電位 V_a が与えられるノードに接続されている。また、トランジスタ 8 0 6 のゲート電極は、ノード A に接続されており、トランジスタ 8 0 6 は、ソース電極が電位 V_b の与えられるノードに接続されている。そして、トランジスタ 8 0 5 のソース電極とトランジスタ 8 0 6 のドレイン電極とが接続されており、これら 2 つの電極の電位が、電位 V_{out1} ~ 電位 V_{out3} として、各測定系からそれぞれ出力される。容量素子 8 0 2 が有する一対の電極は、一方がノード A に接続され、他方が電位 V_b の与えられるノードに接続されている。

40

【 0 2 4 8 】

また、本実施の形態では、測定の対象となるトランジスタ 8 0 3 は、高純度化された膜厚 3 0 nm の酸化物半導体膜と、膜厚が 1 0 0 nm のゲート絶縁膜を用いた。そして、トランジスタ 8 0 3 のチャネル形成領域は、チャネル長 $L = 10 \mu\text{m}$ 、チャネル幅 $W = 50 \mu\text{m}$ とした。また、各測定系が有する容量素子 8 0 2 の容量値は、それぞれ、1 0 0 fF、

50

1 p F、3 p Fとした。

【0249】

測定前に、初期化を行う。まず、電位 V_{gb} を、トランジスタ 803 がオンとなるような高さに設定する。これによって、トランジスタ 803 がオンとなり、ノード A には電位 V_b 、すなわちローレベルの電位 V_{SS} が与えられる。その後、電位 V_{gb} を、トランジスタ 803 がオフとなるような高さに設定することで、トランジスタ 803 をオフとする。次に、電位 V_{ga} を、トランジスタ 804 がオンとなるような高さに設定する。これによって、ノード A には電位 V_a 、すなわちハイレベルの電位 V_{DD} が与えられ、容量素子 802 の一対の電極間には、ローレベルの電位 V_{SS} とハイレベルの電位 V_{DD} の電位差が印加された状態となる。その後、電位 V_{ga} の高さを、トランジスタ 804 がオフとなるような高さに設定することで、トランジスタ 804 がオフとなり、ノード A がフローティング状態となる。

10

【0250】

次いで、測定の動作に移る。測定を行う際には、電位 V_a および電位 V_b を、ノード A に電荷が流れ込む、またはノード A から電荷が流れ出すような高さに設定する。本実施の形態では、電位 V_a および電位 V_b をローレベルの電位 V_{SS} とした。なお、電位 V_{out} を測定するタイミングにおいて、一時的に電位 V_a をハイレベルの電位 V_{DD} に設定したが、それ以外は電位 V_a および電位 V_b をローレベルの電位 V_{SS} に維持した。

【0251】

トランジスタ 803 には微少なオフ電流が流れるため、時間の経過と共にノード A に保持される電荷量は変動する。そして、ノード A に保持される電荷量の変動に伴って、ノード A の電位が変動するため、電位 $V_{out1} \sim V_{out3}$ は、トランジスタ 803 のオフ電流の値に従って、その高さが変化する。

20

【0252】

具体的に、本測定では、電位 V_{DD} を 5 V、電位 V_{SS} を 0 V とした。そして、測定の際には、電位 V_a を原則として電位 V_{SS} とし、10 ~ 300 sec ごとに、100 msec の期間だけ電位 V_a を電位 V_{DD} にして、電位 $V_{out1} \sim$ 電位 V_{out3} を測定した。

【0253】

図 19 に、上記電流測定に係る経過時間 $Time$ と、電位 V_{out} との関係を示す。90 時間程度から、電位変化の様子が確認できる。

30

【0254】

あらかじめ、ノード A の電位 V_A と、電位 V_{out} の関係を求めておくことで、電位 V_{out} からノード A の電位 V_A を求めることが可能である。一般に、ノード A の電位 V_A は、電位 V_{out} の関数として次式のように表すことができる。

【0255】

【数 5】

$$V_A = F(V_{out})$$

40

【0256】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数 (const) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量値と他の容量 (トランジスタ 805 及びトランジスタ 806 で構成される回路の入力容量など) の和である。

【0257】

【数 6】

$$Q_A = C_A V_A + const$$

【0258】

ノード A の電流 I は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I は次式のように表現される。

【0259】

【数 7】

10

$$I \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【0260】

このように、ノード A に接続される容量 C_A と、電位 $V_{out1} \sim V_{out3}$ から、ノード A の電流 I を求めることができる。

【0261】

図 20 には、上記測定によって算出されたオフ電流を示す。トランジスタ 803 に流れる電流 I の算出に用いられる Δt は、約 30000 sec とした。なお、図 20 は、ソース電極ドレイン電極間電圧 V と、オフ電流 I との関係を表すものである。図 20 から、ソース電極ドレイン電極間電圧が 4 V の条件において、オフ電流は約 40 z A / μm であることが分かる。

20

【0262】

このように、酸化物半導体の主成分以外の水分または水素などの不純物が極力含まれないように、酸化物半導体膜を高純度化することにより、トランジスタの動作を良好なものとする事ができる。

【0263】

本実施の形態は、上記実施の形態と適宜組み合わせる事が可能である。

30

【0264】

(実施の形態 4)

本実施の形態では、本発明の一態様に係る記憶装置を用いた半導体装置の一つである、携帯型の記憶媒体の一例について説明する。

【0265】

図 16 (A) に、本発明の一態様にかかる記憶媒体の構成を、一例として示す。図 16 (A) に示す記憶媒体は、本発明の一態様に係る記憶装置 701 と、駆動装置と記憶媒体の電気的な接続を行うコネクタ 702 と、コネクタ 702 を介して入出力される各種信号に、仕様に合わせて信号処理を施すインターフェース 703 と、記憶媒体の動作状態などに従って点灯する発光ダイオード 704 と、記憶装置 701、インターフェース 703、発光ダイオード 704 などの、記憶媒体内の各種回路や半導体素子の動作を制御するコントローラ 705 とが、プリント配線基板 706 に実装されている。その他に、コントローラ 705 の動作を制御するためのクロック信号を生成するのに用いられる水晶振動子、記憶媒体内における電源電圧の高さを制御するためのレギュレータなどが設けられていても良い。

40

【0266】

図 16 (A) に示すプリント配線基板 706 は、図 16 (B) に示すように、コネクタ 702 と発光ダイオード 704 が一部露出するように、樹脂等を用いたカバー材 707 で覆って、保護するようにしても良い。

【0267】

50

本発明の一態様にかかる記憶装置 701 は、その動作時における消費電力を低く抑えることができるので、記憶装置 701 を用いる記憶媒体の低消費電力化、延いては記憶媒体に接続される駆動装置の低消費電力化を実現することができる。また、本発明の一態様にかかる記憶装置 701 は、長期間に渡るデータの保持が可能であり、なおかつデータの書き換え回数を増やすことができるので、記憶媒体の信頼性を高めることができる。また、長期間に渡るデータの保持が可能であり、なおかつデータの書き換え回数を増やすことができるので、記憶媒体の動作条件の制約が緩くなり、記憶媒体の汎用性を高めることができる。

【0268】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

10

【実施例 1】

【0269】

本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子機器、消費電力の低い電子機器、高速駆動の電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0270】

また、本発明の半導体装置では、作製工程における加熱処理の温度を抑えることができるので、ガラスよりも耐熱性の劣る、プラスチック等の可撓性を有する合成樹脂からなる基板上においても、特性が優れており、信頼性が高いトランジスタを作製することが可能である。従って、本発明の一態様に係る作製方法を用いることで、信頼性が高く、軽量かつフレキシブルな半導体装置を提供することが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET)、ポリエステル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

20

【0271】

本発明の一態様に係る半導体装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 17 に示す。

30

【0272】

図 17 (A) は携帯型ゲーム機であり、筐体 7031、筐体 7032、表示部 7033、表示部 7034、マイクロホン 7035、スピーカー 7036、操作キー 7037、スティラス 7038 等を有する。本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯型ゲーム機、消費電力の低い携帯型ゲーム機、高速駆動の携帯型ゲーム機、高機能の携帯型ゲーム機を提供することができる。なお、図 17 (A) に示した携帯型ゲーム機は、2つの表示部 7033 と表示部 7034 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

40

【0273】

50

図１７（Ｂ）は携帯電話であり、筐体７０４１、表示部７０４２、音声入力部７０４３、音声出力部７０４４、操作キー７０４５、受光部７０４６等を有する。受光部７０４６において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯電話、消費電力の低い携帯電話、高速駆動の携帯電話、高機能の携帯電話を提供することができる。

【０２７４】

図１７（Ｃ）は携帯情報端末であり、筐体７０５１、表示部７０５２、操作キー７０５３等を有する。図１７（Ｃ）に示す携帯情報端末は、モデムが筐体７０５１に内蔵されていても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯情報端末、消費電力の低い携帯情報端末、高速駆動の携帯情報端末、高機能の携帯情報端末を提供することができる。

10

【０２７５】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【０２７６】

１００	メモリセル	
１０１	トランジスタ	20
１０２	トランジスタ	
１０３	容量素子	
１１０	基板	
１１１	ゲート電極	
１１２	絶縁膜	
１１３	酸化物半導体膜	
１１４	ソース電極	
１１５	ドレイン電極	
１１６	絶縁膜	
１１７	絶縁膜	30
１２１	ゲート電極	
１２３	酸化物半導体膜	
１２４	ソース電極	
１２５	ドレイン電極	
１２６	ゲート電極	
１３０	線	
１３１	線	
１４０	基板	
１４１	ゲート電極	
１４２	絶縁膜	40
１４３	酸化物半導体膜	
１４４	ソース電極	
１４５	ドレイン電極	
１４６	絶縁膜	
１４７	絶縁膜	
１４８	チャネル保護膜	
１５１	ゲート電極	
１５３	酸化物半導体膜	
１５４	ソース電極	
１５５	ドレイン電極	50

1 5 6	ゲート電極	
1 5 7	チャネル保護膜	
1 6 0	基板	
1 6 1	ゲート電極	
1 6 2	絶縁膜	
1 6 3	酸化物半導体膜	
1 6 4	ソース電極	
1 6 5	ドレイン電極	
1 6 6	絶縁膜	
1 6 7	絶縁膜	10
1 7 1	ゲート電極	
1 7 3	酸化物半導体膜	
1 7 4	ソース電極	
1 7 5	ドレイン電極	
1 7 6	ゲート電極	
2 0 0	基板	
2 0 8	酸化物半導体膜	
2 1 1	ゲート電極	
2 1 2	絶縁膜	
2 1 3	酸化物半導体膜	20
2 1 4	ソース電極	
2 1 5	ドレイン電極	
2 1 6	絶縁膜	
2 1 7	絶縁膜	
2 2 1	ゲート電極	
2 2 3	半導体膜	
2 2 4	ソース電極	
2 2 5	ドレイン電極	
2 2 6	ゲート電極	
2 3 0	絶縁膜	30
2 3 1	絶縁膜	
2 4 1	ゲート電極	
2 4 2	絶縁膜	
2 4 3	酸化物半導体膜	
2 4 4	ソース電極	
2 4 5	ドレイン電極	
2 4 6	絶縁膜	
2 4 7	絶縁膜	
2 5 1	ゲート電極	
2 5 3	半導体膜	40
2 5 4	ソース電極	
2 5 5	ドレイン電極	
2 5 6	ゲート電極	
2 6 0	絶縁膜	
2 6 1	絶縁膜	
2 7 0	基板	
3 0 0	メモリセル	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	容量素子	50

3 0 4	電源線	
3 1 0 _ 1	トランジスタ	
3 1 0 _ 2	トランジスタ	
3 1 0 _ 3	トランジスタ	
3 1 1 _ 1	トランジスタ	
3 1 1 _ 2	トランジスタ	
3 1 1 _ 3	トランジスタ	
3 1 2 _ 1	オペアンプ	
3 1 2 _ 2	オペアンプ	
3 1 2 _ 3	オペアンプ	10
3 2 0	トランジスタ	
3 2 1	トランジスタ	
4 0 0	基板	
4 0 1	ゲート電極	
4 0 2	ゲート電極	
4 0 3	ゲート絶縁膜	
4 0 4	酸化物半導体膜	
4 0 5	酸化物半導体膜	
4 0 6	酸化物半導体膜	
4 0 7	ソース電極	20
4 0 8	ドレイン電極	
4 0 9	ソース電極	
4 1 0	ドレイン電極	
4 1 1	絶縁膜	
4 1 2	コンタクトホール	
4 1 3	バックゲート電極	
4 1 4	絶縁膜	
4 2 0	トランジスタ	
4 2 1	トランジスタ	
4 3 0	容量素子	30
5 0 0	セルアレイ	
5 0 1	駆動回路	
5 0 2	読み出し回路	
5 0 3	ワード線駆動回路	
5 0 4	データ線駆動回路	
5 0 5	制御回路	
5 0 6	ワード線用デコーダ	
5 0 8	データ線用デコーダ	
5 0 9	データ線用セレクタ	
7 0 1	記憶装置	40
7 0 2	コネクタ	
7 0 3	インターフェース	
7 0 4	発光ダイオード	
7 0 5	コントローラ	
7 0 6	プリント配線基板	
7 0 7	カバー材	
8 0 1 - 1	測定系	
8 0 1 - 2	測定系	
8 0 1 - 3	測定系	
8 0 2	容量素子	50

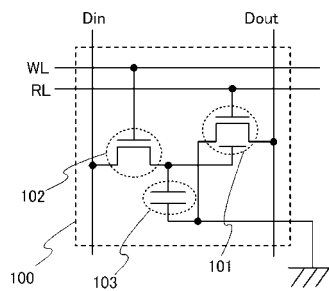
8 0 3	トランジスタ
8 0 4	トランジスタ
8 0 5	トランジスタ
8 0 6	トランジスタ
7 0 3 1	筐体
7 0 3 2	筐体
7 0 3 3	表示部
7 0 3 4	表示部
7 0 3 5	マイクロホン
7 0 3 6	スピーカ
7 0 3 7	操作キー
7 0 3 8	スタイラス
7 0 4 1	筐体
7 0 4 2	表示部
7 0 4 3	音声入力部
7 0 4 4	音声出力部
7 0 4 5	操作キー
7 0 4 6	受光部
7 0 5 1	筐体
7 0 5 2	表示部
7 0 5 3	操作キー

10

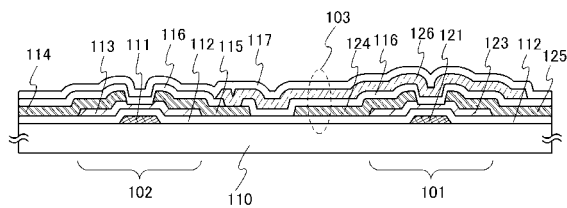
20

【図 1】

(A)

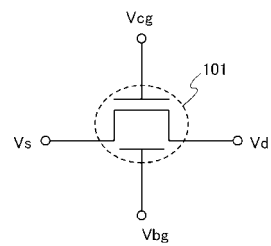


(B)

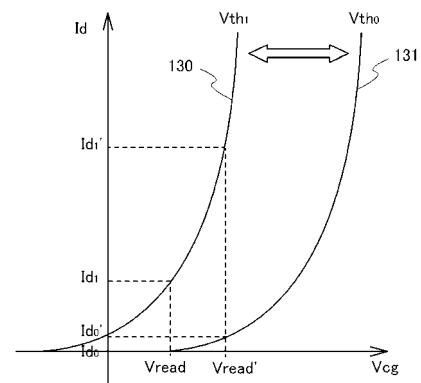


【図 2】

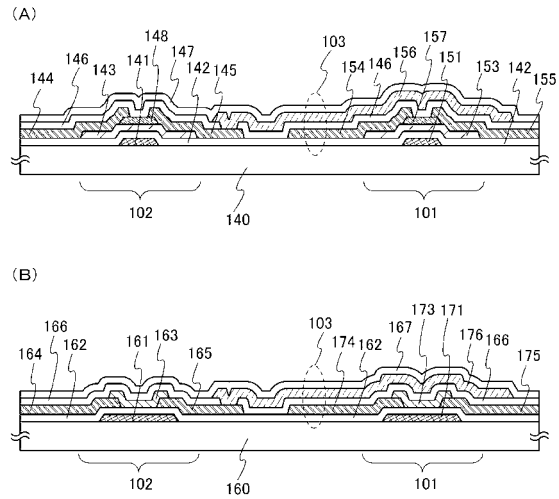
(A)



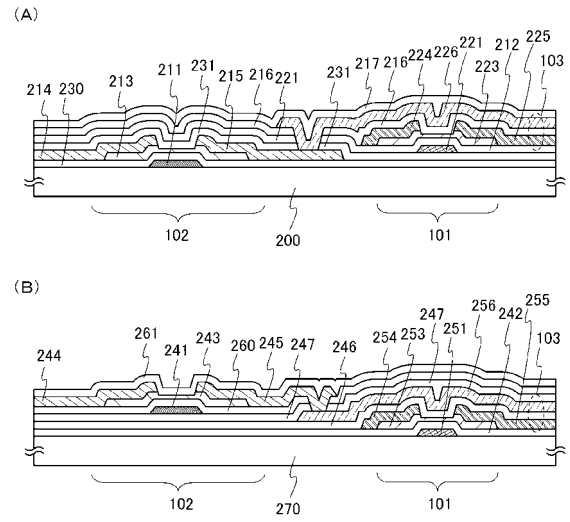
(B)



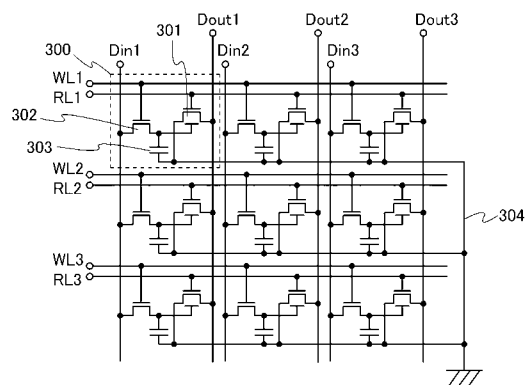
【図 3】



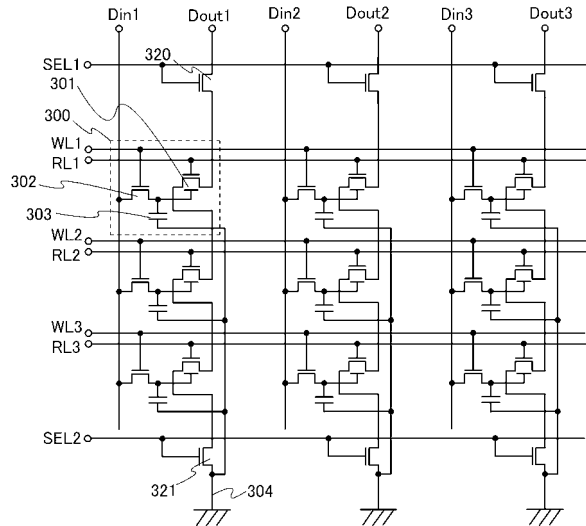
【図 4】



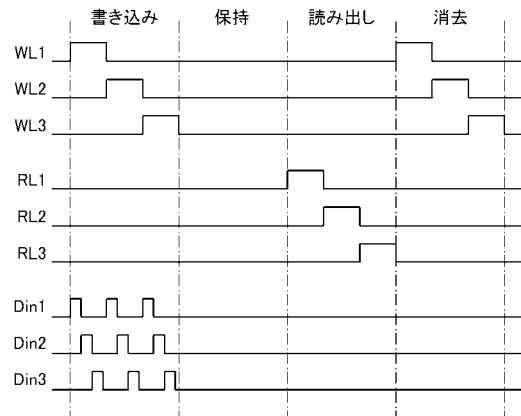
【図 5】



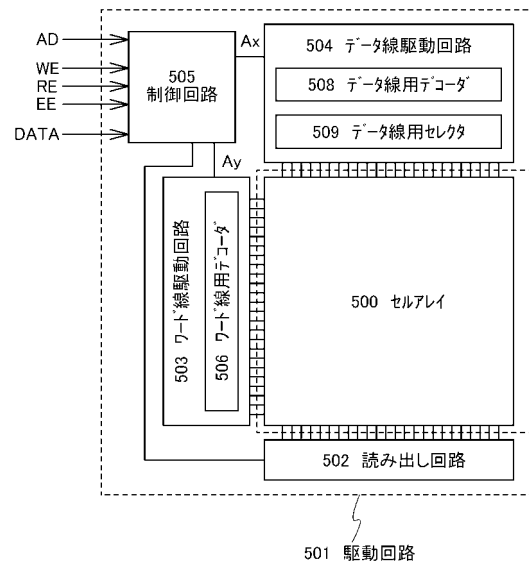
【図 6】



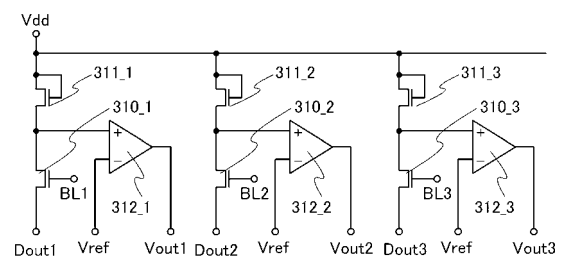
【圖 7】



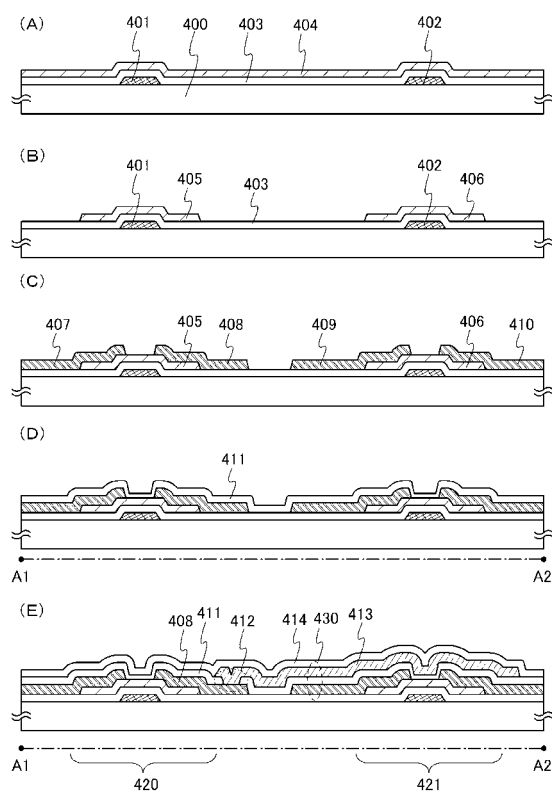
【 図 8 】



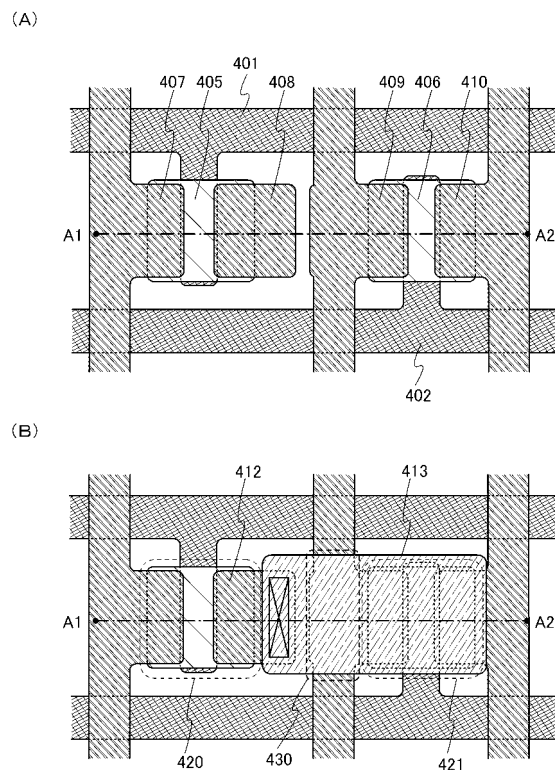
【 図 9 】



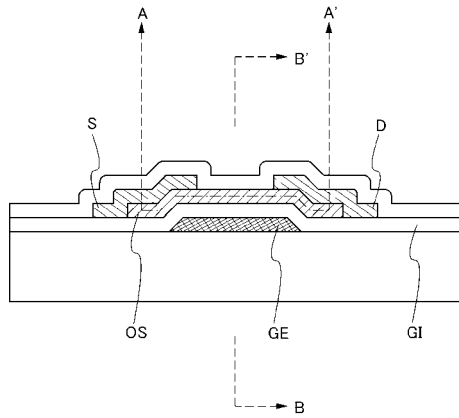
【 ☒ 1 0 】



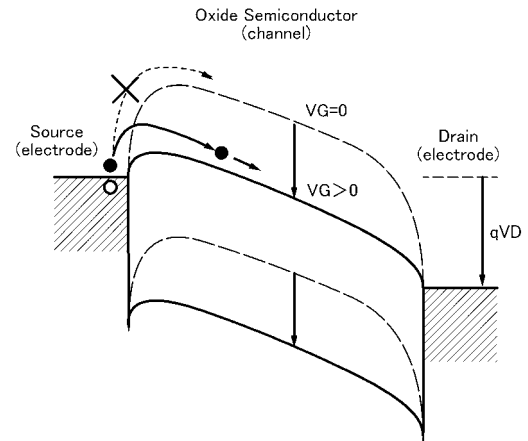
【 図 1 1 】



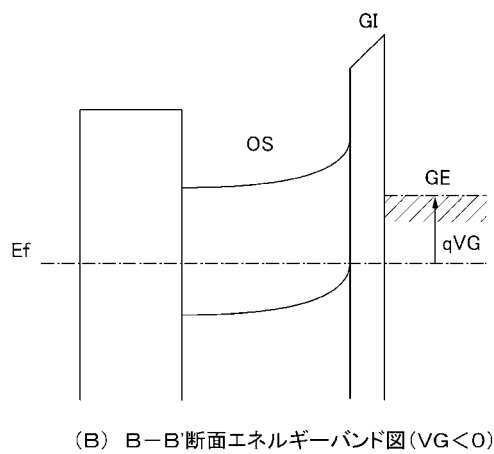
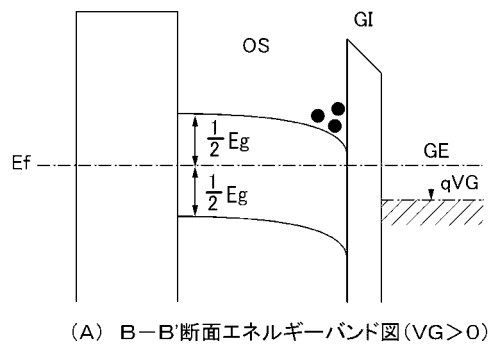
【図 12】



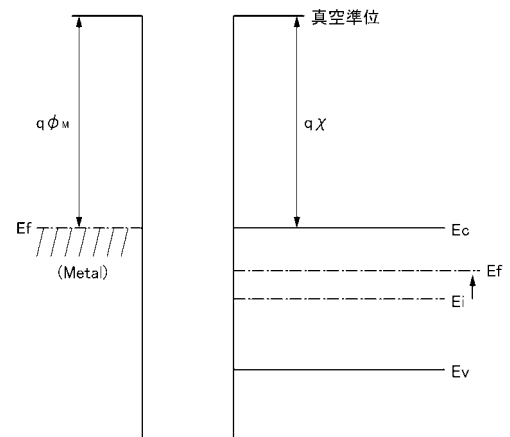
【図 13】



【図 14】

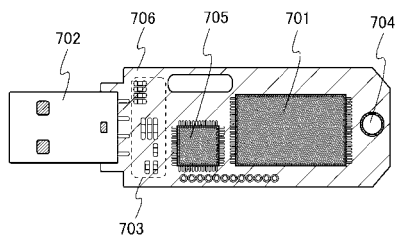


【図 15】

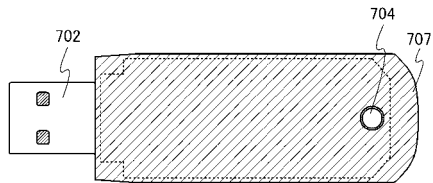


【図 16】

(A)

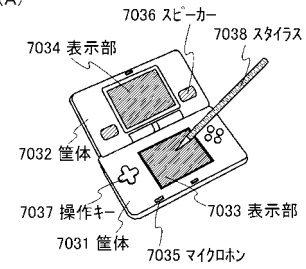


(B)

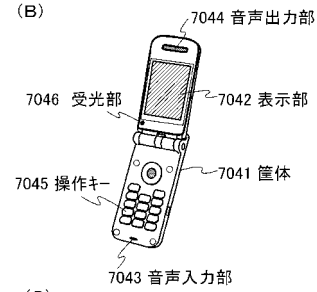


【図 17】

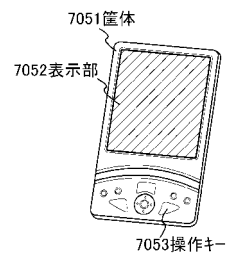
(A)



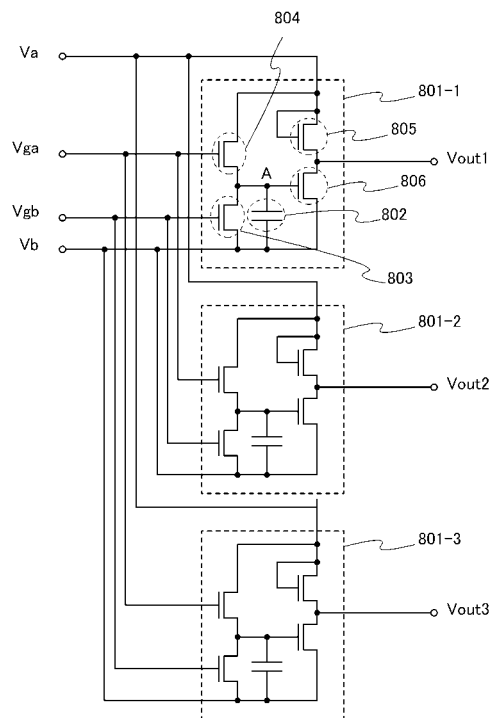
(B)



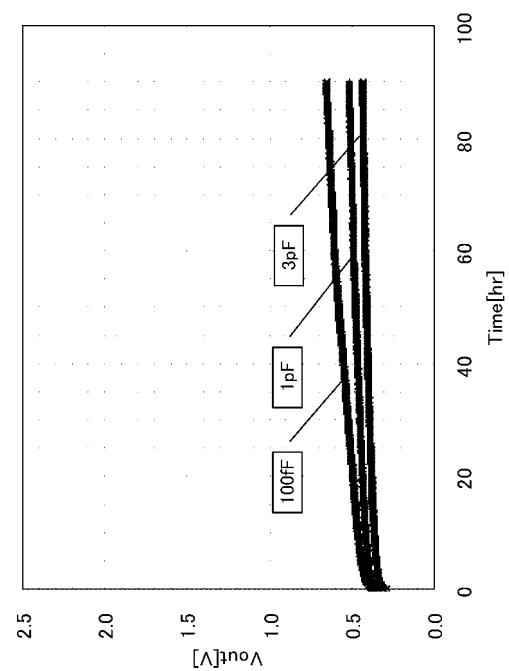
(C)



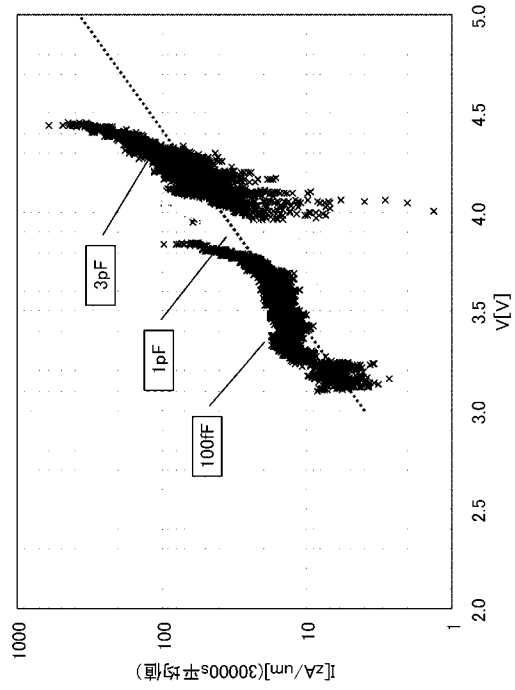
【図 18】



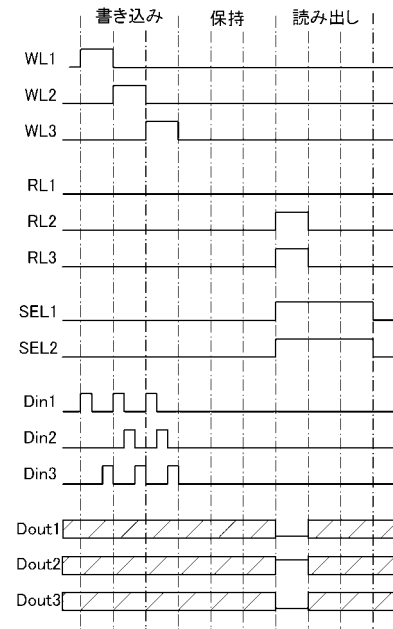
【図 19】



【図 20】



【図 21】



フロントページの続き

(56)参考文献 特開昭62-254462(JP,A)
特開2009-099778(JP,A)
特開2009-016368(JP,A)
特表2009-506526(JP,A)
特開平07-176184(JP,A)
特開平10-084047(JP,A)
特開平04-099060(JP,A)
特開2001-230329(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/8242
G11C	11/405
G11C	16/04
H01L	27/105
H01L	27/108