

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-54017

(P2006-54017A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int.CI.	F 1	テーマコード (参考)
G 11 C 11/409 (2006.01)	G 11 C 11/34	353 F
H 03 K 17/687 (2006.01)	H 03 K 17/687	F
H 03 K 19/0185 (2006.01)	H 03 K 19/00	101 B
H 03 K 19/0948 (2006.01)	H 03 K 19/094	B

審査請求 未請求 請求項の数 33 O L (全 16 頁)

(21) 出願番号	特願2004-236245 (P2004-236245)	(71) 出願人	500014068 マイクロロン テクノロジー インコーポレ イテッド MICRON TECHNOLOGY, INC. アメリカ合衆国 83706-9632 アイダホ州 ポイシ サウス フェデラル ウェイ 8000
(22) 出願日	平成16年8月13日 (2004.8.13)	(74) 代理人	100078282 弁理士 山本 秀策
		(74) 代理人	100062409 弁理士 安村 高明
		(74) 代理人	100113413 弁理士 森下 夏樹

最終頁に続く

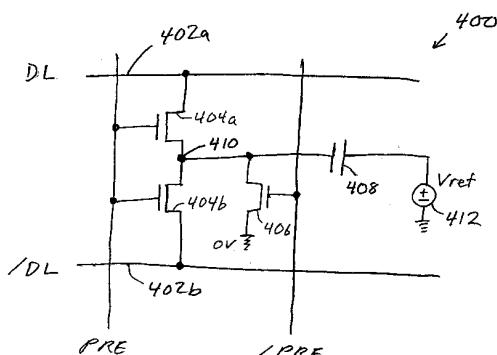
(54) 【発明の名称】メモリディジット線のキャパシタ支持によるプレチャージ

(57) 【要約】

【課題】 正確なタイミング調節に依存することなく、
ディジット線を Vcc / 2 と異なるレベルに効果的にブ
レチャージすることのできる回路及び方法を提供する
こと。

【解決手段】 メモリディジット線の対をブレチャージ
する回路および方法が提供される。ディジット線の最終
的なブレチャージ電圧は、ブレチャージ前のディジット
線電圧の平均とは異なる。その最終的なブレチャージ電
圧は、ブレチャージ回路のキャパシタのサイズを適切に
選択することによって設定され得る。

【選択図】 図 4 A



【特許請求の範囲】**【請求項 1】**

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、
 第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続されている、キャパシタと、
 該ノードと第2の一定電圧源との間に直列に接続された第1のスイッチングデバイスと
 、
 該導電線と該ノードとの間に接続された少なくとも1つの第2のスイッチングデバイスと
 を備える、回路。

10

【請求項 2】

前記第1のスイッチングデバイスは、第1の制御信号を受信することに応答して、前記ノードを前記第2の一定電圧源に接続するように動作し、
 前記第2のスイッチングデバイスは、第2の制御信号を受信することに応答して、前記複数の導電線を該ノードに接続するように動作する、請求項1に記載の回路。

【請求項 3】

前記第1の制御信号および前記第2の制御信号は、実質的に反対の論理値を有する、請求項2に記載の回路。

【請求項 4】

前記第2のスイッチングデバイスは、2つのトランジスタを含み、
 前記第2の制御信号は、該2つのトランジスタのゲートに接続される、請求項2に記載の回路。

【請求項 5】

前記同じ電圧は、該同じ電圧が設定される前は、該導電線に対する電圧の平均に等しくない、請求項1に記載の回路。

【請求項 6】

前記第1のスイッチングデバイスは、トランジスタを含む、請求項1に記載の回路。

【請求項 7】

前記第2の一定電圧源は、前記第1の一定電圧源の電圧よりも低い電圧を有する、請求項1に記載の回路。

30

【請求項 8】

複数の導電線の各々に対して同じ電圧を設定する方法であって、該方法は、
 該キャパシタを所望の電圧値へと充電可能にするために、第1のスイッチを介して、キャパシタを一定電圧源に接続するステップと、
 該第1のスイッチを介して、該キャパシタを該一定電圧源から切断するステップと、
 少なくとも1つの他のスイッチを介して、該複数の導電線を該キャパシタに接続するステップと
 を包含する、方法。

【請求項 9】

前記同じ電圧は、前記複数の導電線を前記キャパシタに接続する前は、該導電線に対する電圧の平均に等しくない、請求項8に記載の方法。

40

【請求項 10】

前記キャパシタを一定電圧源から切断するステップと、前記複数の導電線をキャパシタに接続するステップは、実質的に同時に起こる、前記請求項8に記載の方法。

【請求項 11】

導電線の対の各々に対して同じ電圧を設定する方法であって、該方法は、
 第1の導電線に対して第1の電圧を設定するステップと、
 第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定するステップと、
 該第1の導電線および該第2の導電線を互いに接続するステップと、
 該第1の電圧および該第2の電圧を所定の値へと引っ張るステップであって、該所定の

50

値が該第1の電圧および該第2の電圧の平均に等しくない、ステップとを包含する、方法。

【請求項12】

前記所定の値は、前記第1の電圧および前記第2の電圧の平均よりも小さい、請求項11に記載の方法。

【請求項13】

前記第1の電圧および前記第2の電圧は、実質的に反対の論理値を有する、請求項11に記載の方法。

【請求項14】

前記第1の電圧を設定するステップと、前記第2の電圧を設定するステップは、センスアンプを稼動するステップを含む、請求項11に記載の方法。 10

【請求項15】

前記接続するステップは、少なくとも1つのスイッチングデバイスを介してなされる、請求項11に記載の方法。

【請求項16】

前記接続するステップは、前記第1の導電線と前記第2の導電線との間に直列に接続された2つのトランジスタを稼動するステップを含む、請求項11に記載の方法。

【請求項17】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記同じノードに接続するステップを含む、請求項11に記載の方法。 20

【請求項18】

前記ノードの電圧を固定値に設定するステップをさらに包含する、請求項17に記載の方法。

【請求項19】

前記固定値は、前記所定の値よりも低い、請求項18に記載の方法。

【請求項20】

前記所定の値を提供するために、キャパシタのサイズを決定するステップをさらに包含する、請求項11に記載の方法。

【請求項21】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記キャパシタの端子に接続するステップを含む、請求項20に記載の方法。 30

【請求項22】

複数のセルを含むダイナミックランダムアクセスメモリ(DRAM)であって、該複数のセルの各々は、プレチャージ回路を含み、
該プレチャージ回路は、

第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、

該ノードと該第2の一定電圧源との間に直列に接続された第1のスイッチングデバイスと、

導電線の対と該ノードとの間に接続された少なくとも1つの他のスイッチングデバイスと 40

を含む、DRAM。

【請求項23】

前記複数のセルにそれぞれ接続された複数のセンサーアンプをさらに含む、請求項22に記載のDRAM。

【請求項24】

前記少なくとも1つのスイッチングデバイスは、2つのトランジスタを含み、
前記トランジスタのゲートは、互いに接続され、
該ゲートは、第1の制御信号線に接続されている、請求項22に記載のDRAM。

【請求項25】

前記第1のスイッチングデバイスは、トランジスタであり、該トランジスタのゲートは、第2の制御信号線に接続され、

前記第1の制御信号線および該第2の制御信号線の電圧は、実質的に反対の論理値を有する、請求項24に記載のDRAM。

【請求項26】

プロセッサと、

該プロセッサに接続されたメモリコントローラと、

複数の導電線を介して、該メモリコントローラに接続されたメモリと
を含み、

該メモリは、各々がプレチャージ回路を含む複数のセルを含み、

該プレチャージ回路は、

10

第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、

該ノードと第2の一定電圧源との間に直列に接続されている第1のスイッチングデバイスと、

該導電線の対と該ノードとの間に接続されている少なくとも1つの他のスイッチングデバイスと

を含む、システム。

【請求項27】

前記導電線は、前記メモリコントローラと前記メモリとの間でデータを転送する、請求項26に記載のシステム。

20

【請求項28】

前記メモリは、ダイナミックランダムアクセスメモリを含む、請求項26に記載のシステム。

【請求項29】

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

第1の導電線とノードとの間に接続された第1のトランジスタと、

第2の導電線と該ノードとの間に接続された第2のトランジスタと、

該ノードと第1の一定電圧源との間に接続されたキャパシタと、

該ノードと第2の一定電圧源との間に接続された第3のトランジスタと

30

を含む、回路。

【請求項30】

前記第1のトランジスタおよび前記第2のトランジスタのゲートに接続されている第1の制御信号線と、

前記第3のトランジスタのゲートに接続されている第2の制御信号線と
をさらに含む、請求項29に記載の回路。

【請求項31】

前記第1の一定電圧源および前記第2の一定電圧源は、異なる電圧値を生成する、請求項29に記載の回路。

【請求項32】

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

該キャパシタを所望の電圧値へと充電可能にするために、キャパシタを一定電圧源に接続する手段と、

該キャパシタを該一定電圧源から切断する手段と、

該複数の導電線を該キャパシタに接続する手段と
を含む、回路。

40

【請求項33】

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

第1の導電線に対して第1の電圧を設定する手段と、

第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定する手段と、

50

該第1の導電線および該第2の導電線を互いに接続する手段と、
該第1の電圧および該第2の電圧を所定の値へと引っ張る手段であって、該所定の値が
該第1の電圧および該第2の電圧の平均に等しくない、手段と
を含む、回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路メモリに関する。特に、本発明は、DRAM (Dynamic Random Access Memory) におけるディジット線のプレチャージに関する。

10

【背景技術】

【0002】

DRAMは、一般に、コンピュータ及び他の電子システムにおいてメインメモリとして用いられる半導体RAM (Random Access Memory) の1形態である。DRAMは、集積回路「セル」のアレイに情報を格納する。情報は、一般に、ディジット線と呼ばれる対のワイヤを用いて、これらのセルから読み取り、或いはこれらセルに書き込まれる。

【0003】

個々のDRAMのセルは、論理ビット値を格納するキャパシタを有し、一般に、ディジット線の単一の対でアクセスされる。前記ディジット線を本明細書中ではDL及び/ DLとして参照する。読み取り動作を実行する場合、DL及び/ DLは、ある電圧レベルにプレチャージされる。例えば、DL及び/ DLは、電源電圧の約半分 (Vcc / 2) にプレチャージされ得る。ディジット線電圧が実質的に同じレベルまで引かれるので、プレチャージは、また、等化として参照される。ディジット線の1つ、例えばDLが、セルのキャパシタに格納された電圧に接続される。この電圧は、セルに格納されたデータ値に従って、プレチャージの電圧レベルより高く或いは低くなる。このセルの電圧は、格納された値に従って、DLの電圧を引上げ或いは引下げる。

20

【0004】

この時点で、センス增幅回路は、DLと/ DLとの間の電位差を増幅するため、作動され、その結果、最大 rail - to - rail 電位差となる。例えば、論理1は、約Vccの最終DL電圧及び約0V、即ちグランド電圧 (GND) の最終/ DL電圧により示され得る。DLの新規電圧レベルは、メモリセルの内容をリフレッシュするために使用され得る。従って、プレチャージすることは、読み取り動作のみならず、ルーチンであるリフレッシュ動作のためにも重要である。

30

【0005】

いくつかの実施では、プレチャージ電圧レベルは、Vcc / 2 から著しく変わり得る。例えば、プレチャージ電圧レベルは、約Vcc / 2 - 0.2V であり得る。いくつかの技術が、これらの異なるプレチャージレベルを扱うために開発された。しかしながら、公知の技術の多くは欠点を有する。例えば、ディジット線対を所望のプレチャージ電圧に接続するための公知のブリーダゲートの使用は、比較的緩慢な電圧変化を起こし得る。或いは、公知の2段階プレチャージ技術は、正確なタイミング調節に依存し得、前記タイミング調節は、少なくとも部分的に回路シミュレーション結果に基づいたものである。このシミュレーションタイミングへの依存は、より軟弱なロバスト設計を生じる傾向がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上の考察により、正確なタイミング調節に依存することなく、ディジット線をVcc / 2 と異なるレベルに効果的にプレチャージすることのできる回路及び方法を提供することが望まれる。

【課題を解決するための手段】

50

【0007】

本発明によれば、正確なタイミング調節に依存することなく、ディジット線をVcc/2と異なるレベルに効果的にプレチャージすることのできる回路及び方法を提供する。本発明のプレチャージ回路は、3つのトランジスタと、キャパシタと、1対の相補信号線(PRE及び/PREと示す)とを含む。前記回路は、好ましくは、センス増幅回路に接続されている。

【0008】

プレチャージは、GNDのような比較的低電圧の電源に接続されたキャパシタの一方の側で開始する。この接続は、適切な電圧を第1トランジスタのゲートに印加することによりなされる。次に、キャパシタは、比較的低電圧の電源から切断され、実質的に同時にディジット線対に接続される。1つの実施形態において、前記キャパシタは、高電圧を信号線/PREに印加することによりGNDに接続され、低電圧を信号線/PREに印加することにより切断される。更に、ディジット線は、高電圧を信号線PREに高電圧を印加することによりキャパシタ及び互いのディジット線に接続される。

10

【0009】

前記ディジット線がキャパシタ及び互いのディジット線に接続された場合、それらは実質的に同じ電圧になる。しかしながら、DL及び/DLは通常約Vcc/2の値を有するが、ディジット線プレチャージ電圧は、約Vcc/2にならない。有利な点であるが、前記線はまた、比較的低電圧を維持している本発明のプレチャージ回路のキャパシタにも接続されているので、プレチャージ電圧は、より低いレベルに強制される。従って、両方のディジット線をVcc/2より低い値にプレチャージすることができる。

20

【0010】

正確なプレチャージ電圧レベルは、キャパシタに格納された電圧及びDLおよび/DLの初期電圧、ならびに、ディジット線の対応する容量及びキャパシタのサイズに依存する。最終的には、最終プレチャージ電圧は、キャパシタのサイズにより決定される。

20

【0011】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続されている、キャパシタと、該ノードと第2の一定電圧源との間に直列に接続された第1のスイッチングデバイスと、該導電線と該ノードとの間に接続された少なくとも1つの第2のスイッチングデバイスとを備える、回路が提供され、それにより上記目的が達成される。

30

【0012】

前記第1のスイッチングデバイスは、第1の制御信号を受信することに応答して、前記ノードを前記第2の一定電圧源に接続するように動作し、前記第2のスイッチングデバイスは、第2の制御信号を受信することに応答して、前記複数の導電線を該ノードに接続するように動作し得る。

40

【0013】

前記第1の制御信号および前記第2の制御信号は、実質的に反対の論理値を有し得る。

【0014】

前記第2のスイッチングデバイスは、2つのトランジスタを含み、前記第2の制御信号は、該2つのトランジスタのゲートに接続され得る。

40

【0015】

前記同じ電圧は、該同じ電圧が設定される前は、該導電線に対する電圧の平均に等しくなり得る。

【0016】

前記第1のスイッチングデバイスは、トランジスタを含み得る。

【0017】

前記第2の一定電圧源は、前記第1の一定電圧源の電圧よりも低い電圧を有し得る。

【0018】

50

本発明により、複数の導電線の各々に対して同じ電圧を設定する方法であって、該方法は、該キャパシタを所望の電圧値へと充電可能にするために、第1のスイッチを介して、キャパシタを一定電圧源に接続するステップと、該第1のスイッチを介して、該キャパシタを該一定電圧源から切斷するステップと、少なくとも1つの他のスイッチを介して、該複数の導電線を該キャパシタに接続するステップとを包含する、方法が提供され、それにより上記目的が達成される。

【0019】

前記同じ電圧は、前記複数の導電線を前記キャパシタに接続する前は、該導電線に対する電圧の平均に等しくなくてもよい。

【0020】

前記キャパシタを一定電圧源から切斷するステップと、前記複数の導電線をキャパシタに接続するステップは、実質的に同時に起こり得る。

【0021】

本発明により、導電線の対の各々に対して同じ電圧を設定する方法であって、該方法は、第1の導電線に対して第1の電圧を設定するステップと、第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定するステップと、該第1の導電線および該第2の導電線を互いに接続するステップと、該第1の電圧および該第2の電圧を所定の値へと引っ張るステップであって、該所定の値が該第1の電圧および該第2の電圧の平均に等しくない、ステップとを包含する、方法が提供され、それにより上記目的が達成される。

【0022】

前記所定の値は、前記第1の電圧および前記第2の電圧の平均よりも小さくてもよい。

【0023】

前記第1の電圧および前記第2の電圧は、実質的に反対の論理値を有し得る。

【0024】

前記第1の電圧を設定するステップと、前記第2の電圧を設定するステップは、センサアンプを稼動するステップを含み得る。

【0025】

前記接続するステップは、少なくとも1つのスイッチングデバイスを介してなされ得る。

【0026】

前記接続するステップは、前記第1の導電線と前記第2の導電線との間に直列に接続された2つのトランジスタを稼動するステップを含み得る。

【0027】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記同じノードに接続するステップを含み得る。

【0028】

前記ノードの電圧を固定値に設定するステップをさらに包含し得る。

【0029】

前記固定値は、前記所定の値よりも低くてもよい。

【0030】

前記所定の値を提供するために、キャパシタのサイズを決定するステップをさらに包含し得る。

【0031】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記キャパシタの端子に接続するステップを含み得る。

【0032】

本発明により、複数のセルを含むダイナミックランダムアクセスメモリ(DRAM)であって、該複数のセルの各々は、プレチャージ回路を含み、該プレチャージ回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、該ノードと該第2の一

10

20

30

40

50

定電圧源との間に直列に接続された第1のスイッチングデバイスと、導電線の対と該ノードとの間に接続された少なくとも1つの他のスイッチングデバイスとを含む、DRAMが提供され、それにより上記目的が達成される。

【0033】

前記複数のセルにそれぞれ接続された複数のセンスアンプをさらに含み得る。

【0034】

前記少なくとも1つのスイッチングデバイスは、2つのトランジスタを含み、前記トランジスタのゲートは、互いに接続され、該ゲートは、第1の制御信号線に接続され得る。

【0035】

前記第1のスイッチングデバイスは、トランジスタであり、該トランジスタのゲートは、第2の制御信号線に接続され、前記第1の制御信号線および該第2の制御信号線の電圧は、実質的に反対の論理値を有し得る。 10

【0036】

本発明により、プロセッサと、該プロセッサに接続されたメモリコントローラと、複数の導電線を介して、該メモリコントローラに接続されたメモリとを含み、該メモリは、各々がプレチャージ回路を含む複数のセルを含み、該プレチャージ回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、該ノードと第2の一定電圧源との間に直列に接続されている第1のスイッチングデバイスと、該導電線の対と該ノードとの間に接続されている少なくとも1つの他のスイッチングデバイスとを含む、システムが提供され、これにより上記目的が達成される。 20

【0037】

前記導電線は、前記メモリコントローラと前記メモリとの間でデータを転送し得る。

【0038】

前記メモリは、ダイナミックランダムアクセスメモリを含み得る。

【0039】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の導電線とノードとの間に接続された第1のトランジスタと、第2の導電線と該ノードとの間に接続された第2のトランジスタと、該ノードと第1の一定電圧源との間に接続されたキャパシタと、該ノードと第2の一定電圧源との間に接続された第3のトランジスタとを含む、回路が提供され、それにより上記目的が達成される。 30

【0040】

前記第1のトランジスタおよび前記第2のトランジスタのゲートに接続されている第1の制御信号線と、前記第3のトランジスタのゲートに接続されている第2の制御信号線とをさらに含み得る。

【0041】

前記第1の一定電圧源および前記第2の一定電圧源は、異なる電圧値を生成し得る。

【0042】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、該キャパシタを所望の電圧値へと充電可能にするために、キャパシタを一定電圧源に接続する手段と、該キャパシタを該一定電圧源から切断する手段と、該複数の導電線を該キャパシタに接続する手段とを含む、回路が提供され、それにより上記目的が達成される。 40

【0043】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の導電線に対して第1の電圧を設定する手段と、第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定する手段と、該第1の導電線および該第2の導電線を互いに接続する手段と、該第1の電圧および該第2の電圧を所定の値へと引っ張る手段であって、該所定の値が該第1の電圧および該第2の電圧の平均に等しくない、手段とを含む、回路が提供され、それにより上記目的が達成される。 50

【発明の効果】**【0044】**

本発明は、有利な点であるが、正確なタイミング調節に依存することなく、ディジット線を $V_{cc}/2$ と異なる電圧レベルにプレチャージする。本発明は、比較的小規模な回路に依存し、電圧は、比較的急速に変化する。プレチャージは、DRAMシステムにおいて繰返し行われるリフレッシュ動作に必要なので、全体的なシステムパフォーマンス及び信頼性を著しく改善することができる。

【発明を実施するための最良の形態】**【0045】**

本発明の以上及び他の目的及び利点は、添付の図面と共に、以下の詳細な説明を考慮することにより明らかになる。前記図面において、同じ参照番号は、全てに亘って、同じ部分に相当する。

【0046】

DRAMは、その最も簡略な形態において、セルのアレイであり、その各々は、(1)電荷を保有するキャパシタと、(2)前記キャパシタが保有する電荷にアクセスするスイッチとして機能するトランジスタとを含む。DRAMアレイは、一般に、カラムとロウとに配列されている。図1は、1対のDRAMセル102を示す。個々のセル102は、ディジット線104と、トランジスタ108のON/OFF状態を制御する対応するワード線106a又は106bとに接続されている。ワード線106a又は106bの信号がトランジスタ108をON(即ち、トランジスタを導電性にする)にした場合、ディジット線104は、キャパシタ110に情報を書き込み、或いはキャパシタ110から情報を読み取るために用いられる。

【0047】

メモリセルのデータは、キャパシタ110に格納される。キャパシタ110の一方のプレートは、電源112に結ばれ、前記電圧は、 V_{ref} 値の電圧を発生する。1つの実施では、 V_{ref} は、全てのセル102において、約 $V_{cc}/2$ であり得る。キャパシタ110のもう一方のプレートは、ノードVce11に結ばれて、前記ノードの電圧値は、セルに格納されたデータにより変化する。例えば、論理1を格納したセルは、約 V_{cc} のVce11電圧を有し得、その結果、キャパシタ110間に約 $+V_{cc}/2$ の電圧が発生し得る。反対に、論理0を格納したセルは、約0VのVce11電圧を有し得、その結果、キャパシタ110間に約 $-V_{cc}/2$ の電圧が発生し得る。キャパシタ110に格納された電荷は、しばしば時間によりリークするので、DRAMセルの内容を周期的にリフレッシュする必要がある。

【0048】

多くのDRAMシステムは、メモリセルのデータにアクセスするため、DL及び/DLとして参照するディジット線の対を用いる。読み取り動作を実行する場合、DL及び/DLは、共に V_{ref} にプレチャージされる。次に、トランジスタ108は、個々の必要なメモリセルを作動させ、ノードVce11をディジット線DLに接続する。Vce11が論理1を示す場合、DLの電圧は、 V_{ref} より大きな値に引上げられる。Vce11が論理0を示す場合、DLの電圧は、 V_{ref} より小さな値に引下げられる。次に、センスアンプは、高い電圧の方を V_{cc} に、低い電圧の方を0V(GND)にし、その結果、その特定のセルの値を示す最大rail-to-rail電位差となる。線DLの大きな最終電圧はまた、問題になっているメモリセルの内容をリフレッシュするのに用いることができる。

【0049】

以上に説明したプレチャージ動作は、 V_{ref} が実質的に $V_{cc}/2$ に等しい場合、簡単である。個々の読み取り又は書き込み動作の後、DL及び/DLの一方は V_{cc} の電圧を含み、他方は0の電圧を含む。読み取り又はリフレッシュ動作を見越してDL及び/DLをプレチャージするため、DL及び/DLは、全ての電源から切断され、次に、互いに接続されなければならない。電荷の共有は、2つの電圧が電圧の中央値(この場合、およそ V_c

10

20

30

40

50

c / 2) に設定されることを保証する。

【0050】

実際には、 V_{ref} は、しばしば $V_{cc}/2$ と異なる電圧に設定される。例えば、 V_{ref} は、 $V_{cc}/2$ より低くなり得る。このより低いプレチャージ電圧は、作動していない期間中のセルの電流リークの効果を軽減するのに役立つ。即ち、 V_{cell} が比較的高い電圧を有する場合、セルがリフレッシュしない限り、その電圧は、時間により、減少する傾向にある。 V_{cell} 電圧が著しく減少する（例えば、 $V_{cc}/2$ に接近する）場合、 $V_{cc}/2$ のプレチャージ電圧を有することは、データ破損を生じ得る。従って、 $V_{cc}/2$ より低いプレチャージ電圧を用いることは、電流リークが誤った論理値の読み取りをしてしまう機会を減らすことになる。しかし、 $V_{cc}/2$ より著しく低いプレチャージ電圧を用いることは、DL及び/ DLをプレチャージする回路の構造をより複雑にする必要があることに注意されたい。

【0051】

図2Aは、公知のプレチャージ回路の1つの例を示し、前記回路は、ブリーダゲート208を用いる。ディジット線202a及び202bは、関連するメモリセルに或いはメモリセルから信号DL及び/ DLを伝送する。NMOSトランジスタ204は、作動の際、ディジット線202aを202bに接続する。NMOSトランジスタ206a及び206bは、作動の際、ディジット線202a及び202bをノード210に接続する。最後に、NMOSトランジスタ208は、作動の際、ノード210を電源212に接続する。電源212は、 V_{ref} の値の電圧を発生する。NMOSトランジスタ204、206a、及び206bのゲートは、入力信号PREを受信するが、NMOSトランジスタ208のゲートは、入力信号/ PREを受信する。

【0052】

図2Bは、図2Aのブリーダゲート回路を用いた実例となるプレチャージ動作を示すタイミング図である。ディジット線電圧DL及び/ DLは、最初はそれぞれ V_{cc} 及び0であるが、信号/ PRE及びPREはそれぞれ V_{cc} 及び0Vに設定される。従って、NMOSトランジスタ208は導電され、ノード210が電源212に結ばれるが、NMOSトランジスタ204、206a、及び206bは導電されない。時間214で、信号PREは高くなる。その結果、NMOSトランジスタ204、206a、及び206bがONになり（即ち、導電性にする）、ディジット線202a及び202bを互いに接続し、ノード210に接続する。従って、信号DL及び/ DLは、時間216で、電圧 V_{ref} に等しくなり始め、前記 V_{ref} は実質的に $V_{cc}/2$ と異なってもよい。

【0053】

このブリーダゲートは、効果的に両方のディジット線を V_{ref} にプレチャージする。残念ながら、そのアプローチも比較的緩慢である。電圧 V_{ref} は、ディジット線に到達する前に、 V_{ref} 電力バス及びブリーダゲート208を経由しなければならない。この潜在的な長い経路は、長いプレチャージ遅延を引きこし得る。

【0054】

図3Aは、 $V_{cc}/2$ と異なる電圧までディジット線ペアをプレチャージするために用いられ得る別の公知の回路を示す。ディジット線302aおよび302bは、センスアンプ304に接続される。センスアンプ304は、PMOSトランジスタ306aおよび306bならびにNMOSトランジスタ308aおよび308bを含む。PMOSトランジスタ306aおよび306bのソースは、互いおよびノードACTに結ばれる。ノードACTは、PMOSトランジスタ310によって電圧 V_{cc} （導電性の場合）にか、または、トランジスタ312によって0Vに（導電性の場合）結ばれ得る。同様に、NMOSトランジスタ308aおよび308bのソースは、互いおよびノード/ RNLに結ばれる。ノード/ RNLは、PMOSトランジスタ314によって電圧源318に（導電性の場合）か、NMOSトランジスタ316によって0Vに（導電性の場合）結ばれ得る。電圧源318は、値 V_{ref} の電圧を発生する。

【0055】

10

20

30

40

50

図3Bは、図3Aの回路を用いた例示的なプレチャージ動作を示すタイミング図である。プレチャージ動作は、2つの段に分かれる。最初に、DLは約Vccの値を有し、/DLは約0Vの値を有する。センスアンプはこのときにアクティブであるので、ノードACTは約Vccであり、ノード/RNLは約0Vである。プレチャージの第1の段は、ノードACTの電圧が0Vまで引き下げられ、ノード/RNLの電圧がVccに向かって部分的に引き上げられる時に、時間320で開始する。これの遷移に応答して、信号DLは、時間322で降下し始める。プレチャージの第2の段は、ノードACTおよび/RNLの電圧が一定に保たれる時に、時間324で開始する。時間326では、ディジット線302aおよび302bは互いに接続され、電圧DLおよび/DLは、それらの以前の電圧のおおよそ中間に等しくなり始める。DLは短絡が生じる前にVccより下に降下することが許されているので、DLおよび/DLはVcc/2よりも僅かに下の電圧で安定する。

10

【0056】

DLおよび/DLが安定する最終的な電圧は、高い電圧が時間322と326との間に減少する限界に依存し、これは、/RNLノード電圧が時間320と324との間に上昇する高さに依存する。正確なプレチャージ電圧を保証するために、第1の段のタイミングは、非常に注意深く設定されるべきである。多くの場合、タイミングパラメータは、正確であることもあり得るし、正確でないこともあり得る回路シミュレーションからの計測値に基づく。このように、この二重段プレチャージ技術は比較的高速であるが、信頼性を持たせて設定するためには比較的困難である。

20

【0057】

図4Aは、本発明によるプレチャージ回路400を示す。ディジット線402aおよび402bは、NMOSトランジスタ404aおよび404bによって互いにおよびノード410に接続される。NMOSトランジスタ406は、アクティブである場合にノード410を0Vに接続する。キャパシタ408は、ノード410および接続された一方のプレートと、値Vrefの電圧を発生させる電圧源412に結ばれたもう一方のプレートとを有する。信号PREは、NMOSトランジスタ404aおよび404bのゲートを駆動する一方で、信号/PREは、NMOSトランジスタ406のゲートを駆動する。

20

【0058】

図4Bは、本発明による例示的なプレチャージ動作を示すタイミング図である。最初に、DLおよび/DLはそれぞれ電圧Vccおよび0Vにあり、その一方で、/PREおよびPREはそれぞれ電圧Vccおよび0Vにある。このように、NMOSトランジスタ406は導電性であり、ノード410を0Vに接続する。従って、キャパシタ408の一方のプレートは0Vの電圧を有する一方で、もう一方のプレートはVrefの電圧を有する。トランジスタ404a、404bおよび406は、非導電性である。時間414では、/PREはローになる一方で、PREはハイになり、NMOSトランジスタ406を非導電性にする一方で、実質的に同時にNMOSトランジスタ404aおよび404bを導電性にする。ここで、ディジット線402aおよび402bは互いに接続されているので、時間416では、それらはまた同じ電圧に収束し始める。しかしながら、それらはまたノード410に接続されているので、DLおよび/DLはVcc/2に収束されない。むしろ、それらは、この場合はVrefであるVcc/2よりも低い電圧に収束する。

30

【0059】

DLおよび/DLの最終的な電圧がVcc/2と異なる正確な量は、様々な要因に依存する。以下の等式は、図4Aの容量と電圧との間の関係を示す。

40

【0060】

【数1】

$$\frac{C_{DL} * V_{DL} + (C_{/DL} + C_{408}) * V_{410}}{C_{DL} + C_{/DL} + C_{408}} = V_{ref}$$

C_{DL}はディジット線402aの寄生容量であり、V_{DL}は等しくなる前のディジット

50

線 4 0 2 a の電圧であり、 C_{D_L} はディジット線 4 0 2 b の寄生容量であり、 C_{4_08} はキャパシタ 4 0 8 の容量であり、 V_{410} はノード 4 1 0 の電圧であり、 V_{ref} はターゲットプレチャージ電圧である。

【 0 0 6 1 】

この式を用いて、キャパシタ 4 0 8 の容量が決定され得る。なお、電圧供給 4 1 2 によって発生される電圧は、 V_{ref} 以外の値であり得る。実際に、 V_{ref} よりも高い電圧を用いることにより、より低い容量 C_{4_08} が用いられ得ることが好ましい。

【 0 0 6 2 】

このように、単に適切にキャパシタ 4 0 8 をサイズ合わせすることによって、効果的なプレチャージが達成され得、これは、図 3 A および 3 B の二重段プレチャージ技術におけるように、タイミングシミュレーションに依存するよりもはるかにロバスト性が高い。さらに、図 4 A および 4 B に示される技術は、図 2 A および図 2 B に示されるアプローチよりも、ディジット線 D L および / D L がより速く等しくなることを可能にする。

【 0 0 6 3 】

本発明は、有利にも、 $V_{cc/2}$ とは異なる電圧までディジット線のペアをプレチャージするシンプルで、ロバスト性があり、かつ、効率的な方法を提供する。プレチャージ回路は小さく、回路素子をほとんど必要とせず、かつ、高速に動作する。さらに、最終的なプレチャージ電圧は、キャパシタ 4 0 8 のサイズを選択することによって設定することが容易である。

【 0 0 6 4 】

なお、図 4 A および 4 B に示され、本明細書中に記載される実施形態は单なる例示である。他の変形も可能である。例えば、図 4 A の NMOS トランジスタは PMOS トランジスタと NMOS トランジスタとの組み合わせによって置き換えられ得る。さらに、図 4 B の D L および / D L の役割は、最終的な動作の結果に影響を与えることなく反転され得る。さらに、アンチフューズ (anti-fuse) キャパシタまたは MOS キャパシタのような異なるタイプのキャパシタが、キャパシタ 4 0 8 用に用いられ得る。本発明はメモリディジット線をプレチャージするという文脈で記載されたが、本発明を用いて他の導線のペアの電圧を等しくし得る。

【 0 0 6 5 】

図 5 は、本発明を組み込むシステムを示す。システム 5 0 0 は、複数の DRAM チップ 5 0 2、プロセッサ 5 0 4、メモリコントローラ 5 0 6、入力デバイス 5 0 8、出力デバイス 5 1 0、および、選択的ストレージデバイス 5 1 2 を備える。DRAM チップ 5 0 2 は、本発明による（回路 4 0 0 等の）キャパシタをサポートするプレチャージ回路を備える。この回路は、 $V_{cc/2}$ と異なる電圧までディジット線の対をプレチャージし、電流の漏れに対するメモリの耐久性を増大する。データおよび制御信号は、バス 5 1 4 を介してプロセッサ 5 0 4 とメモリコントローラ 5 0 6との間で送信される。同様に、データおよび制御信号は、バス 5 1 6 を介してメモリコントローラ 5 0 6 と DRAM チップ 5 0 2 との間で送信される。入力デバイス 5 0 8 は、例えば、キーボード、マウス、タッチパッドディスプレイスクリーン、または、ユーザに情報をシステム 5 0 0 に入力させることができる任意の他の適切なデバイスを備え得る。出力デバイス 5 1 0 は、例えば、ビデオディスプレイユニット、プリンタ、または、ユーザに出力データを提供することができる任意の他の適切なデバイスを備え得る。なお、あるいは、入力デバイス 5 0 8 および出力デバイス 5 1 0 は单一の入力 / 出力デバイスであり得る。ストレージデバイス 5 1 2 は、例えば、1 つ以上のディスクまたはテープドライブを備え得る。

【 0 0 6 6 】

以上のように、 $V_{cc/2}$ と異なる電圧までディジット線のペアをプレチャージする回路および方法が提供されることがわかった。本発明の好ましい実施形態を用いて本発明を例示してきたが、当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。当業者は、本発明が、制限のためではなく例示のために提示された記載された実施形態以外に

10

20

30

40

50

よって実現され得、本発明は、添付の特許請求の範囲によってのみ制限されることが理解される。

(要旨)

メモリディジット線の対をプレチャージする回路および方法が提供される。ディジット線の最終的なプレチャージ電圧は、プレチャージ前のディジット線電圧の平均とは異なる。その最終的なプレチャージ電圧は、プレチャージ回路のキャパシタのサイズを適切に選択することによって設定され得る。

【図面の簡単な説明】

【0067】

【図1】図1は、一般的なD R A Mセルの回路図である。

10

【図2A】図2Aは、一般的なブリーダゲートプレチャージ回路の回路図である。

【図2B】図2Bは、図2Aのブリーダゲートプレチャージ回路における信号のタイミング図である。

【図3A】図3Aは、一般的な2段階プレチャージ回路の回路図である。

【図3B】図3Bは、図3Aの2段階プレチャージ回路における信号のタイミング図である。

【図4A】図4Aは、本発明によるキャパシタ支持によるプレチャージ回路の回路図である。

【図4B】図4Bは、本発明によるキャパシタ支持によるプレチャージ回路における信号のタイミング図である。

20

【図5】図5は、本発明を組み込んだシステムのブロック図である。

【符号の説明】

【0068】

500 システム

502 複数のD R A Mチップ

504 プロセッサ

506 メモリコントローラ

508 入力デバイス

510 出力デバイス

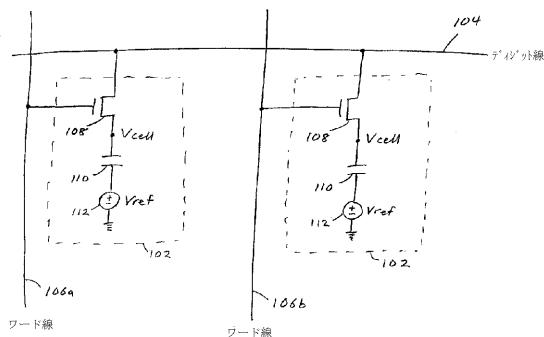
512 選択的ストレージデバイス

30

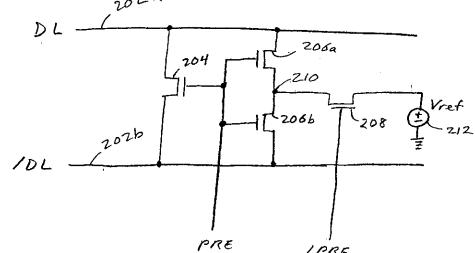
514 バス

516 バス

【図1】



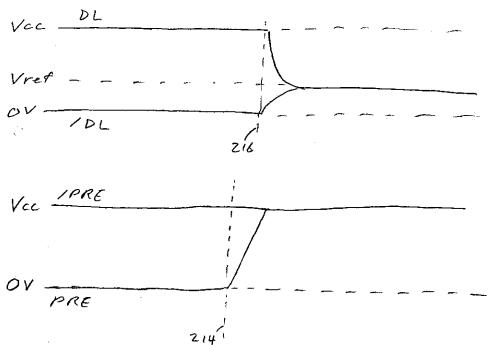
【図2 A】



(従来技術)

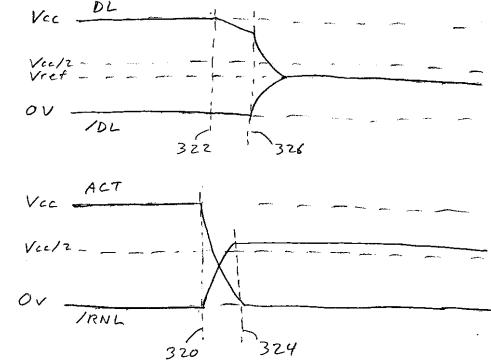
(従来技術)

【図2 B】



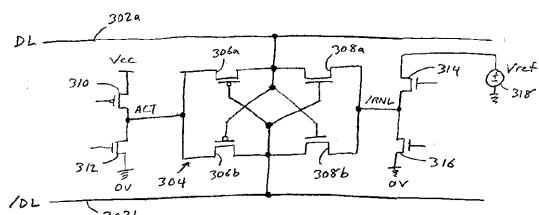
(従来技術)

【図3 B】



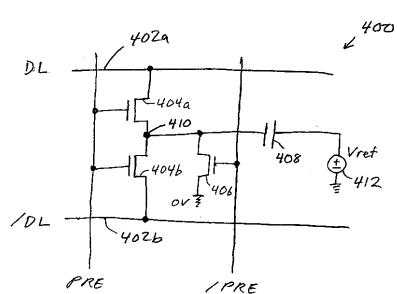
(従来技術)

【図3 A】

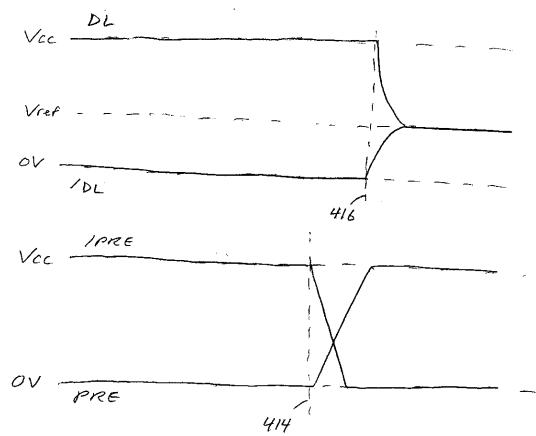


(従来技術)

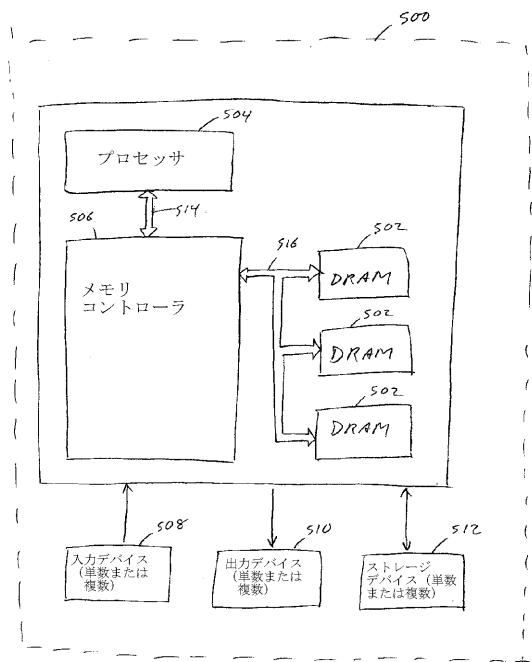
【図4 A】



【図4B】



【図5】



フロントページの続き

(72)発明者 富嶋 茂樹

茨城県つくば市松代3-25-3-201

F ターム(参考) 5J055 AX00 BX16 CX27 DX22 DX56 DX72 DX83 EX02 EY10 EY21
EZ07 EZ19 EZ20 EZ51 FX05 FX18 FX37 GX01 GX04 GX05
5J056 AA37 BB00 CC19 CC21 DD13 DD29 DD51 EE06 FF06 FF08
GG09 KK01
5M024 AA40 BB15 BB35 CC63 HH11 PP01 PP03 PP07