

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-54017

(P2006-54017A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/409 (2006.01)	G 1 1 C 11/34 3 5 3 F	5 J 0 5 5
H 0 3 K 17/687 (2006.01)	H 0 3 K 17/687 F	5 J 0 5 6
H 0 3 K 19/0185 (2006.01)	H 0 3 K 19/00 1 0 1 B	5 M 0 2 4
H 0 3 K 19/0948 (2006.01)	H 0 3 K 19/094 B	

審査請求 未請求 請求項の数 33 O L (全 16 頁)

(21) 出願番号	特願2004-236245 (P2004-236245)	(71) 出願人	500014068
(22) 出願日	平成16年8月13日 (2004.8.13)		マイクロン テクノロジー インコーポレイテッド
			MICRON TECHNOLOGY, INC.
			アメリカ合衆国 83706-9632
			アイダホ州 ボイシ サウス フェデラル
			ウェイ 8000
		(74) 代理人	100078282
			弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100113413
			弁理士 森下 夏樹

最終頁に続く

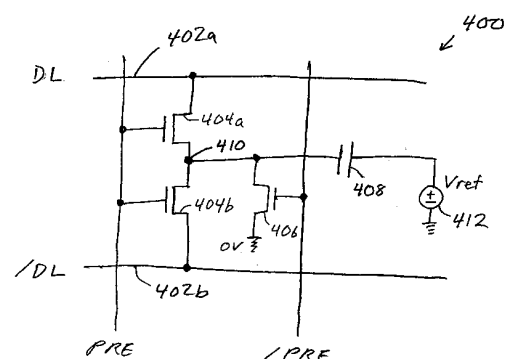
(54) 【発明の名称】 メモリディジット線のキャパシタ支持によるプレチャージ

(57) 【要約】

【課題】 正確なタイミング調節に依存することなく、ディジット線を $V_{cc}/2$ と異なるレベルに効果的にプレチャージすることのできる回路及び方法を提供すること。

【解決手段】 メモリディジット線の対をプレチャージする回路および方法が提供される。ディジット線の最終的なプレチャージ電圧は、プレチャージ前のディジット線電圧の平均とは異なる。その最終的なプレチャージ電圧は、プレチャージ回路のキャパシタのサイズを適切に選択することによって設定され得る。

【選択図】 図4A



【特許請求の範囲】**【請求項 1】**

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、
第 1 の端子および第 2 の端子を有するキャパシタであって、該第 1 の端子がノードに接続され、該第 2 の端子が第 1 の一定電圧源に接続されている、キャパシタと、
該ノードと第 2 の一定電圧源との間に直列に接続された第 1 のスイッチングデバイスと、
該導電線と該ノードとの間に接続された少なくとも 1 つの第 2 のスイッチングデバイスと
を備える、回路。

10

【請求項 2】

前記第 1 のスイッチングデバイスは、第 1 の制御信号を受信することに応答して、前記ノードを前記第 2 の一定電圧源に接続するように動作し、
前記第 2 のスイッチングデバイスは、第 2 の制御信号を受信することに応答して、前記複数の導電線を該ノードに接続するように動作する、請求項 1 に記載の回路。

【請求項 3】

前記第 1 の制御信号および前記第 2 の制御信号は、実質的に反対の論理値を有する、請求項 2 に記載の回路。

【請求項 4】

前記第 2 のスイッチングデバイスは、2 つのトランジスタを含み、
前記第 2 の制御信号は、該 2 つのトランジスタのゲートに接続される、請求項 2 に記載の回路。

20

【請求項 5】

前記同じ電圧は、該同じ電圧が設定される前は、該導電線に対する電圧の平均に等しくない、請求項 1 に記載の回路。

【請求項 6】

前記第 1 のスイッチングデバイスは、トランジスタを含む、請求項 1 に記載の回路。

【請求項 7】

前記第 2 の一定電圧源は、前記第 1 の一定電圧源の電圧よりも低い電圧を有する、請求項 1 に記載の回路。

30

【請求項 8】

複数の導電線の各々に対して同じ電圧を設定する方法であって、該方法は、
該キャパシタを所望の電圧値へと充電可能にするために、第 1 のスイッチを介して、キャパシタを一定電圧源に接続するステップと、
該第 1 のスイッチを介して、該キャパシタを該一定電圧源から切断するステップと、
少なくとも 1 つの他のスイッチを介して、該複数の導電線を該キャパシタに接続するステップと
を包含する、方法。

【請求項 9】

前記同じ電圧は、前記複数の導電線を前記キャパシタに接続する前は、該導電線に対する電圧の平均に等しくない、請求項 8 に記載の方法。

40

【請求項 10】

前記キャパシタを一定電圧源から切断するステップと、前記複数の導電線をキャパシタに接続するステップは、実質的に同時に起こる、前記請求項 8 に記載の方法。

【請求項 11】

導電線の対の各々に対して同じ電圧を設定する方法であって、該方法は、
第 1 の導電線に対して第 1 の電圧を設定するステップと、
第 2 の導電線に対して該第 1 の電圧に等しくない第 2 の電圧を設定するステップと、
該第 1 の導電線および該第 2 の導電線を互いに接続するステップと、
該第 1 の電圧および該第 2 の電圧を所定の値へと引っ張るステップであって、該所定の

50

値が該第 1 の電圧および該第 2 の電圧の平均に等しくない、ステップとを包含する、方法。

【請求項 1 2】

前記所定の値は、前記第 1 の電圧および前記第 2 の電圧の平均よりも小さい、請求項 1 に記載の方法。

【請求項 1 3】

前記第 1 の電圧および前記第 2 の電圧は、実質的に反対の論理値を有する、請求項 1 に記載の方法。

【請求項 1 4】

前記第 1 の電圧を設定するステップと、前記第 2 の電圧を設定するステップは、センスアンプを稼動するステップを含む、請求項 1 1 に記載の方法。 10

【請求項 1 5】

前記接続するステップは、少なくとも 1 つのスイッチングデバイスを介してなされる、請求項 1 1 に記載の方法。

【請求項 1 6】

前記接続するステップは、前記第 1 の導電線と前記第 2 の導電線との間に直列に接続された 2 つのトランジスタを稼動するステップを含む、請求項 1 1 に記載の方法。

【請求項 1 7】

前記接続するステップは、前記第 1 の導電線および前記第 2 の導電線を前記同じノードに接続するステップを含む、請求項 1 1 に記載の方法。 20

【請求項 1 8】

前記ノードの電圧を固定値に設定するステップをさらに包含する、請求項 1 7 に記載の方法。

【請求項 1 9】

前記固定値は、前記所定の値よりも低い、請求項 1 8 に記載の方法。

【請求項 2 0】

前記所定の値を提供するために、キャパシタのサイズを決定するステップをさらに包含する、請求項 1 1 に記載の方法。

【請求項 2 1】

前記接続するステップは、前記第 1 の導電線および前記第 2 の導電線を前記キャパシタの端子に接続するステップを含む、請求項 2 0 に記載の方法。 30

【請求項 2 2】

複数のセルを含むダイナミックランダムアクセスメモリ (D R A M) であって、
該複数のセルの各々は、プレチャージ回路を含み、
該プレチャージ回路は、

第 1 の端子および第 2 の端子を有するキャパシタであって、該第 1 の端子がノードに接続され、該第 2 の端子が第 1 の一定電圧源に接続される、キャパシタと、

該ノードと該第 2 の一定電圧源との間に直列に接続された第 1 のスイッチングデバイスと、

導電線の対と該ノードとの間に接続された少なくとも 1 つの他のスイッチングデバイスと 40

を含む、 D R A M。

【請求項 2 3】

前記複数のセルにそれぞれ接続された複数のセンスアンプをさらに含む、請求項 2 2 に記載の D R A M。

【請求項 2 4】

前記少なくとも 1 つのスイッチングデバイスは、 2 つのトランジスタを含み、

前記トランジスタのゲートは、互いに接続され、

該ゲートは、第 1 の制御信号線に接続されている、請求項 2 2 に記載の D R A M。

【請求項 2 5】

前記第 1 のスイッチングデバイスは、トランジスタであり、該トランジスタのゲートは、第 2 の制御信号線に接続され、

前記第 1 の制御信号線および該第 2 の制御信号線の電圧は、実質的に反対の論理値を有する、請求項 2 4 に記載の D R A M。

【請求項 2 6】

プロセッサと、

該プロセッサに接続されたメモリコントローラと、

複数の導電線を介して、該メモリコントローラに接続されたメモリとを含み、

該メモリは、各々がプレチャージ回路を含む複数のセルを含み、

該プレチャージ回路は、

第 1 の端子および第 2 の端子を有するキャパシタであって、該第 1 の端子がノードに接続され、該第 2 の端子が第 1 の一定電圧源に接続される、キャパシタと、

該ノードと第 2 の一定電圧源との間に直列に接続されている第 1 のスイッチングデバイスと、

該導電線の対と該ノードとの間に接続されている少なくとも 1 つの他のスイッチングデバイスと

を含む、システム。

【請求項 2 7】

前記導電線は、前記メモリコントローラと前記メモリとの間でデータを転送する、請求項 2 6 に記載のシステム。 20

【請求項 2 8】

前記メモリは、ダイナミックランダムアクセスメモリを含む、請求項 2 6 に記載のシステム。

【請求項 2 9】

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

第 1 の導電線とノードとの間に接続された第 1 のトランジスタと、

第 2 の導電線と該ノードとの間に接続された第 2 のトランジスタと、

該ノードと第 1 の一定電圧源との間に接続されたキャパシタと、

該ノードと第 2 の一定電圧源との間に接続された第 3 のトランジスタと

を含む、回路。 30

【請求項 3 0】

前記第 1 のトランジスタおよび前記第 2 のトランジスタのゲートに接続されている第 1 の制御信号線と、

前記第 3 のトランジスタのゲートに接続されている第 2 の制御信号線と

をさらに含む、請求項 2 9 に記載の回路。

【請求項 3 1】

前記第 1 の一定電圧源および前記第 2 の一定電圧源は、異なる電圧値を生成する、請求項 2 9 に記載の回路。

【請求項 3 2】 40

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

該キャパシタを所望の電圧値へと充電可能にするために、キャパシタを一定電圧源に接続する手段と、

該キャパシタを該一定電圧源から切断する手段と、

該複数の導電線を該キャパシタに接続する手段と

を含む、回路。

【請求項 3 3】

複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、

第 1 の導電線に対して第 1 の電圧を設定する手段と、

第 2 の導電線に対して該第 1 の電圧に等しくない第 2 の電圧を設定する手段と、 50

該第 1 の導電線および該第 2 の導電線を互いに接続する手段と、
該第 1 の電圧および該第 2 の電圧を所定の値へと引っ張る手段であって、該所定の値が
該第 1 の電圧および該第 2 の電圧の平均に等しくない、手段と
を含む、回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路メモリに関する。特に、本発明は、D R A M (D y n a m i c
R a n d o m A c c e s s M e m o r y) におけるディジット線のプレチャージに関
する。

10

【背景技術】

【0002】

D R A M は、一般に、コンピュータ及び他の電子システムにおいてメインメモリとして
用いられる半導体 R A M (R a n d o m A c c e s s M e m o r y) の 1 形態であ
る。D R A M は、集積回路「セル」のアレイに情報を格納する。情報は、一般に、ディジ
ット線と呼ばれる対のワイヤを用いて、これらのセルから読取り、或いはこれらセルに書
込まれる。

【0003】

個々の D R A M のセルは、論理ビット値を格納するキャパシタを有し、一般に、ディジ
ット線の単一の対でアクセスされる。前記ディジット線を本明細書中では D L 及び / D L
として参照する。読取り動作を実行する場合、D L 及び / D L は、ある電圧レベルにプレ
チャージされる。例えば、D L 及び / D L は、電源電圧の約半分 ($V_{cc} / 2$) にプレチャ
ージされ得る。ディジット線電圧が実質的に同じレベルまで引かれるので、プレチャ
ージは、また、等化として参照される。ディジット線の 1 つ、例えば D L が、セルのキャ
パシタに格納された電圧に接続される。この電圧は、セルに格納されたデータ値に従って、
プレチャージの電圧レベルより高く或いは低くなる。このセルの電圧は、格納された値に
従って、D L の電圧を引上げ或いは引下げる。

20

【0004】

この時点で、センス増幅回路は、D L と / D L との間の電位差を増幅するため、作動さ
れ、その結果、最大 $r a i l - t o - r a i l$ 電位差となる。例えば、論理 1 は、約 V_{cc}
の最終 D L 電圧及び約 0 V、即ちグランド電圧 (G N D) の最終 / D L 電圧により示さ
れ得る。D L の新規電圧レベルは、メモリセルの内容をリフレッシュするために使用され
得る。従って、プレチャージすることは、読取り動作のみならず、ルーチンであるリフレ
ッシュ動作のためにも重要である。

30

【0005】

いくつかの実施では、プレチャージ電圧レベルは、 $V_{cc} / 2$ から著しく変わり得る。
例えば、プレチャージ電圧レベルは、約 $V_{cc} / 2 - 0.2 V$ であり得る。いくつかの技
術が、これらの異なるプレチャージレベルを扱うために開発された。しかしながら、公知
の技術の多くは欠点を有する。例えば、ディジット線対を所望のプレチャージ電圧に接続
するための公知のブリーダゲートの使用は、比較的緩慢な電圧変化を起こし得る。或いは
、公知の 2 段階プレチャージ技術は、正確なタイミング調節に依存し得、前記タイミング
調節は、少なくとも部分的に回路シミュレーション結果に基づいたものである。このシミ
ュレーションタイミングへの依存は、より軟弱なロバスト設計を生じる傾向がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上の考察により、正確なタイミング調節に依存することなく、ディジット線を $V_{cc} / 2$
と異なるレベルに効果的にプレチャージすることのできる回路及び方法を提供すること
が望まれる。

【課題を解決するための手段】

50

【0007】

本発明によれば、正確なタイミング調節に依存することなく、ディジット線を $V_{cc}/2$ と異なるレベルに効果的にプレチャージすることのできる回路及び方法を提供する。本発明のプレチャージ回路は、3つのトランジスタと、キャパシタと、1対の相補信号線（PRE及び/PREと示す）とを含む。前記回路は、好ましくは、センス増幅回路に接続されている。

【0008】

プレチャージは、GNDのような比較的低電圧の電源に接続されたキャパシタの一方の側で開始する。この接続は、適切な電圧を第1トランジスタのゲートに印加することによりなされる。次に、キャパシタは、比較的低電圧の電源から切断され、実質的に同時にディジット線対に接続される。1つの実施形態において、前記キャパシタは、高電圧を信号線/PREに印加することによりGNDに接続され、低電圧を信号線/PREに印加することにより切断される。更に、ディジット線は、高電圧を信号線PREに高電圧を印加することによりキャパシタ及び互いのディジット線に接続される。

10

【0009】

前記ディジット線がキャパシタ及び互いのディジット線に接続された場合、それらは実質的に同じ電圧になる。しかしながら、DL及び/DLは通常約 V_{cc} 及び0Vの値を有するが、ディジット線プレチャージ電圧は、約 $V_{cc}/2$ にならない。有利な点であるが、前記線はまた、比較的低電圧を維持している本発明のプレチャージ回路のキャパシタにも接続されているので、プレチャージ電圧は、より低いレベルに強制される。従って、両方のディジット線を $V_{cc}/2$ より低い値にプレチャージすることができる。

20

【0010】

正確なプレチャージ電圧レベルは、キャパシタに格納された電圧及びDLおよび/DLの初期電圧、ならびに、ディジット線の対応する容量及びキャパシタのサイズに依存する。最終的には、最終プレチャージ電圧は、キャパシタのサイズにより決定される。

【0011】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続されている、キャパシタと、該ノードと第2の一定電圧源との間に直列に接続された第1のスイッチングデバイスと、該導電線と該ノードとの間に接続された少なくとも1つの第2のスイッチングデバイスとを備える、回路が提供され、それにより上記目的が達成される。

30

【0012】

前記第1のスイッチングデバイスは、第1の制御信号を受信することに応答して、前記ノードを前記第2の一定電圧源に接続するように動作し、前記第2のスイッチングデバイスは、第2の制御信号を受信することに応答して、前記複数の導電線を該ノードに接続するように動作し得る。

【0013】

前記第1の制御信号および前記第2の制御信号は、実質的に反対の論理値を有し得る。

【0014】

前記第2のスイッチングデバイスは、2つのトランジスタを含み、前記第2の制御信号は、該2つのトランジスタのゲートに接続され得る。

40

【0015】

前記同じ電圧は、該同じ電圧が設定される前は、該導電線に対する電圧の平均に等しくなり得る。

【0016】

前記第1のスイッチングデバイスは、トランジスタを含み得る。

【0017】

前記第2の一定電圧源は、前記第1の一定電圧源の電圧よりも低い電圧を有し得る。

【0018】

50

本発明により、複数の導電線の各々に対して同じ電圧を設定する方法であって、該方法は、該キャパシタを所望の電圧値へと充電可能にするために、第1のスイッチを介して、キャパシタを一定電圧源に接続するステップと、該第1のスイッチを介して、該キャパシタを該一定電圧源から切断するステップと、少なくとも1つの他のスイッチを介して、該複数の導電線を該キャパシタに接続するステップとを包含する、方法が提供され、それにより上記目的が達成される。

【0019】

前記同じ電圧は、前記複数の導電線を前記キャパシタに接続する前は、該導電線に対する電圧の平均に等しくなくてもよい。

【0020】

前記キャパシタを一定電圧源から切断するステップと、前記複数の導電線をキャパシタに接続するステップは、実質的に同時に起こり得る。

【0021】

本発明により、導電線の対の各々に対して同じ電圧を設定する方法であって、該方法は、第1の導電線に対して第1の電圧を設定するステップと、第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定するステップと、該第1の導電線および該第2の導電線を互いに接続するステップと、該第1の電圧および該第2の電圧を所定の値へと引くステップであって、該所定の値が該第1の電圧および該第2の電圧の平均に等しくない、ステップとを包含する、方法が提供され、それにより上記目的が達成される。

【0022】

前記所定の値は、前記第1の電圧および前記第2の電圧の平均よりも小さくてもよい。

【0023】

前記第1の電圧および前記第2の電圧は、実質的に反対の論理値を有し得る。

【0024】

前記第1の電圧を設定するステップと、前記第2の電圧を設定するステップは、センスアンプを稼動するステップを含み得る。

【0025】

前記接続するステップは、少なくとも1つのスイッチングデバイスを介してなされ得る。

【0026】

前記接続するステップは、前記第1の導電線と前記第2の導電線との間に直列に接続された2つのトランジスタを稼動するステップを含み得る。

【0027】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記同じノードに接続するステップを含み得る。

【0028】

前記ノードの電圧を固定値に設定するステップをさらに包含し得る。

【0029】

前記固定値は、前記所定の値よりも低くてもよい。

【0030】

前記所定の値を提供するために、キャパシタのサイズを決定するステップをさらに包含し得る。

【0031】

前記接続するステップは、前記第1の導電線および前記第2の導電線を前記キャパシタの端子に接続するステップを含み得る。

【0032】

本発明により、複数のセルを含むダイナミックランダムアクセスメモリ(DRAM)であって、該複数のセルの各々は、プレチャージ回路を含み、該プレチャージ回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、該ノードと該第2の

10

20

30

40

50

定電圧源との間に直列に接続された第1のスイッチングデバイスと、導電線の対と該ノードとの間に接続された少なくとも1つの他のスイッチングデバイスとを含む、DRAMが提供され、それにより上記目的が達成される。

【0033】

前記複数のセルにそれぞれ接続された複数のセンスアンプをさらに含み得る。

【0034】

前記少なくとも1つのスイッチングデバイスは、2つのトランジスタを含み、前記トランジスタのゲートは、互いに接続され、該ゲートは、第1の制御信号線に接続され得る。

【0035】

前記第1のスイッチングデバイスは、トランジスタであり、該トランジスタのゲートは、第2の制御信号線に接続され、前記第1の制御信号線および該第2の制御信号線の電圧は、実質的に反対の論理値を有し得る。 10

【0036】

本発明により、プロセッサと、該プロセッサに接続されたメモリコントローラと、複数の導電線を介して、該メモリコントローラに接続されたメモリとを含み、該メモリは、各々がプレチャージ回路を含む複数のセルを含み、該プレチャージ回路は、第1の端子および第2の端子を有するキャパシタであって、該第1の端子がノードに接続され、該第2の端子が第1の一定電圧源に接続される、キャパシタと、該ノードと第2の一定電圧源との間に直列に接続されている第1のスイッチングデバイスと、該導電線の対と該ノードとの間に接続されている少なくとも1つの他のスイッチングデバイスとを含む、システムが提供され、これにより上記目的が達成される。 20

【0037】

前記導電線は、前記メモリコントローラと前記メモリとの間でデータを転送し得る。

【0038】

前記メモリは、ダイナミックランダムアクセスメモリを含み得る。

【0039】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の導電線とノードとの間に接続された第1のトランジスタと、第2の導電線と該ノードとの間に接続された第2のトランジスタと、該ノードと第1の一定電圧源との間に接続されたキャパシタと、該ノードと第2の一定電圧源との間に接続された第3のトランジスタとを含む、回路が提供され、それにより上記目的が達成される。 30

【0040】

前記第1のトランジスタおよび前記第2のトランジスタのゲートに接続されている第1の制御信号線と、前記第3のトランジスタのゲートに接続されている第2の制御信号線とをさらに含み得る。

【0041】

前記第1の一定電圧源および前記第2の一定電圧源は、異なる電圧値を生成し得る。

【0042】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、該キャパシタを所望の電圧値へと充電可能にするために、キャパシタを一定電圧源に接続する手段と、該キャパシタを該一定電圧源から切断する手段と、該複数の導電線を該キャパシタに接続する手段とを含む、回路が提供され、それにより上記目的が達成される。 40

【0043】

本発明により、複数の導電線の各々に対して同じ電圧を設定する回路であって、該回路は、第1の導電線に対して第1の電圧を設定する手段と、第2の導電線に対して該第1の電圧に等しくない第2の電圧を設定する手段と、該第1の導電線および該第2の導電線を互いに接続する手段と、該第1の電圧および該第2の電圧を所定の値へと引っ張る手段であって、該所定の値が該第1の電圧および該第2の電圧の平均に等しくない、手段とを含む、回路が提供され、それにより上記目的が達成される。 50

【発明の効果】

【0044】

本発明は、有利な点であるが、正確なタイミング調節に依存することなく、ディジット線を $V_{cc}/2$ と異なる電圧レベルにプレチャージする。本発明は、比較的小規模な回路に依存し、電圧は、比較的急速に変化する。プレチャージは、DRAMシステムにおいて繰返し行われるリフレッシュ動作に必要なので、全体的なシステムパフォーマンス及び信頼性を著しく改善することができる。

【発明を実施するための最良の形態】

【0045】

本発明の以上及び他の目的及び利点は、添付の図面と共に、以下の詳細な説明を考慮することにより明らかになる。前記図面において、同じ参照番号は、全てに亘って、同じ部分に相当する。

【0046】

DRAMは、その最も簡略な形態において、セルのアレイであり、その各々は、(1) 電荷を保有するキャパシタと、(2) 前記キャパシタが保有する電荷にアクセスするスイッチとして機能するトランジスタとを含む。DRAMアレイは、一般に、カラムとロウとに配列されている。図1は、1対のDRAMセル102を示す。個々のセル102は、ディジット線104と、トランジスタ108のON/OFF状態を制御する対応するワード線106a又は106bとに接続されている。ワード線106a又は106bの信号がトランジスタ108をON(即ち、トランジスタを導電性にする)にした場合、ディジット線104は、キャパシタ110に情報を書込み、或いはキャパシタ110から情報を読取るために用いられる。

【0047】

メモリセルのデータは、キャパシタ110に格納される。キャパシタ110の一方のプレートは、電源112に結ばれ、前記電圧は、 V_{ref} 値の電圧を発生する。1つの実施では、 V_{ref} は、全てのセル102において、約 $V_{cc}/2$ であり得る。キャパシタ110のもう一方のプレートは、ノード V_{cell} に結ばれて、前記ノードの電圧値は、セルに格納されたデータにより変化する。例えば、論理1を格納したセルは、約 V_{cc} の V_{cell} 電圧を有し得、その結果、キャパシタ110間に約 $+V_{cc}/2$ の電圧が発生し得る。反対に、論理0を格納したセルは、約 $0V$ の V_{cell} 電圧を有し得、その結果、キャパシタ110間に約 $-V_{cc}/2$ の電圧が発生し得る。キャパシタ110に格納された電荷は、しばしば時間によりリークするので、DRAMセルの内容を周期的にリフレッシュする必要がある。

【0048】

多くのDRAMシステムは、メモリセルのデータにアクセスするため、DL及び/DLとして参照するディジット線の対を用いる。読取り動作を実行する場合、DL及び/DLは、共に V_{ref} にプレチャージされる。次に、トランジスタ108は、個々の必要なメモリセルを作動させ、ノード V_{cell} をディジット線DLに接続する。 V_{cell} が論理1を示す場合、DLの電圧は、 V_{ref} より大きな値に引上げられる。 V_{cell} が論理0を示す場合、DLの電圧は、 V_{ref} より小さな値に引下げられる。次に、センスアンプは、高い電圧の方を V_{cc} に、低い電圧の方を $0V$ (GND) にし、その結果、その特定のセルの値を示す最大 $rail-to-rail$ 電位差となる。線DLの大きな最終電圧はまた、問題になっているメモリセルの内容をリフレッシュするのに用いることができる。

【0049】

以上に説明したプレチャージ動作は、 V_{ref} が実質的に $V_{cc}/2$ に等しい場合、簡単である。個々の読取り又は書込み動作の後、DL及び/DLの一方は V_{cc} の電圧を含み、他方は 0 の電圧を含む。読取り又はリフレッシュ動作を見越してDL及び/DLをプレチャージするため、DL及び/DLは、全ての電源から切断され、次に、互いに接続されなければならない。電荷の共有は、2つの電圧が電圧の中央値(この場合、およそ V_{cc}

10

20

30

40

50

c / 2) に設定されることを保証する。

【 0 0 5 0 】

実際には、 V_{ref} は、しばしば $V_{cc} / 2$ と異なる電圧に設定される。例えば、 V_{ref} は、 $V_{cc} / 2$ より低くなり得る。このより低いプレチャージ電圧は、作動していない期間中のセルの電流リークの効果軽減するのに役立つ。即ち、 V_{cell} が比較的高い電圧を有する場合、セルがリフレッシュしない限り、その電圧は、時間により、減少する傾向にある。 V_{cell} 電圧が著しく減少する（例えば、 $V_{cc} / 2$ に接近する）場合、 $V_{cc} / 2$ のプレチャージ電圧を有することは、データ破損を生じ得る。従って、 $V_{cc} / 2$ より低いプレチャージ電圧を用いることは、電流リークが誤った論理値の読取りをしてしまう機会を減らすことになる。しかし、 $V_{cc} / 2$ より著しく低いプレチャージ電圧を用いることは、DL 及び / DL をプレチャージする回路の構造をより複雑にする必要があることに注意されたい。

10

【 0 0 5 1 】

図 2 A は、公知のプレチャージ回路の 1 つの例を示し、前記回路は、ブリーダゲート 208 を用いる。ディジット線 202 a 及び 202 b は、関連するメモリセルに或いはメモリセルから信号 DL 及び / DL を伝送する。NMOS トランジスタ 204 は、作動の際、ディジット線 202 a を 202 b に接続する。NMOS トランジスタ 206 a 及び 206 b は、作動の際、ディジット線 202 a 及び 202 b をノード 210 に接続する。最後に、NMOS トランジスタ 208 は、作動の際、ノード 210 を電源 212 に接続する。電源 212 は、 V_{ref} の値の電圧を発生する。NMOS トランジスタ 204、206 a、及び 206 b のゲートは、入力信号 PRE を受信するが、NMOS トランジスタ 208 のゲートは、入力信号 / PRE を受信する。

20

【 0 0 5 2 】

図 2 B は、図 2 A のブリーダゲート回路を用いた実例となるプレチャージ動作を示すタイミング図である。ディジット線電圧 DL 及び / DL は、最初はそれぞれ V_{cc} 及び 0 であるが、信号 / PRE 及び PRE はそれぞれ V_{cc} 及び 0 V に設定される。従って、NMOS トランジスタ 208 は導電され、ノード 210 が電源 212 に結ばれるが、NMOS トランジスタ 204、206 a、及び 206 b は導電されない。時間 214 で、信号 PRE は高くなる。その結果、NMOS トランジスタ 204、206 a、及び 206 b が ON になり（即ち、導電性にする）、ディジット線 202 a 及び 202 b を互いに接続し、ノード 210 に接続する。従って、信号 DL 及び / DL は、時間 216 で、電圧 V_{ref} に等しくなり始め、前記 V_{ref} は実質的に $V_{cc} / 2$ と異なってもよい。

30

【 0 0 5 3 】

このブリーダゲートは、効果的に両方のディジット線を V_{ref} にプレチャージする。残念ながら、そのアプローチも比較的緩慢である。電圧 V_{ref} は、ディジット線に到達する前に、 V_{ref} 電力バス及びブリーダゲート 208 を経由しなければならない。この潜在的な長い経路は、長いプレチャージ遅延を引起し得る。

【 0 0 5 4 】

図 3 A は、 $V_{cc} / 2$ と異なる電圧までディジット線ペアをプレチャージするために用いられ得る別の公知の回路を示す。ディジット線 302 a および 302 b は、センスアンプ 304 に接続される。センスアンプ 304 は、PMOS トランジスタ 306 a および 306 b ならびに NMOS トランジスタ 308 a および 308 b を含む。PMOS トランジスタ 306 a および 306 b のソースは、互いおよびノード ACT に結ばれる。ノード ACT は、PMOS トランジスタ 310 によって電圧 V_{cc} （導電性の場合）にか、または、トランジスタ 312 によって 0 V に（導電性の場合）結ばれ得る。同様に、NMOS トランジスタ 308 a および 308 b のソースは、互いおよびノード / RNL に結ばれる。ノード / RNL は、PMOS トランジスタ 314 によって電圧源 318 に（導電性の場合）か、NMOS トランジスタ 316 によって 0 V に（導電性の場合）結ばれ得る。電圧源 318 は、値 V_{ref} の電圧を発生する。

40

【 0 0 5 5 】

50

図 3 B は、図 3 A の回路を用いた例示的なプレチャージ動作を示すタイミング図である。プレチャージ動作は、2 つの段に關与する。最初に、DL は約 V_{cc} の値を有し、/DL は約 0 V の値を有する。センスアンプはこのときにアクティブであるので、ノード ACT は約 V_{cc} であり、ノード /RNL は約 0 V である。プレチャージの第 1 の段は、ノード ACT の電圧が 0 V まで引き下げられ、ノード /RNL の電圧が V_{cc} に向かって部分的に引き上げられる時に、時間 320 で開始する。これの遷移に應答して、信号 DL は、時間 322 で降下し始める。プレチャージの第 2 の段は、ノード ACT および /RNL の電圧が一定に保たれる時に、時間 324 で開始する。時間 326 では、ディジット線 302 a および 302 b は互いに接続され、電圧 DL および /DL は、それらの以前の電圧のおおよそ中間に等しくなり始める。DL は短絡が生じる前に V_{cc} より下に降下することが許されているので、DL および /DL は $V_{cc}/2$ より僅かに下の電圧で安定する。

【0056】

DL および /DL が安定する最終的な電圧は、高い電圧が時間 322 と 326 との間に減少する限界に依存し、これは、/RNL ノード電圧が時間 320 と 324 との間に上昇する高さに依存する。正確なプレチャージ電圧を保証するために、第 1 の段のタイミングは、非常に注意深く設定されるべきである。多くの場合、タイミングパラメータは、正確であることもあり得るし、正確でないこともあり得る回路シミュレーションからの計測値に基づく。このように、この二重段プレチャージ技術は比較的高速であるが、信頼性を持たせて設定するためには比較的困難である。

【0057】

図 4 A は、本発明によるプレチャージ回路 400 を示す。ディジット線 402 a および 402 b は、NMOS トランジスタ 404 a および 404 b によって互いにおよびノード 410 に接続される。NMOS トランジスタ 406 は、アクティブである場合にノード 410 を 0 V に接続する。キャパシタ 408 は、ノード 410 およびに接続された一方のプレートと、値 V_{ref} の電圧を発生させる電圧源 412 に結ばれたもう一方のプレートとを有する。信号 PRE は、NMOS トランジスタ 404 a および 404 b のゲートを駆動する一方で、信号 /PRE は、NMOS トランジスタ 406 のゲートを駆動する。

【0058】

図 4 B は、本発明による例示的なプレチャージ動作を示すタイミング図である。最初に、DL および /DL はそれぞれ電圧 V_{cc} および 0 V にあり、その一方で、/PRE および PRE はそれぞれ電圧 V_{cc} および 0 V にある。このように、NMOS トランジスタ 406 は導電性であり、ノード 410 を 0 V に接続する。従って、キャパシタ 408 の一方のプレートは 0 V の電圧を有する一方で、もう一方のプレートは V_{ref} の電圧を有する。トランジスタ 404 a、404 b および 406 は、非導電性である。時間 414 では、/PRE はローになる一方で、PRE はハイになり、NMOS トランジスタ 406 を非導電性にする一方で、実質的に同時に NMOS トランジスタ 404 a および 404 b を導電性にする。ここで、ディジット線 402 a および 402 b は互いに接続されているので、時間 416 では、それらはまた同じ電圧に収束し始める。しかしながら、それらはまたノード 410 に接続されているので、DL および /DL は $V_{cc}/2$ に収束されない。むしろ、それらは、この場合は V_{ref} である $V_{cc}/2$ よりも低い電圧に収束する。

【0059】

DL および /DL の最終的な電圧が $V_{cc}/2$ と異なる正確な量は、様々な要因に依存する。以下の等式は、図 4 A の容量と電圧との間の関係を示す。

【0060】

【数 1】

$$\frac{C_{DL} * V_{DL} + (C_{/DL} + C_{408}) * V_{410}}{C_{DL} + C_{/DL} + C_{408}} = V_{ref}$$

C_{DL} はディジット線 402 a の寄生容量であり、 V_{DL} は等しくなる前のディジット

線 4 0 2 a の電圧であり、 C_{DL} はディジット線 4 0 2 b の寄生容量であり、 C_{408} はキャパシタ 4 0 8 の容量であり、 V_{410} はノード 4 1 0 の電圧であり、 V_{ref} はターゲットプレチャージ電圧である。

【0061】

この式を用いて、キャパシタ 4 0 8 の容量が決定され得る。なお、電圧供給 4 1 2 によって発生される電圧は、 V_{ref} 以外の値であり得る。実際に、 V_{ref} よりも高い電圧を用いることにより、より低い容量 C_{408} が用いられ得ることが好ましい。

【0062】

このように、単に適切にキャパシタ 4 0 8 をサイズ合わせすることによって、効果的なプレチャージが達成され得、これは、図 3 A および 3 B の二重段プレチャージ技術におけるように、タイミングシミュレーションに依存するよりもはるかにロバスト性が高い。さらに、図 4 A および 4 B に示される技術は、図 2 A および図 2 B に示されるアプローチよりも、ディジット線 DL および / DL がより速く等しくなることを可能にする。

【0063】

本発明は、有利にも、 $V_{cc}/2$ とは異なる電圧までディジット線のペアをプレチャージするシンプルで、ロバスト性があり、かつ、効率的な方法を提供する。プレチャージ回路は小さく、回路素子をほとんど必要とせず、かつ、高速に動作する。さらに、最終的なプレチャージ電圧は、キャパシタ 4 0 8 のサイズを選択することによって設定することが容易である。

【0064】

なお、図 4 A および 4 B に示され、本明細書中に記載される実施形態は単なる例示である。他の変形も可能である。例えば、図 4 A の NMOS トランジスタは PMOS トランジスタと NMOS トランジスタとの組み合わせによって置き換えられ得る。さらに、図 4 B の DL および / DL の役割は、最終的な動作の結果に影響を与えることなく反転され得る。さらに、アンチフューズ (anti-fuse) キャパシタまたは MOS キャパシタのような異なるタイプのキャパシタが、キャパシタ 4 0 8 用に用いられ得る。本発明はメモリディジット線をプレチャージするという文脈で記載されたが、本発明を用いて他の導線のペアの電圧を等しくし得る。

【0065】

図 5 は、本発明を組み込むシステムを示す。システム 5 0 0 は、複数の DRAM チップ 5 0 2、プロセッサ 5 0 4、メモリコントローラ 5 0 6、入力デバイス 5 0 8、出力デバイス 5 1 0、および、選択的ストレージデバイス 5 1 2 を備える。DRAM チップ 5 0 2 は、本発明による (回路 4 0 0 等の) キャパシタをサポートするプレチャージ回路を備える。この回路は、 $V_{cc}/2$ と異なる電圧までディジット線の対をプレチャージし、電流の漏れに対するメモリの耐久性を増大する。データおよび制御信号は、バス 5 1 4 を介してプロセッサ 5 0 4 とメモリコントローラ 5 0 6 との間で送信される。同様に、データおよび制御信号は、バス 5 1 6 を介してメモリコントローラ 5 0 6 と DRAM チップ 5 0 2 との間で送信される。入力デバイス 5 0 8 は、例えば、キーボード、マウス、タッチパッドディスプレイスクリーン、または、ユーザに情報をシステム 5 0 0 に入力させることができる任意の他の適切なデバイスを備え得る。出力デバイス 5 1 0 は、例えば、ビデオディスプレイユニット、プリンタ、または、ユーザに出力データを提供することができる任意の他の適切なデバイスを備え得る。なお、あるいは、入力デバイス 5 0 8 および出力デバイス 5 1 0 は単一の入力 / 出力デバイスであり得る。ストレージデバイス 5 1 2 は、例えば、1 つ以上のディスクまたはテープドライブを備え得る。

【0066】

以上のように、 $V_{cc}/2$ と異なる電圧までディジット線のペアをプレチャージする回路および方法が提供されることがわかった。本発明の好ましい実施形態を用いて本発明を例示してきたが、当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。当業者は、本発明が、制限のためではなく例示のために提示された記載された実施形態以外に

10

20

30

40

50

よって実現され得、本発明は、添付の特許請求の範囲によってのみ制限されることが理解される。

(要旨)

メモリディジット線の対をプレチャージする回路および方法が提供される。ディジット線の最終的なプレチャージ電圧は、プレチャージ前のディジット線電圧の平均とは異なる。その最終的なプレチャージ電圧は、プレチャージ回路のキャパシタのサイズを適切に選択することによって設定され得る。

【図面の簡単な説明】

【0067】

【図1】図1は、一般的なDRAMセルの回路図である。

10

【図2A】図2Aは、一般的なブリーダゲートプレチャージ回路の回路図である。

【図2B】図2Bは、図2Aのブリーダゲートプレチャージ回路における信号のタイミング図である。

【図3A】図3Aは、一般的な2段階プレチャージ回路の回路図である。

【図3B】図3Bは、図3Aの2段階プレチャージ回路における信号のタイミング図である。

【図4A】図4Aは、本発明によるキャパシタ支持によるプレチャージ回路の回路図である。

【図4B】図4Bは、本発明によるキャパシタ支持によるプレチャージ回路における信号のタイミング図である。

20

【図5】図5は、本発明を組み込んだシステムのブロック図である。

【符号の説明】

【0068】

500 システム

502 複数のDRAMチップ

504 プロセッサ

506 メモリコントローラ

508 入力デバイス

510 出力デバイス

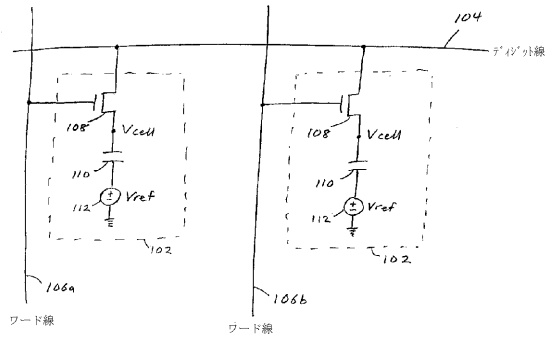
512 選択的ストレージデバイス

30

514 バス

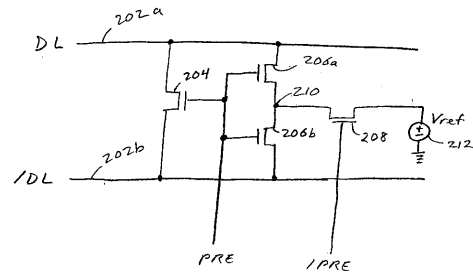
516 バス

【図 1】



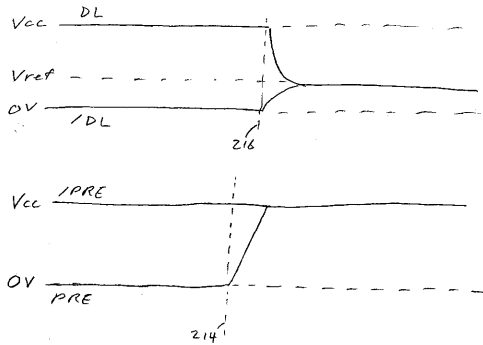
(従来技術)

【図 2 A】



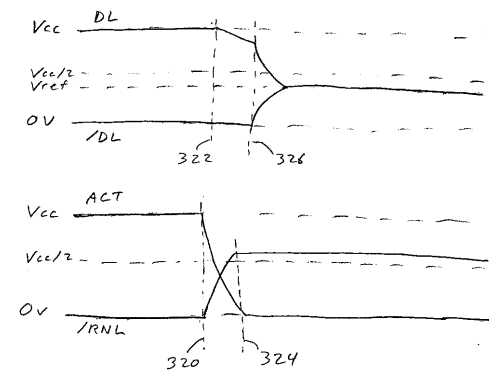
(従来技術)

【図 2 B】



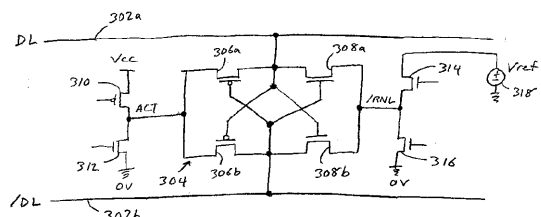
(従来技術)

【図 3 B】



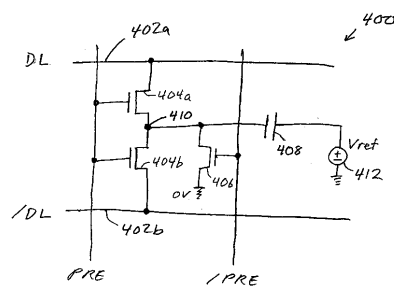
(従来技術)

【図 3 A】

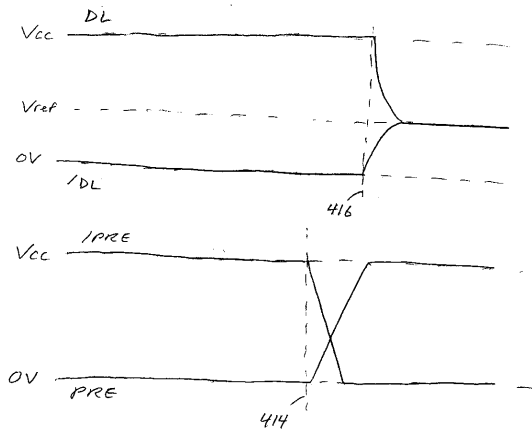


(従来技術)

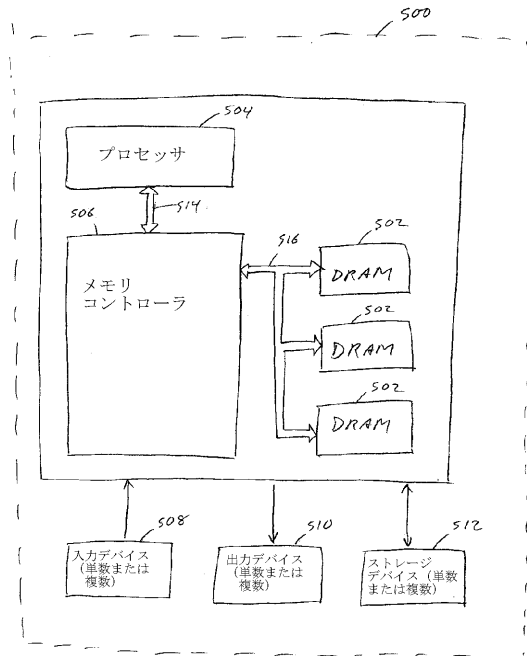
【図 4 A】



【図 4 B】



【図 5】



フロントページの続き

(72)発明者 富嶋 茂樹

茨城県つくば市松代3 - 2 5 - 3 - 2 0 1

F ターム(参考) 5J055 AX00 BX16 CX27 DX22 DX56 DX72 DX83 EX02 EY10 EY21
EZ07 EZ19 EZ20 EZ51 FX05 FX18 FX37 GX01 GX04 GX05
5J056 AA37 BB00 CC19 CC21 DD13 DD29 DD51 EE06 FF06 FF08
GG09 KK01
5M024 AA40 BB15 BB35 CC63 HH11 PP01 PP03 PP07