

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6710323号

(P6710323)

(45) 発行日 令和2年6月17日 (2020.6.17)

(24) 登録日 令和2年5月28日 (2020.5.28)

(51) Int. Cl. F I
G 1 1 C 11/44 (2006.01) G 1 1 C 11/44 Z A A
H 0 3 K 19/195 (2006.01) H 0 3 K 19/195

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2019-511337 (P2019-511337)	(73) 特許権者	503178185
(86) (22) 出願日	平成29年8月15日 (2017.8.15)		ノースロップ グラマン システムズ コーポレーション
(65) 公表番号	特表2019-526881 (P2019-526881A)		NORTHROP GRUMMAN SYSTEMS CORPORATION
(43) 公表日	令和1年9月19日 (2019.9.19)		アメリカ合衆国 22042-4511
(86) 国際出願番号	PCT/US2017/046987		バージニア州 フォールズ チャーチ フェアビュー パーク ドライブ 2980
(87) 国際公開番号	W02018/044562	(74) 代理人	100105957
(87) 国際公開日	平成30年3月8日 (2018.3.8)		弁理士 恩田 誠
審査請求日	平成31年3月28日 (2019.3.28)	(74) 代理人	100068755
(31) 優先権主張番号	62/383, 204		弁理士 恩田 博宣
(32) 優先日	平成28年9月2日 (2016.9.2)	(74) 代理人	100142907
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 本田 淳
(31) 優先権主張番号	15/351, 065		
(32) 優先日	平成28年11月14日 (2016.11.14)		
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 超電導ゲートメモリ回路

(57) 【特許請求の範囲】

【請求項 1】

超電導ゲートメモリ回路であって、

書込みイネーブル入力に提供される書込みイネーブル単一磁束量子 (S F Q) パルスと、
 書込みデータ入力に提供される書込みデータ S F Q パルスの個々の存否とに
 応答してデジタル状態を第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして設定する
 ように構成されたジョセフソン D ゲート回路と、

前記ジョセフソン D ゲート回路に結合された記憶ループであって、前記記憶ループは、
 前記デジタル状態を記憶して、読出しイネーブル入力に提供される読出しイネーブル S F
 Q パルスと、読出しデータ入力に提供される読出しデータ S F Q パルスとに
 応答して出力において前記デジタル状態を読み出すように構成されている、前記記憶ループと
 を備える超電導ゲートメモリ回路。

【請求項 2】

前記記憶ループは、前記ジョセフソン D ゲート回路によって設定された振幅を有するループ
 電流を伝導するように構成され、前記記憶ループは、前記ループ電流の振幅に基づいて
 前記出力において個々の第 1 のデータ状態または第 2 のデータ状態を示すために、前記読
 出しイネーブル S F Q パルスおよび前記読出しデータ S F Q パルスに
 応答してトリガするか、またはトリガしないように構成される読出しジョセフソン接合を含む、請求項 1 に記
 載の回路。

【請求項 3】

10

20

前記ジョセフソンDゲートは、前記書込みイネーブル入力と関連付けられた第1のジョセフソン接合と、前記書込みデータ入力と関連付けられた第2のジョセフソン接合とを含み、前記デジタル状態は、前記第1のジョセフソン接合と関連付けられた超電導相に対応する、請求項2に記載の回路。

【請求項4】

前記ジョセフソンDゲートは、前記書込みイネーブルS F Qパルスおよび前記書込みデータS F Qパルスに応答して前記第1のジョセフソン接合を 2π 状態に設定することに基づいて前記デジタル状態を前記第1のデータ状態から前記第2のデータ状態に設定するように構成され、前記第1のジョセフソン接合の前記 2π 状態によって、前記記憶ループに誘導結合される非ゼロ振幅の前記超電導相を提供して、前記第2のデータ状態に対応するように前記ループ電流の振幅が設定される、請求項3に記載の回路。

10

【請求項5】

前記ジョセフソンDゲート回路は、バイアス変圧器をさらに含み、前記バイアス変圧器は、

バイアス電流を伝導するように構成された一次インダクタと、

前記第1および第2のジョセフソン接合を相互接続し、前記バイアス電流に応答して前記第1および第2のジョセフソン接合において誘導されたバイアス電流を伝導するように構成される二次インダクタとを含み、前記記憶ループは、前記ループ電流の振幅に影響を与えるために前記超電導相を前記記憶ループに誘導結合するように構成される前記バイアス変圧器と関連付けられた三次インダクタを含む、請求項3に記載の回路。

20

【請求項6】

前記記憶ループは、少なくとも1つのループ変圧器を含み、前記少なくとも1つのループ変圧器の各ループ変圧器は、

バイアス電流を伝導するように構成された一次インダクタと、

前記読出しジョセフソン接合と直列であり、かつ前記ループ電流が前記第1のデータ状態に対応する第1の振幅と、前記第2のデータ状態に対応する前記ジョセフソンDゲートによって設定される第2の振幅とを有するように、前記ループ電流を誘導するように構成される二次インダクタと

を含み、前記ループ電流の前記第2の振幅は、前記ループ電流の前記第1の振幅から、前記記憶ループ内で誘導される、前記ジョセフソンDゲートと関連付けられた少なくとも1つのジョセフソン接合の超電導相に対応する誘導電流成分を差し引いたものにほぼ等しい、請求項2に記載の回路。

30

【請求項7】

前記少なくとも1つのループ変圧器のうちの1つのループ変圧器は、個々の少なくとも1つのループ変圧器と関連付けられた前記一次インダクタに誘導結合される三次インダクタをさらに含み、前記三次インダクタは、前記読出しイネーブルS F Qパルスを伝導して、前記ループ電流の振幅を変更して、前記読出しジョセフソン接合をバイアスするように構成される、請求項6に記載の回路。

【請求項8】

前記記憶ループは、前記読出しデータS F Qパルスを受け取って、前記第2の振幅を有する前記ループ電流に**応答して前記読出しジョセフソン接合をトリガするか、または前記第1の振幅を有する前記ループ電流に**応答して前記読出しジョセフソン接合をトリガしない****ように構成される、請求項6に記載の回路。

40

【請求項9】

請求項1に記載の超電導ゲートメモリ回路を備えたメモリセルであって、

ワード書込み線を前記書込みイネーブル入力に結合して、前記ワード書込み線上を伝播するワード書込み信号に基づいて前記書込みイネーブルS F Qパルスを提供する第1のジョセフソン伝送線(J T L)相互接続と、

ビット書込み線を前記書込みデータ入力に結合して、前記ビット書込み線上を伝播するビット書込み信号に基づいて前記書込みデータS F Qパルスを提供する第2のJ T L相互

50

接続と、

ワード読出し線を前記読出しイネーブル入力に結合して、前記ワード読出し線上を伝播するワード読出し信号に基づいて前記読出しイネーブル S F Q パルスを提供する第 3 の J T L 相互接続と、

ビット読出し線を前記読出しデータ入力に結合して、前記ビット読出し線上を伝播するビット読出し信号に基づいて前記読出しデータ S F Q パルスを提供する第 4 の J T L 相互接続と

をさらに備える、メモリセル。

【請求項 10】

複数の行および複数の列のアレイに配置された請求項 9 に記載の複数のメモリセルを備えた超電導メモリ回路であって、前記ワード書込み線は、複数の行のうちの個々の 1 つの行を選択するように構成された個々の複数のワード書込み線のうちの 1 つのワード書込み線であり、前記ビット書込み線は、データ書込み動作中に前記複数の行のうちの選択された 1 つの行に対応する一組の複数のメモリセルにデータを書き込むように構成された個々の複数のビット書込み線のうちの 1 つのビット書込み線であり、前記ワード読出し線は、複数の行のうちの個々の 1 つの行を選択するように構成された個々の複数のワード読出し線のうちの 1 つのワード読出し線であり、前記ビット読出し線は、データ読出し動作中に前記複数の行のうちの選択された 1 つの行に対応する一組の複数のメモリセルからデータを読み出すように構成された個々の複数のビット読出し線のうちの 1 つのビット読出し線である、超電導メモリ回路。

【請求項 11】

超電導ゲートメモリ回路からデジタル状態を読み出すための方法であって、

ジョセフソン D ゲートを介して第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして前記デジタル状態を記憶して、読出しジョセフソン接合および出力を含む記憶ループと関連付けられたループ電流を伝導するステップと、前記ループ電流は、前記デジタル状態に基づく振幅を有し、

読出しイネーブル入力に読出しイネーブル S F Q パルスを提供して前記読出しジョセフソン接合をバイアスするステップと、

前記ループ電流の振幅に基づいて前記出力において個々の第 1 のデータ状態または第 2 のデータ状態を示すために、読出しデータ S F Q パルスに応答して前記読出しジョセフソン接合をトリガするか、またはトリガしないように読出しデータ入力に前記読出しデータ S F Q パルスを提供するステップとを含む、方法。

【請求項 12】

少なくとも 1 つのループ変圧器にバイアス電流を提供するステップをさらに含み、前記少なくとも 1 つのループ変圧器の各ループ変圧器は、前記バイアス電流を伝導するように構成された一次インダクタと、前記読出しジョセフソン接合と直列であり、前記ループ電流が前記第 1 のデータ状態に対応する第 1 の振幅と前記第 2 のデータ状態に対応する前記ジョセフソン D ゲートによって設定される第 2 の振幅とを有するように、前記ループ電流を誘導するように構成される二次インダクタとを含む、請求項 11 に記載の方法。

【請求項 13】

前記少なくとも 1 つのループ変圧器のうちの 1 つのループ変圧器は、個々の少なくとも 1 つのループ変圧器と関連付けられた前記一次インダクタに誘導結合される三次インダクタをさらに含み、前記読出しイネーブル S F Q パルスを提供するステップは、前記読出しイネーブル S F Q パルスを前記三次インダクタに提供して、前記ループ電流の振幅を変更して、前記読出しジョセフソン接合をバイアスすることを含む、請求項 12 に記載の方法。

【請求項 14】

前記読出しデータ S F Q パルスを提供するステップは、前記第 2 の振幅を有する前記ループ電流に応答して前記読出しジョセフソン接合をトリガするか、または前記第 1 の振幅を有する前記ループ電流に応答して前記読出しジョセフソン接合をトリガしないように前記

10

20

30

40

50

読出しデータ S F Q パルスを提供することを含む、請求項 1 2 に記載の方法。

【請求項 1 5】

前記ループ電流の前記第 2 の振幅は、前記ループ電流の前記第 1 の振幅から、前記記憶ループ内で誘導される、前記ジョセフソン D ゲートと関連付けられた少なくとも 1 つのジョセフソン接合の超電導相に対応する誘導電流成分を差し引いたものにほぼ等しい、請求項 1 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、量子および古典的デジタル超電導回路に関し、具体的には、超電導ゲートメモリ回路に関する。

【背景技術】

【0002】

デジタル論理回路の分野で、よく知られ、高度に開発された CMOS（相補型金属酸化膜半導体：complementary metal-oxide semiconductor）技術が広く使用されている。CMOS は、技術として成熟に近づき始めているので、速度、消費電力計算密度、相互接続帯域幅などの点でより高性能につながり得る代替方法に関心がある。CMOS 技術に対する代替方法は、20Gb/s（ギガバイト/秒）以上の典型的なデータレート、およびおよそ 4°ケルビンの動作温度で、およそ 4nW（ナノワット）の典型的な信号電力を有する、超電導ジョセフソン接合を利用する超電導

【発明の概要】

【0003】

1 つの例は、超電導ゲートメモリ回路を含む。回路は、書込みイネーブル入力に提供される書込みイネーブル単一磁束量子（SFQ：single flux quantum）パルスと、データ書込み入力に提供される書込みデータ SFQ パルスの個々の存否とに応答してデジタル状態を第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして設定するように構成されたジョセフソン D ゲート回路を含む。回路は、ジョセフソン D ゲートに結合された記憶ループをも含む。記憶ループは、デジタル状態を記憶して、読出しイネーブル入力に提供される読出しイネーブル SFQ パルスと、読出しデータ入力に提供される読出しデータ SFQ パルスとに応答して出力においてデジタル状態を読み出すように構成することができる。

【0004】

別の例は、超電導ゲートメモリ回路からデジタル状態を読み出すための方法を含む。方法は、ジョセフソン D ゲートを介して第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとしてデジタル状態を記憶して、読出しジョセフソン接合および出力を含む記憶ループと関連付けられたループ電流を伝導することを含み、ループ電流は、デジタル状態に基づく振幅を有する。方法は、読出しイネーブル入力に読出しイネーブル SFQ パルスを提供して読出しジョセフソン接合をバイアスすることをも含む。方法は、ループ電流の振幅に基づいて出力において個々の第 1 のデータ状態または第 2 のデータ状態を示すために、読出しデータ SFQ パルスに応答して読出しジョセフソン接合をトリガするか、またはトリガしないように読出しデータ入力に読出しデータ SFQ パルスを提供することをさらに含む。

【0005】

別の例は、メモリセル回路を含む。回路は、ワード書込み線を書込みイネーブル入力に結合して、ワード書込み線上を伝播するワード書込み信号に基づいて書込みイネーブル SFQ パルスを提供する第 1 のジョセフソン伝送線（JTL：Josephson transmission line）相互接続と、ビット書込み線を書込みデータ入力に結合して、ビット書込み線上を伝播するビット書込み信号に基づいて書込みデータ SFQ パルスを提供する第 2 の JTL 相互接続とを含む。回路は、書込みイネーブル SFQ パルスと

10

20

30

40

50

、書込みデータ S F Q パルスの個々の存否とにตอบสนองしてデジタル状態を第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして設定するように構成されたジョセフソン D ゲート回路をも含む。回路は、ワード読出し線を読出しイネーブル入力に結合して、ワード読出し信号に基づいて読出しイネーブル S F Q パルスを提供する第 3 の J T L 相互接続と、ビット読出し線を読出しデータ入力に結合して、ビット読出し信号に基づいて読出しデータ S F Q パルスを提供する第 4 の J T L 相互接続とをも含む。回路は、ジョセフソン D ゲートに結合された記憶ループをさらに含み、記憶ループは、デジタル状態を記憶して、読出しイネーブル S F Q パルスと、読出しデータ S F Q パルスとにตอบสนองして出力においてデジタル状態を読み出すように構成される。

【図面の簡単な説明】

10

【0006】

【図 1】超電導ゲートメモリ回路の例示的略図を示す。

【図 2】超電導ゲートメモリ回路の例を示す。

【図 3】超電導ゲートメモリ回路のデータ書込み動作の例示的略図を示す。

【図 4】超電導ゲートメモリ回路のデータ読出し動作の例示的略図を示す。

【図 5】超電導ゲートメモリ回路のデータ書込み動作の別の例示的略図を示す。

【図 6】超電導ゲートメモリ回路のデータ読出し動作の別の例示的略図を示す。

【図 7】超電導ゲートメモリ回路の別の例を示す。

【図 8】メモリセルの例示的略図を示す。

【図 9】メモリ回路の例を示す。

20

【図 10】超電導ゲートメモリ回路からデジタル状態を読み出すための方法の例を示す。

【発明を実施するための形態】

【0007】

本開示は、一般に、量子および古典的デジタル超電導回路に関し、具体的には、超電導ゲートメモリ回路に関する。レシプロカル量子論理 (RQL: reciprocal quantum logic) は、正パルスを使用して論理演算が完了され、他方、半クロックサイクル後に来る対応する負パルスを使用して内部状態が消去されるレシプロカルデータ符号化を利用して、組合せ論理挙動を作り出す。RQL 論理演算の例は、ともに「単一磁束量子回路 (Single Flux Quantum Circuits)」と題された、米国特許第 7, 724, 020 号明細書および米国特許第 7, 977, 964 号明細書に開示され、両方の内容全体が本明細書に参照により援用される。

30

【0008】

超電導ゲートメモリ回路は、第 1 のデータ状態 (例えば、論理 0) または第 2 のデータ状態 (例えば、論理 1) に対応するデジタル状態を設定するように構成された双安定ループを含み、かつ RQL アーキテクチャを具体化するジョセフソン D ゲート回路を含み得る。一例として、双安定ループは、双安定ループを構成する複数 (例えば、一対) のジョセフソン接合のうちの 1 つの超電導相に対応する双安定電流に基づいてデジタル状態を設定することができる。デジタル状態は、イネーブル入力に提供される書込みイネーブル S F Q パルスと、データ入力に提供される書込みデータ S F Q パルスの存否とに基づいて、ジョセフソン D ゲート回路に書き込むことができる。例えば、書込みデータ S F Q パルスの非存在は、第 1 のデータ状態 (例えば、論理 0) に対応することができ、書込みデータ S F Q パルスの存在は、第 2 のデータ状態 (例えば、論理 1) に対応することができる。書込みイネーブル S F Q パルスおよび／または書込みデータ S F Q パルスにตอบสนองして、ジョセフソン D ゲート回路内の複数のジョセフソン接合は、ジョセフソン接合を 2π 状態に設定するように順次トリガして超電導相を提供し、したがってデジタル状態を設定することができる。

40

【0009】

超電導ゲートメモリ回路は、変圧器を介してジョセフソン D ゲートに誘導結合される記憶ループをも含み得る。記憶ループは、バイアス電流を介して誘導されるループ電流を伝導するように構成することができ、ループ電流は、デジタル状態に対応する振幅を有する

50

。例えば、デジタル状態の第1のデータ状態で、ループ電流は、誘導されたバイアス電流に基づく第1の振幅を有することができ、第2のデータ状態で、ループ電流は、第1の振幅からジョセフソンDゲートと関連付けられたジョセフソン接合の超電導相に対応する誘導電流成分を差し引いたものに対応する第2の振幅を有することができる。記憶ループは、記憶ループに誘導的に提供される読出しイネーブルSFQパルスを受け取って、ループ電流の振幅を変更して、記憶ループ内に設けられる読出しジョセフソン接合をバイアスすることができる。記憶ループは、ループ電流の第2の振幅に応答して読出しジョセフソン接合をトリガするか、またはループ電流の第1の振幅に応答して読出しジョセフソン接合をトリガしないように構成され得る読出しデータSFQパルスを受け取ることもできる。読出しジョセフソン接合をトリガすること、またはトリガしないことにより、記憶ループに結合される超電導ゲートメモリ回路の出力においてデジタル状態の指標を提供することができる。

10

【0010】

一例として、超電導ゲートメモリ回路は、超電導メモリ回路の一部などの、メモリセルに実装することができる。超電導メモリ回路は、超電導ゲートメモリ回路を含むことができ、ワード線およびビット線をメモリセルに結合するジョセフソン伝送線(JTL: Josephson transmission line)相互接続をさらに含むことができる。一例として、第1のJTL相互接続は、行内のメモリセルのすべてと関連付けられたワード書き込み線を書込みイネーブル入力に結合して、ワード書き込み線上を伝播するワード書き込み信号に基づいて書込みイネーブルSFQパルスを提供することができ、第2のJTL相互接続は、列内のメモリセルのすべてと関連付けられたビット書き込み線を書込みデータ入力に結合して、ビット書き込み線上を伝播するビット書き込み信号に基づいて書込みデータSFQパルスを提供することができる。したがって、ワード書き込み線は、データ書き込み動作中にメモリセルの所与の行を選択して、ビット書き込み線に基づいてその行にデータを書き込むことができる。同様に、第3のJTL相互接続は、行内のメモリセルと関連付けられたワード読出し線を読出しイネーブル入力に結合して、ワード読出し線上を伝播するワード読出し信号に基づいて読出しイネーブルSFQパルスを提供することができ、第4のJTL相互接続は、列内のメモリセルのすべてと関連付けられたビット読出し線を読出しデータ入力に結合して、ビット読出し線上を伝播するビット読出し信号に基づいて読出しデータSFQパルスを提供することができる。したがって、ワード読出し線は、データ読出し動作中にメモリセルの所与の行を選択して、ビット読出し線に基づいてその行からデータを読み出すことができる。それゆえ、超電導ゲートメモリ回路は、データの選択可能なワードを記憶するためのメモリアレイとして動作することができる。

20

30

【0011】

図1は、超電導ゲートメモリ回路10の例示的略図を示す。一例として、超電導ゲートメモリ回路10は、超電導ゲートメモリ回路10がアレイ内のメモリセルに対応することができるように、メモリ回路に実装することができる。

【0012】

超電導ゲートメモリ回路10は、ジョセフソンDゲート回路12を含む。一例として、ジョセフソンDゲート12は、双安定ループを含み得、双安定ループは、双安定ループ内の双安定電流に基づいてデジタル状態を設定することができる。図1の例において、バイアス電流 I_{BIAS} がジョセフソンDゲートに供給されて、ジョセフソンDゲートにバイアス電流を誘導し、ジョセフソンDゲート内に配置される少なくとも1つのジョセフソン接合にバイアスを提供する。一例として、バイアス電流 I_{BIAS} は、DC電流として提供することができる。例えば、バイアス電流 I_{BIAS} は、所与のメモリアレイ内の所与の行または列で、それぞれが超電導ゲートメモリ回路10に対応している、複数のメモリセルのそれぞれに順次に提供することができる。

40

【0013】

書き込み動作中に、ジョセフソンDゲート回路12は、書き込みイネーブル入力などにおいて、書き込みイネーブル信号 EN_W を受け取り、書き込みデータ入力などにおいて、書き込みデ

50

ータ信号 DT_W を受け取る。一例として、書込みイネーブル信号 EN_W および書込みデータ信号 DT_W は、それぞれ、単一磁束量子 (SFQ: single flux quantum) パルスの存在に対応する第1の二値状態と、SFQパルスの非存在に対応する第2の二値状態とを有することができる。例えば、書込みイネーブル信号 EN_W および書込みデータ信号 DT_W は、超電導ゲートメモリ回路10を含むメモリ回路で生成されるワード書込み信号およびビット書込み信号に基づいてジョセフソン伝送線 (JTL: Josephson transmission line) 相互接続によって生成することができる。書込みイネーブル信号 EN_W は、したがって、デジタル状態の記憶のために超電導ゲートメモリ回路10への書込み動作を可能にすることができ、書込みデータ信号 DT_W は、書込みデータSFQパルスの存否に基づくデジタル状態に対応することができる。例えば、書込みデータSFQパルスの非存在は、第1のデータ状態 (例えば、論理0) に対応することができ、書込みデータSFQパルスの存在は、第2のデータ状態 (例えば、論理1) に対応することができる。書込みイネーブルSFQパルスおよび／または書込みデータSFQパルスに応答して、ジョセフソンDゲート回路12内の複数のジョセフソン接合は、順次トリガして、デジタル状態を設定することに対応する超電導相 (例えば、双安定電流) を生成するようにジョセフソン接合のうちの1つを 2π 状態に設定することができる。デジタル状態を設定する方式は、全体として参照により本明細書に援用される、代理人整理番号第NG (ES) 022876 US PRI、米国特許出願第14/325, 518号明細書に説明される。

10

【0014】

20

図1の例において、デジタル状態は、記憶ループ14に提供される信号STによって表される。デジタル状態STは、続いて記憶ループ14に記憶される第1のデータ状態または第2のデータ状態のいずれかに対応する。一例として、記憶ループ14は、デジタル状態に基づく振幅を有するループ電流を伝導するように構成される超電導ループとして構成することができる。加えて、例えば、記憶ループ14は、例えばデジタル状態に対応するようなループ電流の振幅に基づいて、読出し動作中に出力信号OUTとしてデジタル状態の指標を提供することができる読出しジョセフソン接合を含み得る。

【0015】

読出し動作中に、記憶ループ14は、読出しイネーブル入力などにおいて、読出しイネーブル信号 EN_R を受け取り、読出しデータ入力などにおいて、読出しデータ信号 DT_R を受け取る。一例として、読出しイネーブル信号 EN_R および読出しデータ信号 DT_R は、それぞれ、SFQパルスとして提供することができる。例えば、読出しイネーブル信号 EN_R および読出しデータ信号 DT_R は、超電導ゲートメモリ回路10を含むメモリ回路で生成されるワード読出し信号およびビット読出し信号に基づいてJTL相互接続によって生成することができる。読出しイネーブル信号 EN_R は、したがって、超電導ゲートメモリ回路10への読出し動作を可能にすることができ、読出しデータ信号 DT_R は、読出しデータSFQパルスの存否に基づいて出力信号OUTとしてのデジタル信号の読出しをトリガすることができる。

30

【0016】

図1の例において、記憶ループ14は、少なくとも1つのループ変圧器に提供することができるバイアス電流 I_{BIAS} を受け取って、記憶ループ14内にループ電流を誘導するように構成される。ジョセフソンDゲート12は、ジョセフソンDゲートのジョセフソン接合の超電導相に基づいて記憶ループ14のループ電流における電流成分を誘導することができるデジタル状態STを設定することができる。したがって、デジタル状態STは、記憶ループ14内のループ電流の振幅に影響を与えることができる。一例として、読出しイネーブル信号 EN_R は、誘導結合を介して記憶ループ14のループ電流の振幅に同じく影響を与えるように提供することができ、かつ読出しジョセフソン接合に対するバイアスを提供することができる。そのため、第1のデータ状態では、読出しデータ信号 DT_R は、読出しジョセフソン接合をトリガするのに不十分であり得、それにより、デジタル状態が第1のデータ状態にあることの指標を出力信号OUTとして提供することができる。

40

50

しかしながら、第2のデータ状態では、読出しジョセフソン接合は、十分にバイアスされ得、読出しデータ信号 DT_R が読出しジョセフソン接合をトリガして、デジタル状態が第2のデータ状態にあることの指標を出力信号 OUT として提供することができる。それゆえ、超電導ゲートメモリ回路10は、データ書込み動作でデジタル状態を記憶するように構成することができ、デジタル状態は、データ読出し動作で記憶ループから読み出すことができる。

【0017】

図2は、超電導ゲートメモリ回路50の例を示す。一例として、超電導ゲートメモリ回路50は、超電導ゲートメモリ回路50がアレイ内のメモリセルに対応することができるように、メモリ回路に実装することができる。

10

【0018】

超電導ゲートメモリ回路50は、ジョセフソンDゲート回路52および記憶ループ54を含む。ジョセフソンDゲート回路52は、書込みイネーブル信号 EN_W が提供される書込みイネーブル入力56と、書込みデータ信号 DT_W が提供される書込みデータ入力58とを含む。ジョセフソンDゲート回路52は、一次インダクタ L_1 および二次インダクタ L_2 を含むバイアス変圧器60をも含む。バイアス電流 I_{BIAS} が一次インダクタ L_1 を介して提供されて、二次インダクタ L_2 でバイアス電流を誘導する。ジョセフソンDゲート回路52は、第1のジョセフソン接合 JJ_1 、第2のジョセフソン接合 JJ_2 、および二次インダクタ L_2 によって形成される双安定ループ62をも含む。ジョセフソンDゲート回路52は、書込みイネーブル入力56と双安定ループ62とを相互接続する第3のジョセフソン接合 JJ_3 、および書込みデータ入力58と双安定ループ62とを相互接続するインダクタ L_3 をも含む。

20

【0019】

記憶ループ54は、一次インダクタ L_5 および二次インダクタ L_6 を含む第1のループ変圧器64、ならびに一次インダクタ L_7 および二次インダクタ L_8 を含む第2のループ変圧器66を含む。バイアス電流 I_{BIAS} は、一次インダクタ L_5 および L_7 を介して提供されて、個々の二次インダクタ L_6 および L_8 でループ電流を誘導する。加えて、図2の例において、バイアス変圧器60は、一次インダクタ L_1 および二次インダクタ L_2 に誘導結合される三次インダクタ L_4 をも含む。そのため、ループ電流は、ジョセフソンDゲート回路52で一次インダクタ L_1 を介して流れるバイアス電流 I_{BIAS} に応答して三次インダクタ L_4 を介して流れる。記憶ループ54は、三次インダクタ L_4 ならびに二次インダクタ L_6 および L_8 と直列に配置された読出しジョセフソン接合 JJ_{RO} をも含む。そのため、記憶ループ54は、ループ電流が記憶ループ54の周りを流れる超電導ループとして配置される。

30

【0020】

記憶ループ54は、読出しイネーブル信号 EN_R が提供される読出しイネーブル入力68をも含む。読出しイネーブル信号 EN_R は、一次インダクタ L_7 および二次インダクタ L_8 に誘導結合される三次インダクタ L_9 を介して提供されるものとして明示される。一例として、本明細書でより詳細に説明するように、三次インダクタ L_9 は、読出しイネーブル信号 EN_R がバイアス電流 I_{BIAS} に対して反対方向に電流を誘導することができるように一次および二次インダクタ L_7 および L_8 に関して巻回されることができる。加えて、記憶ループ54は、読出しデータ信号 DT_R が提供される読出しデータ入力70と、出力信号 OUT が提供される出力72とをも含む。読出しジョセフソン接合 JJ_{RO} は、ループ電流の振幅に基づいて、本明細書でより詳細に説明するように、読出しジョセフソン接合 JJ_{RO} のトリガなしまたはトリガに応答して出力72においてSFQパルスまたはSFQパルスなしのうちの1つとして出力信号 OUT を提供することができるように、読出しデータ入力70と出力72とを相互接続する。

40

【0021】

本明細書で説明するように、ループ電流 I_{LOOP} に関する用語「ループ電流の振幅」は、ループ電流 I_{LOOP} の絶対値と対照的に、電流方向に関わりなく、所与の一方向の

50

電流フローにおけるループ電流 $I_{L O O P}$ の振幅を記述する。そのため、本明細書でより詳細に説明するように、ループ電流 $I_{L O O P}$ は、第1のデータ状態（例えば、論理0）を有するデジタル状態に対応するような、正の振幅に対応する（例えば、時計回りの）第1の振幅を有することができる。本明細書でより詳細に説明するように、ループ電流 $I_{L O O P}$ は、記憶ループ54が第1のデータ状態を記憶している間に読出しイネーブル $S F Q$ パルス $E N_R$ を介して誘導される電流成分154に基づくような、第1の振幅よりも小さいがそれでも正（例えば、それでも時計回り）である振幅を有することができる。本明細書でより詳細に説明するように、ループ電流 $I_{L O O P}$ は、第2のデータ状態（例えば、論理1）を有するデジタル状態に対応するような、ほぼ0（例えば、わずかに正またはわずかに負）である振幅を有することができる。そのうえ、本明細書でより詳細に説明するように、ループ電流 $I_{L O O P}$ は、記憶ループ54が第2のデータ状態を記憶している間に読出しイネーブル $S F Q$ パルス $E N_R$ を介して誘導される電流成分154に基づくような、負（例えば、反時計回り）である振幅を有することができる。本明細書で説明する可能な振幅は、ループ電流 $I_{L O O P}$ がデジタル状態ならびに／またはデータ書込みおよびデータ読出し動作と関連付けられた個々のさまざまな条件に対応し得る幅広い振幅を有し得るように、例示的に提供され、振幅のいずれも記憶ループ54における個別の電流方向に対応しないか、または振幅の一部が記憶ループ54における個別の電流方向に対応する。そのため、記憶されるデジタル状態の第1および第2のデータ状態のそれぞれにおける静止状態で、ループ電流 $I_{L O O P}$ は個別の電流方向に対応するか、または対応しない個別の振幅を有する。

【0022】

図3は、超電導ゲートメモリ回路50へのデータ書込み動作の例示的略図100を示す。略図100は、第1のデータ状態（例えば、論理0）に対応するデジタル状態を記憶している図2の例における超電導ゲートメモリ回路50に対応することができる。本明細書で説明するように、図3の例における超電導ゲートメモリ回路100の以下の説明で、図2の例における超電導ゲートメモリ回路50に類似の参照番号および参照がなされることになっている。

【0023】

図3の例において、バイアス電流 $I_{B I A S}$ は、各変圧器60、64、および66における各一次インダクタ L_1 、 L_5 、および L_7 を介してDC電流として提供される。バイアス電流 $I_{B I A S}$ は、それぞれ、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 を介して、ループ電流 $I_{L O O P}$ として図3の例に明示されるループ電流として誘導することができる。一例として、変圧器60、64、および66の巻線は、誘導されるループ電流 $I_{L O O P}$ がバイアス電流 $I_{B I A S}$ に応答して同じ電流方向を有することができるようなものとすることができ、その結果、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 は、バイアス電流 $I_{B I A S}$ に応答して付加的にループ電流 $I_{L O O P}$ を誘導することができる。そのため、図3の例において、ループ電流 $I_{L O O P}$ は、記憶ループ54の周りを所与の方向（例えば、時計回り）に流れるように明示される。

【0024】

一例として、ループ電流 $I_{L O O P}$ の所与の方向（例えば、時計回り）は、記憶ループ54に記憶されるデジタル状態の所与のデータ状態（例えば、論理0）に対応することができる。例えば、本明細書で説明するように、ジョセフソンDゲート回路52は、データ書込み動作中にデジタル状態を第1のデータ状態に設定するように構成することができ、その結果、論理0が記憶ループ54に書き込まれる。図3の例において、矢印102で明示されるように、書込みイネーブル $S F Q$ パルス $E N_W$ が書込みイネーブル入力56に提供されて、データ書込み動作のために超電導ゲートメモリ回路50を選択する。ほぼ同時に、書込みデータ入力58における矢印の欠如によって示されるように、書込みデータ $S F Q$ パルス $D T_W$ が書込みデータ入力58に提供されない。そのため、略図100によって明示される書込みデータ動作で、超電導ゲートメモリ回路50は、記憶ループ54の周

10

20

30

40

50

りに時計回りにループ電流 $I_{L O O P}$ の流れを提供する振幅を有するようにループ電流 $I_{L O O P}$ が提供される、第1のデータ状態としてのデジタル状態を記憶する。そのため、ループ電流 $I_{L O O P}$ は、バイアス電流 $I_{B I A S}$ に基づいて変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 を介して誘導されるループ電流 $I_{L O O P}$ にのみ基づく振幅を有する。

【0025】

図4は、超電導ゲートメモリ回路50のデータ読出し動作の例示的略図150を示す。略図150は、図3の例で説明したデータ書込み動作を介して提供されるように、第1のデータ状態（例えば、論理0）に対応するデジタル状態を記憶している図2の例における超電導ゲートメモリ回路50に対応することができる。本明細書で説明するように、図4の例における略図150の以下の説明で、図2および図3の例における超電導ゲートメモリ回路50に類似の参照番号および参照がなされることになっている。

【0026】

図4の例において、バイアス電流 $I_{B I A S}$ は、依然として、各変圧器60、64、および66における各一次インダクタ L_1 、 L_5 、および L_7 を介してDC電流として提供される。したがって、バイアス電流 $I_{B I A S}$ は、依然として、それぞれ、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 を介してループ電流 $I_{L O O P}$ として誘導される。データ読出し動作中に、矢印152によって明示されるように、読出しイネーブル入力68において読出しイネーブルSFQパルス $E N_R$ を受け取る。読出しイネーブルSFQパルス $E N_R$ は、ループ変圧器66の一次インダクタ L_7 および二次インダクタ L_8 に誘導結合される三次インダクタ L_9 を介して提供される。三次インダクタ L_9 は、一次および二次インダクタ L_7 および L_8 に関して反対の電流を誘導するように巻回されるので、読出しイネーブルSFQパルス $E N_R$ は、バイアス電流 $I_{B I A S}$ に対して反対方向に、反時計回りの矢印154として図4の例に明示される電流成分を誘導して、読出しジョセフソン接合 $J J_{R O}$ をバイアスする。そのため、図4の例において、誘導されたバイアス電流 $I_{B I A S}$ に起因するループ電流 $I_{L O O P}$ の振幅から電流成分154の振幅を差し引くことによって、電流成分154は、ループ電流 $I_{L O O P}$ の振幅を変更する。

【0027】

データ読出し動作中に（例えば、読出しイネーブルSFQパルス $E N_R$ の印加とほぼ同時に）、矢印156によって明示されるように、読出しデータ入力70において読出しデータSFQパルス $D T_R$ を受け取る。読出しデータSFQパルス $D T_R$ は、記憶ループ54内の読出しジョセフソン接合 $J J_{R O}$ に提供され、ループ電流 $I_{L O O P}$ から差し引かれる。図4の例において、ループ電流 $I_{L O O P}$ の瞬間的な振幅に基づいて、ループ電流 $I_{L O O P}$ の振幅から差し引かれる読出しデータSFQパルス $D T_R$ の振幅は、読出しジョセフソン接合 $J J_{R O}$ をトリガするのに不十分である。結果として、読出しデータSFQパルス $D T_R$ は、読出しジョセフソン接合 $J J_{R O}$ を通過して出力72に達し、したがって、矢印158として図4の例に明示される出力信号OUTとして提供される。そのため、図4の例でデータ読出し動作中に、出力信号OUTは、SFQパルスとして提供され、出力信号OUTは、読出しジョセフソン接合 $J J_{R O}$ のトリガ不成功に基づいて、第1のデータ状態（例えば、論理0）に対応する超電導ゲートメモリ回路50のデジタル状態を示している。それゆえ、出力信号OUTは、SFQパルスとして提供されている出力信号OUTに基づいて第1のデータ状態の指標を提供する。

【0028】

図5は、超電導ゲートメモリ回路50へのデータ書込み動作の例示的略図200を示す。略図200は、したがって、第1のデータ状態（例えば、論理0）に対応するデジタル状態を記憶している図2の例における超電導ゲートメモリ回路50に対応することができる。本明細書で説明するように、図5の例における略図200の以下の説明で、図2の例における超電導ゲートメモリ回路50に類似の参照番号および参照がなされることになっている。

【0029】

図5の例において、バイアス電流 I_{BIAS} は、各変圧器60、64、および66における各一次インダクタ L_1 、 L_5 、および L_7 を介してDC電流として提供される。バイアス電流 I_{BIAS} は、それぞれ、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 を介して、ループ電流 I_{LOOP} として図5の例に明示されるループ電流として誘導することができる。一例として、変圧器60、64、および66の巻線は、誘導されるループ電流 I_{LOOP} がバイアス電流 I_{BIAS} に応答して同じ電流方向を有することができるようなものとすることができ、その結果、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 は、バイアス電流 I_{BIAS} に応答して付加的にループ電流 I_{LOOP} を誘導することができる。

10

【0030】

図5の例において、本明細書で説明するように、ジョセフソンDゲート回路52は、データ書込み動作中にデジタル状態を第2のデータ状態に設定するように構成することができる、その結果、論理1が記憶ループ54に書き込まれる。図5の例において、矢印202で明示されるように、書込みイネーブルSFQパルス EN_W が書込みイネーブル入力56に提供されて、データ書込み動作のために超電導ゲートメモリ回路50を選択する。ほぼ同時に、矢印204によって示されるように、書込みデータSFQパルス DT_W が書込みデータ入力58に提供される。書込みイネーブルSFQパルス EN_W と書込みデータSFQパルス DT_W との組合せに応答して、206で示されるように、ジョセフソン接合 JJ_1 を 2π 状態に設定して、超電導相（例えば、双安定電流）を生成することができる。図5の例において、超電導相は、ジョセフソン接合 JJ_1 からジョセフソン接合 JJ_2 へ流れる自発的超電導電流 I_π として明示される。結果として、超電導相 I_π は、二次インダクタ L_2 への誘導結合に基づいて三次インダクタ L_4 を介して、矢印208によって明示される電流成分として誘導される。結果として、電流成分208の振幅は、誘導されたバイアス電流 I_{BIAS} に起因するループ電流 I_{LOOP} の振幅から差し引かれる。そのため、第2のデータ状態で、ループ電流 I_{LOOP} は、第1のデータ状態におけるループ電流 I_{LOOP} の振幅よりも小さい振幅を有する。例えば、ループ電流 I_{LOOP} は、第2のデータ状態でほぼ0（例えば、わずかに正またはわずかに負）である振幅を有することができる。

20

30

【0031】

図6は、超電導ゲートメモリ回路50のデータ読出し動作の例示的略図250を示す。略図250は、したがって、図5の例で説明したデータ書込み動作を介して提供されるように、第1のデータ状態（例えば、論理0）に対応するデジタル状態を記憶している図2の例における超電導ゲートメモリ回路50に対応することができる。本明細書で説明するように、図6の例における略図250の以下の説明で、図2および図5の例における超電導ゲートメモリ回路50に類似の参照番号および参照がなされることになっている。

【0032】

図6の例において、バイアス電流 I_{BIAS} は、依然として、各変圧器60、64、および66における各一次インダクタ L_1 、 L_5 、および L_7 を介してDC電流として提供される。したがって、バイアス電流 I_{BIAS} は、依然として、それぞれ、変圧器60、64、および66の三次インダクタ L_4 、二次インダクタ L_6 、および二次インダクタ L_8 を介してループ電流 I_{LOOP} として誘導される。そのうえ、超電導相 I_π は、ジョセフソン接合 JJ_1 からジョセフソン接合 JJ_2 へ流れ、したがって記憶ループ54に電流成分208を誘導する。そのため、ループ電流 I_{LOOP} は、図5の例で前に説明したように、第1のデータ状態におけるループ電流 I_{LOOP} の振幅に対して第2のデータ状態における減少した振幅（例えば、ほぼ0の振幅）を有する。

40

【0033】

データ読出し動作中に、矢印252によって明示されるように、読出しイネーブル入力68において読出しイネーブルSFQパルス EN_R を受け取る。読出しイネーブルSFQ

50

パルス $E N_R$ は、ループ変圧器 66 の一次インダクタ L_7 および二次インダクタ L_8 に誘導結合される三次インダクタ L_9 を介して提供される。三次インダクタ L_9 は、一次および二次インダクタ L_7 および L_8 に関して反対の電流を誘導するように巻回されるので、読出しイネーブル S F Q パルス $E N_R$ は、バイアス電流 $I_{B I A S}$ に対して反対方向に、反時計回りの矢印 254 として図 6 の例に明示される電流成分を誘導して、読出しジョセフソン接合 $J J_{R O}$ をバイアスする。そのため、図 6 の例において、誘導されたバイアス電流 $I_{B I A S}$ に起因するループ電流 $I_{L O O P}$ の振幅から電流成分 254 の振幅を差し引くことによって、電流成分 254 は、ループ電流 $I_{L O O P}$ の振幅を変更する。そのため、電流成分 208 と電流成分 254 との組合せは、ループ電流 $I_{L O O P}$ のさらに小さい振幅（例えば、負の振幅）を提供することができる。

10

【0034】

データ読出し動作中に（例えば、読出しイネーブル S F Q パルス $E N_R$ の印加とほぼ同時に）、矢印 256 によって明示されるように、読出しデータ入力 70 において読出しデータ S F Q パルス $D T_R$ を受け取る。読出しデータ S F Q パルス $D T_R$ は、記憶ループ 54 内の読出しジョセフソン接合 $J J_{R O}$ に提供され、ループ電流 $I_{L O O P}$ から差し引かれる。図 6 の例において、ループ電流 $I_{L O O P}$ の瞬間的な振幅に基づいて、ループ電流 $I_{L O O P}$ の振幅から差し引かれる読出しデータ S F Q パルス $D T_R$ の振幅は、読出しジョセフソン接合 $J J_{R O}$ の閾値電圧を達成するのに十分であり、したがって読出しジョセフソン接合 $J J_{R O}$ をトリガするのに十分である。結果として、読出しジョセフソン接合 $J J_{R O}$ は、読出しデータ S F Q パルス $D T_R$ に対して反対方向に電圧パルスを生成し、したがって読出しデータ S F Q パルス $D T_R$ を遮断する。結果として、読出しデータ S F Q パルス $D T_R$ が読出しジョセフソン接合 $J J_{R O}$ を通過して出力 72 に達することが妨げられる。そのため、図 6 の例ではデータ読出し動作中に、出力信号 $O U T$ は、S F Q パルスなしとして提供され、それはしたがって、読出しジョセフソン接合 $J J_{R O}$ のトリガに基づいて、第 2 のデータ状態（例えば、論理 1）に対応する超電導ゲートメモリ回路 50 のデジタル状態を示している。それゆえ、出力信号 $O U T$ は、S F Q パルスなしとして提供されている出力信号 $O U T$ に基づいて第 2 のデータ状態の指標を提供する。

20

【0035】

図 7 は、超電導ゲートメモリ回路 320 の別の例を示す。一例として、超電導ゲートメモリ回路 320 は、超電導ゲートメモリ回路 320 がアレイ内のメモリセルに対応することができるよう、メモリ回路に実装することができる。

30

【0036】

超電導ゲートメモリ回路 320 は、ジョセフソン D ゲート回路 322 および記憶ループ 324 を含む。ジョセフソン D ゲート回路 322 は、書込みイネーブル信号 $E N_W$ が提供される書込みイネーブル入力 326 と、書込みデータ信号 $D T_W$ が提供される書込みデータ入力 328 とを含む。ジョセフソン D ゲート回路 322 は、一次インダクタ L_1 および二次インダクタ L_2 を含むバイアス変圧器 330 をも含む。バイアス電流 $I_{B I A S}$ が一次インダクタ L_1 を介して提供されて、二次インダクタ L_2 でバイアス電流を誘導する。ジョセフソン D ゲート回路 322 は、第 1 のジョセフソン接合 $J J_1$ 、第 2 のジョセフソン接合 $J J_2$ 、および二次インダクタ L_2 によって形成される双安定ループ 332 をも含む。ジョセフソン D ゲート回路 322 は、書込みイネーブル入力 326 と双安定ループ 332 とを相互接続する第 3 のジョセフソン接合 $J J_3$ 、および書込みデータ入力 328 と双安定ループ 332 とを相互接続するインダクタ L_3 をも含む。

40

【0037】

記憶ループ 324 は、一次インダクタ L_5 および二次インダクタ L_6 を含む第 1 のループ変圧器 334、ならびに一次インダクタ L_7 および二次インダクタ L_8 を含む第 2 のループ変圧器 336 を含む。バイアス電流 $I_{B I A S}$ は、一次インダクタ L_5 および L_7 を介して提供されて、個々の二次インダクタ L_6 および L_8 でループ電流を誘導する。加えて、図 7 の例において、バイアス変圧器 330 は、一次インダクタ L_1 および二次インダクタ L_2 に誘導結合される三次インダクタ L_4 をも含む。そのため、ループ電流は、ジョ

50

セフソンDゲート回路322で一次インダクタ L_1 を介して流れるバイアス電流 I_{BIAS} に
 応答して三次インダクタ L_4 を介して同じく流れる。記憶ループ324は、三次イン
 ダクタ L_4 ならびに二次インダクタ L_6 および L_8 と直列に配置される読出しジョセフソ
 ン接合 JJ_{RO} をも含む。そのため、記憶ループ324は、ループ電流が記憶ループ32
 4の周りを流れる超電導ループとして配置される。

【0038】

記憶ループ324は、読出しイネーブル信号 E_{NR} が提供される読出しイネーブル入力
 338をも含む。読出しイネーブル信号 E_{NR} は、一次インダクタ L_7 および二次インダ
 クタ L_8 に誘導結合される三次インダクタ L_9 を介して提供されるものとして明示される
 。一例として、本明細書でより詳細に説明するように、三次インダクタ L_9 は、読出しイ
 ネーブル信号 E_{NR} がバイアス電流 I_{BIAS} に対して反対方向に電流を誘導することが
 できるように一次および二次インダクタ L_7 および L_8 に関して巻回されることができ
 る。加えて、記憶ループ324は、読出しデータ信号 D_{TR} が提供される読出しデータ入力
 340と、出力信号OUTが提供される出力342をも含む。

【0039】

図2の例における記憶ループ54と対照的に、図7の例において、読出しデータ入力3
 40は、読出しジョセフソン接合 JJ_{RO} および出力インダクタ L_{OUT} を介した出力の
 両方に結合される。図2の例における記憶ループ54と対照的に、読出しジョセフソン接
 合 JJ_{RO} が読出しデータ入力340とグラウンドとを相互接続するように、記憶ループ
 324は接地される。記憶ループ324は、図2の例における記憶ループ54と実質的に
 同じように機能する。しかしながら、図2の例における記憶ループ54と対照的に、読出
 しジョセフソン接合 JJ_{RO} は、図6の例で説明したように、読出しデータSFQパルス
 D_{TR} を遮断するためのエスケープジョセフソン接合として配置されないが、その代わり
 に伝送ジョセフソン接合として配置される。そのため、ループ電流の振幅に基づいて、そ
 れぞれ、読出しジョセフソン接合 JJ_{RO} のトリガまたはトリガなしに
 応答して出力342においてSFQパルスまたはSFQパルスなしのうちの1つとして出力信号OUTを提
 供することができる。そのため、図7の例において、出力342において提供されるよう
 に、第1のデータ状態および第2のデータ状態における読出しデータSFQパルス D_{TR}
 への応答は、図2の例における記憶ループ54に対して逆になる。そのため、超電導ゲ
 ートメモリ回路320は、図2の例における超電導ゲートメモリ回路50に対してデジタル
 状態を記憶する別の例として明示される。

【0040】

図8は、メモリセル300の例示的略図を示す。メモリセル300は、行と列で配置さ
 れるような、メモリ回路内の複数のメモリセルのうちの単一のメモリセルに対応するこ
 とができる。メモリセル300は、したがって、図1、図2および図7の個々の例における
 超電導ゲートメモリ回路10、超電導ゲートメモリ回路50、または超電導ゲートメモリ
 回路320などの超電導ゲートメモリ回路に対応することができる。したがって、メモリ
 セル300は、図2の例におけるジョセフソンDゲート回路52と実質的に同じように構
 成され得るジョセフソンDゲート回路302を含む。メモリセル300は、データ読出し
 動作中に個々のジョセフソンDゲート回路に記憶されたデジタル状態に対応する出力信号
 OUTを提供するために、図2の例における記憶ループ54または図7の例における記憶
 ループ324などの記憶ループ304をも含む。

【0041】

図8の例において、メモリセル300は、第1のJTL306および第2のJTL30
 8をも含む。第1のJTL306は、ワード書込み信号WWが提供されるワード書込み線
 310をジョセフソンDゲート回路302の書込みイネーブル入力に結合することができ
 る。第1のJTL306は、イネーブルSFQパルス（例えば、RQL方式で正および負
 のイネーブルSFQパルス）などのワード書込み信号WWから書込みイネーブル信号 E_{NW}
 E_{NW} を生成することができる。別の例として、第1のJTL306は、受動相互接続として
 構成することができ、ワード書込み信号WWは、第1のJTL306がSFQパルスを提

10

20

30

40

50

供しないようにする書込みイネーブル信号 EN_W の第 1 の二値状態に対応する第 1 の二値状態と、第 1 の J T L 3 0 6 がイネーブル S F Q パルスを提供するようにする書込みイネーブル信号 EN_W の第 2 の二値状態に対応する第 2 の二値状態とを有するデジタル信号とすることができる。一例として、ワード書込み線 3 1 0 は、メモリセル 3 0 0 を含むメモリセルのアレイの行内の複数のメモリセルのそれぞれに結合することができる。したがって、第 1 の J T L 3 0 6 は、ワード書込み線 3 1 0 から S F Q パルスを分離することなどによって、メモリセルの行の書込み動作を可能にするために提供されるワード書込み信号 WW からイネーブル S F Q パルスを生成することができる。

【0042】

第 2 の J T L 3 0 8 は、ビット書込み信号 BW が提供されるビット書込み線 3 1 2 をジョセフソン D ゲート回路 3 0 2 の書込みデータ入力に結合することができる。第 2 の J T L 3 0 8 は、データ S F Q パルス（例えば、R Q L 方式で正および負のイネーブル S F Q パルス）などのビット書込み信号 BW から書込みデータ信号 DT_W を生成することができる。別の例として、第 2 の J T L 3 0 8 は、受動相互接続として構成することができ、ビット書込み信号 BW は、第 2 の J T L 3 0 8 が S F Q パルスを提供しないようにする書込みデータ信号 DT_W の第 1 の二値状態に対応する第 1 の二値状態と、第 2 の J T L 3 0 8 がイネーブル S F Q パルスを提供するようにする書込みデータ信号 DT_W の第 2 の二値状態に対応する第 2 の二値状態とを有するデジタル信号とすることができる。一例として、ビット書込み線 3 1 2 は、メモリセル 3 0 0 を含むメモリセルのアレイの列内の複数のメモリセルのそれぞれに結合することができる。したがって、第 2 の J T L 3 0 8 は、ビット書込み線 3 1 2 から S F Q パルスを分離することなどによって、メモリセルの行にデジタル状態を書き込むために提供されるビット書込み信号 BW から書込みデータ S F Q パルスを生成することができる。

【0043】

同様に、図 8 の例において、メモリセル 3 0 0 は、第 3 の J T L 3 1 4 および第 4 の J T L 3 1 6 をも含む。第 3 の J T L 3 1 4 は、ワード読出し信号 WR が提供されるワード読出し線 3 1 8 をジョセフソン D ゲート回路 3 0 2 の読出しイネーブル入力に結合することができる。第 3 の J T L 3 1 4 は、イネーブル S F Q パルス（例えば、R Q L 方式で正および負のイネーブル S F Q パルス）などのワード読出し信号 WR から読出しイネーブル信号 EN_R を生成することができる。別の例として、第 3 の J T L 3 1 4 は、受動相互接続として構成することができ、ワード読出し信号 WR は、第 3 の J T L 3 1 4 が S F Q パルスを提供しないようにする読出しイネーブル信号 EN_R の第 1 の二値状態に対応する第 1 の二値状態と、第 3 の J T L 3 1 4 がイネーブル S F Q パルスを提供するようにする読出しイネーブル信号 EN_R の第 2 の二値状態に対応する第 2 の二値状態とを有するデジタル信号とすることができる。一例として、ワード読出し線 3 1 8 は、メモリセル 3 0 0 を含むメモリセルのアレイの行内の複数のメモリセルのそれぞれに結合することができる。したがって、第 3 の J T L 3 1 4 は、ワード読出し線 3 1 8 から S F Q パルスを分離することなどによって、メモリセルの行の読出し動作を可能にするために提供されるワード読出し信号 WR からイネーブル S F Q パルスを生成することができる。

【0044】

第 4 の J T L 3 1 6 は、ビット読出し信号 BR が提供されるビット読出し線 3 2 0 をジョセフソン D ゲート回路 3 0 2 の読出しデータ入力に結合することができる。第 4 の J T L 3 1 6 は、データ S F Q パルス（例えば、R Q L 方式で正および負のイネーブル S F Q パルス）などのビット読出し信号 BR から読出しデータ信号 DT_R を生成することができる。別の例として、第 4 の J T L 3 1 6 は、受動相互接続として構成することができ、ビット読出し信号 BR は、第 4 の J T L 3 1 6 が S F Q パルスを提供しないようにする読出しデータ信号 DT_R の第 1 の二値状態に対応する第 1 の二値状態と、第 4 の J T L 3 1 6 がイネーブル S F Q パルスを提供するようにする読出しデータ信号 DT_R の第 2 の二値状態に対応する第 2 の二値状態とを有するデジタル信号とすることができる。一例として、ビット読出し線 3 2 0 は、メモリセル 3 0 0 を含むメモリセルのアレイの列内の複数のメ

メモリセルのそれぞれに結合することができる。したがって、第4のJTL316は、ビット読出し線320からSFQパルスを分離することなどによって、メモリセルの行からデジタル状態を読み出すために提供されるビット読出し信号BRから読出しデータSFQパルスを生成することができる。

【0045】

図9は、メモリ回路350の例を示す。メモリ回路350は、さまざまな量子および／または古典的計算応用におけるメモリ構造として実装することができる。一例として、メモリ回路350は、およそ4ケルビン以下で動作するように、量子計算回路内で極低温に構成することができ、古典的データおよび／またはコントローラ命令を量子計算環境に記憶することができる。

10

【0046】

メモリ回路350は、メモリセル352のアレイとして配置されるものとして図9の例に明示される。具体的には、メモリセル352は、ワード1からワードYとして明示されるデータワードにそれぞれ対応する行354に配置され、ここでYは1より大きい整数である。各行354は、行354全体にわたってX個の列356を形成する一組のメモリセル352を含み、ワード1内のメモリセル352は、 C_1 から C_X として図9の例に明示され、ここでXは1より大きい整数である。そのため、メモリ回路350のアレイ内の各メモリセル352は、行354および列356によって個別にアドレス指定可能とすることができる。

20

【0047】

図9の例において、各行354は、それぞれ、ワード書込み信号 WW_1 およびワード読出し信号 WR_1 からワード書込み信号 WW_Y およびワード読出し信号 WR_Y を提供するものとして明示される、関連したワード書込み線358およびワード読出し線360を有するものとして明示される。ワード書込み線358およびワード読出し線360は、相互接続（例えば、各メモリセル352における第1のJTL306）などを介して、メモリ回路350の各行354における各メモリセル352に結合することができる。加えて、各メモリセル352は、ビット書込み信号 BW_1 から BW_X を提供するものとして明示される、関連したビット書込み線362を有するものとして明示される。ビット書込み線362は、相互接続（例えば、各メモリセル352における第2のJTL308）などを介して、メモリ回路350の各列356におけるそれぞれの対応する番号付きメモリセル352に結合することができる。

30

【0048】

各メモリセル352は、個々のデジタル状態として単一ビットのデータを記憶するように構成される。具体的には、各メモリセル352は、図8の例におけるメモリセル300と実質的に同じように構成され得る。具体的には、各メモリセル352は、図2の例におけるジョセフソンDゲート52および記憶ループ54と同じように、ジョセフソンDゲート302および記憶ループ304を含む超電導ゲートメモリ回路を含み得る。各メモリセル352のデジタル状態は、データ書込み動作のために行内の各メモリセル352を活性化するための個々の書込みイネーブル信号 EN_W （例えば、書込みイネーブルSFQパルス）を提供するために個々のワード書込み線358に提供される個々のワード書込み信号WWと、個々の活性化されたメモリセル352にデジタル状態を書き込むための個々の書込みデータ信号 DT_W （例えば、書込みデータSFQパルス）を提供するために個々のビット書込み線362に提供されるビット書込み信号BWとにตอบสนองして設定することができる。一例として、ワード書込み信号WWおよびビット書込み信号BWは、個々のワード書込み線358およびビット書込み線362に沿って伝播する個々のSFQパルスとして提供することができる。

40

【0049】

同様に、各メモリセル352に記憶されている個々のデジタル状態は、データ読出し動作のために行354の所与の1つの行を選択するために個々のワード読出し線360に提供されるワード読出し信号WRに基づいてメモリセル352から読み出すことができる。

50

各メモリセル 352 のデジタル状態は、データ読出し動作のために行内の各メモリセル 352 を活性化するための（例えば、各メモリセル 352 の記憶ループ内の個々の読出しジョセフソン接合をバイアスするための）個々の読出しイネーブル信号 EN_R （例えば、読出しイネーブル SFQ パルス）を提供するために個々のワード読出し線 360 に提供される個々のワード読出し信号 WR と、個々の活性化されたメモリセル 352 のデジタル状態を読み出すための個々の読出しデータ信号 DT_R （例えば、読出しデータ SFQ パルス）を提供するために個々のビット読出し線 364 に提供されるビット読出し信号 BR とに
10 応答して読み出すことができる。一例として、ワード読出し信号 WR およびビット読出し信号 BR は、個々のワード読出し線 360 およびビット読出し線 364 に沿って伝播する個々の SFQ パルスとして提供することができる。一例として、各メモリセル 352 の出力は、関連した行 354 の各メモリセル 352 のデジタル状態が論理 1 状態に対応するか論理 0 状態に対応するかを決定するように構成されるセンスレジスタ 366 に結合することが
20 できる。それゆえ、センスレジスタ 366 は、個々の記憶ループ（例えば、図 1 の例における記憶ループ 14）を介して個々の出力信号 OUT_1 から OUT_X としてメモリセル 352 のデジタル状態を読み出すことができる。

【0050】

上に説明した前述の構造的および機能的特徴を考慮して、本発明のさまざまな実施態様による技法は、図 10 を参照してよりよく認識されるであろう。解説を簡潔にするために、図 10 の技法は、連続的に実行するものとして示され説明されるが、いくつかの実施態
20 様が、本発明に従って、異なる順序で、および／または本明細書で示され説明された実施態様からの他の実施態様と同時に起こり得るので、本発明は例示された順序によって限定されないことを理解および認識されたい。さらに、本発明の一実施態様による技法を実装するために、例示されたすべての特徴が必要とされるわけではない場合がある。

【0051】

図 10 は、超電導ゲートメモリ回路（例えば、超電導ゲートメモリ回路 10）からデジタル状態（例えば、デジタル状態 OUT ）を読み出すための方法 400 の例を示す。402
30 において、デジタル状態は、ジョセフソン D ゲート（例えば、ジョセフソン D ゲート 12）を介して第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして記憶されて、読出しジョセフソン接合（例えば、読出しジョセフソン接合 JJR_O ）および出力（例えば、出力 72）を含む記憶ループ（例えば、記憶ループ 14）と関連付けられたループ電流（例えば、ループ電流 I_{LOOP} ）を伝導する。ループ電流は、デジタル状態に基づく
40 振幅を有することができる。404 において、読出しイネーブル SFQ パルス（例えば、読出しイネーブル SFQ パルス EN_R ）が読出しイネーブル入力（例えば、読出しイネーブル入力 70）に提供されて、読出しジョセフソン接合をバイアスする。406 において、読出しデータ SFQ パルスに
50 応答して読出しジョセフソン接合をトリガするかまたはトリガしないように読出しデータ入力（例えば、読出しデータ入力 68）に読出しデータ SFQ パルス（例えば、読出しデータ SFQ パルス DT_R ）が提供されて、ループ電流の振幅に基づいて出力において個々の第 1 のデータ状態または第 2 のデータ状態を示すように
60 する。

【0052】

上に説明したものは、本開示の例である。もちろん、本開示を説明する目的で構成要素または方法の考えられるあらゆる組合せを説明することはできないが、当業者は、本開示
70 の多くのさらなる組合せおよび置換が可能であることを認識するであろう。それゆえ、本開示は、添付の特許請求の範囲を含む、本出願の範囲に含まれるすべてのそのような変更、修正、および変形を包含するように意図される。

以下に、上記実施形態から把握できる技術思想を付記として記載する。

〔付記 1〕

メモリセル回路であって、

ワード書込み線を書込みイネーブル入力に結合して、前記ワード書込み線上を伝播するワード書込み信号に基づいて書込みイネーブル SFQ パルスを提供する第 1 のジョセフソ
80

10

20

30

40

50

ン伝送線（J T L）相互接続と、

ビット書込み線を書込みデータ入力に結合して、前記ビット書込み線上を伝播するビット書込み信号に基づいて書込みデータ S F Q パルスを提供する第 2 の J T L 相互接続と、

前記書込みイネーブル S F Q パルスと、前記書込みデータ S F Q パルスの個々の存否とに
応答してデジタル状態を第 1 のデータ状態および第 2 のデータ状態のうちの 1 つとして
設定するように構成されたジョセフソン D ゲート回路と、

ワード読出し線を読出しイネーブル入力に結合して、ワード読出し信号に基づいて読出しイネーブル S F Q パルスを提供する第 3 の J T L 相互接続と、

ビット読出し線を読出しデータ入力に結合して、ビット読出し信号に基づいて読出しデータ S F Q パルスを提供する第 4 の J T L 相互接続と、

前記ジョセフソン D ゲート回路に結合された記憶ループであって、前記記憶ループは、前記デジタル状態を記憶して、前記読出しイネーブル S F Q パルスと、前記読出しデータ S F Q パルスとに
応答して出力において前記デジタル状態を読み出すように構成される、前記記憶ループと、

を備えるメモリセル回路。

〔付記 2〕

前記記憶ループは、前記ジョセフソン D ゲート回路によって設定される振幅を有するループ電流を伝導するように構成され、前記記憶ループは、前記ループ電流の振幅に基づいて前記出力において個々の第 1 のデータ状態または第 2 のデータ状態を示すために、前記読出しイネーブル S F Q パルスおよび前記読出しデータ S F Q パルスに
応答してトリガするか、またはトリガしないように構成される読出しジョセフソン接合を含む、付記 1 に記載のメモリセル回路。

〔付記 3〕

前記記憶ループは、少なくとも 1 つのループ変圧器を含み、前記少なくとも 1 つのループ変圧器の各ループ変圧器は、

バイアス電流を伝導するように構成された一次インダクタと、

前記読出しジョセフソン接合と直列であり、前記ループ電流が前記第 1 のデータ状態に対応する第 1 の振幅と、前記第 2 のデータ状態に対応する前記ジョセフソン D ゲートによって設定される第 2 の振幅とを有するように、前記ループ電流を誘導するように構成される二次インダクタと

を含む、付記 2 に記載のメモリセル回路。

〔付記 4〕

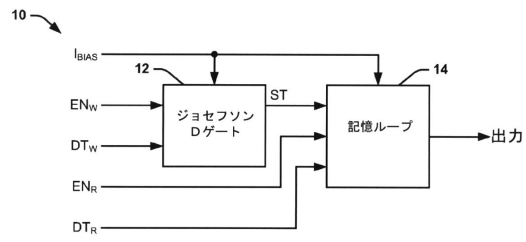
前記記憶ループは、前記読出しデータ S F Q パルスを受け取って、前記第 2 の振幅を有する前記ループ電流に
応答して前記読出しジョセフソン接合をトリガするか、または前記第 1 の振幅を有する前記ループ電流に
応答して前記読出しジョセフソン接合をトリガしないように構成され、前記ループ電流の前記第 2 の振幅は、前記ループ電流の前記第 1 の振幅から、前記記憶ループ内で誘導される、前記ジョセフソン D ゲートと関連付けられた少なくとも 1 つのジョセフソン接合の超電導相に対応する誘導電流成分を差し引いたものに
ほぼ等しい、付記 3 に記載のメモリセル回路。

10

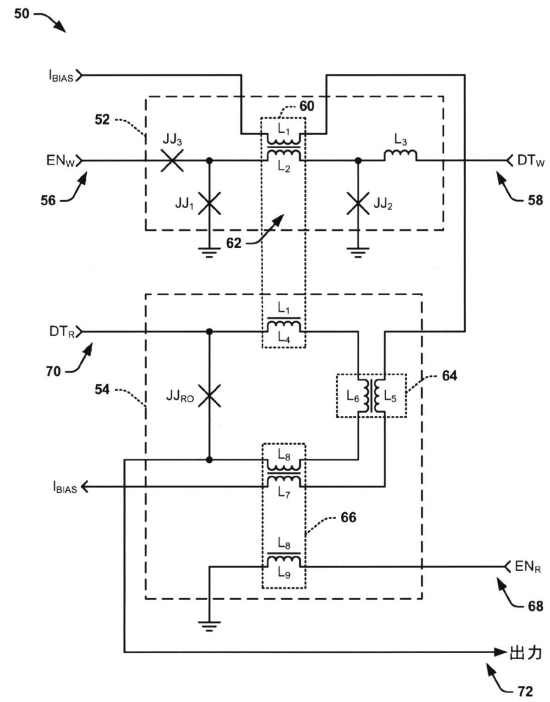
20

30

【図 1】



【図 2】



【図 3】

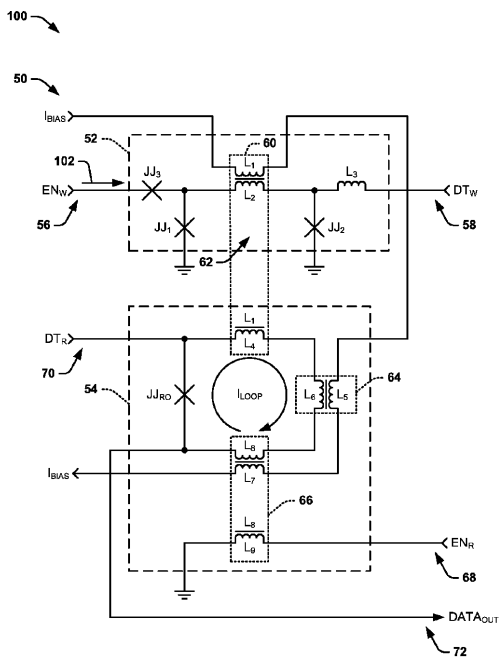


FIG. 3

【図 4】

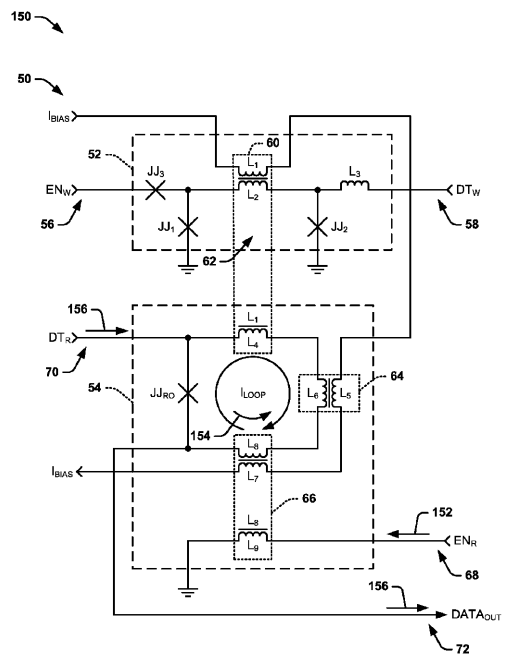


FIG. 4

【図 5】

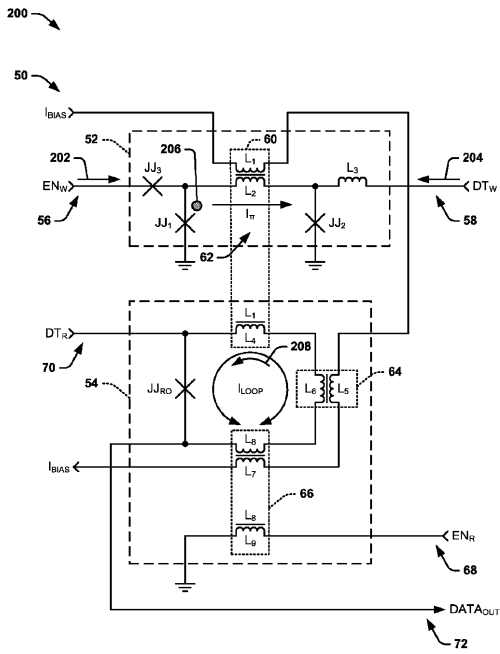


FIG. 5

【図 6】

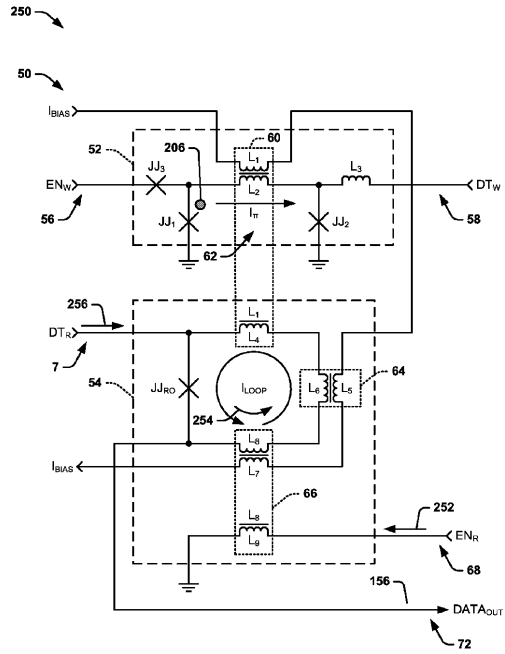
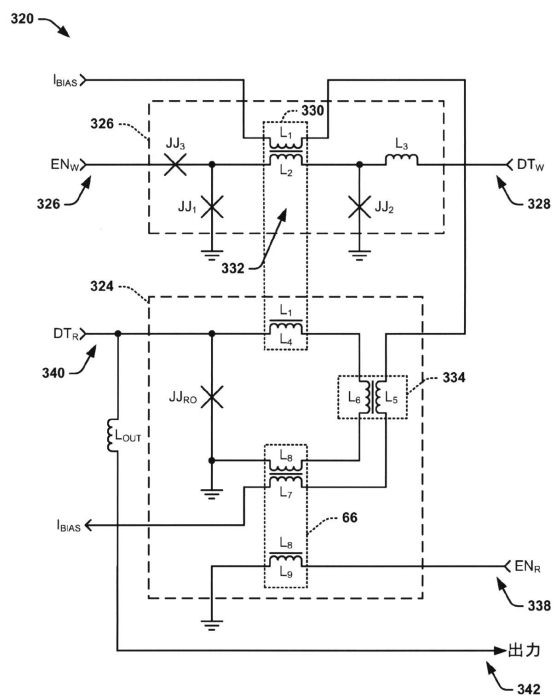
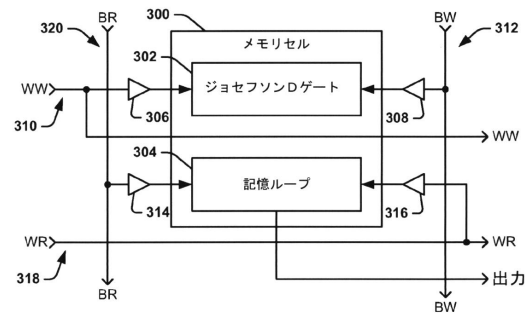


FIG. 6

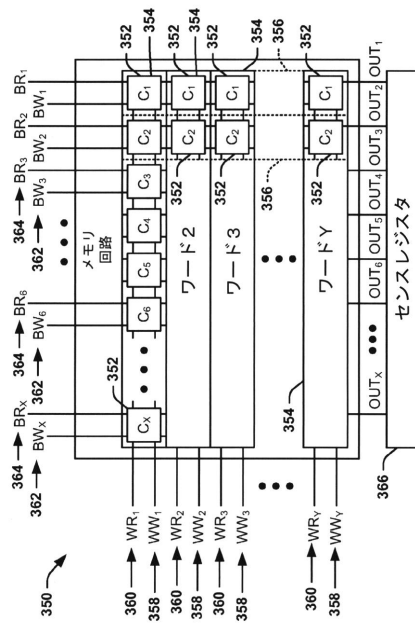
【図 7】



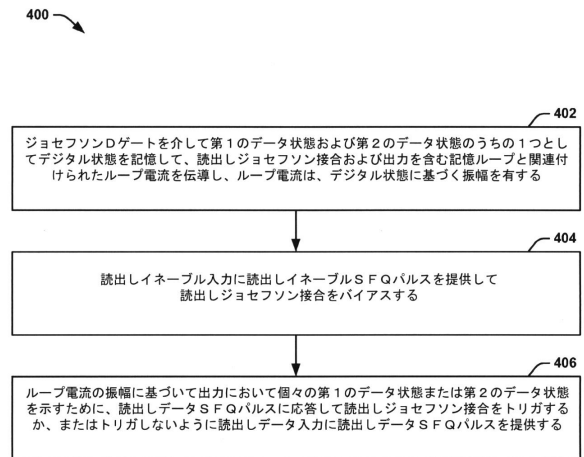
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 バーネット、ランドール エム.

アメリカ合衆国 21228 メリーランド州 ケートンズビル ウェストサイド ブルバード
409

(72)発明者 ハー、クエンティン ピー.

アメリカ合衆国 21042 メリーランド州 エリコット シティ ファロー アベニュー 8
987

審査官 後藤 彰

(56)参考文献 特表2017-529642 (JP, A)

国際公開第2016/007136 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 11/44

H03K 19/195