

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97144965

※ 申請日期： 97.11.20 ※IPC 分類：G11C 29/12 (2006.01)

一、發明名稱：(中文/英文)

G11C 16/02 (2006.01)

半導體儲存裝置

SEMICONDUCTOR STORAGE DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司
KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰
NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號
1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 檜田 敏克
HIDA, TOSHIKATSU
2. 菅野 伸一
KANNO, SHINICHI
3. 矢野 浩邦
YANO, HIROKUNI
4. 橘內 和也
KITSUNAI, KAZUYA
5. 淺野 滋博
ASANO, SHIGEHIRO
6. 矢野 純二
YANO, JUNJI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN
6. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2008年02月29日；特願2008-049193

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種半導體儲存裝置作為可有效率地執行一再新操作的一半導體儲存裝置，其包含一非揮發性半導體記憶體，其按區塊來儲存資料，該區塊係一資料抹除單元；及一控制單元，其監控儲存於選自該等區塊之一受監控區塊內之資料的一錯誤計數並再新在其中該錯誤計數等於或大於一臨限值的該受監控區塊內之資料。

六、英文發明摘要：

As a semiconductor storage device that can efficiently perform a refresh operation, provided is a semiconductor storage device comprising a non-volatile semiconductor memory storing data in blocks, the block being a unit of data erasing, and a controlling unit monitoring an error count of data stored in a monitored block selected from the blocks and refreshing data in the monitored block in which the error count is equal to or larger than a threshold value.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體儲存裝置
2	主機裝置
3	控制單元
4	中央處理單元(CPU)
5	隨機存取記憶體(RAM)
6	主機介面(I/F)
7	計時器
8	NAND介面(I/F)
9	匯流排
10	NAND快閃記憶體
21	錯誤校正單元
22	錯誤計算偵測單元
31	第一管理表
32	第二管理表
33	第三管理表
34	第四管理表
35	第五管理表
36	第六管理表
37	第七管理表

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體儲存裝置。特定言之，本發明係關於一種半導體儲存裝置，例如其包括一NAND快閃記憶體。

【先前技術】

NAND快閃記憶體係一種甚至在停止電源供應時仍可保持資訊的非揮發性記憶體。NAND快閃記憶體廣泛流行，因為其具有比其他類型非揮發性記憶體更佳的每位元成本。然而，隨著日益增加的容量及更高的整合度，在寫入資料內的老化劣化與讀取干擾之影響在NAND快閃記憶體中已變成現實。保持資料變得衰退與不適當地重製儲存資料的風險正在日益增加。讀取干擾係指伴隨一讀取程序的資料毀壞。

老化劣化係一現象，其中累積電荷的一浮動閘極隨著時間推移而逐漸失去電荷，從而引起資料錯誤。讀取干擾係一現象，其中一錯誤發生於儲存資料內，因為一微量的電荷累積於相鄰從其讀出資料之一記憶體單元的記憶體單元之一浮動閘極內。

關於老化劣化與讀取干擾的問題可藉由透過使用校正已發生之資料錯誤的一錯誤校正碼來復原正確資料來加以解決。然而，因為在NAND快閃記憶體內的資料依然會錯誤，故在隨著老化劣化與讀取干擾進一步進行而發生超過該錯誤校正碼之一錯誤校正能力的一錯誤時無法復原正確

資料。

可藉由一再新操作來防止儲存於NAND快閃記憶體內的資料完全毀壞並可延長資料保持週期，在該一再新操作中在讀出儲存資料並執行錯誤校正之後執行將資料重寫入NAND快閃記憶體內。

作為一種藉由上述一再新操作來為儲存於NAND快閃記憶體內的資料延長資料保持週期的方法，例如，可考量一種方法，其中計數從NAND快閃記憶體等中讀出資料的次數。接著，在讀出次數到達一指定數目時執行一再新操作。或者，可考量一種方法，其中在一錯誤計數(錯誤計數目)增加時執行一再新操作(例如參考專利文件1)。

然而，在NAND快閃記憶體中，在其中重寫數目越小的一記憶體單元中的資料內越不太可能發生錯誤。在資料內的錯誤不會隨著一特定、固定數量的時間流逝而均勻地增加。類似地，在NAND快閃記憶體中，在資料內的錯誤不會在多於一指定次數讀出資料時始終增加。因此，當基於讀出資料的次數而不是基於一實際資料毀壞狀態的反映來均勻地執行一再新操作時，儘管資料毀壞變得不太可能發生，但仍會不必要地執行該一再新操作。

此外，因為NAND快閃記憶體係使得重寫數目有限的一裝置，故NAND快閃記憶體之壽命由於不必要地執行一再新操作而縮短。

另一方面，當透過監控資料毀壞狀態來執行一再新操作時，例如，執行以監控資料毀壞狀態的一記憶體單元讀出

操作自身要求執行一錯誤校正程序。由此，所執行計算的一數量與功率消耗會增加。

[專利文件1]日本專利申請案公開案第2004-326867號

本發明提供一種可有效率執行一再新操作的半導體儲存裝置。

【發明內容】

一種半導體儲存裝置，其包含：

一非揮發性半導體記憶體，其按區塊來儲存資料，區塊係一資料抹除單元；以及

一控制單元，其監控儲存於選自該等區塊之一受監控區塊內的資料之一錯誤計數並再新在其中該錯誤計數等於或大於一臨限值之受監控區塊內的資料。

【實施方式】

參考該等圖式在下文中詳細解釋依據本發明之一半導體儲存裝置之範例性具體實施例。本發明其實不限於下列具體實施例，且可在一實施階段期間在本發明之範疇內不同地修改構成元件並付諸於實踐。

[第一具體實施例]

圖1係依據一第一具體實施例之一半導體儲存裝置1之一整體組態的一方塊圖。圖1中所示之半導體儲存裝置1係本發明之一具體實施例。本發明並不限於該組態。

依據該第一具體實施例之半導體儲存裝置1包括一控制單元3與一NAND快閃記憶體10。控制單元3包括一中央處理單元(CPU) 4、一隨機存取記憶體(RAM) 5、一主機介面

(I/F) 6、一計時器7、一NAND介面(I/F) 8及一匯流排9。CPU 4運行程式。RAM 5在其內儲存資料、程式等。主機I/F 6與連接至半導體儲存裝置1的一主機裝置2通信。NAND I/F 8控制在控制單元3與NAND快閃記憶體10之間執行的資料傳輸。匯流排9以允許通信的一方式來連接CPU 4、RAM 5、主機I/F 6、計時器7及NAND I/F 8。

NAND快閃記憶體10係藉由排列複數個區塊來組態。一區塊係抹除資料的一單元。一區塊包括複數頁。一頁係寫入及讀取資料的一單元。

半導體儲存裝置1經由主機I/F 6與主機裝置2通信，從而回應來自主機裝置2的一請求來執行在主機裝置2與半導體儲存裝置1之間的資料傳輸。來自主機裝置2之請求的轉譯與半導體儲存裝置1自身之控制係藉由CPU 4轉譯在控制單元3內的RAM 5內所儲存的一程式來實現。主機裝置2所提供的資料係儲存於NAND快閃記憶體10內。控制單元3調度在主機裝置2與NAND快閃記憶體10之間的資料傳輸。

在半導體儲存裝置1內的控制單元3經由主機I/F 6來與主機裝置2通信，從而執行在控制單元3內的RAM 5與主機裝置2之間的資料傳輸。傳輸自主機裝置2的資料係暫時保持於控制單元3內的RAM 5內。以一指定時序，經由NAND I/F 8將該資料寫入至NAND快閃記憶體10。當主機裝置2提出一讀出請求時，在控制單元3中，回應來自CPU 4的一指令來從NAND快取記憶體10中讀取資料，並將所讀取資料儲存於控制單元3內的RAM 5內。控制單元3接著經由主機

I/F 6將儲存於RAM 5內的資料傳輸至主機裝置2。

在資料寫入至NAND快取記憶體10並從其讀取時所使用的NAND I/F 8包括一錯誤校正單元21與一錯誤計算偵測單元22。錯誤校正單元21與錯誤計數偵測單元22用作一錯誤校正電路。錯誤校正單元21提供用於在讀出自NAND快取記憶體10內的一任意區塊之資料中校正一錯誤的一功能。錯誤計數偵測單元22提供用於偵測錯誤校正單元21所校正之錯誤之一錯誤計數的一功能。錯誤校正單元21所附的一錯誤校正碼之一校正能力係兩位元或以上。此處，本具體實施例係在校正能力為八位元的一前提下加以說明。然而，本發明並不限於此錯誤校正能力。

當將RAM 5內的資料寫入至NAND快閃記憶體10時，錯誤校正單元21計算欲寫入資料之錯誤校正碼，並將該錯誤校正碼與該資料一起寫入於NAND快取記憶體10內。當從NAND快取記憶體10中讀出資料時，錯誤校正單元21使用讀出自NAND快取記憶體10的資料以及與該資料一起儲存於NAND快取記憶體10內的錯誤校正碼來校正在該讀取資料內的一錯誤。當校正該錯誤時，錯誤計數偵測單元22偵測所校正錯誤之一錯誤計數並將所偵測錯誤計數儲存於其內。此處，所偵測錯誤之錯誤計數係儲存於錯誤計數偵測單元22內。然而，其中儲存所偵測錯誤之錯誤計數的一位置不限於此。

當錯誤校正單元21校正該錯誤時，NAND I/F 8產生一中斷至CPU 4，從而發出通知，即在儲存於NAND快取記憶

體10內的資料內已發生一錯誤。CPU 4接著存取在NAND I/F 8內的錯誤計數偵測單元22並獲得校正錯誤計數。

在設定一任意時間數量時，計時器7接著內部測量時間。計時器7在所設定時間數量流逝時產生一中斷至CPU 4。由來自計時器7的該中斷向CPU 4通知所設定時間數量之流逝。

NAND快取記憶體10將主機裝置2所提供之資料與由錯誤校正單元21計算自該資料的錯誤校正碼組合地儲存於其內。

RAM 5包括一第一管理表31。第一管理表31在其內記錄關於將會要求在一不久將來執行一再新操作之區塊的資訊。圖2係解釋第一管理表31之一組態的一圖式。第一管理表31包括複數個項目。在NAND快取記憶體10內的一區塊號係登記至每一項目。第一管理表31係按一項目號來存取。記錄於每一項目內的一區塊係視為其中要監控儲存資料之一錯誤計數的一區塊(以下稱為一受監控區塊)。

RAM 5還可包括一第二管理表32、一第三管理表33、一第四管理表34、一第五管理表35、一第六管理表36及一第七管理表37。以下將說明第二管理表32至第七管理表37。

依據該第一具體實施例，當一錯誤發生於回應來自主機裝置2之請求而讀出自NAND快取記憶體10之資料內時，透過圖3中所示之程序來決定是否要監控其內儲存其中已發生錯誤之資料的區塊之錯誤計數。圖3係依據該第一具體實施例一種用於選擇一受監控區塊之程序的一流程圖。

首先，當 CPU 4 從 NAND 快取記憶體 10 內的一區塊讀取資料時，錯誤校正區段 21 校正在讀取資料內的錯誤。錯誤計數偵測單元 22 偵測校正錯誤計數並將所偵測錯誤計數儲存於其內。CPU 4 存取錯誤計數偵測單元 22，獲取在讀取資料內已發生之錯誤的錯誤計數，並檢查該錯誤計數(步驟 S101)。CPU 4 接著檢查該錯誤計數是否等於一第一臨限值或以上(步驟 S102)。該第一臨限值係用以選擇一欲受監控區塊的錯誤計數之一臨限值。此處，例如，該第一臨限值係兩位元。

當在讀出自 NAND 快取記憶體 10 中區塊之資料內已發生之錯誤的錯誤計數等於該第一臨限值或以上(兩位元或更多)(在步驟 S102 是)時，該資料之錯誤計數可能將會由於老化劣化與讀取干擾影響而進一步增加。超過錯誤校正碼之錯誤校正能力的一錯誤可能會發生。因此，CPU 4 選擇該其中已發生錯誤之區塊(其中儲存讀出自 NAND 快取記憶體 10 之資料的區塊)作為受監控區塊並將該區塊登記至第一管理表 31(步驟 S103)。

當在讀出自 NAND 快取記憶體 10 之資料內已發生之錯誤的錯誤計數小於該第一臨限值(小於兩個位元)(在步驟 S102 處否)時，CPU 4 完成該程序而不將該區塊登記至第一管理表 31。

儲存於登記至第一管理表 31 之區塊內的資料具有一較高錯誤計數。該錯誤計數極可能將會由於老化劣化與讀取干擾影響而進一步增加。因此，CPU 4 從 NAND 快取記憶體

10中定期地讀出在登記至第一管理表31之區塊內的資料，檢查該錯誤計數，並監控在該資料之錯誤計數的增加趨勢。當儲存於區塊內之資料內已發生之錯誤的錯誤計數超過一指定數目時CPU 4在該區塊上執行一再新操作。

若僅從回應主機裝置2之一讀取請求而讀出自NAND快取記憶體10的資料中偵測該錯誤計數，則無法偵測儲存於很少從NAND快取記憶體10中讀出之一區塊內的資料中所發生的老化劣化。因此，較佳的係以一任意時序讀取在NAND快取記憶體10中在第一管理表31之所有區域內的資料並檢查該資料之錯誤計數。該任意時序可以係在電力開啟時、每數個月一次的一間隔等。由此，可為儲存於很少讀出之區塊內的資料來監控錯誤計數的增加趨勢。

圖4係一種用於檢查最近選擇為受監控區塊的一區塊是否已登記至第一管理表31之程序的一流程圖。首先，CPU 4檢查在第一管理表31內在一第N個項目(N係在第一管理表31內的一項目號)內所登記的內容(步驟S111)。CPU 4判斷登記至該第N個項目的一區塊是否與最近選擇作為受監控區塊的區塊相同(步驟S112)。

當登記至該第N個項目的區塊係與最近選擇作為受監控區塊的區塊相同(在步驟S112處是)時，CPU 4完成該程序。當登記至該第N個項目的區塊係不與最近選擇作為受監控區塊的區塊相同(在步驟S112處否)時，CPU 4檢查該第N個項目是否為一最後項目(步驟S113)。當該第N個項目並非最後項目(在步驟S113處否)時，CPU 4返回至步驟

S111並將項目號遞增一。當該第N個項目為最後項目(在步驟S113處是)時，CPU 4完成該程序。

此處，當未將最近選擇作為受監控區塊的一區塊登記至第一管理表31時，將此區塊登記至第一管理表31，如圖5中的一流程圖中所示。圖5係一種用於登記受監控區塊至第一管理表31之程序的一流程圖。

首先，CPU 4檢查在第一管理表31內的第N個項目(N為第一管理表31內的一項目號)(步驟S121)並判斷該第N個項目是否為一空白項目(步驟S122)。當該第N個項目為一空白項目(在步驟S122處是)時，CPU 4將受監控區塊登記至該空白項目(步驟S126)並完成該程序。

當該第N個項目並非一空白項目(在步驟S122處否)時，CPU 4檢查該第N個項目是否為最後項目(步驟S123)。當該第N個項目並非最後項目(在步驟S113處否)時，CPU 4返回至步驟S121並將項目號遞增一。當該第N個項目為最後項目(在步驟S123處是)時，CPU 4在登記至第一管理表31的一區塊上強制執行再新操作並在第一管理表31內建立一空白項目(步驟S124)。由於在再新後區塊內的資料之錯誤計數減少，故CPU 4從第一管理表31中刪除該區塊。CPU 4接著將新受監控區塊登記至該空白項目(步驟S125)並完成該程序。

接著，將說明一種監控在登記至第一管理表31之區塊內之資料之錯誤計數的方法。CPU 4在控制單元3中的計時器7內設定一監控間隔週期。每當計時器7產生一中斷時，便

藉由圖6中的一流程圖中所示的一方法來監控錯誤計數。圖6係一種用於監控登記至第一管理表31之區塊之錯誤計數之程序的一流程圖。

首先，CPU 4檢查在第一管理表31內的第N個項目(N為在第一管理表31內的一項目號)(步驟S131)。CPU 4判斷是否已將一區塊登記至該第N個項目(步驟S132)。當未登記一區塊(在步驟S132處否)時，CPU 4檢查該第N個項目是否為最後項目(步驟S136)。當該第N個項目並非最後項目(在步驟S136處否)時，CPU 4返回至步驟S131，並將項目號遞增一。當該第N個項目為最後項目(在步驟S136處是)時，CPU 4完成該程序。

在步驟S132處，當已登記一區塊(在步驟S132處是)時，CPU 4將登記至該第N個項目之區塊內的資料從NAND快閃記憶體10讀出至控制單元3內的RAM 5。接下來，錯誤校正單元21校正在該讀取資料內的一錯誤。錯誤計數偵測單元22偵測所校正錯誤計數並將該偵測錯誤計數儲存於其內。CPU 4存取錯誤計數偵測單元22，獲得在該讀取資料內已發生之錯誤的錯誤計數，並檢查該錯誤計數(步驟S133)。CPU 4接著判斷該讀取資料之錯誤計數是否等於一第二臨限值或以上(步驟S134)。該第二臨限值係用以藉由一預定方法來選擇其中欲重寫(再新)資料之一區塊的錯誤計數之一臨限值。此處，例如，該第二臨限值係一四位元者。該第二臨限值係將錯誤校正碼之校正能力考量在內來加以設定。

當該錯誤計數小於該第二臨限值(小於四位元)(在步驟S134處否)時，CPU 4檢查該第N個項目是否為最後項目(步驟S136)。當該第N個項目並非最後項目(在步驟S136處否)時，CPU 4返回至步驟S131並將項目號遞增一。當該第N個項目為最後項目(在步驟S136處是)時，CPU 4完成該程序。

在步驟S134處，當該錯誤計數等於該第二臨限值或以上(四位元或以上)(在步驟S134處是)時，CPU 4在登記至該第N個項目的區塊上執行一再新操作(步驟S135)。CPU 4接著檢查該第N個項目是否為最後項目(步驟S136)。當該第N個項目並非最後項目(在步驟S136處否)時，CPU 4返回至步驟S131並將項目號遞增一。當該第N個項目為最後項目(在步驟S131處是)時，CPU 4完成該程序。

依據該第一具體實施例，用於再新登記於第一管理表31內之受監控區塊的一錯誤計數臨限值(第二臨限值)係設定以大於用於將一區塊登記至第一管理表31為受監控區塊的一錯誤計數臨限值(第一臨限值)。此設定允許監控一具有一較低錯誤計數的區塊並再新具有一較高錯誤計數的一區塊，因為存在無法復原具有一較高錯誤計數之一區塊內之資料的一可能性。

為了在區塊上執行再新操作，首先將在欲再新區塊內的所有資料從NAND快閃記憶體10讀出至控制單元3內的RAM 5。抹除在NAND快閃記憶體10內的該區塊。接著，在抹除該區塊之後，將遷移至RAM 5的所有資料重寫於該

刪除區塊內。在再新後區塊內的資料之錯誤計數減少。因此，藉由圖7中所示的一方法將該區塊從第一管理表31中刪除，並從受監控區塊中排除。圖7係一種用於將再新區塊從第一管理表31中刪除之程序的一流程圖。

首先，CPU 4檢查在第一管理表31內的第N個項目(N為在第一管理表31內的一項目號)(步驟S141)。CPU 4判斷該登記區塊是否為一標的區塊，即一再新後區塊(步驟S142)。當該區塊並非標的區塊(在步驟S142處否)時，CPU 4檢查該項目是否為最後項目(步驟S144)。當該項目並非最後項目(在步驟S144處否)時，CPU 4返回至步驟S141並將項目號遞增一。當該項目為最後項目(在步驟S144處是)時，CPU 4完成該程序。

在步驟S142處，當該登記區塊為標的區塊(在步驟S142處是)時，CPU 4從第一管理表31中將登記於該第N個項目中的區塊刪除(步驟S143)並完成該程序。資料可重寫入另一空區塊內而不是重寫入其中該資料最初寫入的區塊內。

如上所說明，在依據該第一具體實施例之半導體儲存裝置1中，由於老化劣化與讀取干擾影響，儲存將要求在不久將來執行再新操作之資料的NAND快閃記憶體10內區塊係基於在儲存於該區塊內之資料中所發生之錯誤的錯誤計數來加以選擇。所選定區塊係登記於第一管理表31內作為資料錯誤計數受監控的受監控區塊。接著，定期讀取在該登記至第一管理表31之區塊內的資料並檢查錯誤計數。當該資料之錯誤計數超過一指定數目時，執行再新操作。依

此方式，在該區塊上執行再新操作的一間隔可在錯誤校正碼之校正能力之一範圍內延長，從而減少所執行再新操作之數目。可控制重寫NAND快閃記憶體10之次數。由此，可藉由更少頻繁地執行再新操作來更確定地防止老化劣化與讀取干擾所引起之資料毀壞。而且，可實現一半導體儲存裝置，其中抑制在再新操作期間的一處理數量及功率消耗。

依據該第一具體實施例之半導體儲存裝置1，用於再新登記至第一管理表31之受監控區塊的錯誤計數臨限值(第二臨限值)係大於用於登記一區塊至第一管理表31作為受監控區塊的錯誤計數臨限值(第一臨限值)。由此，可再新在具有一較高錯誤計數之受監控區塊中的區塊，從而防止其中無法復原資料的一實例。

[第二具體實施例]

依據一第二具體實施例，說明一受監控區塊係基於在圖1之半導體儲存裝置1中儲存於NAND快閃記憶體10中一區塊內之資料的一讀出數量來加以選擇之一情況。依據該第二具體實施例的一種登記受監控區塊之方法不同於依據該第一具體實施例者。依據該第二具體實施例之其他態樣係與依據該第一具體實施例該等者相同。

圖8係解釋一第二管理表32之一組態的一圖式。第二管理表32係在其內儲存於NAND快閃記憶體10中一區塊內的資料之一讀出數量的一管理表。第二管理表32係組態於RAM 5內。第二管理表32儲存在NAND快閃記憶體10中的

與讀取干擾之影響而進一步增加。超過一錯誤校正碼之一錯誤校正能力的一錯誤可能會發生。因此，CPU 4將從其讀出資料的區塊登記至第一管理表31作為受監控區塊(步驟S153)。當來自區塊之資料的讀出數量小於該第三臨限值(在步驟S152處否)時，CPU 4完成該程序而不將該區塊登記至第一管理表31。一種監控登記至第一管理表31之區塊內資料之錯誤計數的方法係類似於依據該第一具體實施例者。省略其詳細說明。

如上所說明，在依據該第二具體實施例之半導體儲存裝置1中，由於老化劣化與讀取干擾影響，儲存將要求在不久將來執行再新操作之資料的在NAND快閃記憶體10中的區塊係基於在儲存於該區塊內之資料的讀出數量來加以選擇。所選定區塊係登記於第一管理表31內作為資料錯誤計數受監控的受監控區塊。接著，定期讀取在登記至第一管理表31之區塊內的資料並檢查錯誤計數。當資料的錯誤計數超過一指定數目時，執行再新操作。依此方式，在區塊上執行再新操作的一間隔可在錯誤校正碼之校正能力之一範圍內延長，從而減少所執行再新操作之數目。可控制重寫NAND快閃記憶體10之次數。由此，可藉由更少頻繁地執行再新操作來更確定地防止老化劣化與讀取干擾所引起之資料毀壞。而且，可實現一半導體儲存裝置，其中抑制在再新操作期間的一處理數量及功率消耗。

(第三具體實施例)

依據一第三具體實施例，說明一受監控區塊係基於將資

料寫入於圖1之半導體儲存裝置1中的NAND快閃記憶體10內一區塊的一寫入時間來加以選擇之一情況。依據該第三具體實施例之一種登記受監控區塊之方法不同於依據該第一具體實施例者。依據該第三具體實施例之其他態樣係與依據該第一具體實施例該等者相同。

圖10係解釋一第三管理表33之一組態的一圖式。第三管理表33係在其內儲存將資料寫入NAND快閃記憶體10中一區塊內之一寫入時間的一管理表。第三管理表33係組態於RAM 5內。第三管理表33儲存在NAND快閃記憶體10中的該等區塊號之每一者以及將資料寫入該等區塊內的寫入時間。

當CPU 4將資料寫入NAND快閃記憶體10中的區塊內時，CPU 4在第三管理表33內儲存一寫入時間。每當抹除在該NAND快閃記憶體中的區塊內的資料時清除儲存於第三管理表33內的寫入時間之一值。除了半導體儲存裝置1之一操作時間外，透過使用該NAND快閃記憶體中的總抹除數目等，僅要求儲存於第三管理表33內的寫入時間指示在寫入資料的一時間點與一目前時間之間的一時間差異。

依據該第三具體實施例，當執行用於回應來自主機裝置2之一請求從NAND快閃記憶體10中讀取資料的一讀出程序時，透過圖11中所示的程序來測量從將資料寫入區塊內時起流逝時間的一數量。決定欲監控錯誤計數的一區塊。圖11係依據該第三具體實施例之一受監控區塊選擇程序的一流程圖。

首先，當執行用於回應來自主機裝置2之請求從NAND快閃記憶體10中讀取資料的讀出程序時，CPU 4計算在欲從其讀取資料之區塊上已執行一最後寫入操作的儲存於第三管理表33內的一寫入時間與一目前時間之間的一差異。換言之，CPU 4計算欲從其讀取資料之區塊的寫入時間起流逝時間的一數量(步驟S161)。CPU 4接著檢查從區塊之寫入時間起的流逝時間是否等於一第四臨限值或以上(步驟S162)。該第四臨限值係用以選擇欲受監控區塊的從區塊之一寫入時間起流逝時間之一數量的一臨限值。此處，例如，該第四臨限值係一個月。

當從區塊之寫入時間起的流逝時間等於該第四臨限值或以上(在步驟S162處是)時，一錯誤計數可能將會由於老化劣化與讀取干擾之影響而進一步增加。超過一錯誤校正碼之一錯誤校正能力的一錯誤可能會發生。因此，CPU 4將從其讀取資料的區塊登記至第一管理表31作為受監控區塊(步驟S163)。當從區塊之寫入時間起的流逝時間小於該第四臨限值(在步驟S162處否)時，CPU 4完成該程序而不將該區塊登記至第一管理表31。一種監控登記至第一管理表31之區塊內資料之錯誤計數的方法係類似於依據該第一具體實施例者。省略其詳細說明。

若僅針對回應主機裝置2之一讀取請求而讀出自NAND快取記憶體10的資料來檢查從區塊之寫入時間起的流逝時間，則無法偵測在儲存於很少讀出自NAND快取記憶體10之一區塊中的資料內所發生的老化劣化。因此，較佳的係

以一任意時序來讀取在NAND快取記憶體10中在第一管理表31之所有區域內的資料並檢查從該等區塊之寫入時間起的流逝時間。該任意時序可以係在電力開啟時、每數個月一次的一間隔等。由此，可為儲存於很少讀取之區塊內的資料來監控錯誤計數的增加趨勢。

如上所說明，在依據該第三具體實施例之半導體儲存裝置1中，由於老化劣化與讀取干擾影響，儲存將要求在不久將來執行一再新操作之資料的在NAND快閃記憶體10中的區塊係基於在從區塊內之一最後寫入時間起的流逝時間來加以選擇。該選定區塊係登記於第一管理表31內作為資料錯誤計數受監控的受監控區塊。接著，定期讀取在登記至第一管理表31之區塊內的資料並檢查錯誤計數。當資料之錯誤計數超過一指定數目時，執行再新操作。依此方式，在區塊上執行再新操作的一間隔可在錯誤校正碼之校正能力之一範圍內延長，從而減少所執行再新操作之數目。可控制重寫NAND快閃記憶體10之次數。由此，可藉由更少頻繁地執行再新操作來更確定地防止老化劣化與讀取干擾所引起之資料毀壞。而且，可實現一半導體儲存裝置，其中抑制在再新操作期間的一處理數量及功率消耗。

(第四具體實施例)

依據一第四具體實施例，說明一受監控區塊係基於將資料寫入於圖1之半導體儲存裝置1中的NAND快閃記憶體10內區塊所採取的一序列來加以選擇之一情況。依據該第四具體實施例之一種登記受監控區塊之方法不同於依據該第

一具體實施例者。依據該第四具體實施例之其他態樣係與依據該第一具體實施例該等者相同。

圖12係解釋一第四管理表34之一組態的一圖式。第四管理表34係在其內儲存將資料寫入在NAND快閃記憶體10中該等區塊內所採取之一序列的一管理表。第四管理表34係組態於RAM 5內。第四管理表34儲存在NAND快閃記憶體10中的該等區塊號之每一者以及其中將資料寫入NAND快閃記憶體10內的對應序號。

當CPU 4將資料寫入NAND快閃記憶體10內的一區塊內時，CPU 4將其中該資料寫入NAND快閃記憶體10內之序號儲存於第四管理表34內並更新第四管理表34。第四管理表34較佳的係藉由一連結結構等來加以實現，使得每當執行一寫入程序時甚至在更新寫入序號時欲執行的程序仍不會增加。由此，可減少CPU 4上所放置之處理負載並可縮短處理時間。

依據該第四具體實施例，當執行用於回應來自主機裝置2之一請求來將資料寫入NAND快閃記憶體10內的一寫入程序時，儲存將資料寫入NAND快閃記憶體10中該等區塊的一序號並透過圖13中所示之程序來加以更新該等序號。欲監控錯誤計數的一區塊係基於寫入序號來加以決定。圖13係依據該第四具體實施例之一受監控區塊選擇程序的一流程圖。

首先，當執行用於回應來自主機裝置2之請求來將資料寫入NAND快閃記憶體10中區塊的寫入程序時，CPU 4將

寫入序號儲存於第四管理表34內並更新該等寫入序號(步驟S171)。CPU 4接著檢查對應於第四管理表34內的一第N個寫入序號(N為在第四管理表34內的一寫入序號)的一區塊(步驟S172)。CPU 4檢查該寫入序號是否等於一第五臨限值或以下，或換言之該區塊是否比該第五臨限值更舊(步驟S173)。該第五臨限值係用以選擇欲受監控區塊的一寫入序列之一臨限值。此處，例如，該第五臨限值係從具有一最舊(最小)寫入序號之一區塊起的十個區塊。

當該寫入序號等於該第五臨限值或以下或換言之該區塊係比該第五臨限值更舊(在步驟S173處是)時，一錯誤計數可能將會由於老化劣化與讀取干擾之影響而進一步增加。超過一錯誤校正碼之一錯誤校正能力的一錯誤可能會發生。因此，CPU 4檢查該區塊是否登記至第一管理表31(步驟S174)。當該區塊未登記至第一管理表31(在步驟S174處否)時，該CPU將該區塊登記至第一管理表31作為受監控區塊(步驟S175)。換言之，該CPU將比該第五臨限值進一步更晚寫入的區塊登記於第一管理表31內作為受監控區塊，並檢查改良資料之錯誤計數。

在步驟S174處，當已將該區塊登記至第一管理表31(在步驟S174處是)時，CPU 4檢查該第N個寫入序號是否為一最後寫入序號(步驟S176)。當該第N個寫入序號並非最後寫入序號(在步驟S176處否)時，CPU 4返回至步驟S172並將該寫入序號遞增一。當該第N個寫入序號為最後寫入序號(在步驟S176處是)時，CPU 4完成該程序。

在步驟S173處，當該寫入序號不等於該第五臨限值或換言之係比該第五臨限值更新(在步驟173處否)時，則CPU 4檢查該N個寫入序號是否為最後寫入序號(步驟S176)。當該第N個寫入序號並非最後寫入序號(在步驟S176處否)時，CPU 4返回至步驟S172並將該寫入序號遞增一。當該第N個寫入序號為最後寫入序號(在步驟S176處是)時，CPU 4完成該程序。一種監控登記至第一管理表31之區塊內資料之錯誤計數的方法係類似於依據該第一具體實施例者。省略其詳細說明。

如上所說明，在依據該第四具體實施例之半導體儲存裝置1中，由於老化劣化與讀取干擾影響，儲存將要求在不久將來執行一再新操作之資料的在NAND快閃記憶體10中的區塊係基於其中將該等資料寫入於NAND快閃記憶體10中的該等區塊內的序列來加以選擇。所選定區塊係登記於第一管理表31內作為資料內錯誤計數受監控的受監控區塊。接著，定期讀取在登記至第一管理表31之區塊內的資料並檢查錯誤計數。當資料之錯誤計數超過一指定數目時，執行再新操作。依此方式，在區塊上執行再新操作的一間隔可在錯誤校正碼之校正能力之一範圍內延長，從而減少所執行再新操作之數目。可控制重寫NAND快閃記憶體10之次數。由此，可藉由更少頻繁地執行再新操作來更確定地防止老化劣化與讀取干擾所引起之資料毀壞。而且，可實現一半導體儲存裝置，其中抑制在再新操作期間的一處理數量及功率消耗。

(第五具體實施例)

依據一第五具體實施例，說明在依據該第一具體實施例至該第四具體實施例之半導體儲存裝置1中將一區塊登記至第一管理表31時一空白項目不可用時所執行的一程序。

圖14係解釋一第五管理表35之一組態的一圖式。第五管理表35係在其內儲存登記至第一管理表31之受監控區塊之一登記序列的一管理表。第五管理表35係組態於RAM 5內。第五管理表35儲存登記至第一管理表31之受監控區塊之數目以及其中該等受監控區塊登記至第一管理表31之一序列的序號(登記序號)。

當將該等受監控區塊登記至第一管理表31時，該等受監控區塊係循序儲存使得更早登記的一受監控區塊在第一管理表31內具有一更低項目號。依據該第五具體實施例，每當CPU 4將一受監控區塊登記至第一管理表31時，CPU 4將該受監控區塊之一區塊號登記至第五管理表35。第五管理表35較佳的係藉由一連結表來加以實現，因為每當將一受監控區塊登記至第一管理表31或從中刪除時CPU 4會更新該等登記序號。由此，可減少CPU 4上所放置之處理負載並可縮短處理時間。

以下將參考圖15來說明在將受監控區塊登記至第一管理表31時一空白項目不可用時所執行的一種用於登記一受監控區塊至第一管理表31的登記程序。圖15係依據該第五具體實施例之一種用於登記受監控區塊至第一管理表31之登記程序的一流程圖。

首先，當執行用於登記受監控區塊至第一管理表31之登記程序時，CPU 4檢查登記至第五管理表35之區塊的一登記區塊數是否小於一第六臨限值(步驟S181)。此處，該第六臨限值係可登記至第一管理表31之區塊的一最大數目與可登記至第五管理表35之區塊的一最大數目。因此，登記至第五管理表35之區塊的登記區塊數小於該第六臨限值指示一空白項目在第一管理表31內可用。因此，登記至第五管理表35之區塊的登記區塊數不小於該第六臨限值指示一空白項目在第一管理表31內不可用。

當登記至第五管理表35之區塊的登記區塊數小於該第六臨限值或換言之空白項目在第一管理表31內可用(在步驟S181處是)時，CPU 4將受監控區塊登記至第一管理表31內的該空白項目(步驟S184)。CPU 4將受監控區塊之區塊號進一步登記至第五管理表35並完成該程序。

當登記至第五管理表35之區塊的登記區塊數小於該第六臨限值(當一空白項目在第一管理表31內不可用時)(在步驟S181處否)時，CPU 4參照第五管理表5並再新在第五管理表35內登記序號最早的受監控區塊內之資料(步驟S182)。換言之，CPU 4再新在已最早登記至第一管理表31與第五管理表35之區塊內的資料。

CPU 4接著從第一管理表31與第五管理表35中刪除該再新後區塊(步驟S183)。隨後，CPU 4將新受監控區塊登記至第一管理表31內的空白項目。CPU 4接著將登記至第一管理表31內空白項目的受監控區塊登記至第五管理表

35(步驟S184)。

如上所說明，在依據該第五具體實施例之半導體儲存裝置1中，由於在第一管理表31內的空白項目受到管理，甚至在將受監控區塊登記至第一管理表31時一空白項目不可用時仍可將一新受監控區塊登記至第一管理表31。可管理該等儲存錯誤計數受監控之資料的受監控區塊。

[第六具體實施例]

依據一第六具體實施例，說明在依據該第一具體實施例至第五具體實施例之半導體儲存裝置1中從第一管理表31刪除已變得排除資料錯誤計數監控之一區塊時所執行的一程序。

圖16係解釋一第六管理表36之一組態的一圖式。第六管理表36係在其內儲存在NAND快閃記憶體10中不在其中儲存欲保持資料之區塊的一管理表。第六管理表36係組態於RAM 5內。在第六管理表36內，在每一項目內登記在NAND快閃記憶體10中區塊之區塊號中不在其內儲存欲保持資料之一區塊的一區塊號。第六管理表36係按項目號來加以存取。

CPU 4從第六管理表36獲取關於不在其內儲存欲保持資料之一區塊的資訊並由此可將一新資料寫入該區塊內。CPU 4還登記其中不再向第六管理表36呈現欲保持資料的區塊。其中不再呈現欲保持資料的一狀態主要在寫入一新資料時發生。例如，當將一位址A之資料X儲存於NAND快閃記憶體10內的一區塊1內時，在其中執行控制以在主機裝

置2要求將位址A之資料X重寫至資料Y時將位址A之資料Y寫入至另一區塊(諸如一區塊100)的一控制方法中，儲存於區塊1內的位址A之先前資料X不再為欲保持資料(無效資料)。

以下將參考圖17來說明從第一管理表31中刪除已變得排除資料錯誤計數監控之受監控區塊時所執行的一程序。圖17係依據該第六具體實施例之一種用於從該第一管理表中刪除排除錯誤計數監控之一區塊之刪除程序的一流程圖。

首先，當產生其中不再呈現欲保持資料之一區塊時，CPU 4檢查在第一管理表31內的一第N個項目(N為第一管理表31內的一項目號)(步驟S191)。CPU 4判斷登記至該第N個項目的一區塊是否為一標的區塊(其中不再呈現欲保持資料的一排除監控區塊)(步驟S192)。當該區塊並非標的區塊(在步驟S192處否)時，CPU 4判斷該項目是否為一最後項目(步驟S193)。

此處，當該項目並非最後項目(在步驟S193處否)時，CPU 4返回至步驟S191並將項目號遞增一。當該項目為最後項目(在步驟S193處是)時，CPU 4完成該程序。

在步驟S192處，當該區塊為標的區塊(在步驟S192處是)時，CPU 4執行一刪除程序以將該區塊從第一管理表31中刪除。CPU 4將該區塊之區塊號登記至第六管理表36並完成該程序(步驟S194)。登記至第六管理表36的區塊不要求更新，因為該區塊在其內不儲存欲保持資料。

如上所說明，在依據該第六具體實施例之半導體儲存裝

置1中，當(例如)將新資料寫入在NAND快閃記憶體中其中儲存資料之區塊內時產生排除監控且其中不再呈現欲保持資料之一區塊時，可將該排除監控區塊從第一管理表31中確定地刪除，且可管理在第一管理表31內的空白項目。

[第七具體實施例]

依據一第七具體實施例，說明在依據該第一具體實施例至該第六具體實施例之半導體儲存裝置1中的一種監控登記至第一管理表31之一受監控區塊的方法。

圖18係解釋一第七管理表37之一組態的一圖式。第七管理表37係在其內儲存在NAND快閃記憶體10中登記至第一管理表31之區塊之錯誤計數的一管理表。第七管理表37係組態於RAM 5內。第七管理表37包括複數個項目。登記至第一管理表31之一區塊之一區塊數目與從儲存於該區塊之資料中所偵測的一錯誤計數係登記至每一項目。第七管理表37係按一項目號來存取。每當執行錯誤計數監控時更新登記至第七管理表37的該等錯誤計數之值。

以下將參考圖19來說明監控登記至第一管理表31之一受監控區塊之錯誤計數的方法。圖19係在登記至第一管理表31之受監控區塊上所執行的一種錯誤計數監控程序的一流程圖。

CPU 4在控制單元3內的計時器7內設定一監控間隔週期。每當由計時器7產生一中斷時執行在登記至第一管理表31之受監控區塊上的該錯誤計數監控程序。計時器7內部測量該CPU設定該監控間隔週期的時間。在該設定週期

流逝之後，計時器7產生一中斷至CPU 4。

當計時器7產生該中斷時，CPU 4檢查第七管理表37之一第N個項目(N為第七管理表37內的一項目號)(步驟S201)。CPU 4判斷是否已將一區塊登記至該第N個項目(步驟S202)。當未登記一區塊(在步驟S202處否)時，CPU 4判斷該第N個項目是否為一最後項目(步驟S206)。當該第N個項目並非最後項目(在步驟S206處否)時，CPU 4返回至步驟S201並將項目號遞增一。當該第N個項目為最後項目(在步驟S206處是)時，CPU 4完成該錯誤計數監控程序。

在步驟S202處，當已登記一區塊(在步驟S202處是)時，CPU 4檢查登記至第七管理表37之區塊的一錯誤計數(位元數目)(步驟S203)。CPU 4判斷該錯誤計數是否等於一第七臨限值或以上(步驟S204)。該第七臨限值係用以在該等受監控區塊中選擇欲在其上執行一錯誤計數偵測程序的一區塊。此處，該第七臨限值係(例如)四位元的錯誤。

當該錯誤計數小於該第七臨限值(小於四位元)(在步驟S204處否)時，CPU 4檢查該第N個項目是否為最後項目(步驟S206)。當該第N個項目並非最後項目(在步驟S206處否)時，CPU 4返回至步驟S201並將項目號遞增一。當該第N個項目為最後項目(在步驟S206處是)時，CPU 4完成該錯誤計數監控程序。

在步驟S204處，當該錯誤計數為該第七臨限值或以上(四位元或以上)(在步驟S204處是)時，CPU 4將該區塊內的資料從NAND快閃記憶體10中讀出至控制單元3內的RAM 5

並在該資料上執行一錯誤計數偵測程序(步驟S205)。CPU 4使用一偵測到的錯誤計數來更新第七管理表37。基於該偵測到的錯誤計數，CPU 4執行參考圖6所說明的依據該第一具體實施例之再新操作。

接下來，CPU 4檢查該第N個項目是否為最後項目(步驟S206)。當該第N個項目並非最後項目(在步驟S206處否)時，CPU 4返回至步驟S201並將該項目號遞增一。當該第N個項目為最後項目(在步驟S206處是)時，CPU 4完成該錯誤計數監控程序。

每當執行該錯誤計數偵測程序時設定為以上所說明第七臨限值的一值會減少，從而逐漸促使在具有一較低錯誤計數的區塊上執行錯誤計數偵測。由此，在一較短循環上每次在具有一較高錯誤計數之區塊上執行該錯誤計數偵測。在一較長循環上在具有一較低錯誤計數之區塊上執行該錯誤計數偵測。設定為該第七臨限值的該值在該值減少至一預定、指定值之後返回至一初始值。

如上所說明，在依據該第七具體實施例之半導體儲存裝置1中，是否在一受監控區塊上最近執行一錯誤計數偵測程序係基於登記至第七管理表37之錯誤計數來針對登記至第一管理表31的該等受監控區塊來加以判斷。在一較短循環上在具有一較高錯誤計數之區塊上執行該錯誤計數偵測。在一較長循環上在具有一較低錯誤計數之區塊上執行該錯誤計數偵測。由此，可基於登記至第七管理表37的錯誤計數來改變登記至第一管理表31的該等受監控區塊之監

控間隔。可確定地監控在登記至第一管理表31之受監控區塊中在最可能不久將來要求更新之一區塊內的資料之錯誤計數。同時，可降低錯誤計數監控之頻率。由此，可抑制用以執行錯誤計數監控所要求的一計算數量及功率消耗。

[第八具體實施例]

依據一第八具體實施例，將說明依據該第七具體實施例之一錯誤計數監控循環。依據該第八具體實施例，關於在登記至第一管理表31之受監控區塊上執行的一監控程序，一上限係設定用於具有一較低錯誤計數之區塊的一監控循環(在計時器7中設定的監控間隔週期)。

此處，該監控循環之上限係設定以短於從儲存於一區塊內之資料的一錯誤計數超過該第一臨限值直至儲存於該區塊內之資料的錯誤計數到達錯誤校正區段21之一校正能力之一上限為止所要求的一時間數量。該監控循環可預先設定至根據半導體儲存裝置1之一錯誤發生狀態及各種條件(諸如一環境溫度範圍)預測的一週期。

由於如上所說明在具有一較低錯誤計數之區塊的監控循環上放置該上限，可在登記至第一管理表31之區塊內防止一實例，其中因為該區塊具有一較低錯誤計數，在該資料內的該等錯誤會因為持續一較長時段不監控該資料之錯誤計數而超過錯誤校正區段21之錯誤校正能力，且無法重建正確資料。

可以一任意組合來任意選擇並使用依據以上所說明的第一具體實施例至第八具體實施例所提供的功能。

[範例]

將說明在依據以上所說明具體實施例之每一者之半導體儲存裝置1為一固態驅動器(SSD)時的一範例。圖20係一SSD 100之一組態的一方塊圖。

SSD 100包括複數個NAND快閃記憶體(NAND記憶體)10、一動態隨機存取記憶體(DRAM)101、一驅動控制電路102及一電源供應電路103。該等NAND記憶體10係用以儲存資料。DRAM 101係用於資料傳輸並用作一工作區域。驅動控制電路102控制該等NAND記憶體10與DRAM 101。驅動控制電路102輸出一控制信號用於控制在SSD 100外面提供的一發光二極體(LED)。該LED係用以指示狀態。

SSD 100經由一先進技術附件(ATA)介面(I/F)往返於一主機裝置(諸如一個人電腦)來發送並接收資料。SSD 100經由一RS-232C介面(I/F)往返於一除錯裝置來發送並接收資料。

電源供應電路103接收外部電源供應並使用該外部電源供應來產生複數個內部電源供應。該等內部電源供應係供應至SSD 100內的每一區段。電源供應電路103偵測該外部電源供應之一上升或下降並產生一電力開啟重設信號。該電源開啟重設信號係傳送至裝置控制電路102。

圖21係驅動控制電路102之一組態的一方塊圖。驅動控制電路102包括一資料存取匯流排104、一第一電路控制匯流排105及一第二電路控制匯流排106。

第一電路控制匯流排105係連接至控制整體驅動控制電路102的一處理器107。一啟動唯讀記憶體(ROM) 108還經由一ROM控制器109來連接至第一電路控制匯流排105。啟動ROM 108儲存每一管理程式的一啟動程式(韌體[FW])。一時脈控制器110還連接至第一電路控制匯流排105。時脈控制器110從電源供應電路103接收該電力開啟重設信號並向每一區段供應一重設信號與一時脈信號。

第二電路控制匯流排106係連接至第一電路控制匯流排105。一平行IO(PIO)電路111與一串列IO(SIO)電路112係連接至第二電路控制匯流排106。PIO電路111供應一狀態指示信號至用以指示狀態的LED。SIO電路112控制該RS-232C介面。

一ATA介面控制器(ATA控制器)113、一第一錯誤檢查及校正(ECC)電路114、一NAND控制器115及一DRAM控制器119係連接至資料存取匯流排104與第一電路控制匯流排105兩者。ATA控制器113經由該ATA介面往返於該主機裝置來發送並接收資料。一靜態隨機存取記憶體(SRAM)120係經由一SRAM控制器121來連接至資料存取匯流排104。SRAM 120係用作一資料工作區域。

NAND控制器115包括一NAND介面(I/F)118、一第二ECC電路117及一直接記憶體存取(DMA)傳輸控制DMA控制器116。NAND介面(I/F)118執行用於介接四個NAND記憶體10的一程序。DMA傳輸控制DMA控制器116執行在該等NAND記憶體10與DRAM 101之間的存取控制。

圖 22 係一處理器 107 之一組態的一方塊圖。處理器 107 包括一資料管理單元 122、一 ATA 命令處理單元 123、一安全管理單元 124、一啟動載入器 125、一初始化管理單元 126 及一除錯支援單元 127。

資料管理單元 122 經由 NAND 控制器 115 與第一 ECC 電路 114 來控制在該等 NAND 記憶體 10 與 DRAM 101 之間的資料傳輸以及與一 NAND 晶片相關的各種功能。

ATA 命令處理單元 123 經由 ATA 控制器 113 與 DRAM 控制器 119 來與資料管理單元 122 協作地執行一資料傳輸程序。安全管理單元 124 與資料管理單元 122 與 ATA 命令處理單元 123 協作地管理各安全資訊件。在電力啟動時啟動載入器 125 將每一管理程式 (FW) 從 NAND 記憶體 10 載入至 SRAM 120。

初始化管理單元 126 執行驅動控制電路 102 內的每一控制器及電路之初始化。除錯支援單元 127 處理經由該 RS-232C 介面供應自一外部來源的除錯資料。

圖 23 係上面安裝 SSD 100 之一可攜式電腦 200 之一範例的一透視圖。可攜式電腦 200 包括一主體 201 與一顯示單元 202。顯示單元 202 包括一顯示外殼 203 與容納於顯示外殼 203 內的一顯示裝置 204。

主體 201 包括一殼體 205、一鍵盤 (KB) 206 及用作一指向裝置的一觸控墊 207。殼體 205 在其內容納一主電路板、一光碟機 (ODD)、一卡插槽、SSD 100 等。

該卡插槽係相鄰殼體 205 之一周邊壁而提供。面向該卡

插槽的一開口208係提供於該周邊壁上。一使用者可透過開口208將一額外裝置從殼體205外面插入該卡插槽內並從中移除。

SSD 100可取代一傳統硬碟機(HDD)來安裝於可攜式電腦200內。或者，SSD 100可藉由插入於可攜式電腦200內所提供的卡插槽內來用作一額外裝置。

圖24係上面安裝SSD 100之可攜式電腦200之一系統組態之一範例的一圖式。可攜式電腦200包括一CPU 301、一北橋302、一主記憶體303、一視訊控制器304、一音訊控制器305、一南橋309、一基本輸入輸出系統唯讀記憶體(BIOS-ROM)310、SSD 100、一ODD單元311、一嵌入式控制器/鍵盤控制器整合晶片(IC)(EC/KBC) 312、一網路控制器313等。

CPU 301係提供以控制可攜式電腦200之操作的一處理器。CPU 301運行從SSD 100載入至一主記憶體303上的一作業系統(OS)。而且，當ODD單元311可執行在從載入光碟讀取與寫入至載入光碟之間的至少一程序時，CPU 301執行該等程序。CPU 301還運行儲存於BIOS-ROM 310內的一系統BIOS。系統BIOS係用於在可攜式電腦200內執行硬體控制的一程式。

北橋302係連接CPU 301之一區域匯流排與南橋309的一橋接器裝置。存取控制主記憶體303的一記憶體控制器還包括於北橋302內。北橋302還提供用於經由一加速圖形埠(AGP)匯流排等來與視訊控制器304及音訊控制器305通信

的一功能。

主記憶體303暫時儲存程式及資料，並充當一工作區域。主記憶體303係(例如)由一DRAM來組態。

視訊控制器304係一視訊重製控制器，其控制用作可攜式電腦200之一顯示監視器的顯示單元202之一液晶顯示器(LCD) 316。

音訊控制器305係一音訊重製控制器，其控制在可攜式電腦200上的一揚聲器306。

南橋309控制在一低接針計數匯流排314上的每一裝置以及在一周邊組件互連匯流排315上的每一裝置。南橋309還經由該ATA介面來控制SSD 100。SSD 100係儲存各種軟體及資料的一記憶體裝置。

可攜式電腦200按區段單元來存取SSD 100。可攜式電腦200經由該ATA介面來將一寫入命令、一讀出命令、一快閃命令等輸入至SSD 100內。

南橋309還提供用於存取控制BIOS-ROM 310與ODD單元311的一功能。

EC/KBD 312係一單晶片微電腦，其中整合用於電力管理的一嵌入式控制器與用於控制KB 206及觸控墊207的一鍵盤控制器。EC/KBD 312提供用於回應使用者的一電力按鈕之操作來開啟並關閉可攜式電腦200之電源供應的一功能。網路控制器313係與一外部網路(諸如網際網路)通信的一通信裝置。

依據該等以上所說明具體實施例之每一者的半導體儲存

裝置1不限於該SSD。例如，半導體儲存裝置1可組態為由一安全數位(SD)卡(註冊商標)表示的一記憶卡。當半導體儲存裝置1為記憶卡時，除了該可攜式電腦外，半導體儲存裝置1可應用於各種電子裝置，諸如一行動電話、一個人數位助理(PDA)、一數位靜物相機及一數位攝錄影機。

【圖式簡單說明】

圖1係依據本發明之一第一具體實施例之一半導體儲存裝置之一整體組態的一方塊圖；

圖2係解釋在依據該第一具體實施例之半導體儲存裝置中一第一管理表之一組態的一圖式；

圖3係在依據該第一具體實施例之半導體儲存裝置中所執行之一受監控區塊選擇程序的一流程圖；

圖4係一種用於在依據該第一具體實施例之半導體儲存裝置中登記一受監控區塊至該第一管理表之受監控區塊登記程序的一流程圖；

圖5係一種用於在依據該第一具體實施例之半導體儲存裝置中登記一區塊至該第一管理表之登記程序的一流程圖；

圖6係在依據該第一具體實施例之半導體儲存裝置中在登記至該第一管理表之一區塊上所執行之一錯誤計數監控程序的一流程圖；

圖7係一種用於在依據該第一具體實施例之半導體儲存裝置中從該第一管理表中刪除上面已執行一再新操作之一區塊的刪除程序的一流程圖；

圖 8 係解釋在依據該第一具體實施例之半導體儲存裝置中一第二管理表之一組態的一圖式；

圖 9 係在依據該第一具體實施例之半導體儲存裝置中所執行之一受監控區塊選擇程序的一流程圖；

圖 10 係解釋在依據該第一具體實施例之半導體儲存裝置中一第三管理表之一組態的一圖式；

圖 11 係在依據該第一具體實施例之半導體儲存裝置中所執行之一受監控區塊選擇程序的一流程圖；

圖 12 係解釋在依據該第一具體實施例之半導體儲存裝置中一第四管理表之一組態的一圖式；

圖 13 係在依據該第一具體實施例之半導體儲存裝置中所執行之一受監控區塊選擇程序的一流程圖；

圖 14 係解釋在依據該第一具體實施例之半導體儲存裝置中一第五管理表之一組態的一圖式；

圖 15 係一種用於在依據該第一具體實施例之半導體儲存裝置中登記一區塊至該第一管理表之登記程序的一流程圖；

圖 16 係解釋在依據該第一具體實施例之半導體儲存裝置中一第六管理表之一組態的一圖式；

圖 17 係一種用於從依據一第六具體實施例之一半導體儲存裝置之一第一管理表中刪除一排除錯誤計數監控區塊之刪除程序的一流程圖；

圖 18 係解釋在依據該第一具體實施例之半導體儲存裝置中一第七管理表之一組態的一圖式；

圖 19係在依據一第七具體實施例之一半導體儲存裝置中在登記至一第一管理表之一受監控區塊上所執行的一錯誤計數監控程序之一流程圖；

圖 20係在本發明之一範例中一SSD之一組態的一方塊圖；

圖 21係在該範例中一驅動控制電路之一組態的一方塊圖；

圖 22係在本發明之範例中一處理器之一組態的一方塊圖；

圖 23係在該範例中上面安裝該SSD之一可攜式電腦之一範例的一透視圖；

圖 24係在本發明之範例中上面安裝該SSD 之可攜式電腦之一系統組態之一範例的一圖式。

【主要元件符號說明】

1	半導體儲存裝置
2	主機裝置
3	控制單元
4	中央處理單元(CPU)
5	隨機存取記憶體(RAM)
6	主機介面(I/F)
7	計時器
8	NAND介面(I/F)
9	匯流排
10	NAND快閃記憶體

21	錯誤校正單元
22	錯誤計算偵測單元
31	第一管理表
32	第二管理表
33	第三管理表
34	第四管理表
35	第五管理表
36	第六管理表
37	第七管理表
100	SSD
101	動態隨機存取記憶體(DRAM)
102	驅動控制電路
103	電源供應電路
104	資料存取匯流排
105	第一電路控制匯流排
106	第二電路控制匯流排
107	處理器
108	啟動ROM
109	ROM控制器
110	時脈控制器
111	平行IO(PIO)電路
112	串列IO(SIO)電路
113	ATA介面控制器(ATA控制器)
114	第一錯誤檢查及校正(ECC)電路

115	NAND控制 器
116	直接記憶體存取 (DMA)傳輸控制 DMA控制 器
117	一 第二ECC電路
118	NAND介面 (I/F)
119	DRAM控制 器
120	靜態隨機存取記憶體 (SRAM)
121	SRAM控制 器
122	資料管理單元
123	ATA命令處理單元
124	安全管理單元
125	啟動載入器
126	初始化管理單元
127	除錯支援單元
200	可攜式電腦
201	主體
202	顯示單元
203	顯示外殼
204	顯示裝置
205	殼體
206	鍵盤 (KB)
207	觸控墊
208	開口
301	CPU

302	北橋
303	主記憶體
304	視訊控制器
305	音訊控制器
306	揚聲器
309	南橋
310	基本輸入輸出系統唯讀記憶體 (BIOS-ROM)
311	ODD單元
312	嵌入式控制器 / 鍵盤控制器整合晶片 (IC)(EC/KBC)
313	網路控制器
314	低接針數匯流排
315	周邊組件互連匯流排
316	液晶顯示器 (LCD)

十、申請專利範圍：

1. 一種半導體儲存裝置，其包含：

一非揮發性半導體記憶體，其包括複數個區塊，該等各區塊係一資料抹除單元；以及

一記憶體控制器，其包含

一受監控區塊決定單元，其基於一預先決定條件，從該等複數個區塊中決定作為再新操作之一候補之一受監控區塊；

一錯誤計數監控單元，其監控儲存於該受監控區塊內之資料的一錯誤計數，且不監控除該受監控區塊外之該等複數個區塊之一錯誤計數；以及

一再新單元，其在該錯誤計數大於一第一臨限值之該受監控區塊內所儲存之資料上，執行該再新操作。

2. 如請求項 1 之半導體儲存裝置，其中該記憶體控制器進一步包括：

一錯誤校正單元，其校正從該等區塊讀出之資料中的錯誤；

一錯誤計數偵測單元，其偵測藉由該錯誤校正單元所校正之資料的錯誤計數；其中

該受監控區塊決定單元將該錯誤計數等於或大於一第二臨限值的區塊決定為該受監控區塊；

該錯誤計數監控單元從該受監控區塊以預定間隔讀出資料，且使用該錯誤校正單元及該錯誤計數偵測單元監控資料之該錯誤計數；

該第一臨限值大於該第二臨限值。

3. 如請求項2之半導體儲存裝置，進一步包含：

一第一管理表，對應於該受監控區塊的區塊號係登記至該第一管理表，其中

該錯誤計數監控單元藉由參考該第一管理表偵測該錯誤計數來監控在該受監控區塊內的資料之該錯誤計數。

4. 如請求項3之半導體儲存裝置，其中該再新單元從該第一管理表中刪除對應於在該受監控區塊上執行該再新操作之該受監控區塊的該區塊號。

5. 如請求項1之半導體儲存裝置，其中該記憶體控制器進一步包括：

一錯誤校正單元，其校正從該等區塊讀出之資料中的錯誤；

一錯誤計數偵測單元，其偵測藉由該錯誤校正單元所校正之資料內的錯誤計數；

一讀出數量偵測單元，其偵測從該等區塊讀出之資料的一數量；其中

該受監控區塊決定單元將該數量等於或大於一第三臨限值的區塊決定為該受監控區塊

該錯誤計數監控單元從該受監控區塊以預定間隔讀出資料，且使用該錯誤校正單元及該錯誤計數偵測單元監控資料之該錯誤計數。

6. 如請求項5之半導體儲存裝置，其進一步包含：

一第一管理表，對應於該受監控區塊的區塊號係登記

至該第一管理表，其中

該錯誤計數監控單元藉由參考該第一管理表偵測該錯誤計數來監控在該受監控區塊內的資料之該錯誤計數。

7. 如請求項6之半導體儲存裝置，其中該再新單元從該第一管理表中刪除對應於在該受監控區塊上執行該再新操作之該受監控區塊的該區塊號。

8. 如請求項6之半導體儲存裝置，其進一步包含：

一第二管理表，從與該區塊號有關之該區塊讀出之資料的數量係藉由該讀出數量偵測單元登記至該第二管理表，其中

該受監控區塊決定單元參考該第二管理表將該區塊登記至該第一管理表作為該受監控區塊。

9. 如請求項1之半導體儲存裝置，其中該記憶體控制器更進一步包括：

一錯誤校正單元，其校正從該等區塊讀出之資料中的錯誤；

一錯誤計數偵測單元，其偵測藉由該錯誤校正單元所校正之資料內的錯誤計數；

一寫入時間偵測單元，其偵測從將資料寫入於該區塊內時起的一流逝時間；其中

該受監控區塊決定單元將該流逝時間等於或大於一第四臨限值的區塊決定為該受監控區塊

該錯誤計數監控單元從該受監控區塊以預定間隔讀出資料，且使用該錯誤校正單元及該錯誤計數偵測單元監

控資料之該錯誤計數。

10. 如請求項9之半導體儲存裝置，其進一步包含：

一第一管理表，對應於該受監控區塊的區塊號係登記至該第一管理表，其中

該錯誤計數監控單元藉由參考該第一管理表偵測該錯誤計數來監控在該受監控區塊內的資料之該錯誤計數。

11. 如請求項10之半導體儲存裝置，其中該再新單元從該第一管理表中刪除對應於在該受監控區塊上執行該再新操作之該受監控區塊的該區塊號。

12. 如請求項10之半導體儲存裝置，其進一步包含：

一第三管理表，將資料寫入至與該區塊號有關之該區塊的寫入時間係藉由寫入時間偵測單元登記至該第三管理表，其中

該受監控區塊決定單元藉由參考該第三管理表獲取該流逝時間來將該區塊登記至該第一管理表作為該受監控區塊。

13. 如請求項1之半導體儲存裝置，其中該記憶體控制器進一步包括：

一錯誤校正單元，其校正在從該等區塊讀出之資料中的錯誤；

一錯誤計數偵測單元，其偵測藉由該錯誤校正單元所校正之該資料內的錯誤計數；

一寫入序列偵測單元，其偵測將資料寫入該非揮發性半導體記憶體中之該區塊的一寫入序號；其中

該受監控區塊決定單元將該寫入序號等於或小於一第五臨限值的區塊決定為該受監控區塊；

該錯誤計數監控單元從該受監控區塊以預定間隔讀出資料，且使用該錯誤校正單元及該錯誤計數偵測單元監控資料之該錯誤計數。

14. 如請求項13之半導體儲存裝置，其進一步包含：

一第一管理表，對應於該受監控區塊的區塊號係登記至該第一管理表，其中

該錯誤計數監控單元藉由參考該第一管理表偵測該錯誤計數來監控在該受監控區塊內的資料之該錯誤計數。

15. 如請求項14之半導體儲存裝置，其中該再新單元從該第一管理表中刪除對應於在該受監控區塊上執行該再新操作之該受監控區塊的該區塊號。

16. 如請求項14之半導體儲存裝置，其進一步包含：

一第四管理表，與該區塊號有關之該區塊的該寫入序號係藉由該寫入序列偵測單元登記至該第四管理表，其中

該受監控區塊決定單元參考該第四管理表將該區塊登記至該第一管理表作為該受監控區塊。

17. 如請求項3之半導體儲存裝置，其進一步包含：

一第五管理表，登記至該第一管理表的該等受監控區塊之登記序號係藉由該受監控區塊決定單元登記至該第五管理表，其中

當登記至該第五管理表的該等受監控區塊之數目到達

一第六臨限值時，該再新單元在具有一預先決定登記序號之該受監控區塊上執行該再新操作。

18. 如請求項17之半導體儲存裝置，其中在該等受監控區塊中具有一最早登記序號的該受監控區塊係執行該再新操作。

19. 如請求項3之半導體儲存裝置，其進一步包含：

一第六管理表，對應於不在其中儲存欲保持資料的該等區塊之該等區塊號係藉由該更新單元登記至該第六管理表，其中

該受監控區塊決定單元從該第一管理表中刪除對應於登記至該第六管理表之該區塊的該區塊號。

20. 如請求項3之半導體儲存裝置，其進一步包含：

一第七管理表，其將對應於登記至該第一管理表內的該等受監控區塊之該等區塊號與儲存於該等受監控區塊內的資料內所偵測的該等錯誤計數係藉由該錯誤計數監控單元登記至該第七管理表，其中

該錯誤計數監控單元基於在該第七管理表中所登記的該等錯誤計數來改變登記至該第一管理表內的該等受監控區塊之該等預定間隔。

21. 如請求項20之半導體儲存裝置，其中在登記至該第七管理表的該等受監控區塊中，具有一高錯誤計數的該等受監控區塊比具有一低錯誤計數的該等受監控區塊具有一較短的預定間隔。

22. 如請求項21之半導體儲存裝置，其中該預定間隔係短於

一週期，該週期係始於在儲存於該受監控區塊內之資料內發生超過該第一臨限值的錯誤時，直至儲存於該受監控區塊內之資料內的該等錯誤到達該錯誤校正單元之錯誤校正能力之一上限時為止。

十一、圖式：

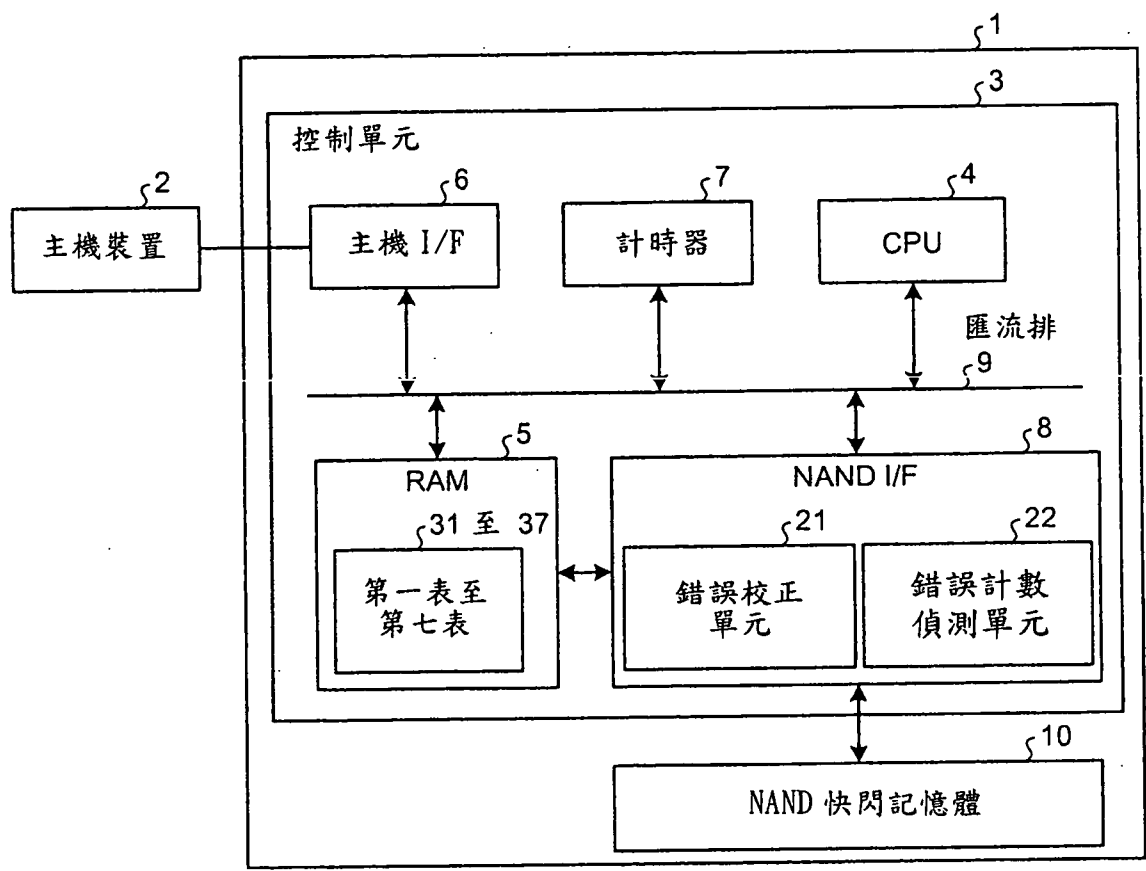


圖 1

31
↙

項目號	區塊號
0	區塊 C
1	區塊 A
2	區塊 X
3	區塊 B
⋮	⋮

圖 2

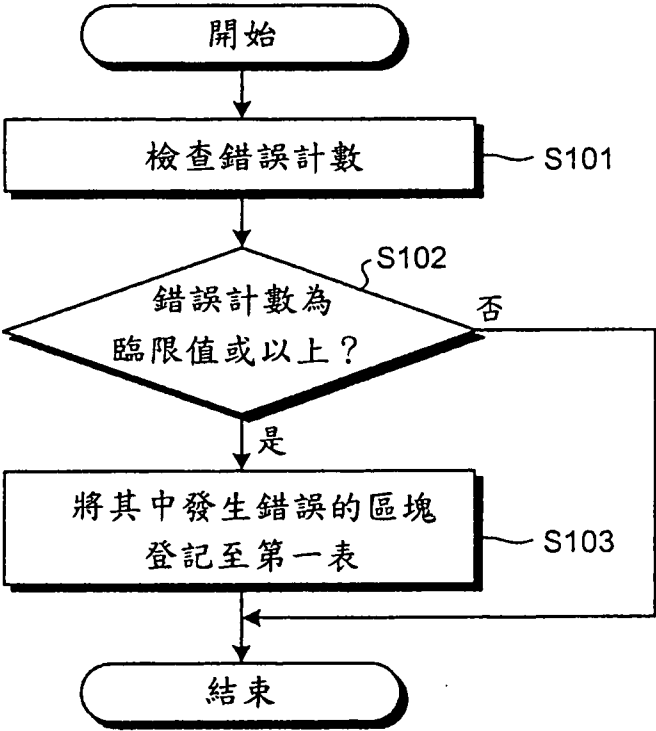


圖 3

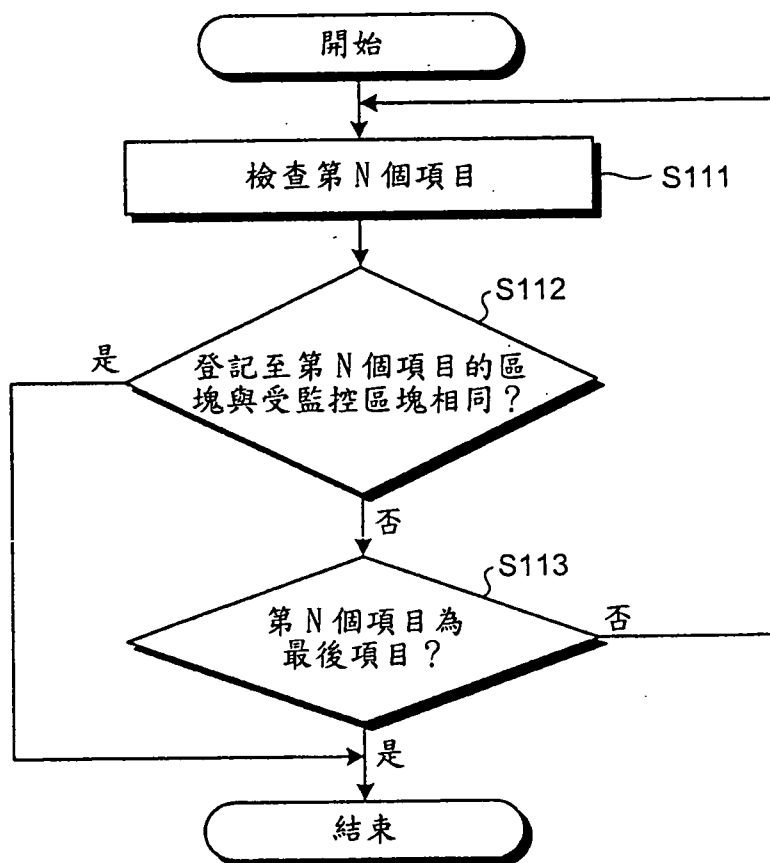


圖 4

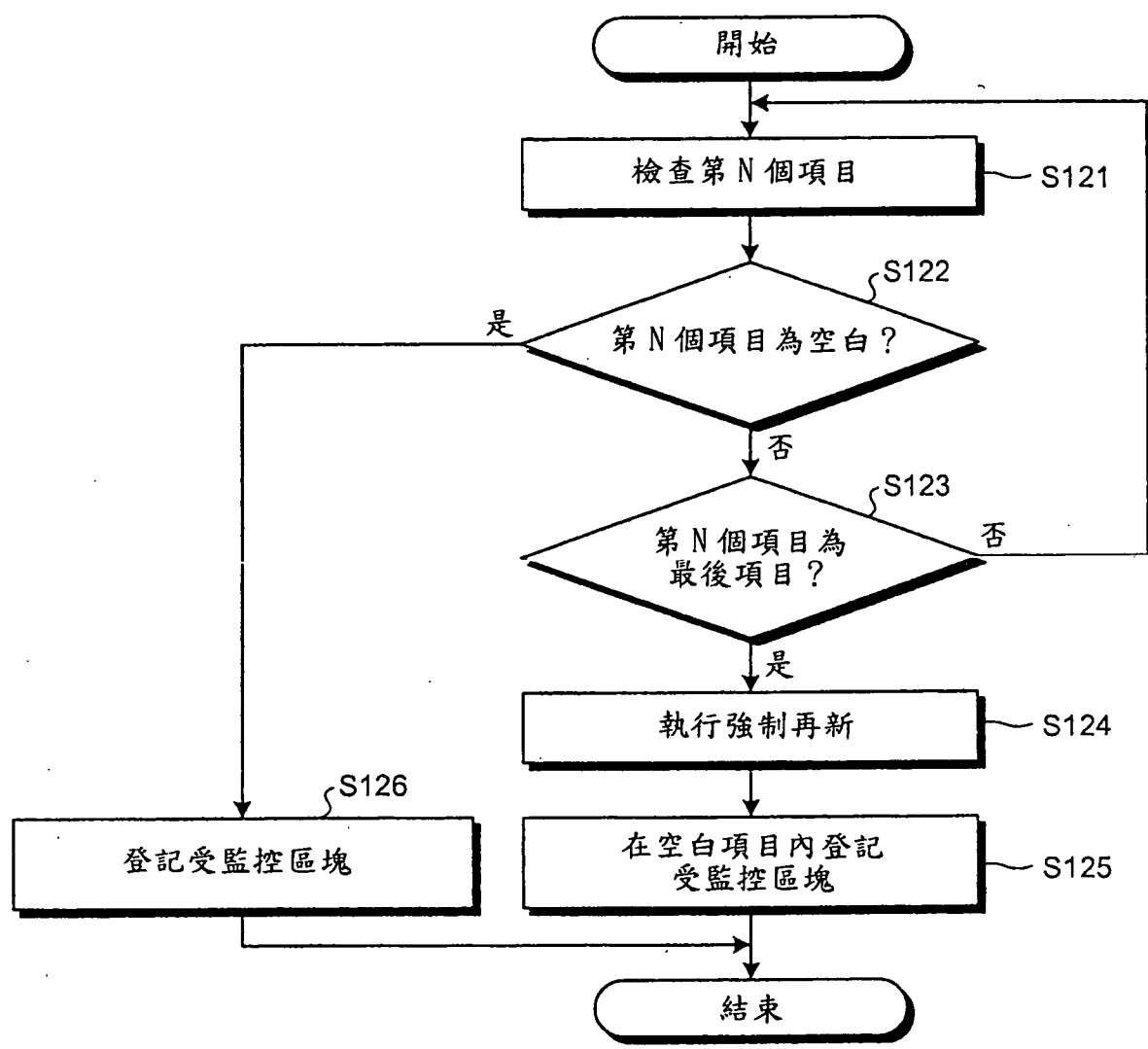


圖 5

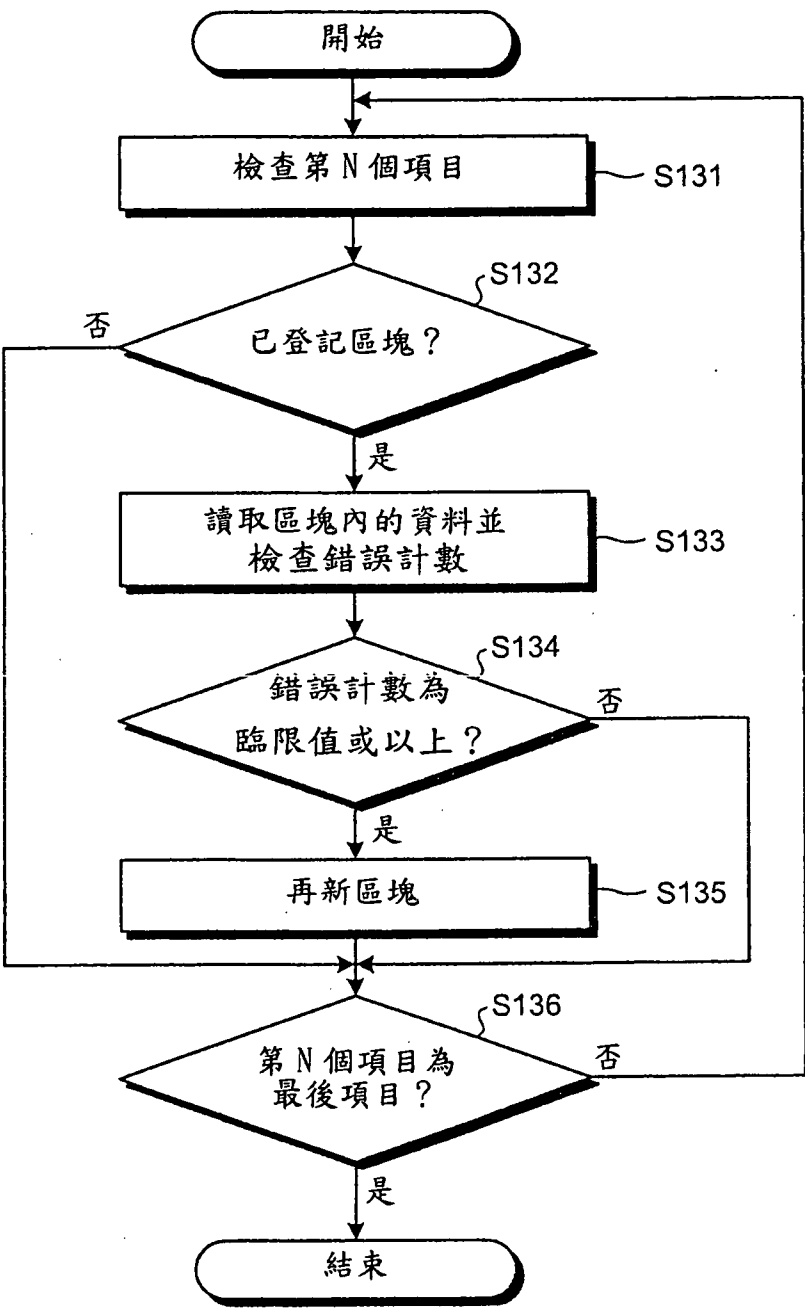


圖 6

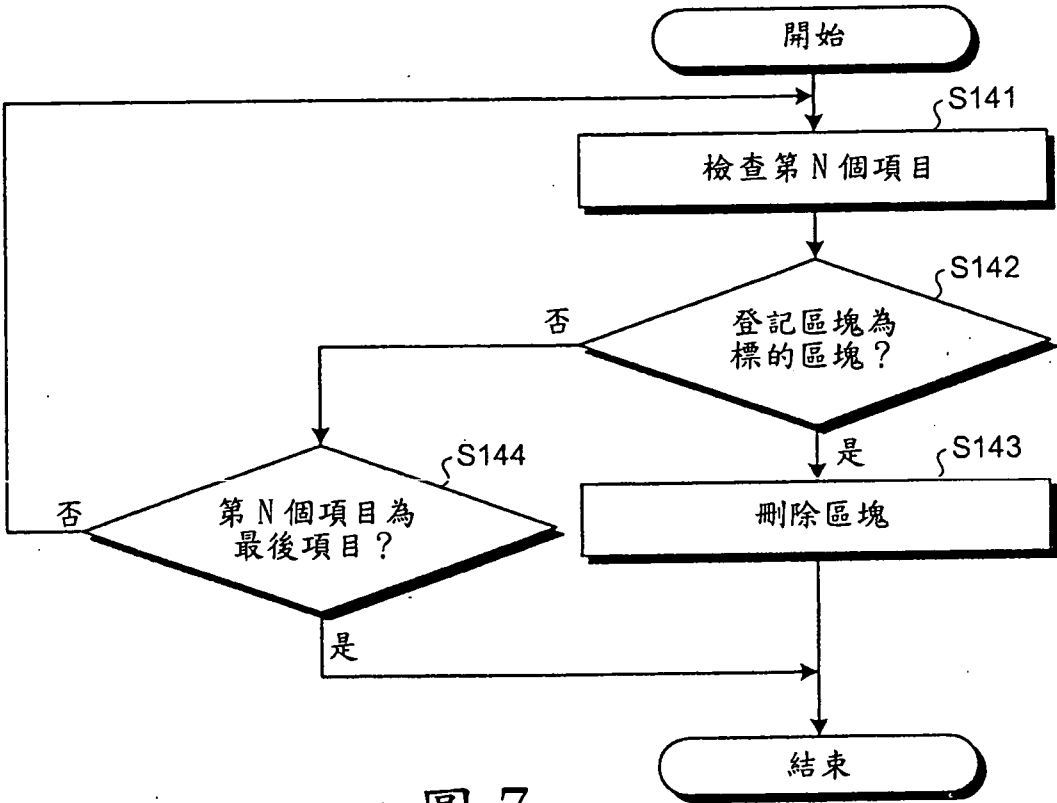


圖 7

32

區塊號	讀出數量
0	來自區塊 0 的 讀出數量
1	來自區塊 1 的 讀出數量
2	來自區塊 2 的 讀出數量
3	來自區塊 3 的 讀出數量
⋮	⋮

圖 8

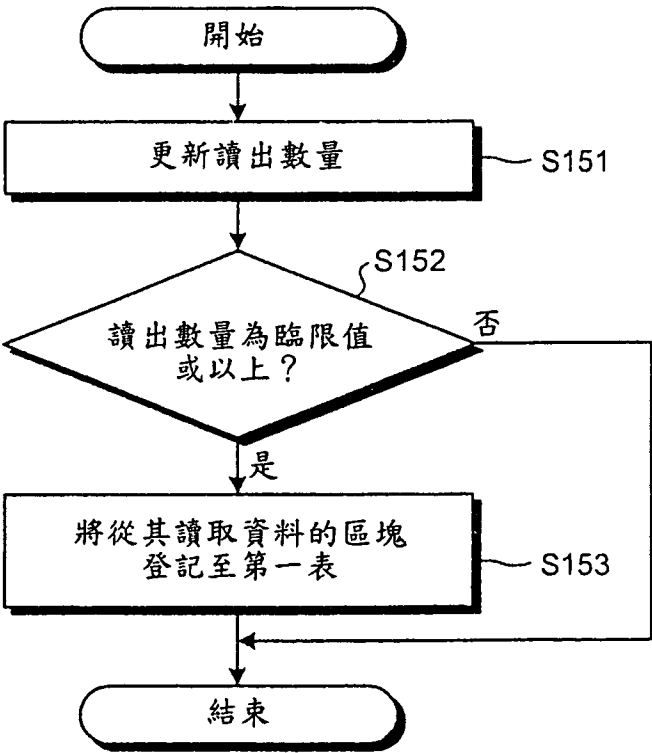


圖 9

33

區塊號	寫入時間
0	區塊 0 之寫入時間
1	區塊 1 之寫入時間
2	區塊 2 之寫入時間
3	區塊 3 之寫入時間
⋮	⋮

圖 10

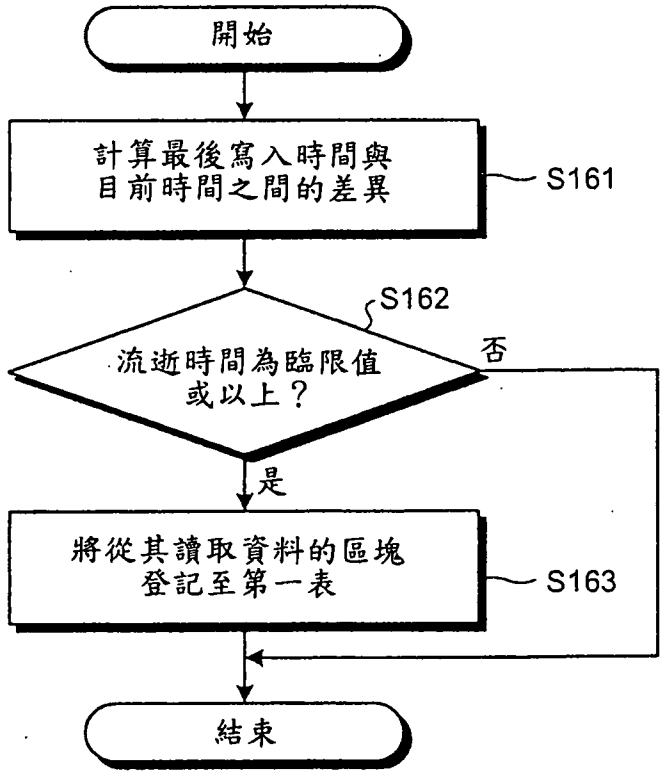


圖 11

34
↙

寫入序號	區塊號
0	第 0 個區塊號
1	第 1 個區塊號
2	第 2 個區塊號
3	第 3 個區塊號
⋮	⋮

圖 12

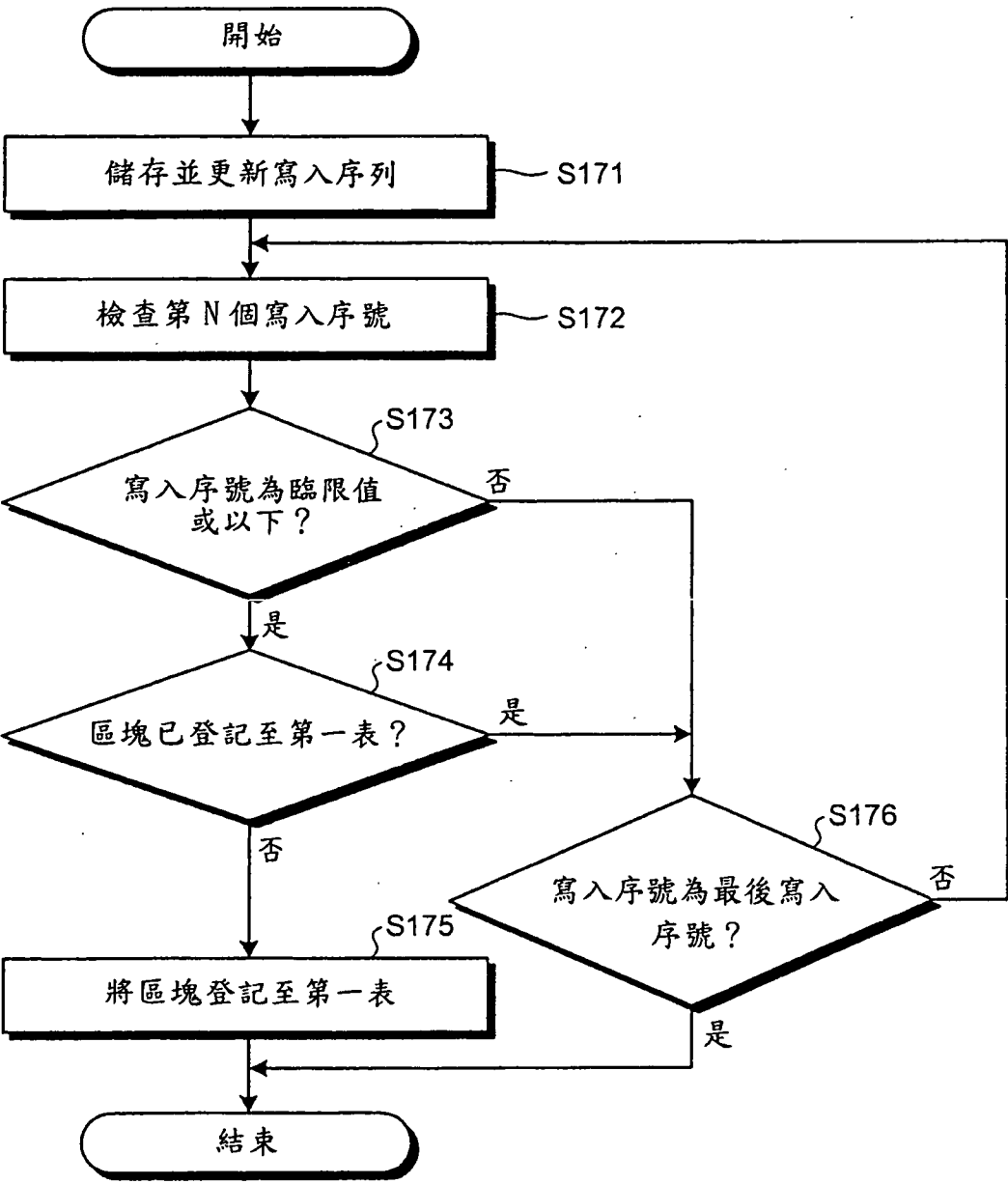


圖 13

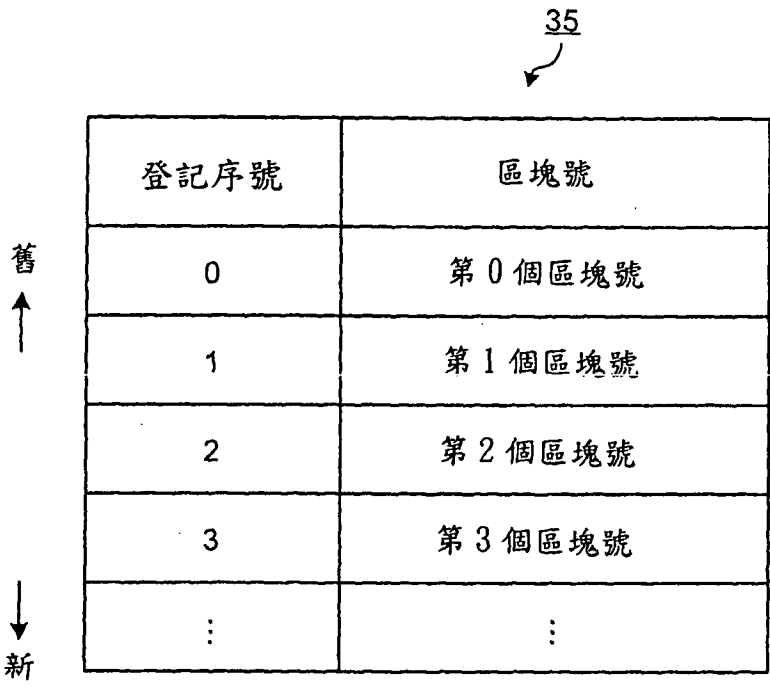


圖 14

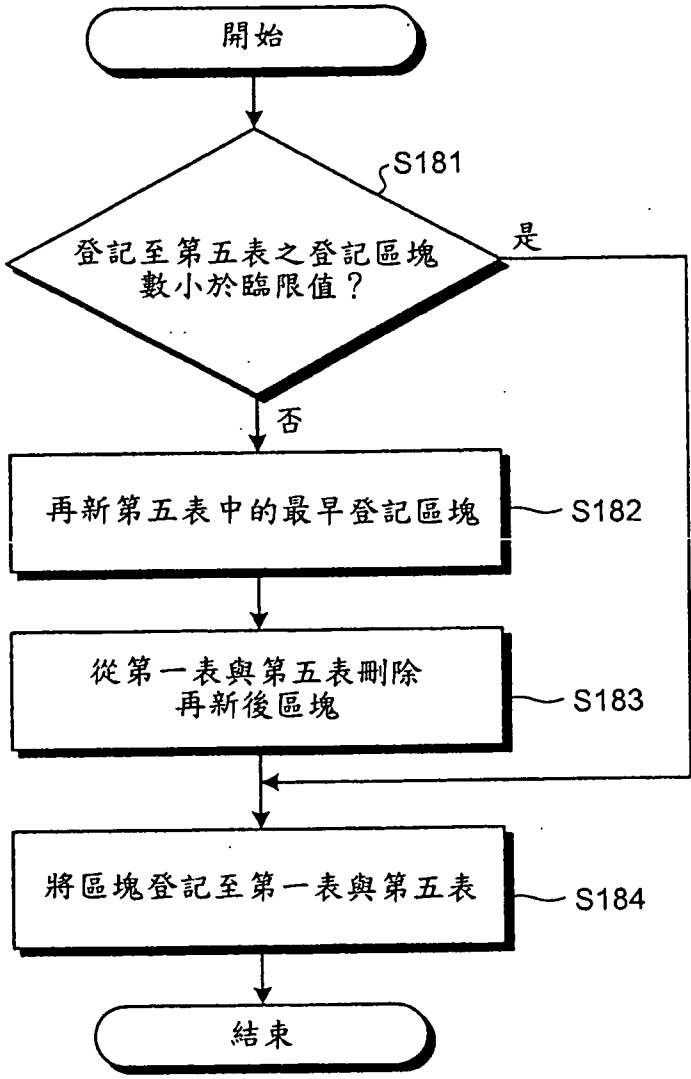


圖 15

36
↙

項目號	區塊號
0	區塊 C
1	區塊 A
2	區塊 X
3	區塊 B
⋮	⋮

圖 16

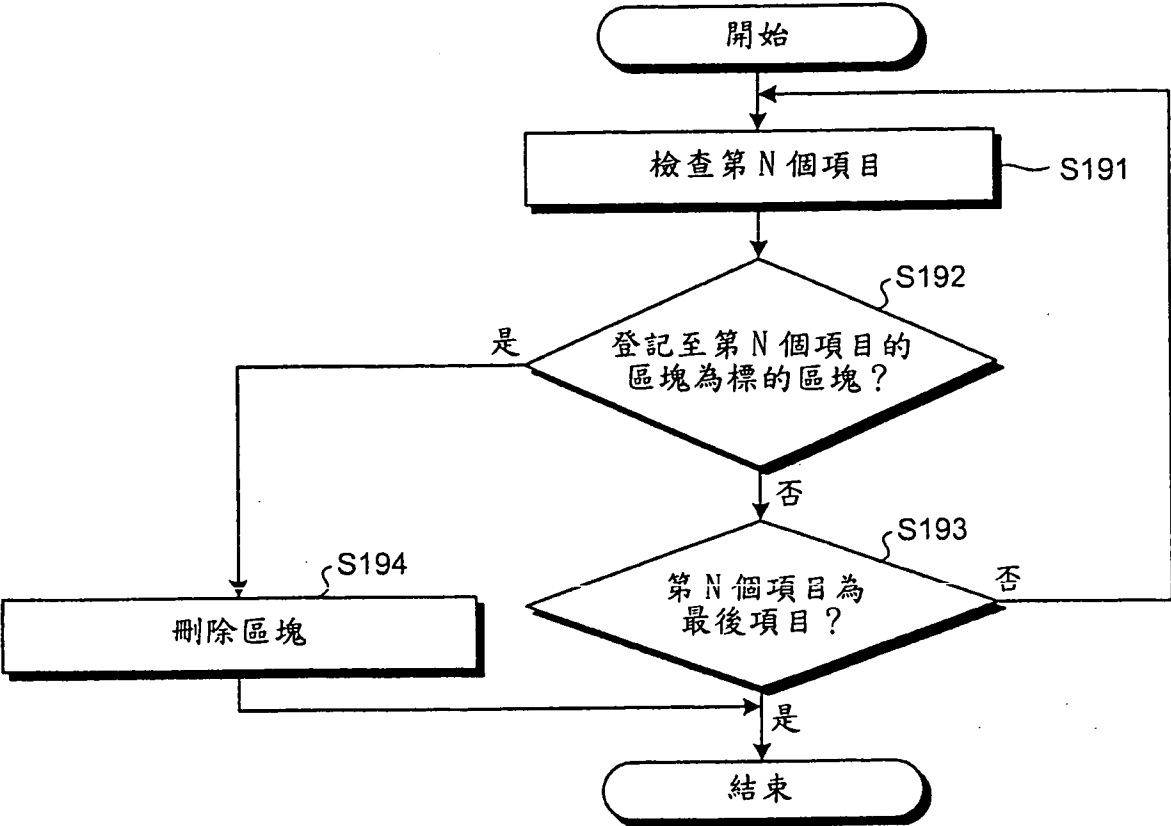


圖 17

37
↙

項目號	登記至第二表的 區塊	錯誤計數
0	區塊 C	4
1	區塊 A	1
2	區塊 X	1
3	區塊 B	2
⋮	⋮	⋮

圖 18

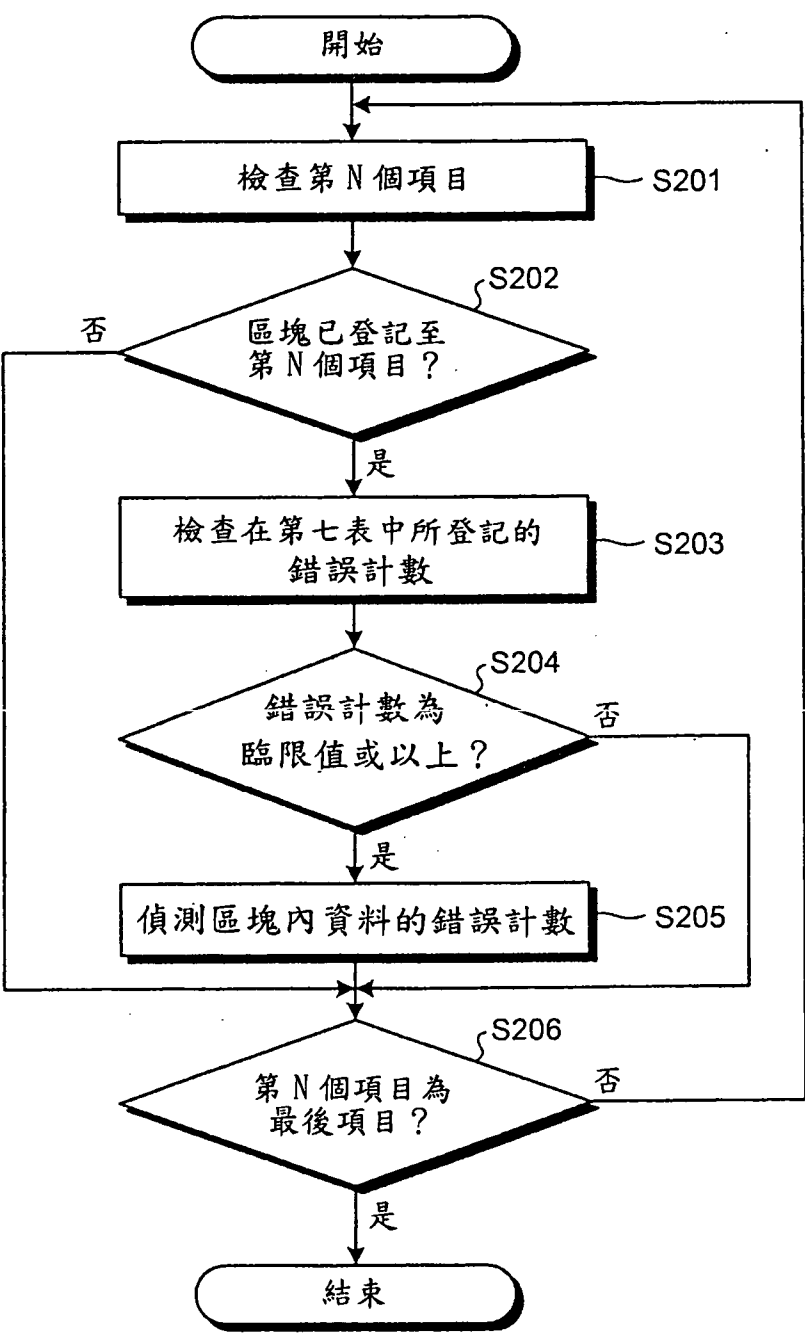


圖 19

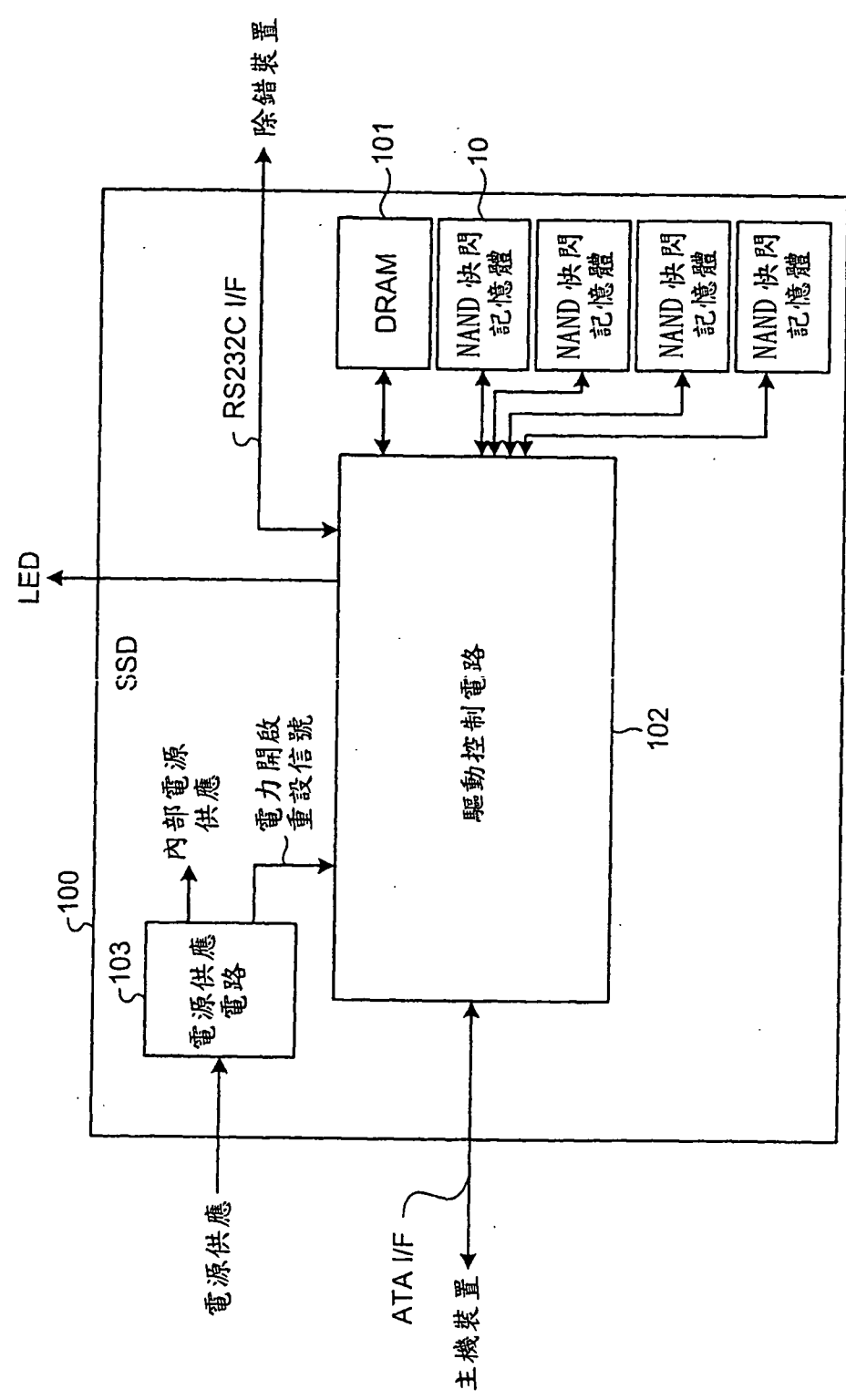


圖 20

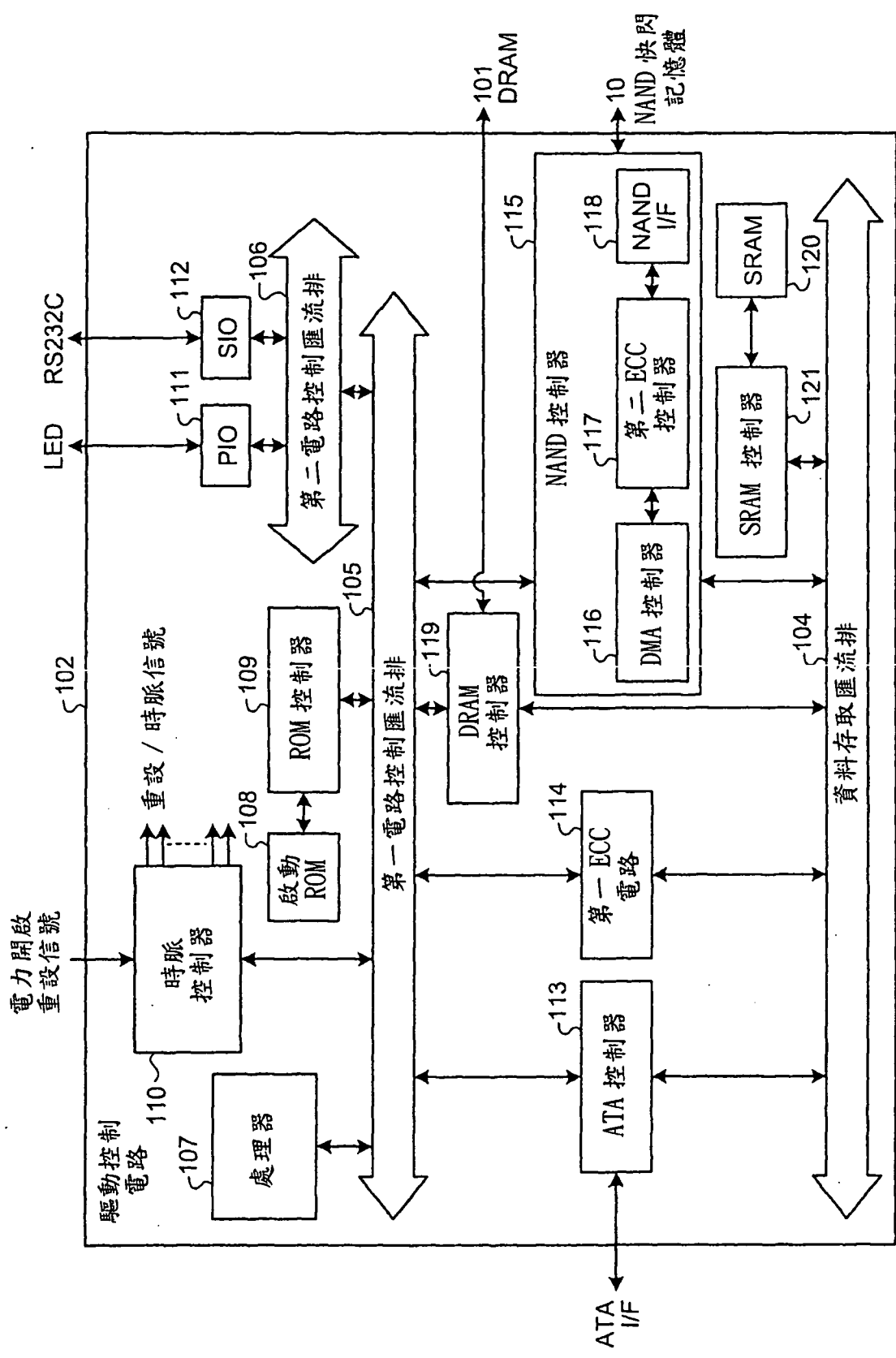


圖 21

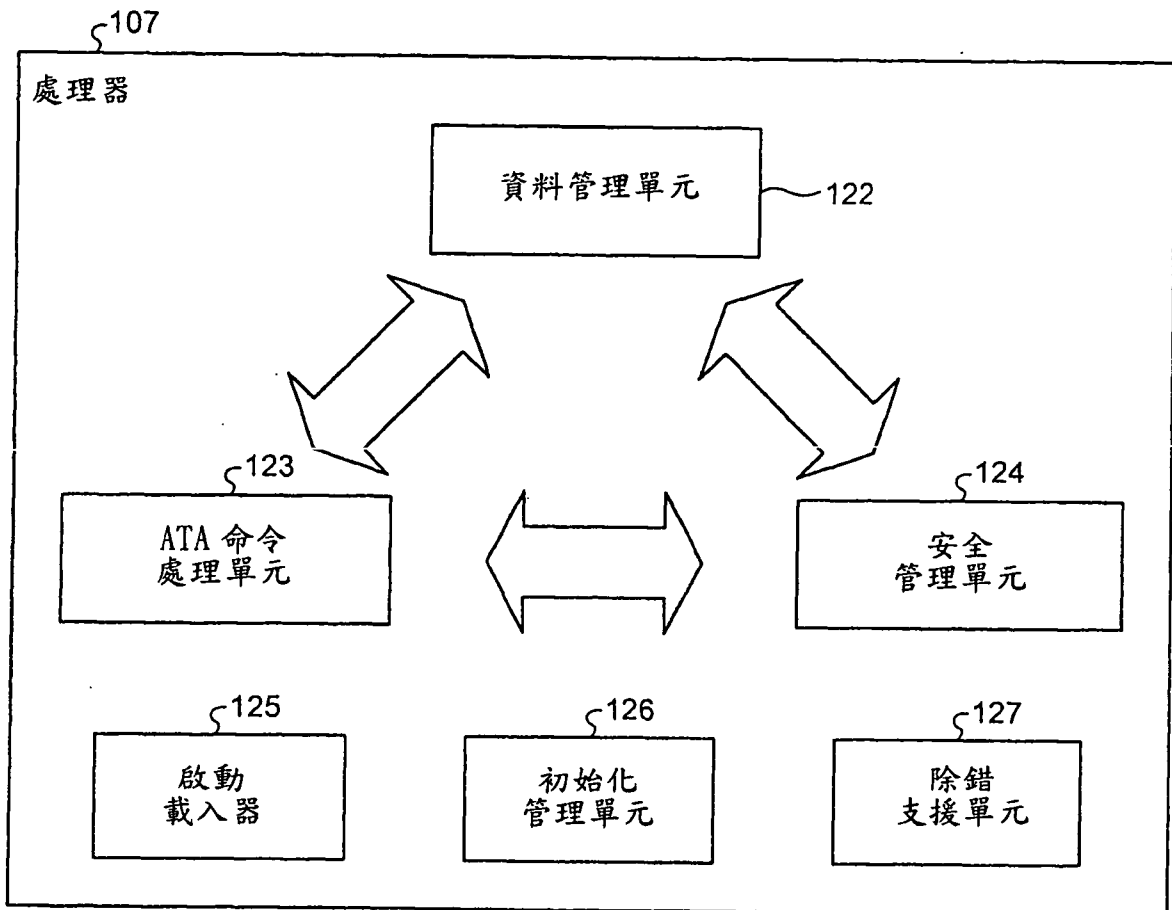


圖 22

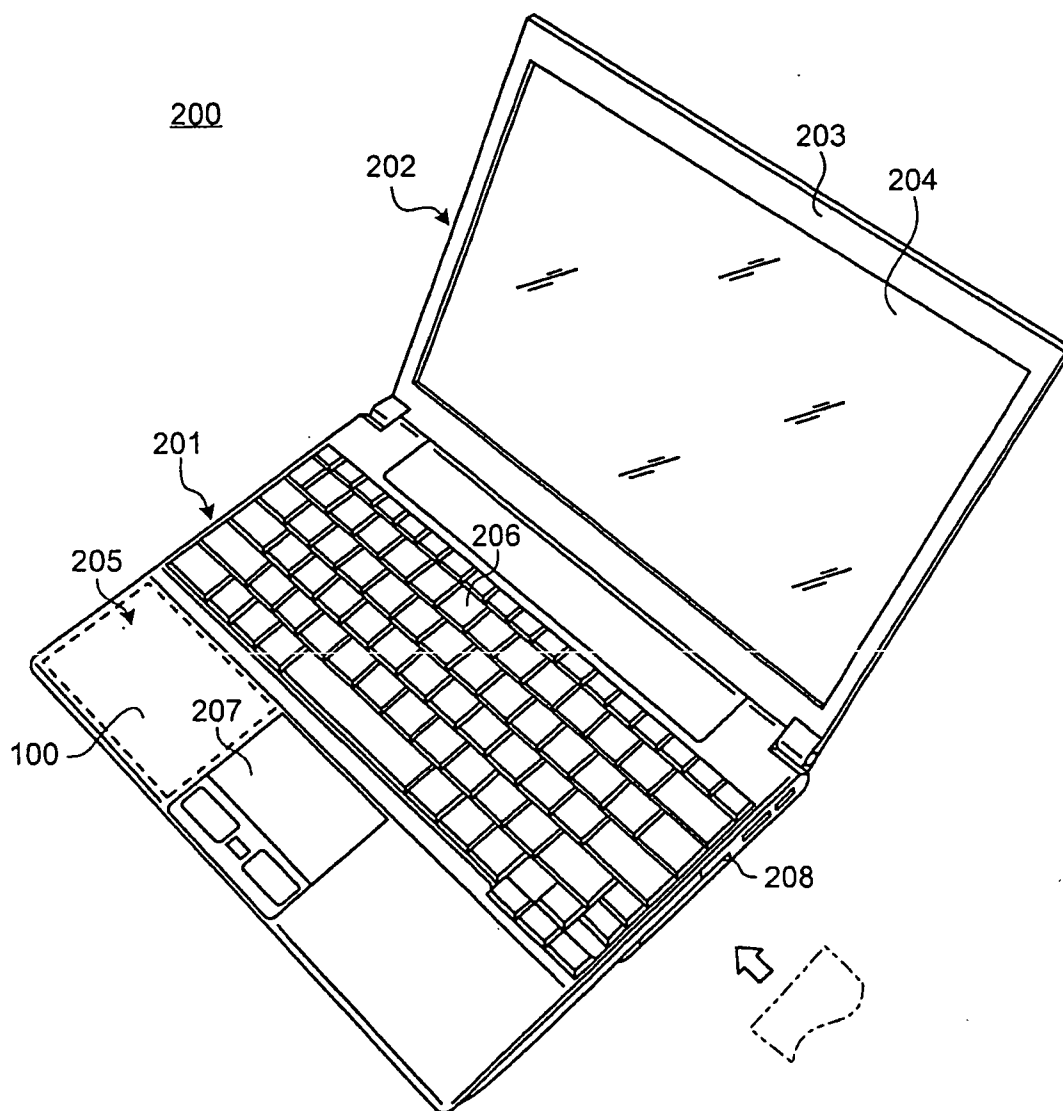


圖 23

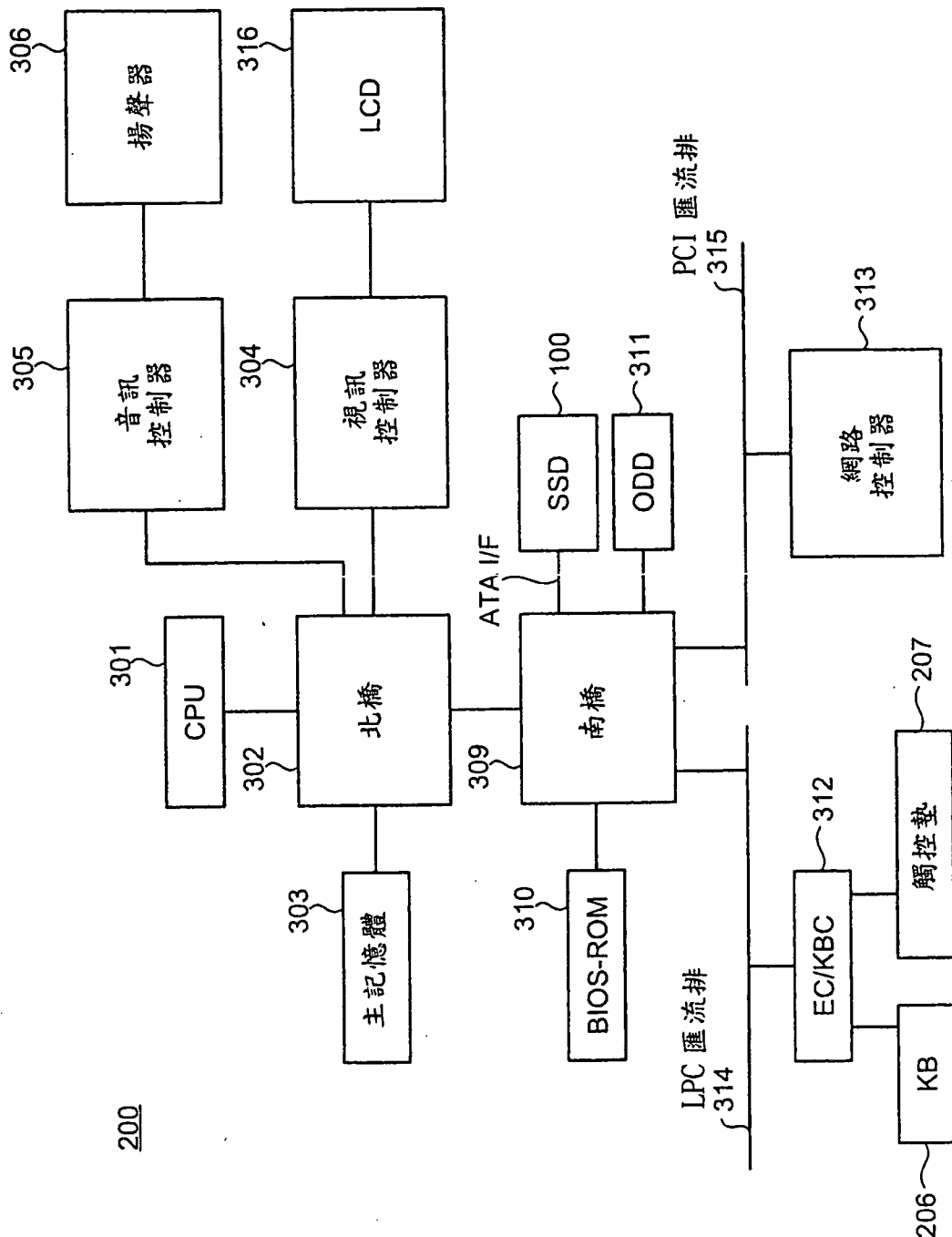


圖 24