(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/255371 A1

(51) 国際特許分類:
H03K 5/14 (2014.01) *H03K 5/135* (2006.01)

(21) 国際出願番号： PCT/JP2019/024670

(22) 国際出願日： 2019年6月21日(21.06.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

(72) 発明者: 沖ノ井 理典 (**OKINOI, Masanori**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

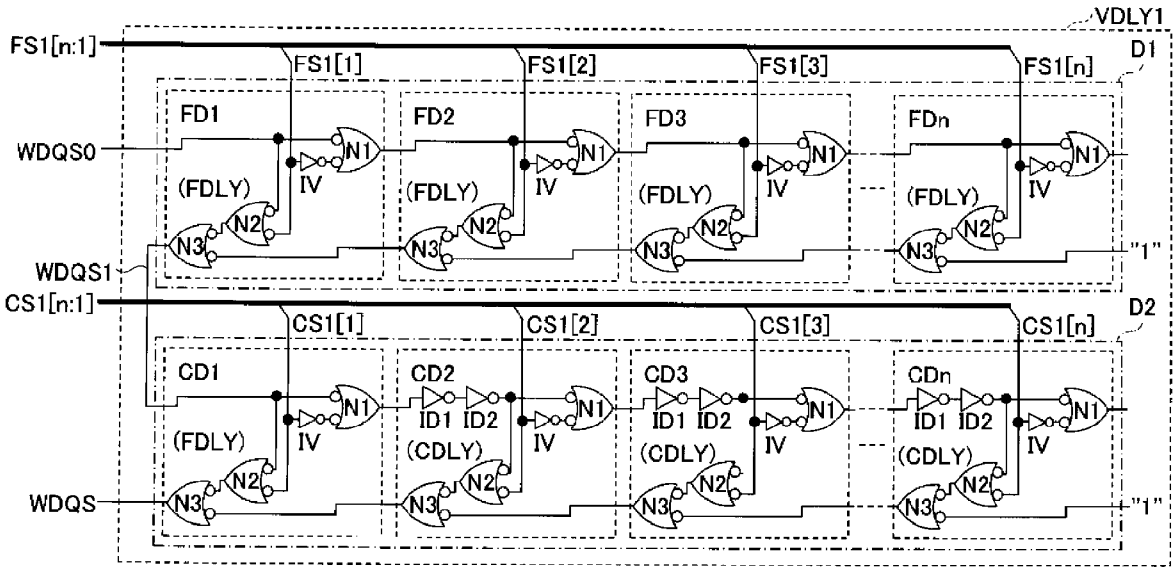
(74) 代理人:伊東 忠重, 外(**ITOH, Tadashige** et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内ＭＹ ＰＬＡＺＡ (明治安田生命ビル) １６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** VARIABLE DELAY CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称： 可変遅延回路および半導体集積回路

[図3]



(57) **Abstract:** A variable delay circuit according to the invention comprises: a first delay circuit including a plurality of first delay elements that can be switched between returning a received signal to the input side and forwarding the received signal to the output side; and a second delay circuit including second delay elements identical with the first delay elements and also including a plurality of third delay elements having the same function as the first delay elements and a longer delay time than the first delay elements. The first delay element of the first stage of the first delay circuit is connected in

WO 2020/255371 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

series to the second delay element of the first stage of the second delay circuit. A delayed signal obtained by delaying by a predetermined time an input signal received by one of the first delay circuit and the second delay circuit is outputted from the other of the first delay circuit and the second delay circuit. A minimum delay amount can be set by means of the first delay element and second delay element of the first stage, so that if a delay amount is to be small, an improved accuracy can be achieved in the variable delay circuit capable of adjusting the delay amount in a wide range.

(57) 要約:可変遅延回路は、受信した信号を入力側に戻すか出力側に転送するかを切り替え可能な複数の第1遅延素子を含む第1遅延回路と、第1遅延素子と同じ第2遅延素子と、第1の遅延素子と同じ機能を有し、第1遅延素子より遅延時間が長い複数の第3遅延素子とを含む第2遅延回路を有する。第1遅延回路の初段の第1遅延素子と第2遅延回路の初段の第2遅延素子とを直列に接続する。そして、第1遅延回路および第2遅延回路の一方で受けた入力信号を所定時間遅延させた遅延信号を、第1遅延回路および第2遅延回路の他方から出力する。初段の第1遅延素子と第2遅延素子により、最小の遅延量を設定することができるため、幅広い遅延量を調整可能な可変遅延回路において、遅延量が小さいときの精度を向上することができる。

明　細　書

発明の名称 ： 可変遅延回路および半導体集積回路

技術分野

[0001] 本発明は、可変遅延回路および半導体集積回路に関する。

背景技術

[0002] 例えば、半導体集積回路は、内部回路の動作タイミングを調整するために、信号の遅延時間を調整する可変遅延回路を有する。この種の可変遅延回路は、遅延時間の調整間隔が粗い粗調整ブロックと、粗調整ブロックに直列に接続し、遅延時間の調整単位が細かい微調整ブロックとを有する。例えば、微調整ブロックは、信号の伝達経路に断続する容量素子を有する。あるいは、可変遅延回路は、信号を遅延させる複数の遅延回路と、複数の遅延回路から出力する遅延信号のいずれかを選択するセレクタとを有する。

先行技術文献

特許文献

[0003] 特許文献1：特許第３４３００４６号

特許文献2：特許第３５６０３１９号

発明の概要

発明が解決しようとする課題

[0004] ところで、動作周波数を変更可能なメモリデバイス等のアクセスを制御する半導体集積回路において、メモリデバイス等に出力する出力信号を基準タイミング信号に対して遅延させる場合、動作周波数に応じた遅延量の出力信号を可変遅延回路により生成する。可変遅延回路による出力信号の遅延量は、メモリデバイスの最大動作周波数と最小動作周波数とに対応させる必要がある。しかしながら、粗調整ブロックと微調整ブロックとを直列に接続した可変遅延回路では、最小の遅延量を、粗調整ブロックの遅延素子１段分の遅延量以下にすることができない。このため、メモリデバイスの最大動作周波数によっては、可変遅延回路は、最大動作周波数に対応する遅延量の出力信

号を生成できないおそれがある。

[0005] 本発明は、上記の点に鑑みてなされたもので、幅広い遅延量を調整可能な可変遅延回路において、遅延量の調整精度を向上することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様では、可変遅延回路は、第１遅延時間を有する直列に接続した複数の第１遅延素子を有し、前記複数の第１遅延素子の各々を、第１制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第１遅延素子で受信した信号を遅延させた遅延信号を初段の前記第１遅延素子から出力する少なくとも１つの第１遅延回路と、直列に接続した、前記第１遅延素子と同じ構成を有する少なくとも１つの第２遅延素子と、前記第１遅延時間より長い第２遅延時間を有する複数の第３遅延素子とを有し、前記第２遅延素子および前記複数の第３遅延素子の各々を、第２制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第２遅延素子で受信した信号を遅延させた遅延信号を初段の前記第２遅延素子から出力する第２遅延回路と、を有し、前記第１遅延回路の初段の前記第１遅延素子と前記第２遅延回路の初段の前記第２遅延素子とを直列に接続し、前記第１遅延回路および前記第２遅延回路の一方で受けた入力信号を所定時間遅延させた遅延信号を、前記第１遅延回路および前記第２遅延回路の他方から出力する。

発明の効果

[0007] 開示の技術によれば、幅広い遅延量を調整可能な可変遅延回路において、遅延量の調整精度を向上することができる。

図面の簡単な説明

[0008] [図1]第１の実施形態の半導体集積回路の構成を示す図である。

[図2]図１のライトデータ制御部およびリードタイミング制御部の動作を示す図である。

[図3]図１の可変遅延回路の回路構成を示す図である。

[図4]図１のＤＬＬ回路の構成を示す図である。

[図5]図３の可変遅延回路の動作の一例を示す図である。

[図6]図３の可変遅延回路の動作の別の例を示す図である。

[図7]図３の可変遅延回路が出力する遅延ライトタイミング信号の波形を示す図である。

[図8]図１の遅延制御回路による可変遅延回路の制御の説明を示す図である。

[図9]図３の可変遅延回路の動作のさらなる別の例を示す図である。

[図10]半導体集積回路による可変遅延回路の制御フローを示す図である。

[図11]第２の実施形態の可変遅延回路の回路構成を示す図である。

[図12]第３の実施形態の可変遅延回路の回路構成を示す図である。

[図13]第４の実施形態の可変遅延回路の回路構成を示す図である。

発明を実施するための形態

[0009] 以下、図面を用いて実施形態を説明する。信号と信号を伝達する信号線とは、同じ符号で示す。

[0010] （第１の実施形態）

図１は、第１の実施形態の半導体集積回路１００の構成を示す。第１の実施形態では、半導体集積回路１００をフラッシュメモリ２００等のメモリデバイスとともにシステム３００に搭載する。例えば、半導体集積回路１００は、ＳｏＣ（System on a Chip）である。フラッシュメモリ２００は、例えばＮＡＮＤ型であり、動作モードに応じて動作周波数を変更可能である。半導体集積回路１００およびフラッシュメモリ２００は、システム基板に搭載され、システム基板上の配線が半導体集積回路１００およびフラッシュメモリ２００を相互に接続する。なお、半導体集積回路１００は、フラッシュメモリ２００以外のデバイスを接続してもよい。

[0011] 半導体集積回路１００は、ＣＰＵ（Central Processing Unit）１１０、メモリコントローラ１２０および物理インタフェース部（ＰＨＹ）１３０を有する。ＣＰＵ１１０は、半導体集積回路１００に搭載する各種回路（メモリ

コントローラ１２０および物理インタフェース部１３０を含む）を制御する。メモリコントローラ１２０は、ＣＰＵ１１０からの指示に基づいて、フラッシュメモリ２００のアクセスを制御する。

[0012] 物理インタフェース部１３０は、ＤＬＬ（Delay-Locked Loop）回路１０、遅延制御回路２０、ライトデータ制御部３０、リードデータ制御部４０、ライトタイミング制御部５０、リードタイミング制御部６０およびバッファ部７０を有する。物理インタフェース部１３０は、後述するクロック信号ＭＣＬＫに基づいてフラッシュメモリ２００に供給する信号を生成し、フラッシュメモリ２００が出力する信号を受信する。物理インタフェース部１３０は、フラッシュメモリ２００に対して信号を入出力するインタフェース部の一例である。

[0013] ＤＬＬ回路１０は、クロック信号ＭＣＬＫを遅延させて遅延クロック信号ＤＭＣＬＫを生成する可変遅延回路ＶＤＬＹ３を有し、クロック信号ＭＣＬＫの位相と遅延クロック信号ＤＭＣＬＫの位相とを一致させる動作を実行する。クロック信号ＭＣＬＫは、フラッシュメモリ２００のアクセスを制御するための基準クロックであり、フラッシュメモリ２００の動作周波数と同じ周波数に設定する。例えば、クロック信号ＭＣＬＫは、半導体集積回路１００で使用するクロック信号の周波数を分周することで生成する。可変遅延回路ＶＤＬＹ３は、第２可変遅延回路の一例である。

[0014] ＤＬＬ回路１０は、モード信号ＦＣＭＯＤＥに応じて、制御信号ＦＳ３または制御信号ＣＳ３を使用して、可変遅延回路ＶＤＬＹ３の遅延時間を調整する。モード信号ＦＣＭＯＤＥは、フラッシュメモリ２００の動作周波数に応じたモード（第１モードまたは第２モード）を識別するために使用する。ＤＬＬ回路１０は、制御信号ＦＳ３、ＣＳ３を遅延制御回路２０に出力する。制御信号ＦＳ３、ＣＳ３に基づく可変遅延回路ＶＤＬＹ３の動作は、図３で説明し、動作モードについては、図８で説明する。

[0015] 遅延制御回路２０は、モード信号ＦＣＭＯＤＥと制御信号ＦＳ３、ＣＳ３とに基づいて、制御信号ＦＳ１、ＣＳ１、ＦＳ２、ＣＳ２を生成する。制御

信号ＦＳ１、ＣＳ１は、ライトデータ制御部３０の可変遅延回路ＶＤＬＹ１の遅延時間を調整するために使用する。制御信号ＦＳ２、ＣＳ２は、リードタイミング制御部６０の可変遅延回路ＶＤＬＹ２の遅延時間を調整するために使用する。

[0016] ライトデータ制御部３０は、フラッシュメモリ２００にデータをライトするライトサイクルにおいて動作する。ライトデータ制御部３０は、可変遅延回路ＶＤＬＹ１と、データ信号ＤＱ（ＤＱ０－ＤＱ７；ライトデータ）にそれぞれ対応するラッチ回路ＬＴとを有する。なお、データ信号ＤＱのビット数は、８ビットに限定されない。可変遅延回路ＶＤＬＹ１は、第１可変遅延回路の一例である。

[0017] 可変遅延回路ＶＤＬＹ１は、遅延制御回路２０からの制御信号ＦＳ１、ＣＳ１に基づいて、ライトタイミング信号ＷＤＱＳ０を遅延させた遅延ライトタイミング信号ＷＤＱＳを生成する。各ラッチ回路ＬＴは、遅延ライトタイミング信号ＷＤＱＳに同期してデータ信号ＤＱｉ（ＤＱｉ０－ＤＱｉ７）をラッチし、ラッチしたデータ信号ＤＱｉをデータ信号ＤＱとしてバッファ部７０に出力する。ライトデータ制御部３０の動作の例は、図２で説明する。

[0018] リードデータ制御部４０は、フラッシュメモリ２００からデータをリードするリードサイクルにおいて動作する。リードデータ制御部４０は、バッファ部７０を介してフラッシュメモリ２００が出力するデータ信号ＤＱ（ＤＱ０－ＤＱ７；リードデータ）を、リードタイミング制御部６０が出力する遅延リードタイミング信号ＲＤＱＳに同期して受信する。

[0019] ライトタイミング制御部５０は、ライトサイクルにおいて動作し、バッファ部７０を介してフラッシュメモリ２００にデータストローブ信号ＤＱＳを出力する。また、ライトタイミング制御部５０は、例えば、データストローブ信号ＤＱＳと同じ位相を有するライトタイミング信号ＷＤＱＳ０を生成する。なお、ライトタイミング信号ＷＤＱＳ０の位相は、データストローブ信号ＤＱＳの位相と相違してもよい。また、ライトタイミング信号ＷＤＱＳ０を、ライトタイミング制御部５０以外の回路により生成してもよい。

[0020] リードタイミング制御部６０は、リードサイクルにおいて動作し、可変遅延回路ＶＤＬＹ２を有する。可変遅延回路ＶＤＬＹ２は、フラッシュメモリ２００がリードデータＤＱとともに出力するデータストローブ信号ＤＱＳの位相を９０度ずらして遅延リードタイミング信号ＲＤＱＳを生成する。９０度の位相に対応する遅延時間は、フラッシュメモリ２００の動作周波数に応じて異なるため、可変遅延回路ＶＤＬＹ２は、データストローブ信号ＤＱＳの９０度の位相に対応する遅延時間を示す制御信号ＦＳ２、ＣＳ２を受けて動作する。

[0021] 可変遅延回路ＶＤＬＹ２は、制御信号ＦＳ２、ＣＳ２に基づいて、データストローブ信号ＤＱＳを遅延させた遅延リードタイミング信号ＲＤＱＳを生成する。リードタイミング制御部６０の動作の例は、図２で説明する。可変遅延回路ＶＤＬＹ２は、第１可変遅延回路の一例である。

[0022] バッファ部７０は、フラッシュメモリ２００に信号を出力する出力バッファ、フラッシュメモリ２００から信号を入力する入力バッファ、およびフラッシュメモリ２００に対して信号を入出力する入出力バッファを有する。例えば、バッファ部７０は、リードイネーブル信号ＲＥＮ、コマンドラッチイネーブル信号ＣＬＥ、アドレスラッチイネーブル信号ＡＬＥ、ライトイネーブル信号ＷＥＮ、チップイネーブル信号ＣＥＮ０－ＣＥＮ７、ライトプロテクト信号ＷＰを、フラッシュメモリ２００に出力する。

[0023] チップイネーブル信号ＣＥＮ０－ＣＥＮ７は、半導体集積回路１００に接続する複数のフラッシュメモリ２００を選択するために使用し、この実施形態では、最大８個のフラッシュメモリ２００（チップ）が半導体集積回路１００に接続可能である。

[0024] レディ／ビジー信号ＲＢＮは、フラッシュメモリ２００から入力する。また、データ信号ＤＱおよびデータストローブ信号ＤＱＳは、ライトサイクルでは、フラッシュメモリ２００に出力し、リードサイクルでは、フラッシュメモリ２００から入力する。

[0025] 例えば、フラッシュメモリ２００は、データストローブ信号ＤＱＳの立ち

上がりエッジと立ち下がりエッジにそれぞれ同期して、データ信号ＤＱを入出力するＤＤＲ（Double Data Rate）タイプである。また、データストローブ信号ＤＱＳは、相補の信号でもよいが、説明を分かりやすくするため、正論理（True）の信号のみを示す。

[0026] 図２は、図１のライトデータ制御部３０およびリードタイミング制御部６０の動作を示す。

[0027] 半導体集積回路１００は、データをフラッシュメモリ２００にライトするライトサイクルにおいて、データ信号ＤＱ０－ＤＱ７の中央（２つの遷移エッジの中間）に遷移エッジを有するデータストローブ信号ＤＱＳをフラッシュメモリ２００に出力する（図２（ａ））。このため、ライトデータ制御部３０は、例えば、データストローブ信号ＤＱＳと位相が等しいライトタイミング信号ＷＤＱＳ０の位相を、可変遅延回路ＶＤＬＹ１を用いて９０度遅らせ、遅延ライトタイミング信号ＷＤＱＳを生成する（図２（ｂ））。

[0028] 可変遅延回路ＶＤＬＹ１は、図１の遅延制御回路２０が出力する制御信号ＦＳ１、ＣＳ１に基づいて、ライトタイミング信号ＷＤＱＳ０を遅延量ＤＬＹ１だけ遅らせた遅延ライトタイミング信号ＷＤＱＳを出力する。そして、ライトデータ制御部３０のラッチ回路ＬＴは、例えば、遅延ライトタイミング信号ＷＤＱＳの立ち上がりエッジに同期して内部データ信号ＤＱｉ０－ＤＱｉ７をラッチし、データ信号ＤＱ０－ＤＱ７として出力する（図２（ｃ））。これにより、ライトサイクルにおいて、データ信号ＤＱ０－ＤＱ７（ライトデータ）の中央をデータストローブ信号ＤＱＳの遷移エッジに合わせることができる。なお、内部データ信号ＤＱｉ０－ＤＱｉ７およびデータ信号ＤＱ０－ＤＱ７に付したＤ０、Ｄ１、Ｄ２、Ｄ３、Ｄ４は、データ値を示し、ライトタイミング信号／ＷＤＱＳ０は、ライトタイミング信号ＷＤＱＳ０に対して位相が反転した信号を示す。

[0029] また、半導体集積回路１００は、データをフラッシュメモリ２００からリードするリードサイクルにおいて、互いに同じ位相を有するデータストローブ信号ＤＱＳとデータ信号ＤＱ０－ＤＱ７とをフラッシュメモリ２００から

受ける（図２（ｄ））。換言すれば、フラッシュメモリ２００は、データストローブ信号ＤＱＳに同期してデータ信号ＤＱ０－ＤＱ７（リードデータ）を出力する。

[0030] 半導体集積回路１００は、データストローブ信号ＤＱＳの位相を、可変遅延回路ＶＤＬＹ２を用いて９０度遅らせ、リードデータＤＱ０－ＤＱ７の中央（遷移エッジの中間）に遷移エッジを有する遅延リードタイミング信号ＲＤＱＳを生成する（図２（ｅ））。可変遅延回路ＶＤＬＹ２は、図１の遅延制御回路２０が出力する制御信号ＦＳ２、ＣＳ２に基づいて、データストローブ信号ＤＱＳを遅延量ＤＬＹ２だけ遅らせた遅延リードタイミング信号ＲＤＱＳを出力する。

[0031] そして、リードデータ制御部４０は、フラッシュメモリ２００から受信したデータ信号ＤＱ０－ＤＱ７を、遅延リードタイミング信号ＲＤＱＳに同期して受信する（図２（ｆ））。これにより、リードサイクルにおいて、データ信号ＤＱ０－ＤＱ７（リードデータ）の中央をデータストローブ信号ＤＱＳの遷移エッジに合わせることができる。

[0032] 図３は、図１の可変遅延回路ＶＤＬＹ１の回路構成を示す。なお、図１に示した可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３の回路構成は、例えば、可変遅延回路ＶＤＬＹ１と同じである。

[0033] 可変遅延回路ＶＤＬＹ１は、ｎビットの制御信号ＦＳ１［ｎ：１］に基づいて動作する遅延ラインＤ１と、ｎビットの制御信号ＣＳ１［ｎ：１］に基づいて動作する遅延ラインＤ２とを有する。なお、遅延ラインＤ１は、遅延ラインＤ２の前ではなく、遅延ラインＤ２の後に接続してもよい。遅延ラインＤ１は、第１遅延回路の一例であり、遅延ラインＤ２は、第２遅延回路の一例である。

[0034] 遅延ラインＤ１は、制御信号ＦＳ１［ｎ：１］の各ビット値に応じて動作する直列に接続したｎ個（例えば、１２８個）の遅延素子ＦＤ（ＦＤ１－ＦＤｎ）を有する。遅延ラインＤ２は、制御信号ＦＳ２［ｎ：１］の各ビット値に応じて動作する直列に接続したｎ個の遅延素子ＣＤ（ＣＤ１－ＣＤｎ）

を有する。

[0035] 遅延素子ＦＤ１－ＦＤｎは、第１遅延素子の一例であり、遅延素子ＣＤ１は、第２遅延素子の一例であり、遅延素子ＣＤ２－ＣＤｎは、第３遅延素子の一例である。制御信号ＦＳ１［ｎ：１］は、第１制御信号の一例であり、制御信号ＦＳ２［ｎ：１］は、第２制御信号の一例である。

[0036] 遅延素子ＦＤ１－ＦＤｎおよび遅延素子ＣＤ１は互いに同じ回路構成であるため、以下では遅延ラインＤ１の初段の遅延素子ＦＤ１を説明する。また、遅延素子ＣＤ２－ＣＤｎは互いに同じ回路構成であるため、以下では遅延素子ＣＤ２を説明する。

[0037] 遅延素子ＦＤ１－ＦＤｎおよび遅延素子ＣＤ１は、遅延時間が互いに同じであることを示すため、図中に符号”ＦＤＬＹ”（Fine Delay）を付している。遅延素子ＣＤ２－ＣＤｎは、遅延時間が互いに同じであることを示すため、図中に符号”ＣＤＬＹ”（Coarse Delay）を付している。遅延素子”ＦＤＬＹ”の遅延時間は、遅延素子”ＣＤＬＹ”の遅延時間より短い。なお、以下の説明では、着目する遅延素子ＦＤまたは遅延素子ＣＤの左側を入力側と称し、着目する遅延素子ＦＤまたは遅延素子ＣＤの右側を出力側と称する。

[0038] 遅延素子ＦＤ１は、ナンドゲートＮ１、Ｎ２、Ｎ３と制御信号ＦＳ１［１］の論理を反転するインバータＩＶとを有する。ナンドゲートＮ１は、制御信号ＦＳ１［１］の論理をインバータＩＶで反転した信号と入力信号とを受ける。初段の遅延素子ＦＤ１では、入力信号は、ライトタイミング信号ＷＤＱＳ０である。ナンドゲートＮ１は、制御信号ＦＳ１［１］が論理０の場合、入力信号の論理を反転して出力側の遅延素子ＦＤ２に出力し、制御信号ＦＳ１［１］が論理１の場合、論理１を出力側の遅延素子ＦＤ２に出力する。

[0039] ナンドゲートＮ２は、制御信号ＦＳ１［１］が論理１の場合、入力信号の論理を反転してナンドゲートＮ３に出力し、制御信号ＦＳ１［１］が論理０の場合、論理１をナンドゲートＮ３に出力する。ナンドゲートＮ３は、ナンドゲートＮ２の出力の論理と、出力側に隣接する遅延素子ＦＤ２のナンドゲートＮ３の出力の論理とのいずれかが論理０の場合、論理１を出力する。ナ

ンドゲートＮ３は、ナンドゲートＮ２の出力の論理と、出力側に隣接する遅延素子ＦＤ２のナンドゲートＮ３の出力の論理とがともに論理１の場合、論理０を出力する。

[0040] 図１に示した遅延制御回路２０は、遅延ラインＤ１によりライトタイミング信号ＷＤＱＳ０を遅延させる場合、ｎビットの制御信号ＦＳ１［ｎ：１］のうちの連続する２ビットを論理１に設定し、他の制御信号ＦＳ１を論理０に設定する。これにより、論理１の２つの制御信号ＦＳ１のうち、ビット番号が小さい制御信号ＦＳ１を受ける遅延素子ＦＤは、入力側から受ける信号を折り返して、ナンドゲートＮ３から入力側に戻す。以下では、信号を折り返す遅延素子ＦＤ（またはＣＤ）を折り返し遅延素子とも称し、折り返し遅延素子の状態を折り返し状態とも称する。なお、遅延ラインＤ１の最終段の遅延素子ＦＤｎを折り返し状態に設定する場合、制御信号ＦＳ１［ｎ］のみを論理１に設定し、他の制御信号ＦＳ１を論理０に設定する。

[0041] 折り返し遅延素子ＦＤのナンドゲートＮ１は、論理１を出力する。論理１の２つの制御信号ＦＳ１のうち、ビット番号が大きい制御信号ＦＳ１を受ける遅延素子ＦＤのナンドゲートＮ３は、インバータＩＶを介して制御信号ＦＳ１の論理１を反転した信号（論理０）を受け、論理１を出力する。以下では、折り返し遅延素子ＦＤ（またはＣＤ）の出力側に接続する遅延素子ＦＤ（またはＣＤ）を折り返し制御素子とも称する。

[0042] 折り返し遅延素子ＦＤの入力側の遅延素子ＦＤのナンドゲートＮ１は、制御信号ＦＳ１の論理０を反転した信号を受け、入力信号の論理を反転して出力するインバータとして機能する。折り返し遅延素子ＦＤの入力側の遅延素子ＦＤのナンドゲートＮ３は、論理０の制御信号ＦＳ１に基づいてナンドゲートＮ２が出力する論理１の信号を受ける。このため、折り返し遅延素子ＦＤの入力側の遅延素子ＦＤのナンドゲートＮ３は、出力側に隣接する遅延素子ＦＤのナンドゲートＮ３が出力する信号の論理を反転して出力するインバータとして機能する。

[0043] このように、折り返し遅延素子ＦＤの入力側に位置する遅延素子ＦＤは、

入力側から受信した信号を出力側に転送し、出力側から受信した信号を入力側に転送する。以下では、折り返し遅延素子ＦＤ（またはＣＤ）より入力側に位置し、論理０の制御信号ＦＳ（またはＣＤ）を受ける遅延素子ＦＤ（またはＣＤ）を、転送遅延素子とも称し、転送遅延素子の状態を転送状態とも称する。なお、初段の遅延素子ＦＤ１（またはＣＤ１）を折り返し状態に設定する場合、転送遅延素子は存在しない。

[0044] 以上の動作により、遅延ラインＤ１は、初段の遅延素子ＦＤ１で受信するライトタイミング信号ＷＤＱＳ０を所定数の遅延素子ＦＤで遅延させ、初段の遅延素子ＦＤ１から遅延信号ＷＤＱＳ１として出力する。なお、遅延ラインＤ１は、信号を、直列に接続する偶数個のナンドゲートを介して遅延し、出力する。遅延ラインＤ１にセレクタを設けず、信号を偶数個のナンドゲートで遅延させることで、入力信号と出力信号（遅延した信号）とでデューティ比が変わることを防止することができる。また、使用する遅延素子ＦＤの段数によらず、デューティ比を一定にすることができる。

[0045] 遅延素子ＣＤ２－ＣＤｎの各々は、遅延素子ＦＤ１に対してインバータディレイＩＤ１、ＩＤ２を追加していることを除き、遅延素子ＦＤ１と同じ構成を有する。インバータディレイＩＤ１、ＩＤ２は、入力側の遅延素子ＣＤに接続する入力端子とナンドゲートＮ１との間に直列に接続したインバータであり、遅延要素として機能する。遅延素子ＣＤ２－ＣＤｎの各々は、インバータディレイＩＤ１、ＩＤ２で遅延した信号を、ナンドゲートＮ１、Ｎ２に供給する。

[0046] 各遅延素子ＣＤ２－ＣＤｎの遅延時間は、遅延素子ＦＤ１の遅延時間に比べて、インバータディレイＩＤ１、ＩＤ２の遅延時間だけ長い。例えば、各遅延素子ＣＤ２－ＣＤｎの遅延時間は、遅延素子ＦＤ１の遅延時間の４倍に設定してもよく、２以上の整数倍としてもよい。各遅延素子ＣＤ２－ＣＤｎの遅延時間を、遅延素子ＦＤ１の整数倍に設定することで、信号を遅延するために使用する遅延素子（ＦＤまたはＣＤ）によらず、遅延時間を容易に計算することができ、使用する遅延素子の数を容易に計算することができる。

遅延素子ＦＤ１－ＦＤｎ、ＣＤ１の遅延時間は、第１遅延時間の一例であり、遅延素子ＣＤ２－ＣＤｎの遅延時間は、第２遅延時間の一例である。

[0047] 遅延ラインＤ２においても、論理１の制御信号ＣＳ１を受ける互いに隣接する２つの遅延素子ＣＤのうち、入力側に位置する遅延素子ＣＤを、折り返し状態に設定し、折り返し遅延素子ＣＤとして機能させる。折り返し遅延素子ＣＤの入力側に位置する遅延素子ＣＤを、転送状態に設定し、転送遅延素子として機能させる。折り返し遅延素子ＣＤの出力側に位置する遅延素子ＣＤは、折り返し制御素子として機能する。なお、遅延ラインＤ２の最終段の遅延素子ＣＤｎを折り返し状態に設定する場合、制御信号ＣＳ１［ｎ］のみを論理１に設定する。

[0048] そして、遅延ラインＤ２は、初段の遅延素子ＣＤ１で受信する遅延信号ＷＤＱＳ１を所定数の遅延素子ＣＤで遅延させ、初段の遅延素子ＣＤ１から遅延ライトタイミング信号ＷＤＱＳとして出力する。遅延ラインＤ２は、信号を、直列に接続する偶数個のナンドゲートと偶数個のインバータディレイＩＤ１、ＩＤ２を介して遅延し、出力する。これにより、遅延ラインＤ１と同様に、入力信号と出力信号（遅延した信号）とでデューティ比が変わることを防止することができる。また、使用する遅延素子ＣＤの段数によらず、デューティ比を一定にすることができる。

[0049] なお、可変遅延回路ＶＤＬＹ２は、図３の制御信号ＦＳ１［ｎ：１］、ＣＳ１［ｎ：１］の代わりに制御信号ＦＳ２［ｎ：１］、ＣＳ２［ｎ：１］を受ける。また、可変遅延回路ＶＤＬＹ２は、ライトタイミング信号ＷＤＱＳ０の代わりにデータストローブ信号ＤＱＳを受け、遅延ライトタイミング信号ＷＤＱＳの代わりに遅延リードタイミング信号ＲＤＱＳを出力する。

[0050] 同様に、可変遅延回路ＶＤＬＹ３は、図３の制御信号ＦＳ１［ｎ：１］、ＣＳ１［ｎ：１］の代わりに制御信号ＦＳ３［ｎ：１］、ＣＳ３［ｎ：１］を受ける。また、可変遅延回路ＶＤＬＹ３は、ライトタイミング信号ＷＤＱＳ０の代わりにクロック信号ＭＣＬＫを受け、遅延ライトタイミング信号ＷＤＱＳの代わりに遅延クロック信号ＤＭＣＬＫを出力する。

[0051] なお、遅延ラインＤ１、Ｄ２は、接続順を逆にしてもよい。この場合、遅延ラインＤ２は、ライトタイミング信号ＷＤＱＳ０を所定時間遅延させた遅延信号ＷＤＱＳ１を出力し、遅延ラインＤ１は、遅延信号ＷＤＱＳ１を所定時間遅延させた遅延ライトタイミング信号ＷＤＱＳを出力する。

[0052] 図４は、図１のＤＬＬ回路１０の構成を示す。ＤＬＬ回路１０は、可変遅延回路ＶＤＬＹ３、位相比較部１２およびクロック遅延調整部１４を有する。例えば、可変遅延回路ＶＤＬＹ３は、図３で説明した可変遅延回路ＶＤＬＹ１と同じ回路構成を有し、入力で受けたクロック信号ＭＣＬＫを遅延して遅延クロック信号ＤＭＣＬＫとして出力する。

[0053] 位相比較部１２は、クロック信号ＭＣＬＫと遅延クロック信号ＤＭＣＬＫとの位相を比較し、比較結果（位相のずれ量を示す情報）をクロック遅延調整部１４に出力する。クロック遅延調整部１４は、位相の比較結果に基づいて、遅延クロック信号ＤＭＣＬＫの位相をクロック信号ＭＣＬＫの位相と一致させるための制御信号ＦＳ３、ＣＳ３を出力する。制御信号ＦＳ３、ＣＳ３は、実際には、ｎビットの信号ＦＳ３［ｎ：１］、ＣＳ３［ｎ：１］である。

[0054] ここで、クロック遅延調整部１４は、モード信号ＦＣＭＯＤＥが第１モードを示す場合、制御信号ＣＳ３を変更せずに制御信号ＦＳ３を変更することで、遅延素子ＦＤ（図３）を使用して可変遅延回路ＶＤＬＹ３の遅延量を調整する。クロック遅延調整部１４は、モード信号ＦＣＭＯＤＥが第２モードを示す場合、制御信号ＦＳ３を変更せずに制御信号ＣＳ３を変更することで、遅延素子ＣＤ（図３）を使用して可変遅延回路ＶＤＬＹ３の遅延量を調整する。第１モードと第２モードの動作の例は、図５および図６で説明する。

[0055] ＤＬＬ回路１０では、クロック信号ＭＣＬＫと遅延クロック信号ＤＭＣＬＫとの位相を一致させることで、クロック信号ＭＣＬＫの周期を、遅延素子ＦＤの遅延段数または遅延素子ＣＤの遅延段数として表すことができる。クロック遅延調整部１４は、第１モードでは、制御信号ＦＳ３をクロック信号ＭＣＬＫの周期（すなわち、動作周波数）を示す情報として遅延制御回路２

０に出力する。クロック遅延調整部１４は、第２モードでは、制御信号ＣＳ３をクロック信号ＭＣＬＫの周期（すなわち、動作周波数）を示す情報として遅延制御回路２０に出力する。

[0056] 図５は、図３の可変遅延回路ＶＤＬＹ１の動作の一例を示す。なお、可変遅延回路ＶＤＬＹ２の動作は、制御信号ＦＳ１、ＣＳ１を制御信号ＦＳ２、ＣＳ２にそれぞれ置き換えることで表す。また、変遅延回路ＶＤＬＹ２の動作は、ライトタイミング信号ＷＤＱＳ０と遅延ライトタイミング信号ＷＤＱＳとを、データストローブ信号ＤＱＳ、遅延リードタイミング信号ＲＤＱＳとにそれぞれ置き換えることで表す。可変遅延回路ＶＤＬＹ３の動作は、制御信号ＦＳ１、ＣＳ１を制御信号ＦＳ３、ＣＳ３にそれぞれ置き換えることで表す。また、可変遅延回路ＶＤＬＹ３の動作は、ライトタイミング信号ＷＤＱＳ０と遅延ライトタイミング信号ＷＤＱＳとを、クロック信号ＭＣＬＫ、遅延クロック信号ＤＭＣＬＫとにそれぞれ置き換えることで表す。

[0057] 図５は、遅延制御回路２０が制御信号ＦＳのみを変更して可変遅延回路ＶＤＬＹ１の遅延時間を調整する第１モードの動作を示す。第１モードは、フラッシュメモリ２００の動作周波数が相対的に高いときに使用し、論理０のモード信号ＦＣＭＯＤＥで示す。

[0058] 図５に示す例では、遅延素子ＦＤ１－ＦＤ３が転送遅延素子として機能し、遅延素子ＦＤ４が折り返し遅延素子として機能し、遅延素子ＦＤ５が折り返し制御素子として機能する。なお、第１モードでは、遅延ラインＤ２の初段の遅延素子ＣＤ１が折り返し遅延素子として機能し、遅延時間が遅延素子ＦＤの遅延時間より長い遅延素子ＣＤ２－ＣＤｎは使用しない。

[0059] このため、可変遅延回路ＶＤＬＹ１の最小の遅延時間は、遅延ラインＤ１の遅延素子ＦＤ１と、遅延ラインＤ２の遅延素子ＣＤ１の２つ分になる。例えば、遅延素子ＦＤ１と遅延素子ＣＤ１の遅延時間が３０ｐｓの場合、可変遅延回路ＶＤＬＹ１の最小の遅延時間は６０ｐｓになる。なお、遅延素子ＣＤ２－ＣＤｎの各々の遅延時間は、例えば、１２０ｐｓである。また、各遅延素子ＦＤ、ＣＤの遅延時間は、半導体集積回路１００を標準的な製造条件

で製造した場合の例を示す。

[0060] これに対して、遅延ラインＤ２の初段に遅延素子ＣＤ２を配置する場合、可変遅延回路ＶＤＬＹ１の最小の遅延時間は１５０ｐｓ（３０ｐｓ＋１２０ｐｓ）になるため、１５０ｐｓより小さい遅延時間を調整することができない。換言すれば、この実施形態では、遅延量が相対的に小さい遅延素子ＦＤ１－ＦＤｎと、遅延量が相対的に大きい遅延素子ＣＤ２－ＣＤｎを使用して信号を遅延させる場合、最小の遅延時間を遅延素子ＣＤ２の遅延時間以下にすることができる。これにより、可変遅延回路ＶＤＬＹ１は、フラッシュメモリ２００の動作周波数が高い場合にも、所望の遅延量の信号を出力することができる。この結果、遅延量が相対的に小さい遅延素子ＦＤ１－ＦＤｎと、遅延量が相対的に大きい遅延素子ＣＤ２－ＣＤｎを使用して、幅広い遅延量を調整可能な可変遅延回路ＶＤＬＹ１において、遅延量の調整精度を向上することができる。これら効果は、可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３でも得ることができる。

[0061] 図５に示す例では、４つの遅延素子ＦＤ１－ＦＤ４と１つの遅延素子ＣＤ１とを使用して、ライトタイミング信号ＷＤＱＳ０を１５０ｐｓ遅延させる例を示している。第１モードでは、制御信号ＦＳ１のみを使用して可変遅延回路ＶＤＬＹ１の遅延量を調整するため、遅延量の変化量である粒度は、常に３０ｐｓになる。この際、制御信号ＣＳ１［ｎ：１］の論理を変更せず、論理１に設定する制御信号ＦＳ１を変更するだけでよい。

[0062] これに対して、制御信号ＦＳ１、ＣＳ１の両方を使用して遅延量を３０ｐｓ単位で調整する場合、例えば、遅延素子ＣＤ２の追加とともに３つの遅延素子ＦＤを削除しなくてはならない。これにより、制御信号ＦＳ１、ＣＳ１を生成するための回路の論理が複雑になってしまう。換言すれば、本実施形態では、遅延ラインＤ１または遅延ラインＤ２を排他的に使用して遅延時間を調整することで、制御信号ＦＳ１、ＣＳ１を生成するための回路の論理を簡易にすることができる。

[0063] 図６は、図３の可変遅延回路ＶＤＬＹ１の動作の別の例を示す。図６にお

いても、図５で説明したように、信号名を置き換えることで、可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３の動作に置き換えることができる。

[0064] 図６は、遅延制御回路２０が制御信号ＣＳのみを変更して可変遅延回路ＶＤＬＹ１の遅延時間を調整する第２モードの動作を示す。第２モードは、フラッシュメモリ２００の動作周波数が相対的に低いときに使用し、論理１のモード信号ＦＣＭＯＤＥで示す。

[0065] 図６では、遅延素子ＣＤ１、ＣＤ２が転送遅延素子として機能し、遅延素子ＦＤ３が折り返し遅延素子として機能し、遅延素子ＣＤ４が折り返し制御素子として機能する。なお、第２モードでは、遅延ラインＤ１の初段の遅延素子ＦＤ１が折り返し遅延素子として機能し、遅延時間が遅延素子ＣＤの遅延時間より短い遅延素子ＦＤ２－ＦＤｎは使用しない。

[0066] 図６に示す例では、可変遅延回路ＶＤＬＹ１は、遅延素子ＦＤ１と遅延素子ＣＤ１－ＣＤ３とを使用して、ライトタイミング信号ＷＤＱＳ０を３００ｐｓ遅延させた遅延ライトタイミング信号ＷＤＱＳを出力する。第２モードでは、制御信号ＣＳ１のみを使用して可変遅延回路ＶＤＬＹ１の遅延量を調整するため、遅延量の変化量である粒度は、常に１２０ｐｓになる。この際、制御信号ＦＳ１［ｎ：１］の論理を変更せず、論理１に設定する制御信号ＣＳ１を変更するだけでよい。このため、図５と同様に、制御信号ＦＳ１、ＣＳ１の両方を使用して遅延量を調整する場合に比べて、制御信号ＦＳ１、ＣＳ１を生成するための回路の論理を簡易にすることができる。

[0067] 図７は、図３の可変遅延回路ＶＤＬＹ１が出力する遅延ライトタイミング信号ＷＤＱＳの波形を示す。なお、可変遅延回路ＶＤＬＹ２の動作は、制御信号ＦＳ１、ＣＳ１を制御信号ＦＳ２、ＣＳ２に置き換えることで表す。また、可変遅延回路ＶＤＬＹ２の動作は、ライトタイミング信号ＷＤＱＳ０と遅延ライトタイミング信号ＷＤＱＳとを、それぞれデータストローブ信号ＤＱＳと遅延リードタイミング信号ＲＤＱＳとに置き換えることで表す。

[0068] また、可変遅延回路ＶＤＬＹ３の動作は、制御信号ＦＳ１、ＣＳ１を制御信号ＦＳ３、ＣＳ３に置き換えることで表す。また、可変遅延回路ＶＤＬＹ

３の動作は、ライトタイミング信号ＷＤＱＳ０と遅延ライトタイミング信号ＷＤＱＳとを、それぞれクロック信号ＭＣＬＫと遅延クロック信号ＤＭＣＬＫとに置き換えることで表す。

[0069] 図５で説明したように、第１モードでは、論理１に設定する制御信号ＦＳ１のみを変更し、遅延量を３０ｐｓ単位で変更する。つまり、最小の遅延量は６０ｐｓである。一方、第２モードでは、論理１に設定する制御信号ＣＳ１のみを変更し、遅延量を１２０ｐｓ単位で変更する。

[0070] なお、例えば、遅延量を１８０ｐｓにする場合、第１モード、第２モードのいずれでも設定可能である。しかしながら、第１モードでは、遅延時間が３０ｐｓの６個の遅延素子ＦＤ１－ＦＤ５および遅延素子ＣＤ１を使用し、第２モードでは、遅延素子ＦＤ１および遅延素子ＣＤ１、ＣＤ２を使用する。

[0071] 使用する遅延素子の数が多いほど、各遅延素子の遅延時間の誤差を平均化することができるため、遅延時間の精度を向上することができる。例えば、フラッシュメモリ２００の動作周波数が高いほど、データストローブ信号ＤＱＳ等のスキュー（遷移エッジのずれ）の許容量は厳しくなる。このため、第１モードにおいて、遅延素子ＦＤ１－ＦＤｎ、ＣＤ１のみを使用して信号を遅延させることで、遅延素子ＣＤ２－ＣＤｎを使用する場合に比べて、遅延時間の精度を向上することができる。なお、遅延素子の遅延時間の誤差は、半導体集積回路１００の製造工程で発生するトランジスタサイズのばらつき等により発生する。

[0072] 図８は、図１の遅延制御回路２０による可変遅延回路ＶＤＬＹ１の制御の説明を示す。可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３の制御も図８と同様である。なお、上述したように、各遅延素子ＦＤ、ＣＤの遅延時間は、半導体集積回路１００を標準的な製造条件で製造した場合の標準値であり、標準値からの変動がないものとする。

[0073] 動作モードに示すＭｏｄｅ９からＭｏｄｅ０は、ＮＡＮＤ型フラッシュメモリのインタフェース規格であるＮＶ－ＤＤＲ２／ＤＤＲ３での動作モード

を示す。例えば、Ｍｏｄｅ９は、フラッシュメモリ２００の最大動作周波数が３３３ＭＨｚである。フラッシュメモリ２００は、ＤＤＲで動作するため、Ｍｏｄｅ９での最大伝送レートは６６６Ｍｂｐｓであり、データストローブ信号ＤＱＳのトグル時の１周期は約３００３ｐｓである。この場合、遅延ラインＤ１の遅延素子ＦＤ１を１００段使用する。

[0074] Ｍｏｄｅ９およびＭｏｄｅ８は、遅延ラインＤ１の遅延素子ＦＤ１による遅延時間の調整で対応可能であるため、第１モードで可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を動作させる。Ｍｏｄｅ７からＭｏｄｅ２までは、遅延ラインＤ２の遅延素子による遅延時間の調整で対応可能であるため、第２モードで可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を動作させる。なお、半導体集積回路１００は、Ｍｏｄｅ１およびＭｏｄｅ０に対応していないが、２５６段の遅延素子ＣＤを含む可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を半導体集積回路１００に設けることで対応可能になる。

[0075] 図９は、図３の可変遅延回路ＶＤＬＹ１の動作のさらなる別の例を示す。図９に示すように、半導体集積回路１００は、遅延制御回路２０により制御信号ＦＳ１、ＣＳ１の両方を変更して可変遅延回路ＶＤＬＹ１の遅延時間を調整することが可能である。図９では、５つの遅延素子ＦＤ１－ＦＤ５と遅延素子ＣＤ１－ＣＤ３とを順次接続する例を示す。このときの可変遅延回路ＶＤＬＹ１の遅延時間は、例えば、４２０ｐｓである。なお、可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３においても、制御信号ＦＳ、ＣＳを両方変更して遅延時間を調整することが可能である。

[0076] 図１０は、半導体集積回路１００による可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３の制御フローを示す。図１０に示す制御フローは、ロジック回路により実現してもよく、半導体集積回路１００に搭載するＣＰＵ等のプロセッサが実行するプログラムにより実現してもよい。

[0077] まず、ステップＳ１０において、半導体集積回路１００は、モード信号ＦＣＭＯＤＥに基づいて、第１モードまたは第２モードのいずれで制御するか

を判定する。第１モードで制御する場合、ステップＳ１２において、半導体集積回路１００は、遅延素子ＦＤ１－ＦＤｎを使用して可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を動作させることを決定する。次に、ステップＳ１４において、半導体集積回路１００は、ＤＬＬ回路１０の可変遅延回路ＶＤＬＹ３の遅延素子ＦＤ１－ＦＤｎを用いて、クロック信号ＭＣＬＫの１周期に対応する遅延時間を、使用する遅延素子ＦＤ１－ＦＤｎの段数として求める。なお、遅延ラインＤ２の遅延素子ＣＤ１は、第１モードおよび第２モードのいずれにおいても使用できる。ここで、使用する遅延素子の段数は、制御信号ＦＳ３の論理レベルにより求める。

[0078] 一方、第２モードで制御する場合、ステップＳ１６において、半導体集積回路１００は、遅延素子ＣＤ２－ＣＤｎを使用して可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を動作させることを決定する。次に、ステップＳ１８において、半導体集積回路１００は、ＤＬＬ回路１０の可変遅延回路ＶＤＬＹ３の遅延素子ＣＤ２－ＣＤｎを用いて、クロック信号ＭＣＬＫの１周期に対応する遅延時間を、使用する遅延素子ＣＤ２－ＣＤｎの段数として求める。なお、遅延ラインＤ１の遅延素子ＦＤ１は、第１モードおよび第２モードのいずれにおいても使用する。

[0079] ステップＳ１４またはステップＳ１８の後、ステップＳ２０において、遅延制御回路２０は、図２で説明したように、データストローブ信号ＤＱＳの遷移エッジをライトデータの中央に設定するための可変遅延回路ＶＤＬＹ１の遅延素子の段数を求める。第１モードでは、遅延素子ＦＤの使用段数を求め、第２モードでは、遅延素子ＣＤの使用段数を求める。そして、遅延制御回路２０は、可変遅延回路ＶＤＬＹ１を、求めた段数に対応する遅延時間に設定する制御信号ＦＳ１、ＣＳ１を可変遅延回路ＶＤＬＹ１に出力する。

[0080] 次に、ステップＳ２２において、半導体集積回路１００は、フラッシュメモリ２００をリードアクセスし、リードデータのデータ幅（例えば、エッジ間隔）を求める。次に、ステップＳ２４において、遅延制御回路２０は、図２で説明したように、データストローブ信号ＤＱＳの遷移エッジをリードデ

ータの中央に設定するための可変遅延回路ＶＤＬＹ２の遅延素子の段数を求める。第１モードでは、遅延素子ＦＤの段数を求め、第２モードでは、遅延素子ＣＤの段数を求める。そして、遅延制御回路２０は、可変遅延回路ＶＤＬＹ２を、求めた段数に対応する遅延時間に設定する制御信号ＦＳ２、ＣＳ２を可変遅延回路ＶＤＬＹ２に出力する。

[0081] 例えば、ステップＳ１０からステップＳ２４までは、フラッシュメモリ２００にアクセスするための制御信号のタイミングを補正するためのキャリブレーション期間に実施する。キャリブレーションは、システム３００の電源の起動時に実施し、半導体集積回路１００によりキャリブレーションの必要性を判断した場合にも実施する。なお、キャリブレーションは、電源起動後に所定の頻度で実施してもよい。

[0082] ステップＳ２６からステップＳ３０までは、例えば、半導体集積回路１００がフラッシュメモリ２００にアクセス可能な通常動作期間に実施する。ステップＳ２６において、遅延制御回路２０は、可変遅延回路ＶＤＬＹ３において遅延時間の生成に使用する遅延素子の段数が所定の段数以上ずれたか否かを検出することで、クロック信号ＭＣＬＫの周期が所定時間以上ずれたか否かを検出する。

[0083] 半導体集積回路１００は、段数のずれを検出するステップＳ２６を繰り返し実行する。遅延制御回路２０は、第１モードでは、制御信号ＦＳ３の論理の変化により段数のずれを検出し、第２モードでは、制御信号ＣＳ３の論理の変化により段数のずれを検出する。例えば、クロック信号ＭＣＬＫの周期のずれは、半導体集積回路１００の温度の変化または電源電圧の変化により発生する。

[0084] 遅延素子の段数が所定の段数以上ずれた場合、ステップＳ２８において、半導体集積回路１００は、キャリブレーションを実施するか否かを判定し、キャリブレーションを実施する場合、動作をステップＳ１０に移行する。例えば、遅延制御回路２０は、遅延素子の段数が急激に変化した場合、半導体集積回路１００の図示しない制御部に通知する。通知を受けた制御部は、半

導体集積回路１００の温度または電圧が急激に変化したと判断し、キャリブレーションの実施を決定する。

[0085] キャリブレーションを実施しない場合、ステップＳ３０において、遅延制御回路２０は、可変遅延回路ＶＤＬＹ３の遅延素子の段数のずれ量に合わせて、可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２の遅延素子の段数を変更する。例えば、遅延制御回路２０は、制御信号ＦＳ３、ＣＳ３の論理の変化に対応して、制御信号ＦＳ１、ＣＳ１、ＦＳ２、ＣＳ２の論理を変更する。これにより、可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３の遅延時間を、互いに同じに設定する。

[0086] 例えば、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３を常に同じ動作モードで動作する。このため、論理１の制御信号ＦＳ３がＦＳ３［３］、ＦＳ３［４］からＦＳ３［４］、ＦＳ３［５］に変わった場合、遅延制御回路２０は、制御信号ＦＳ１［４］、ＦＳ１［５］を論理１に設定し、制御信号ＦＳ２［４］、ＦＳ２［５］を論理１に設定する。このように、遅延制御回路２０は、可変遅延回路ＶＤＬＹ３の遅延時間の変化に追従して、簡易な制御により、可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２の遅延時間を変化させることができる。遅延制御回路２０は、ステップＳ３０の後、動作をステップＳ２６に戻す。

[0087] 以上、第１の実施形態では、遅延量が大きい遅延素子ＣＤ２－ＣＤｎを有する遅延ラインＤ２の初段に遅延量が小さい遅延素子ＣＤ１を配置する。これにより、遅延量が小さい遅延素子ＦＤ１－ＦＤｎと、遅延量が大きい遅延素子ＣＤ２－ＣＤｎを使用して信号を遅延させる場合、最小の遅延時間を遅延素子ＣＤ２の遅延時間以下にすることができる。これにより、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３は、フラッシュメモリ２００の動作周波数が高い場合にも、所望の遅延量の信号を出力することができる。この結果、遅延量が小さい遅延素子ＦＤ１－ＦＤｎと、遅延量が大きい遅延素子ＣＤ２－ＣＤｎを使用して、幅広い遅延量を調整可能な可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３において、遅延量の調整精度を向上することができる。

[0088] フラッシュメモリ２００の動作周波数が高い第１モードにおいて、遅延素子ＦＤ１－ＦＤｎ、ＣＤ１のみを使用して信号を遅延させることで、遅延素子ＣＤ２－ＣＤｎを使用する場合に比べて、使用する遅延素子の数を増やすことができる。この結果、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３による遅延時間の精度を向上することができる。

[0089] 動作モードに応じて、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３の遅延ラインＤ１または遅延ラインＤ２を排他的に使用して遅延時間を調整することで、制御信号ＦＳ１、ＣＳ１を生成するための回路の論理を簡易にすることができる。可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３を常に同じ動作モードで動作させるため、可変遅延回路ＶＤＬＹ３の遅延時間を調整する制御信号ＦＳ３、ＣＳ３を利用して、簡易な制御で可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２の遅延時間を調整することができる。

[0090] 各遅延素子ＣＤ２－ＣＤｎの遅延時間を、遅延素子ＦＤ１の整数倍に設定することで、信号を遅延するために使用する遅延素子（ＦＤまたはＣＤ）によらず、遅延時間を容易に計算することができ、使用する遅延素子の数を容易に計算することができる。

[0091] 遅延ラインＤ１において、直列に接続する偶数個のナンドゲートを介して信号を遅延することで、入力信号と出力信号（遅延した信号）とでデューティ比が変わることを防止できる。遅延ラインＤ２においても直列に接続する偶数個のナンドゲートと偶数個のインバータディレイＩＤ１、ＩＤ２を介して信号を遅延することで、入力信号と出力信号（遅延した信号）とでデューティ比が変わることを防止することができる。また、使用する遅延素子ＦＤ、ＣＤの段数によらず、デューティ比を一定にすることができる。

[0092] 遅延素子ＦＤに断続可能な容量素子を配置しないため、遅延素子ＦＤにおいて容量値により変化する遅延時間の微調整（トリミング等）は不要である。このため、微調整用の回路の付加が不要になり、遅延素子ＦＤの回路規模の増加を抑制できる。また、遅延ラインＤ１の出力に接続する負荷に合わせて遅延素子ＦＤの容量素子の容量値を調整しなくてよいため、設計工数を削

減することができる。

[0093] 図１１は、第２の実施形態の可変遅延回路の回路構成を示す。図３と同様の要素については同じ符号を付し、詳細な説明を省略する。図１１は、図１に示した可変遅延回路ＶＤＬＹ１に適用する例を示すが、図１に示した可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３にも適用できる。半導体集積回路１００において、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３を除く構成は、図１と同様である。なお、遅延ラインＤ１は、遅延ラインＤ２の前ではなく、遅延ラインＤ２の後に接続してもよい。

[0094] 図１１に示す可変遅延回路ＶＤＬＹ１は、遅延ラインＤ１および遅延ラインＤ２を有する。遅延ラインＤ１の回路構成は、図３と同様である。遅延ラインＤ２の遅延素子ＣＤ２は、遅延素子ＣＤ１と同じ回路構成を有する。すなわち、遅延ラインＤ２の初段側には、遅延素子ＦＤ１と同じ遅延時間を有する２つの遅延素子ＣＤ１、ＣＤ２を直列に接続している。図１１に示す遅延素子ＣＤ２は、第２遅延素子の一例である。可変遅延回路ＶＤＬＹ１のその他の構成は、図３に示した可変遅延回路ＶＤＬＹ１と同様である。

[0095] この実施形態においても、第１の実施形態と同様の効果を得ることができる。例えば、遅延ラインＤ２の初段側に、遅延素子”ＣＤＬＹ”より遅延量が小さい遅延素子ＣＤ１、ＣＤ２を配置することで、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３の最小の遅延量を、遅延素子”ＣＤＬＹ”の遅延時間以下にすることができる。これにより、フラッシュメモリ２００の動作周波数が高い場合にも、所望の遅延量の信号を出力することができ、幅広い遅延量を調整可能な可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３において、遅延量の調整精度を向上することができる。

[0096] さらに、この実施形態では、図７で説明したように、遅延時間が相対的に短い遅延素子”ＦＤＬＹ”の数を増やすことで、遅延素子”ＦＤＬＹ”の使用数を増やすことができ、遅延時間の精度を向上することができる。

[0097] 図１２は、第３の実施形態の可変遅延回路の回路構成を示す。図３と同様の要素については同じ符号を付し、詳細な説明を省略する。図１２は、図１

に示した可変遅延回路ＶＤＬＹ１に適用する例を示すが、図１に示した可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３にも適用できる。半導体集積回路１００において、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３を除く構成は、図１と同様である。

[0098] 図１２に示す可変遅延回路ＶＤＬＹ１は、２つの遅延ラインＤ０１、Ｄ１１と遅延ラインＤ２とを有する。そして、遅延ラインＤ０１、Ｄ１１と遅延ラインＤ２とを、この順で接続している。遅延ラインＤ０１、Ｄ１１は、それぞれ図３に示した遅延ラインＤ１と同じ回路構成である。

[0099] 遅延ラインＤ０１は、制御信号ＦＳ０１［ｎ：１］により制御し、ライトタイミング信号ＷＤＱＳ０を所定時間遅延させ、遅延信号ＷＤＱＳ１として出力する。遅延ラインＤ１１は、制御信号ＦＳ１１［ｎ：１］により制御し、遅延信号ＷＤＱＳ１を所定時間遅延させ、遅延信号ＷＤＱＳ２として出力する。遅延ラインＤ２は、制御信号ＣＳ１［ｎ：１］により制御し、遅延信号ＷＤＱＳ２を所定時間遅延させ、遅延ライトタイミング信号ＷＤＱＳとして出力する。

[0100] 図１の遅延制御回路２０は、図３の制御信号ＦＳ１［ｎ：１］を出力する代わりに、制御信号ＦＳ０１［ｎ：１］、ＦＳ１１［ｎ：１］を出力する。また、遅延制御回路２０は、可変遅延回路ＶＤＬＹ２に対して、制御信号ＦＳ２［ｎ：１］を出力する代わりに、図示しない制御信号ＦＳ０２［ｎ：１］、ＦＳ１２［ｎ：１］を出力する。制御信号ＦＳ０２［ｎ：１］、ＦＳ１２［ｎ：１］は、可変遅延回路ＶＤＬＹ２に設けた遅延ラインＤ０１、Ｄ１１の遅延時間の調整に使用する。

[0101] また、図１の可変遅延回路ＶＤＬＹ３は、制御信号ＦＳ３［ｎ：１］の代わりに、図示しない制御信号ＦＳ０３［ｎ：１］、ＦＳ１３［ｎ：１］を使用して、可変遅延回路ＶＤＬＹ３に設けた遅延ラインＤ０１、Ｄ１１の遅延時間を調整する。図１のＤＬＬ回路１０は、遅延制御回路２０に制御信号ＦＳ０３［ｎ：１］、ＦＳ１３［ｎ：１］を出力する。

[0102] なお、遅延ラインＤ０１、Ｄ１１と遅延ラインＤ２の接続の順序は、図１

２に限定されない。例えば、遅延ラインＤ２、遅延ラインＤ０１、Ｄ１１の順で接続してもよく、遅延ラインＤ０１、遅延ラインＤ２、遅延ラインＤ１１の順で接続してもよい。また、可変遅延回路ＶＤＬＹ１は、２以上の遅延ラインＤ１１を有してもよい。この場合にも、各遅延ラインＤ０１、Ｄ１１、Ｄ２の初段の遅延素子ＤＦ０１、ＦＤ１１、ＣＤ１を直列に接続する。

[0103] この実施形態においても、第１の実施形態と同様の効果を得ることができる。例えば、遅延ラインＤ１１、Ｄ２の初段側に、遅延素子”ＣＤＬＹ”より遅延量が小さい遅延素子ＦＤ１１、ＣＤ１（”ＦＤＬＹ”）を配置することで、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３の最小の遅延量を、遅延素子”ＣＤＬＹ”の遅延量以下にすることができる。これにより、フラッシュメモリ２００の動作周波数が高い場合にも、所望の遅延量の信号を出力することができ、幅広い遅延量を調整可能な可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３において、遅延量の調整精度を向上することができる。

[0104] さらに、この実施形態では、２つの遅延ラインＤ０１、Ｄ１１を設けることで、遅延時間が相対的に短い遅延素子ＦＤ１（ＦＤ０１、ＦＤ１１等）の数を増やすことで、遅延素子ＦＤ１で調整可能な遅延時間の範囲を広げることができる。例えば、可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３の遅延ラインＤ０１、Ｄ１１の各々に１２８段の遅延素子ＦＤを設けることで、遅延素子ＣＤ１を含めて２５７段の遅延素子”ＦＤＬＹ”を使用することができる。これにより、第１モードで対応可能なフラッシュメモリ２００の動作モードの範囲を広げることができる。

[0105] ２５７段の遅延素子ＦＤおよび遅延素子ＣＤ１による最大の遅延時間は、１素子の遅延時間を３０ｐｓとする場合、７７１０ｐｓである。この場合、図８に示したＭｏｄｅ９からＭｏｄｅ５まで、第１モードで可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３を動作させることができる。これにより、図８に示した第１モードと第２モードの振り分けに比べて、遅延時間の精度を向上することができる。この結果、例えば、フラッシュメモリ２００のデータストローブ信号ＤＱＳの遷移エッジとデータ信号ＤＱとの位置関係の

精度を向上することができ、フラッシュメモリ２００の動作マージンを向上することができる。

[0106] 図１３は、第４の実施形態の可変遅延回路の回路構成を示す。図３および図１２と同様の要素については同じ符号を付し、詳細な説明を省略する。図１３は、図１に示した可変遅延回路ＶＤＬＹ１に適用する例を示すが、図１に示した可変遅延回路ＶＤＬＹ２、ＶＤＬＹ３にも適用できる。半導体集積回路１００において、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３を除く構成は、図１と同様である。

[0107] 図１３に示す可変遅延回路ＶＤＬＹ１は、遅延ラインＤ１と遅延ラインＤ２との間に遅延ラインＤ３を接続する。遅延ラインＤ３は、第３遅延回路の一例である。遅延ラインＤ１および遅延ラインＤ２の回路構成は、図３と同様である。遅延ラインＤ３は、ｎ個の遅延素子ＭＤ（ＭＤ１－ＭＤｎ）を有する。遅延素子ＭＤ１は、遅延素子ＦＤ１と同じ回路構成（”ＦＤＬＹ”）である。遅延素子ＭＤ２－ＭＤｎの各々の遅延時間は、遅延素子ＦＤ１の遅延時間より長く、遅延素子ＣＤ２の遅延時間より短い。遅延素子ＭＤ１は、第４遅延素子の一例であり、遅延素子ＭＤ２－ＭＤｎは、第５遅延素子の一例である。

[0108] このため、遅延素子ＭＤ２－ＭＤｎの各々は、遅延素子ＣＤ２のインバータディレイＩＤ１、ＩＤ２の代わりに、インバータディレイＩＤ１、ＩＤ２より遅延時間が短いインバータディレイＩＤＭ１、ＩＤＭ２を有している。遅延素子ＭＤ２－ＭＤｎの各々の構成は、インバータディレイＩＤ１、ＩＤ２の代わりにインバータディレイＩＤＭ１、ＩＤＭ２を有することを除き、遅延素子ＣＤ２と同様である。遅延素子ＭＤ２－ＭＤｎの遅延時間は互いに同じであるため、図中では符号”ＭＤＬＹ”（Middle Delay）を付している。遅延素子ＭＤ２－ＭＤｎの遅延時間は、第３遅延時間の一例である。

[0109] 遅延ラインＤ１は、ライトタイミング信号ＷＤＱＳ０を所定時間遅延させ、遅延信号ＷＤＱＳ１として出力する。遅延ラインＤ３は、制御信号ＭＳ１［ｎ：１］により制御し、遅延信号ＷＤＱＳ１を所定時間遅延させ、遅延信

号ＷＤＱＳ２として出力する。遅延ラインＤ２は、遅延信号ＷＤＱＳ２を所定時間遅延させ、遅延ライトタイミング信号ＷＤＱＳとして出力する。制御信号ＭＳ１［ｎ：１］は、第３制御信号の一例である。

[0110] 図１の遅延制御回路２０は、図１で説明した機能に加えて、制御信号ＭＳ１［ｎ：１］を出力する機能を有している。また、遅延制御回路２０は、可変遅延回路ＶＤＬＹ２に対して、制御信号ＭＳ２［ｎ：１］を出力する機能を有している。制御信号ＭＳ２［ｎ：１］は、可変遅延回路ＶＤＬＹ２に設けた遅延ラインＤ３の遅延時間の調整に使用する。

[0111] また、図１の可変遅延回路ＶＤＬＹ３は、図１で説明した機能に加えて、制御信号ＭＳ３［ｎ：１］を使用して可変遅延回路ＶＤＬＹ３に設けた遅延ラインＤ３の遅延時間を調整する機能を有している。図１のＤＬＬ回路１０は、遅延制御回路２０に制御信号ＭＳ３［ｎ：１］を出力する。

[0112] なお、遅延ラインＤ１、遅延ラインＤ３および遅延ラインＤ２の接続の順序は、図１３に限定されない。例えば、遅延ラインＤ１、遅延ラインＤ２、遅延ラインＤ３の順で接続してもよく、遅延ラインＤ３、遅延ラインＤ１、遅延ラインＤ２の順で接続してもよい。

[0113] この実施形態においても、第１の実施形態と同様の効果を得ることができる。例えば、遅延ラインＤ３、Ｄ２の初段側に、遅延素子”ＣＤＬＹ”より遅延量が小さい遅延素子ＭＤ１、ＣＤ１（”ＦＤＬＹ”）を配置することで、可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３の最小の遅延量を、遅延素子”ＣＤＬＹ”の遅延量以下にすることができる。これにより、フラッシュメモリ２００の動作周波数が高い場合にも、所望の遅延量の信号を出力することができ、幅広い遅延量を調整可能な可変遅延回路ＶＤＬＹ１－ＶＤＬＹ３において、遅延量の調整精度を向上することができる。

[0114] さらに、この実施形態では、各可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３は、それぞれ３種類の遅延時間の遅延素子”ＦＤＬＹ”、”ＭＤＬＹ”、”ＣＤＬＹ”を任意の数使用できるため、遅延時間をより細かく調整することができる。なお、各可変遅延回路ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３は

、２段目以降の遅延素子の遅延時間が互いに異なる４つ以上の遅延回路を有してもよい。この場合にも、各遅延回路の初段の遅延素子を直列に接続する。

[0115] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

[0116] １０　ＤＬＬ回路

１２　位相比較部

１４　クロック遅延調整部

２０　遅延制御回路

３０　ライトデータ制御部

４０　リードデータ制御部

５０　ライトタイミング制御部

６０　リードタイミング制御部

７０　バッファ部

１００　半導体集積回路

１１０　ＣＰＵ

１２０　メモリコントローラ

１３０　物理インタフェース部

２００　フラッシュメモリ

３００　システム

ＣＤ１－ＣＤｎ　遅延素子

ＣＳ１、ＣＳ２、ＣＳ３　制御信号

Ｄ１、Ｄ２、Ｄ３　遅延ライン

ＤＱ　データ信号

ＤＱＳ　データストローブ信号

ＦＣＭＯＤＥ　モード信号

ＦＤ１－ＦＤｎ　遅延素子

ＦＳ１、ＦＳ２、ＦＳ３　制御信号

ＭＣＬＫ　クロック信号

ＭＤ１－ＭＤｎ　遅延素子

ＭＳ１　制御信号

ＶＤＬＹ１、ＶＤＬＹ２、ＶＤＬＹ３　可変遅延回路

請求の範囲

[請求項1] 第１遅延時間を有する直列に接続した複数の第１遅延素子を有し、前記複数の第１遅延素子の各々を、第１制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第１遅延素子で受信した信号を遅延させた遅延信号を初段の前記第１遅延素子から出力する少なくとも１つの第１遅延回路と、

直列に接続した、前記第１遅延素子と同じ構成を有する少なくとも１つの第２遅延素子と、前記第１遅延時間より長い第２遅延時間を有する複数の第３遅延素子とを有し、前記第２遅延素子および前記複数の第３遅延素子の各々を、第２制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第２遅延素子で受信した信号を遅延させた遅延信号を初段の前記第２遅延素子から出力する第２遅延回路と、を有し、

前記第１遅延回路の初段の前記第１遅延素子と前記第２遅延回路の初段の前記第２遅延素子とを直列に接続し、

前記第１遅延回路および前記第２遅延回路の一方で受けた入力信号を所定時間遅延させた遅延信号を、前記第１遅延回路および前記第２遅延回路の他方から出力する、可変遅延回路。

[請求項2] 前記第３遅延素子の遅延時間は、前記第１遅延素子の遅延時間のｋ倍（ｋは２以上の整数）である、請求項１に記載の可変遅延回路。

[請求項3] 直列に接続した、前記第１遅延素子と同じ構成を有する少なくとも１つの第４遅延素子と、第３遅延時間を有する複数の第５遅延素子とを有し、前記第４遅延素子および前記複数の第５遅延素子の各々を、第３制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を

入力側に転送する転送状態に設定し、初段の前記第４遅延素子で受信した信号を遅延させた遅延信号を初段の前記第４遅延素子から出力する少なくとも１つの第３遅延回路を有し、

前記第３遅延回路の初段の前記第４遅延素子を、前記第１遅延回路の初段の前記第１遅延素子および前記第２遅延回路の初段の前記第２遅延素子と直列に接続する、請求項１または請求項２に記載の可変遅延回路。

[請求項4] 第１可変遅延回路と、前記第１可変遅延回路の遅延時間を制御する第１制御信号および第２制御信号を出力する遅延制御回路とを有する半導体集積回路であって、

前記第１可変遅延回路は、

第１遅延時間を有する直列に接続した複数の第１遅延素子を有し、前記複数の第１遅延素子の各々を、第１制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第１遅延素子で受信した信号を遅延させた遅延信号を初段の前記第１遅延素子から出力する少なくとも１つの第１遅延回路と、

直列に接続した、前記第１遅延素子と同じ構成を有する少なくとも１つの第２遅延素子と、前記第１遅延時間より長い第２遅延時間を有する複数の第３遅延素子とを有し、前記第２遅延素子および前記複数の第３遅延素子の各々を、第２制御信号に応じて、受信した信号を入力側に戻す折り返し状態、または、受信した信号を出力側に転送して出力側から受信した信号を入力側に転送する転送状態に設定し、初段の前記第２遅延素子で受信した信号を遅延させた遅延信号を初段の前記第２遅延素子から出力する第２遅延回路と、を有し、

前記第１遅延回路の初段の前記第１遅延素子と前記第２遅延回路の初段の前記第２遅延素子とを直列に接続し、

前記第１遅延回路および前記第２遅延回路の一方で受けた入力信号を所定時間遅延させた遅延信号を、前記第１遅延回路および前記第２遅延回路の他方から出力する、半導体集積回路。

[請求項5] 第１モードと第２モードとを有し、

前記遅延制御回路は、前記第１モードでは、前記第２制御信号を変更せずに前記第１制御信号を変更することで前記入力信号の遅延量を調整し、前記第２モードでは、前記第１制御信号を変更せずに前記第２制御信号を変更することで前記入力信号の遅延量を調整する、請求項４に記載の半導体集積回路。

[請求項6] 前記第１可変遅延回路と同じ構成を有する第２可変遅延回路と、

前記第２可変遅延回路に入力するクロック信号の位相と、前記第２可変遅延回路から出力する遅延クロック信号の位相とを比較する位相比較部と、

前記第２可変遅延回路の遅延時間を調整し、前記クロック信号の位相と前記遅延クロック信号の位相とを一致させるクロック遅延調整部と、を有し、

前記入力信号の周期を前記クロック信号の周期に設定し、

前記遅延制御回路は、前記クロック遅延調整部により調整した遅延時間に合わせて前記第１可変遅延回路の遅延時間を調整するために前記第１制御信号または前記第２制御信号を出力する、請求項５に記載の半導体集積回路。

[請求項7] 前記クロック遅延調整部は、前記第１モードでは、前記第２可変遅延回路の前記第１遅延回路の遅延時間を調整し、前記第２モードでは、前記第２可変遅延回路の前記第２遅延回路の遅延時間を調整する、請求項６に記載の半導体集積回路。

[請求項8] フラッシュメモリに対して信号を入出力するインタフェース部を有し、

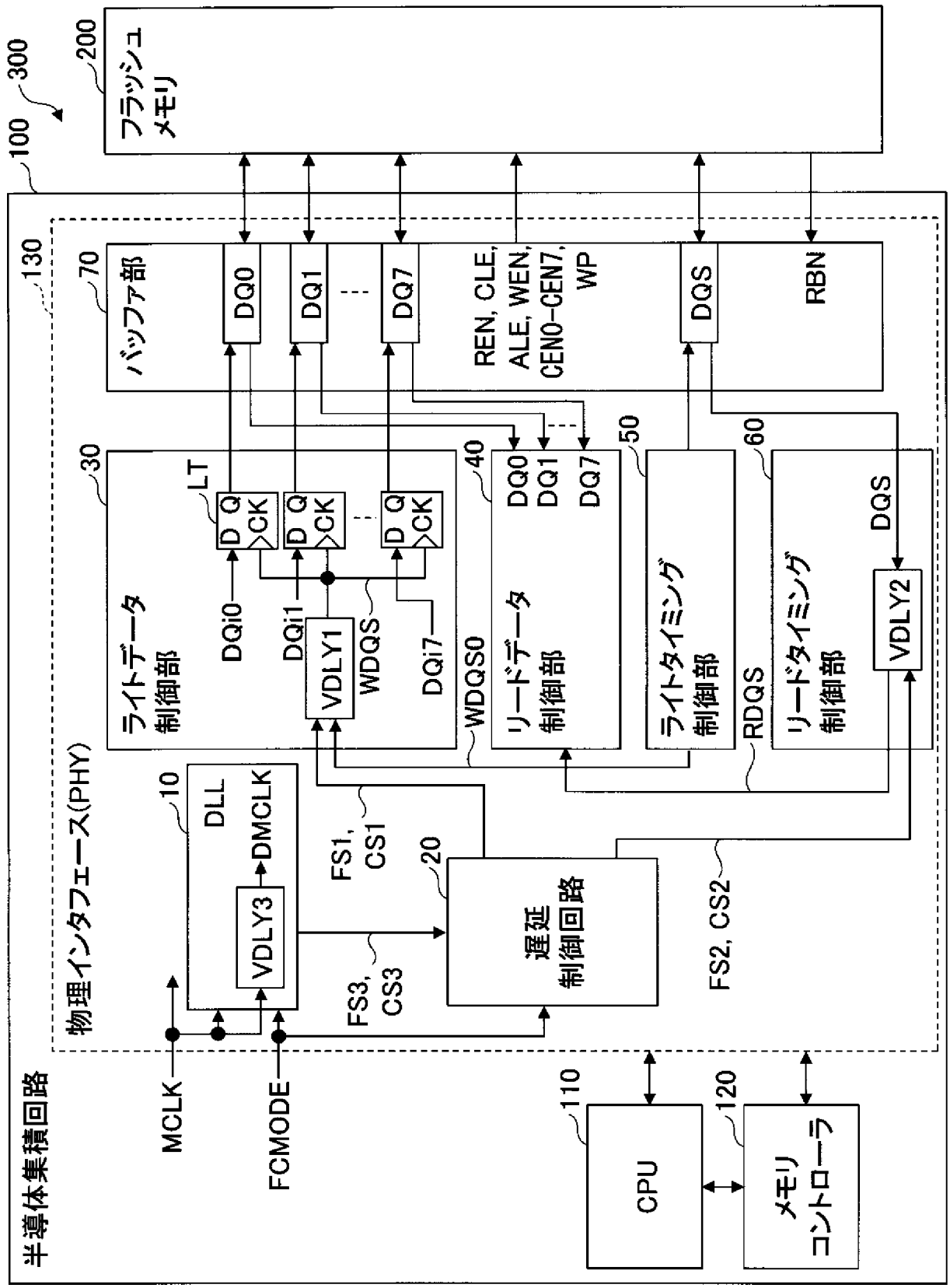
前記第１可変遅延回路は、前記フラッシュメモリにデータをライト

する場合、前記フラッシュメモリに出力するデータストローブ信号の遷移エッジに対するライトデータの遅延量を調整する、請求項４ないし請求項７のいずれか１項に記載の半導体集積回路。

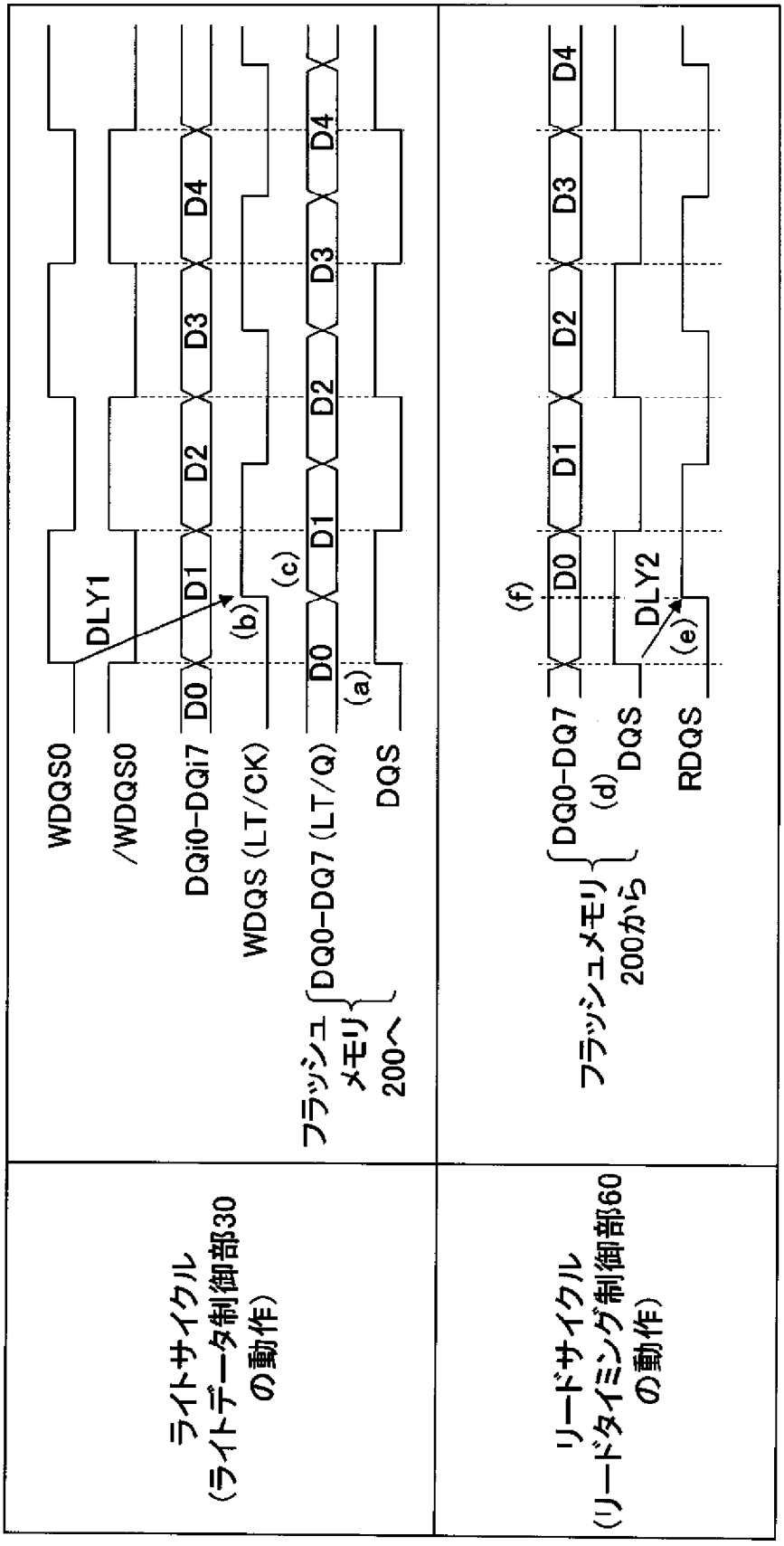
[請求項9] フラッシュメモリに対して信号を入出力するインタフェース部を有し、

前記第１可変遅延回路は、前記フラッシュメモリからデータをリードする場合、前記フラッシュメモリがリードデータとともに出力するデータストローブ信号のリードデータに対する遅延量を調整する、請求項４ないし請求項７のいずれか１項に記載の半導体集積回路。

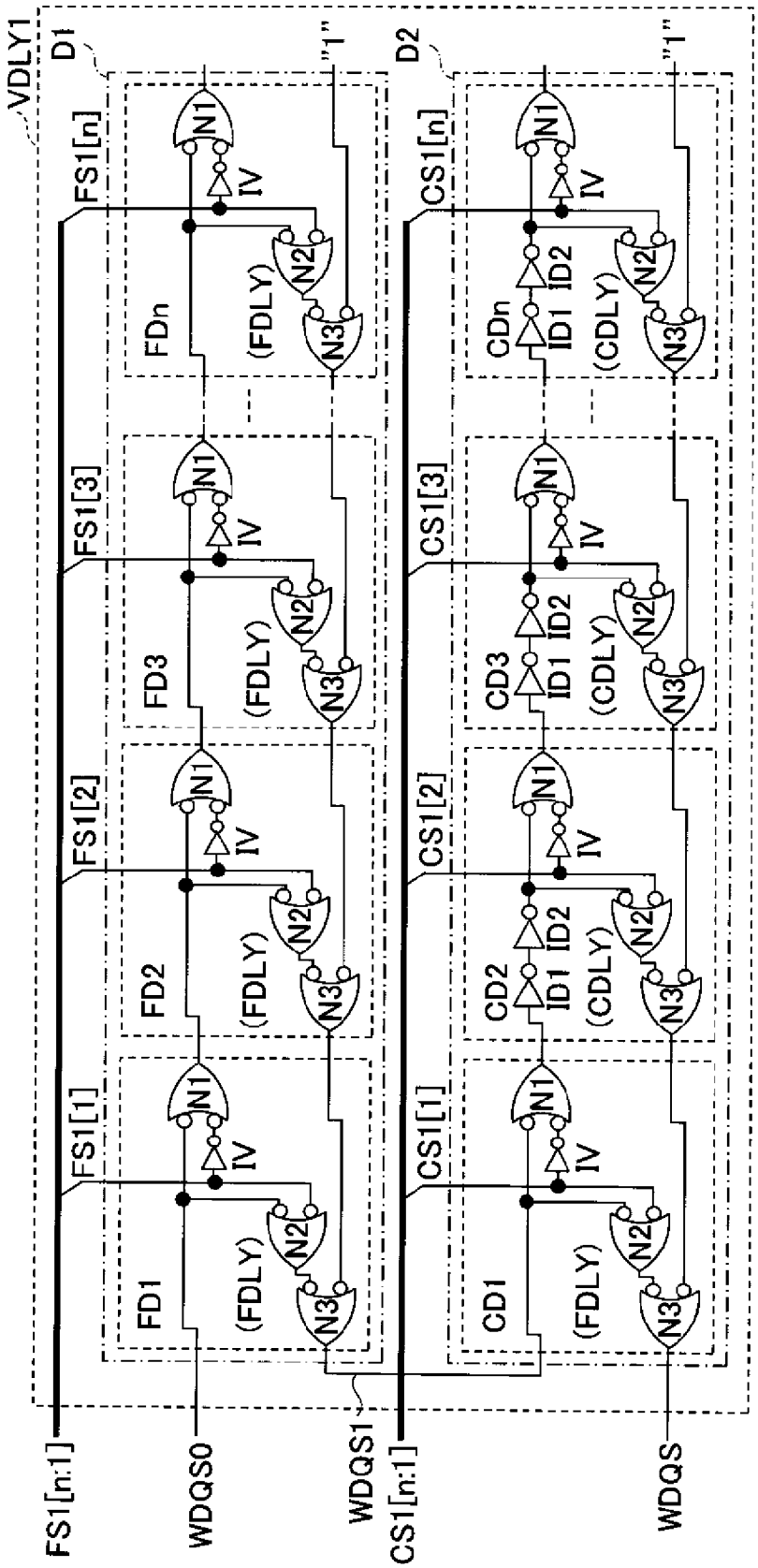
[図1]


半導体集積回路
100
300
200
フラッシュ
メモリ
物理インタフェース(PHY)
130
70
バッファ部
DQ0
DQ1
DQ7
REN, CLE,
ALE, WEN,
CEN0-CEN7,
WP
DQS
RBN
30
ライトデータ
制御部
LT
D Q
CK
DQi0
DQi1
DQi7
VDLY1
WDQS
WDQS0
40
リードデータ
制御部
50
ライトタイミング
制御部
60
リードタイミング
制御部
RDQS
VDLY2
10
DLL
DMCLK
VDLY3
FS1,
CS1
FS3,
CS3
20
遅延
制御回路
FS2, CS2
MCLK
FCMODE
110
CPU
120
メモリ
コントローラ

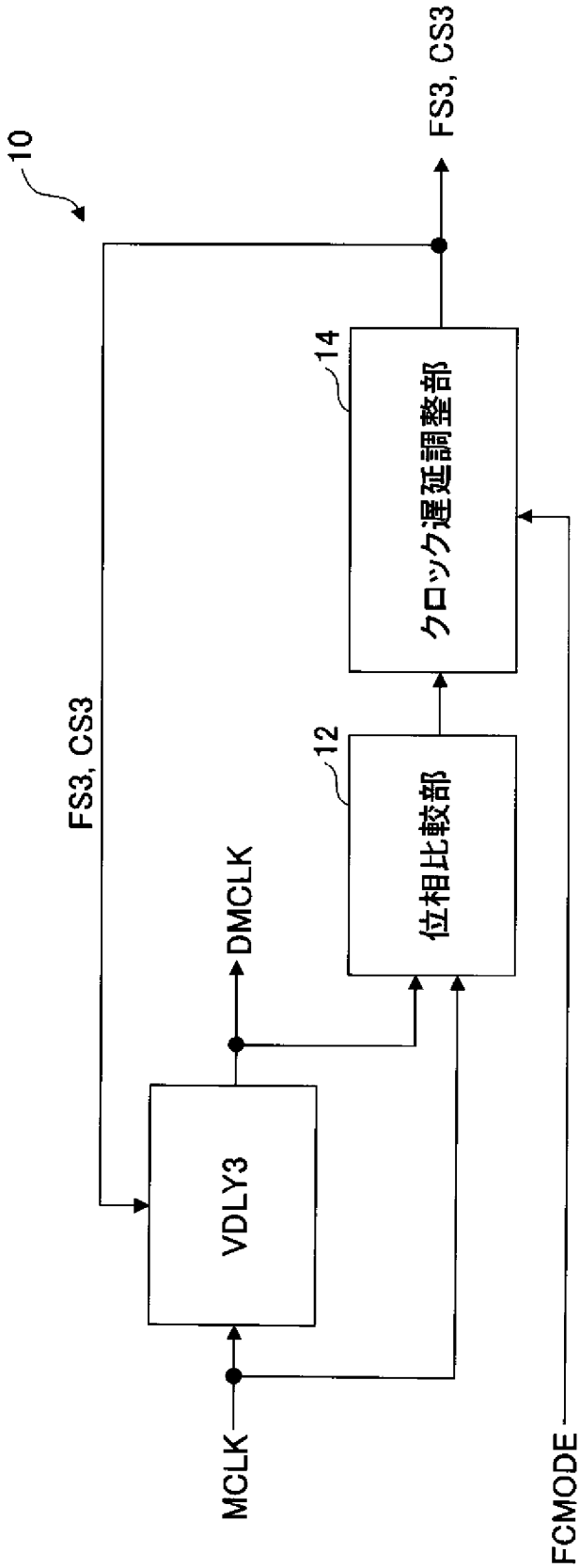
[図2]


WDQS0
/WDQS0
DQi0-DQi7
WDQS (LT/CK)
フラッシュメモリ200へ
DQ0-DQ7 (LT/Q)
DQS
DLY1
(a)
(b)
(c)
D0
D1
D2
D3
D4
(f)
フラッシュメモリ200から
DQ0-DQ7
(d)
DQS
RDQS
DLY2
(e)
ライトサイクル
(ライトデータ制御部30の動作)
リードサイクル
(リードタイミング制御部60の動作)

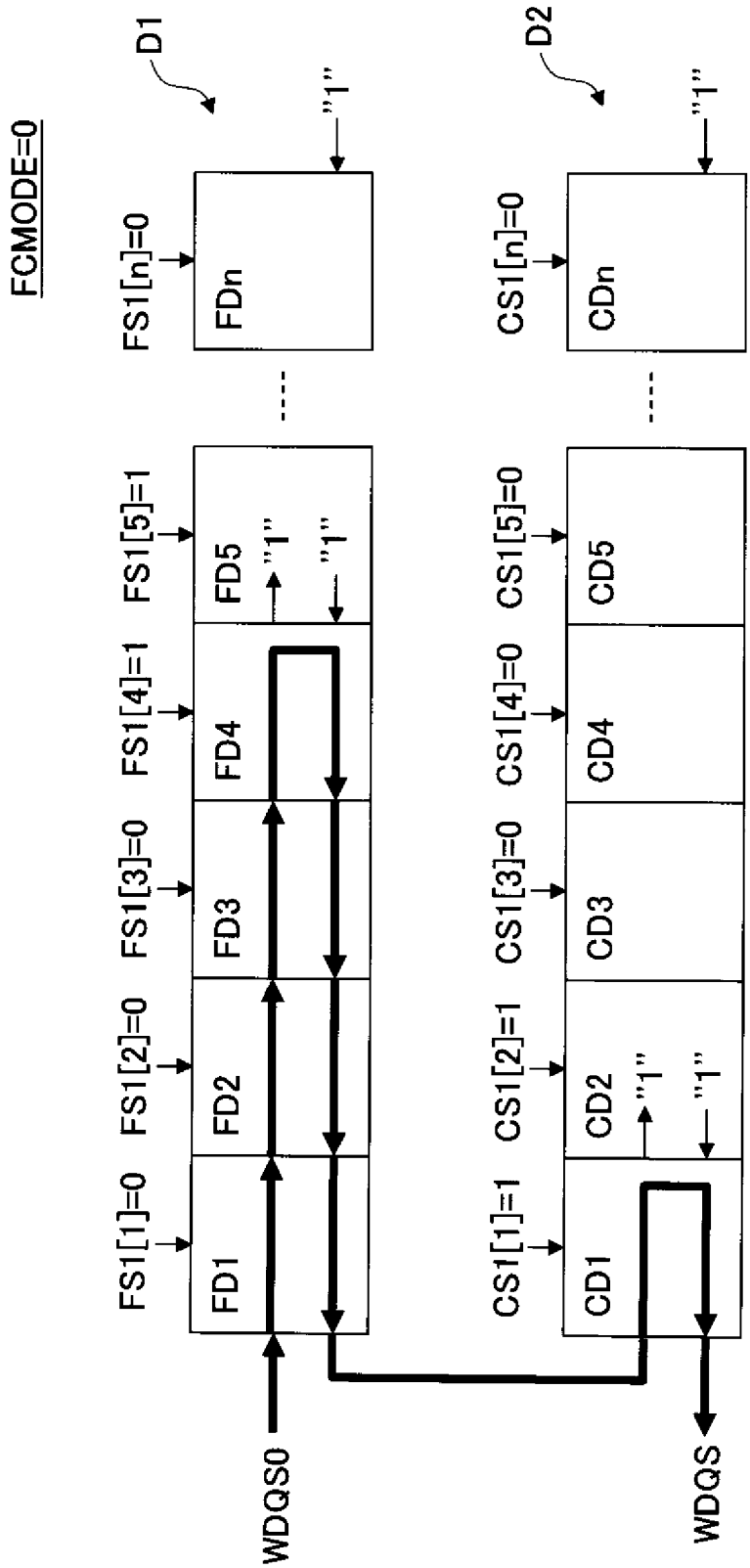
[図3]


VDLY1
D1
D2
"1"
FS1[n]
FS1[3]
FS1[2]
FS1[1]
CS1[n]
CS1[3]
CS1[2]
CS1[1]
FDn
FD3
FD2
FD1
CDn
CD3
CD2
CD1
N1
N2
N3
IV
ID1
ID2
(FDLY)
(CDLY)
FS1[n:1]
WDQS0
WDQS1
CS1[n:1]
WDQS

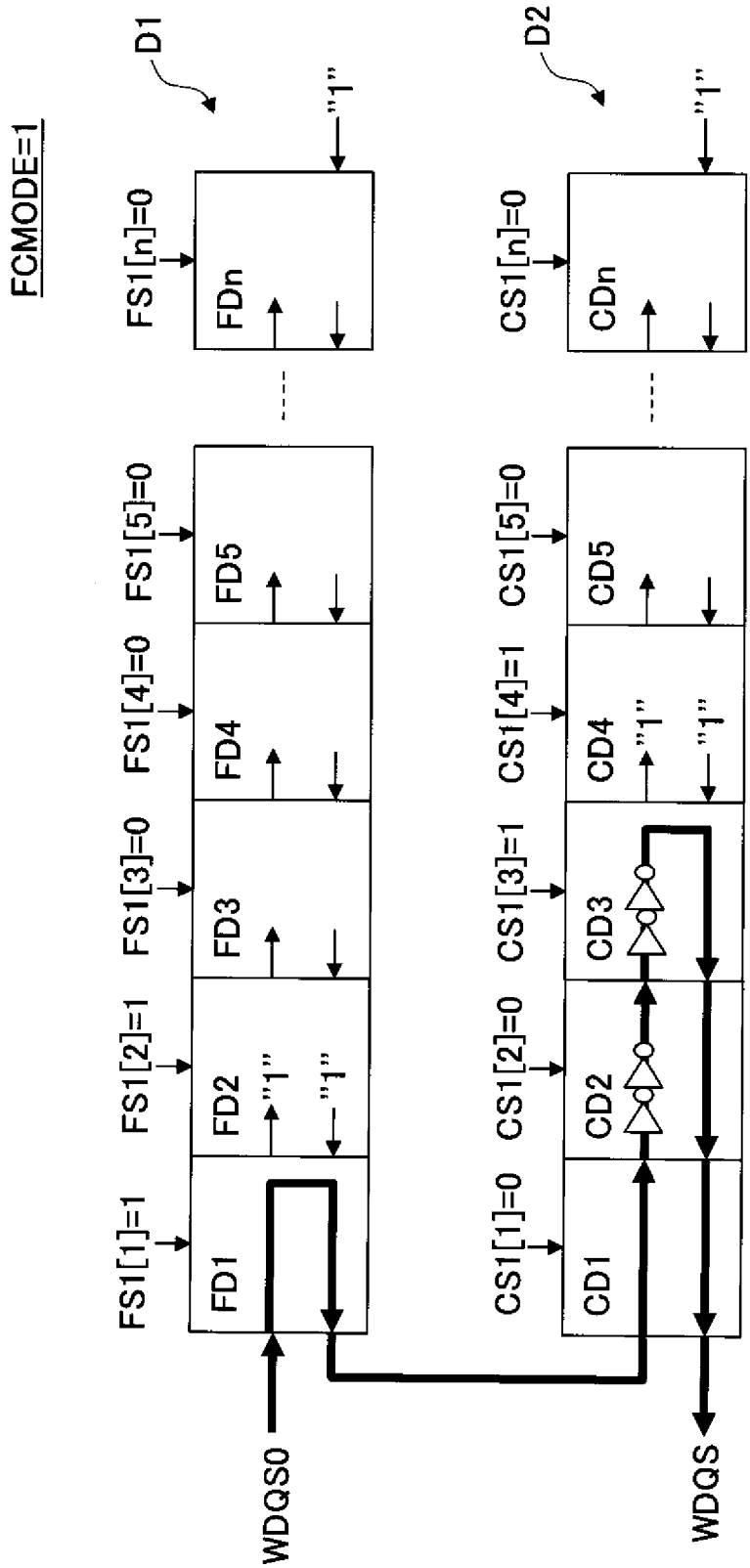
[図4]


10
FS3, CS3
14
クロック遅延調整部
12
位相比較部
DMCLK
VDLY3
FS3, CS3
MCLK
FCMODE

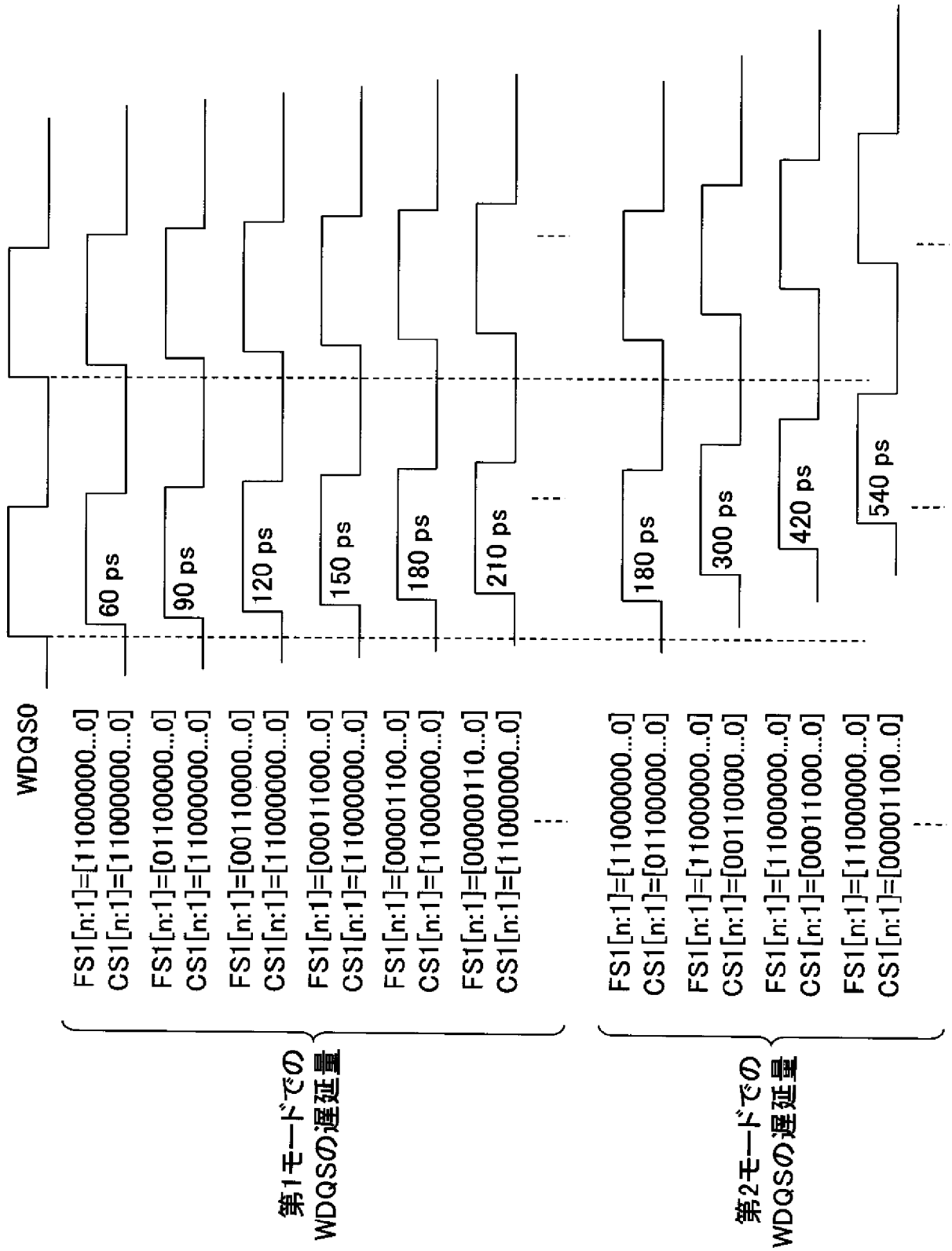
[図5]


FCMODE=0
D1
D2
"1"
FS1[n]=0
FDn
CS1[n]=0
CDn
FS1[5]=1
FD5
CS1[5]=0
CD5
FS1[4]=1
FD4
CS1[4]=0
CD4
FS1[3]=0
FD3
CS1[3]=0
CD3
FS1[2]=0
FD2
CS1[2]=1
CD2
FS1[1]=0
FD1
CS1[1]=1
CD1
WDQS0
WDQS

[図6]


FCMODE=1
D1
D2
"1"
FS1[n]=0
FDn
CS1[n]=0
CDn
FS1[5]=0
FD5
CS1[5]=0
CD5
FS1[4]=0
FD4
CS1[4]=1
CD4
FS1[3]=0
FD3
CS1[3]=1
CD3
FS1[2]=1
FD2
CS1[2]=0
CD2
FS1[1]=1
FD1
CS1[1]=0
CD1
WDQS0
WDQS

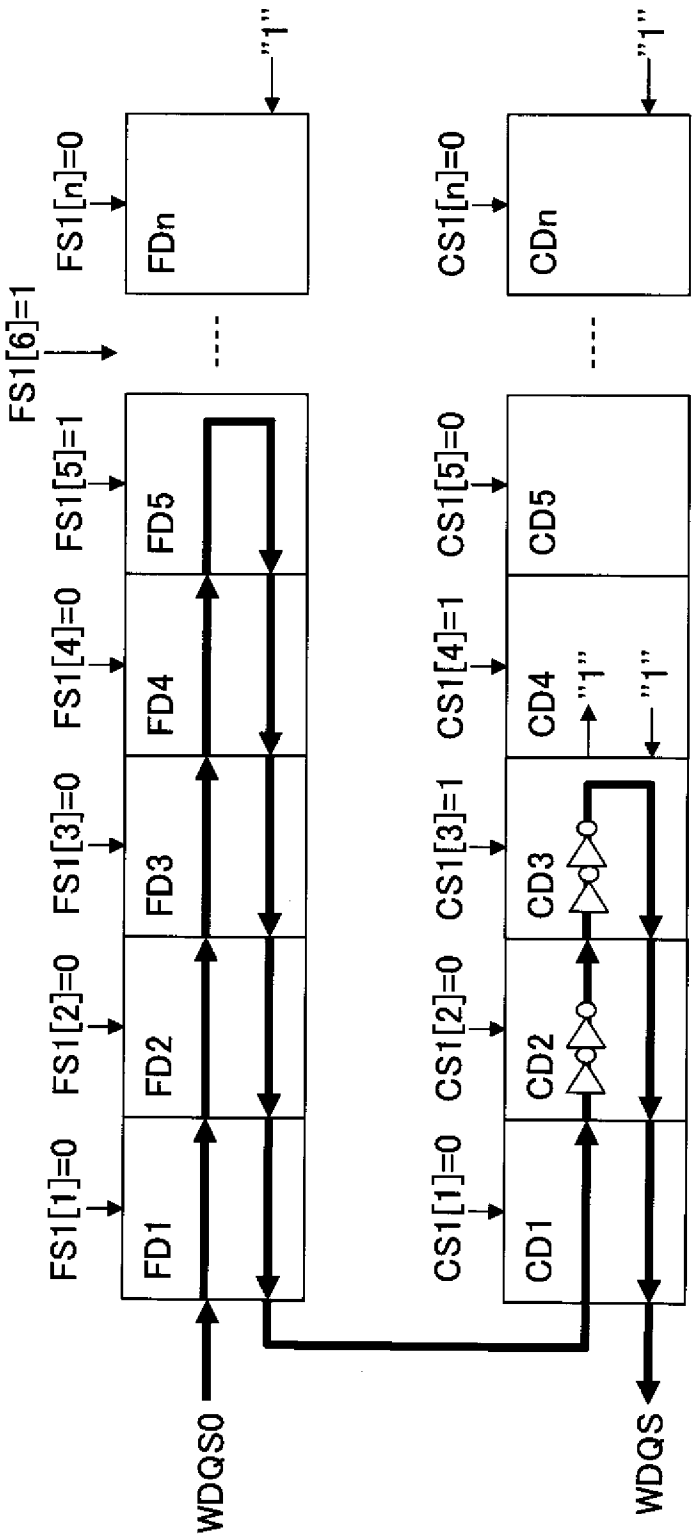
[図7]


WDQS0
FS1[n:1]=[11000000...0]
CS1[n:1]=[11000000...0]
60 ps
FS1[n:1]=[01100000...0]
CS1[n:1]=[11000000...0]
90 ps
FS1[n:1]=[00110000...0]
CS1[n:1]=[11000000...0]
120 ps
FS1[n:1]=[00011000...0]
CS1[n:1]=[11000000...0]
150 ps
FS1[n:1]=[00001100...0]
CS1[n:1]=[11000000...0]
180 ps
FS1[n:1]=[00000110...0]
CS1[n:1]=[11000000...0]
210 ps
第1モードでの
WDQSの遅延量
FS1[n:1]=[11000000...0]
CS1[n:1]=[01100000...0]
180 ps
FS1[n:1]=[11000000...0]
CS1[n:1]=[00110000...0]
300 ps
FS1[n:1]=[11000000...0]
CS1[n:1]=[00011000...0]
420 ps
FS1[n:1]=[11000000...0]
CS1[n:1]=[00001100...0]
540 ps
第2モードでの
WDQSの遅延量

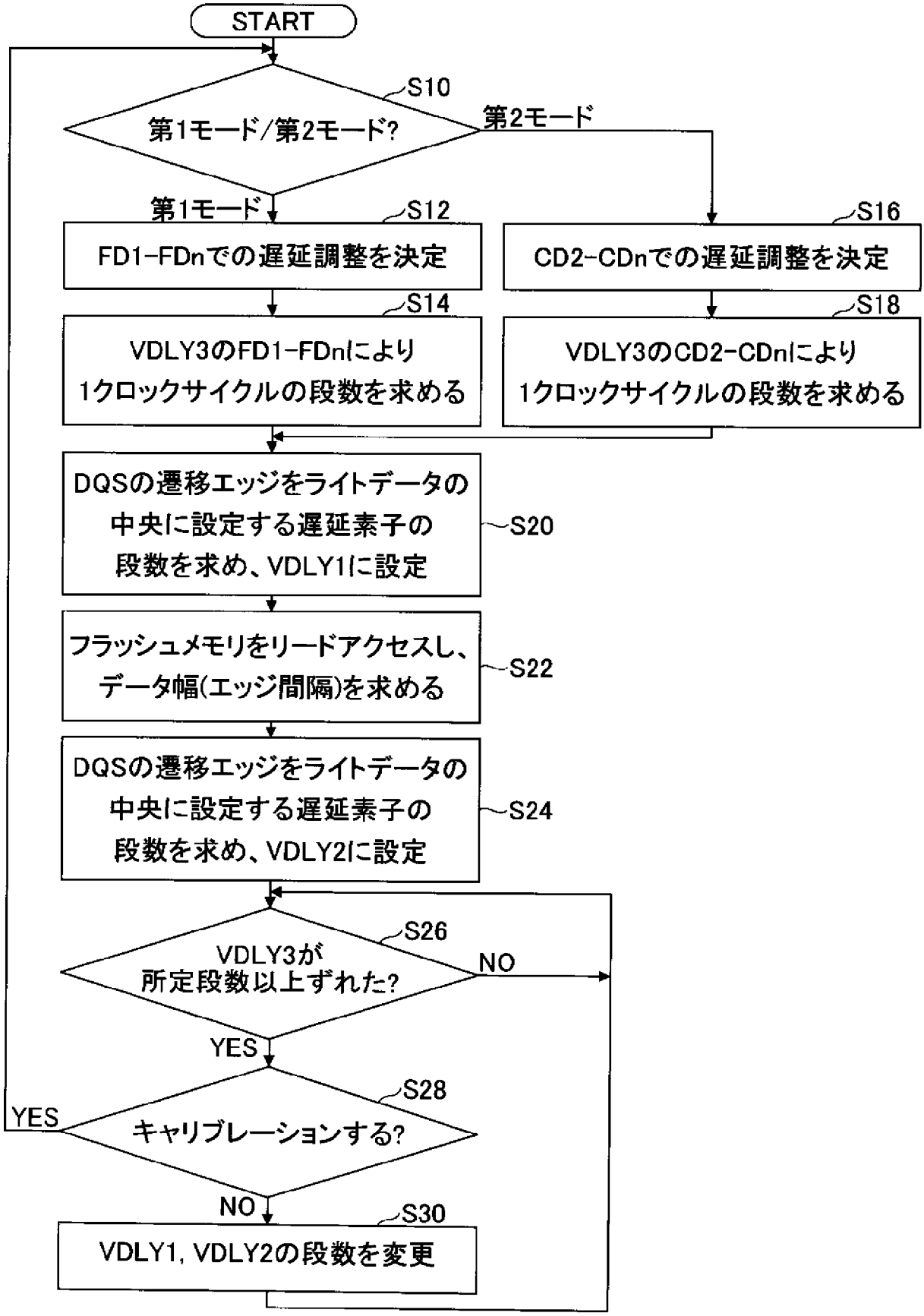
[図8]

動作モード	最大 動作周波数	最大 伝送レート	1周期	遅延素子必要数		備考
				FD	CD	
Mode 9	333 MHz	666 Mbps	3003 ps	100段	0段	第1モード(FCMODE="0") FD1-FDnとCD1を使用 遅延時間の変化量=30 ps
Mode 8	266 MHz	532 Mbps	3759 ps	125段	0段	
Mode 7	200 MHz	400 Mbps	5000 ps	0段	41段	第2モード(FCMODE="1") FD1とCD1-CDnを使用 遅延時間の変化量=120 ps
Mode 6	166 MHz	332 Mbps	6024 ps	0段	50段	
Mode 5	133 MHz	266 Mbps	7519 ps	0段	62段	
Mode 4	100 MHz	200 Mbps	10000 ps	0段	83段	
Mode 3	83 MHz	166 Mbps	12048 ps	0段	100段	
Mode 2	66 MHz	132 Mbps	15152 ps	0段	126段	
Mode 1	40 MHz	80 Mbps	25000 ps	0段	208段	CDを256段にする
Mode 0	33 MHz	66 Mbps	30303 ps	0段	253段	

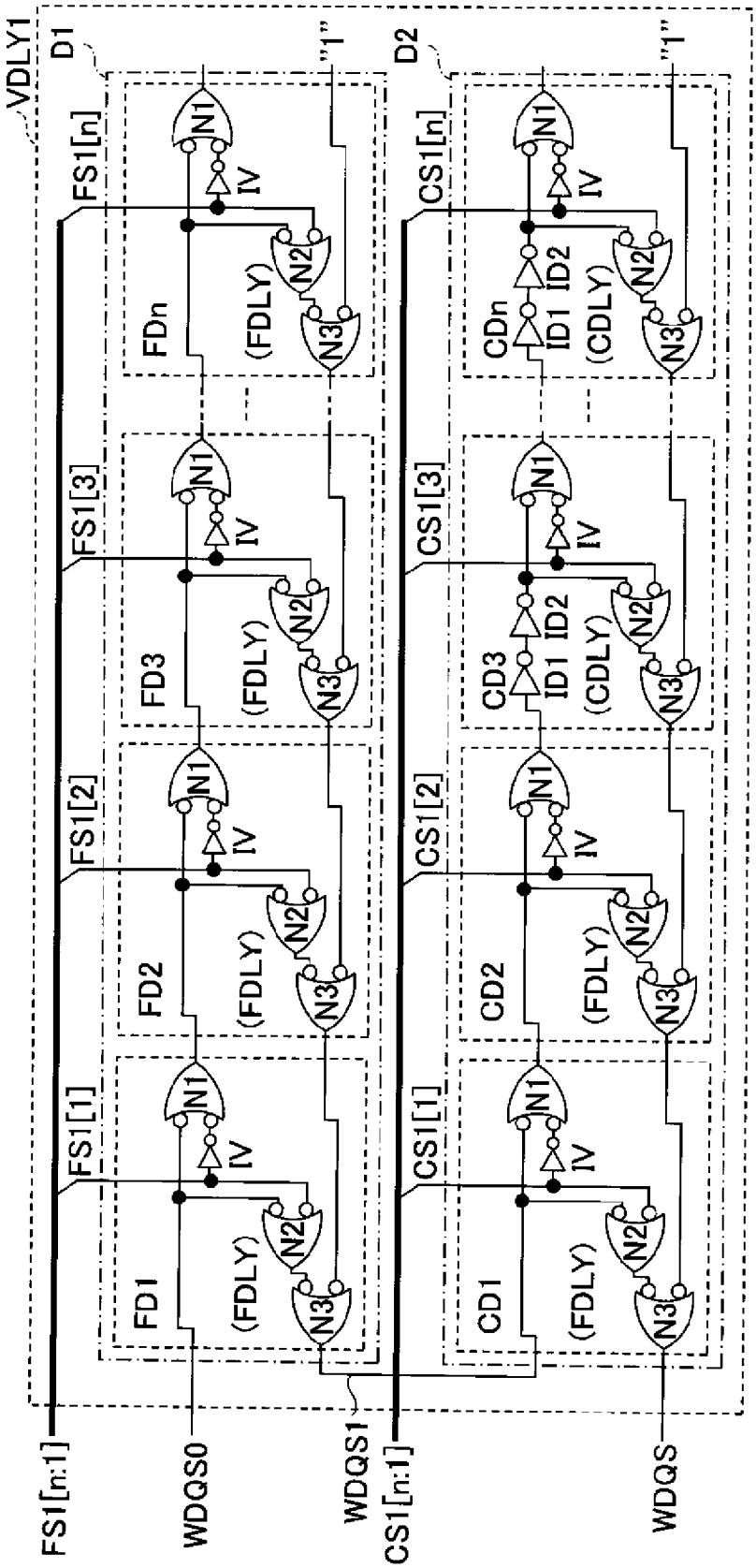
[図9]


"1"
FS1[n]=0
FDn
FS1[6]=1
FS1[5]=1
FD5
FS1[4]=0
FD4
FS1[3]=0
FD3
FS1[2]=0
FD2
FS1[1]=0
FD1
WDQS0
"1"
CS1[n]=0
CDn
CS1[5]=0
CD5
CS1[4]=1
CD4
"1"
"1"
CS1[3]=1
CD3
CS1[2]=0
CD2
CS1[1]=0
CD1
WDQS

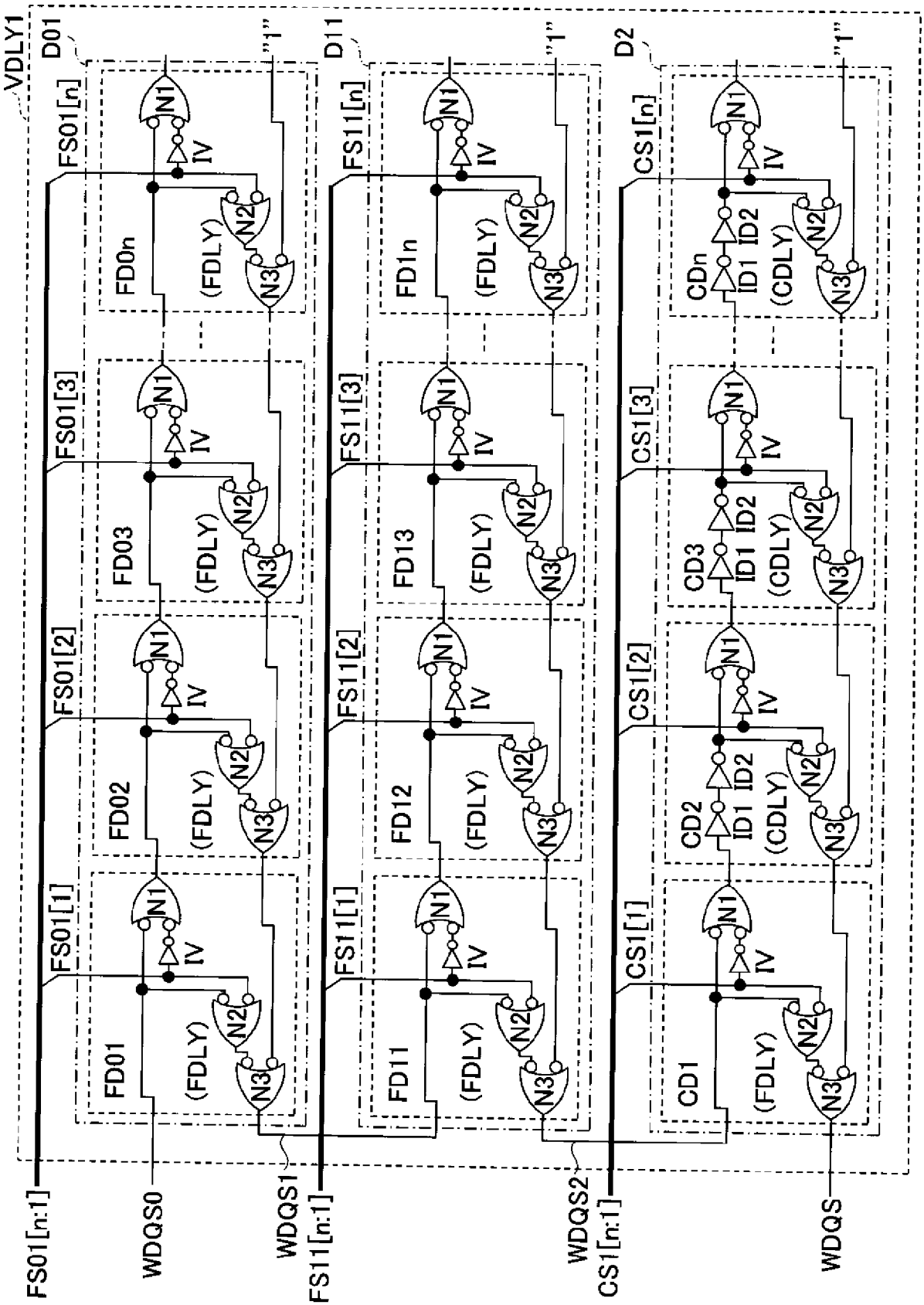
[図10]


START
S10
第1モード/第2モード?
第2モード
第1モード
S12
FD1-FDnでの遅延調整を決定
S16
CD2-CDnでの遅延調整を決定
S14
VDLY3のFD1-FDnにより
1クロックサイクルの段数を求める
S18
VDLY3のCD2-CDnにより
1クロックサイクルの段数を求める
DQSの遷移エッジをライトデータの
中央に設定する遅延素子の
段数を求め、VDLY1に設定
S20
フラッシュメモリをリードアクセスし、
データ幅(エッジ間隔)を求める
S22
DQSの遷移エッジをライトデータの
中央に設定する遅延素子の
段数を求め、VDLY2に設定
S24
S26
VDLY3が
所定段数以上ずれた?
NO
YES
S28
YES
キャリブレーションする?
NO
S30
VDLY1, VDLY2の段数を変更

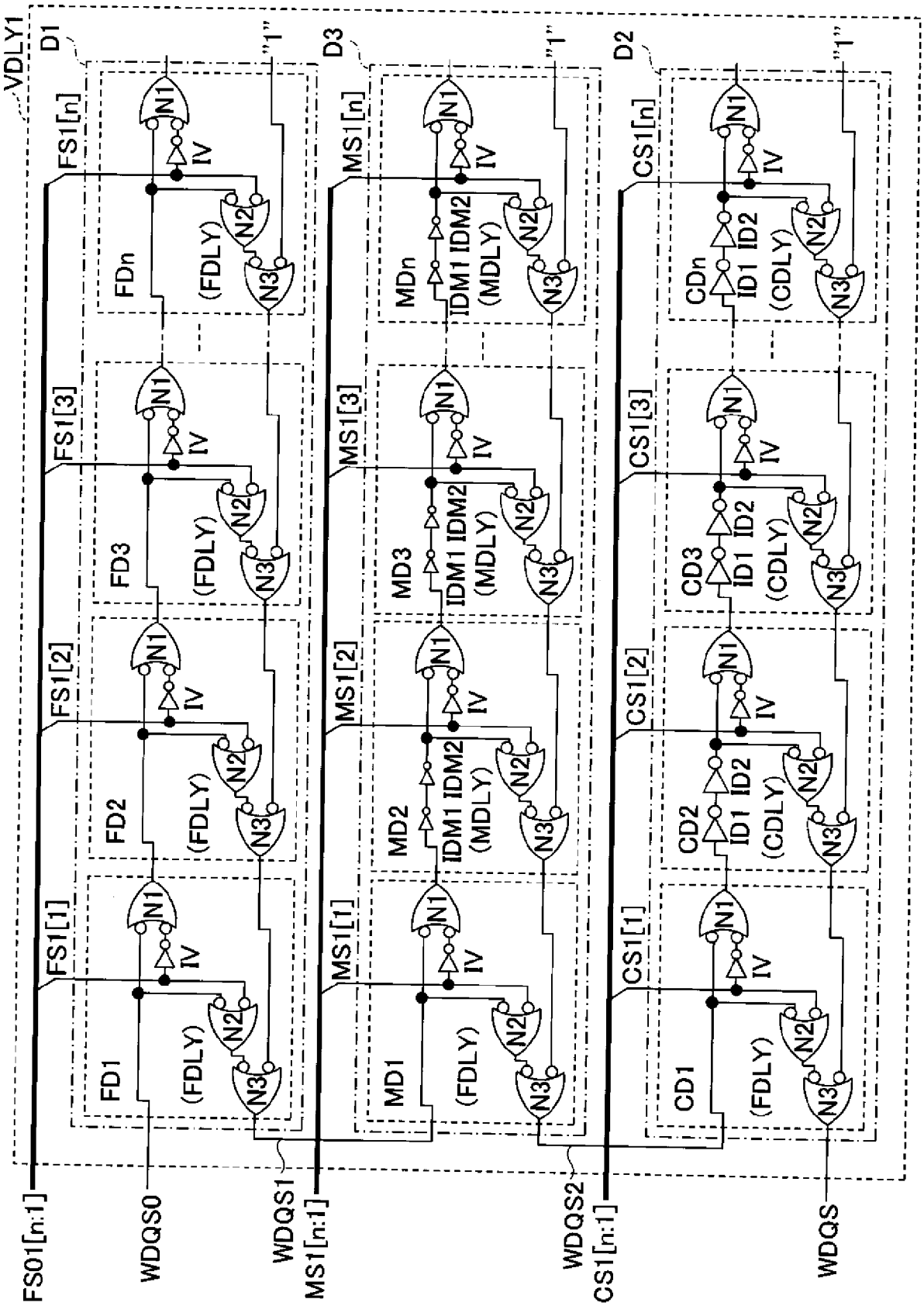
[図11]


VDLY1
D1
D2
"1"
FS1[n]
FS1[3]
FS1[2]
FS1[1]
CS1[n]
CS1[3]
CS1[2]
CS1[1]
FDn
FD3
FD2
FD1
CDn
CD3
CD2
CD1
N1
N2
N3
IV
(FDLY)
(CDLY)
ID1
ID2
FS1[n:1]
WDQS0
WDQS1
CS1[n:1]
WDQS

[図12]


VDLY1
D01
D11
D2
FS01[n]
FS01[3]
FS01[2]
FS01[1]
FS11[n]
FS11[3]
FS11[2]
FS11[1]
CS1[n]
CS1[3]
CS1[2]
CS1[1]
"1"
IV
N1
N2
N3
FD0n
FD03
FD02
FD01
FD1n
FD13
FD12
FD11
CDn
CD3
CD2
CD1
ID1
ID2
(FDLY)
(CDLY)
FS01[n:1]
WDQS0
WDQS1
FS11[n:1]
WDQS2
CS1[n:1]
WDQS

[図13]


VDLY1
D1
D3
D2
FS1[n]
FS1[3]
FS1[2]
FS1[1]
MS1[n]
MS1[3]
MS1[2]
MS1[1]
CS1[n]
CS1[3]
CS1[2]
CS1[1]
"1"
N1
IV
N2
N3
FDn
FD3
FD2
FD1
MDn
MD3
MD2
MD1
CDn
CD3
CD2
CD1
(FDLY)
(MDLY)
(CDLY)
IDM1 IDM2
ID1 ID2
FS01[n:1]
WDQS0
WDQS1
MS1[n:1]
WDQS2
CS1[n:1]
WDQS

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/024670

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03K5/14(2014.01)i, H03K5/135(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H03K5/14, H03K5/135

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-5177 A (FUJITSU LTD.) 07 January 2013 (Family: none)	1-9
A	JP 2005-51673 A (ELPIDA MEMORY, INC.) 24 February 2005 & US 2005/0024107 A1 & DE 102004036455 A1 & CN 1581690 A & TW 200518465 A	1-9
A	JP 10-276074 A (FUJITSU LTD.) 13 October 1998 & US 6049239 A & KR 10-1998-0063529 A	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 September 2019 (06.09.2019)	17 September 2019 (17.09.2019)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/024670

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 9564909 B1 (IORGA et al.) 07 February 2017 (Family: none)	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０２４６７０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/14(2014.01)i, H03K5/135(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/14, H03K5/135

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-5177 A (富士通株式会社) 2013.01.07, (ファミリーなし)	１－９
A	JP 2005-51673 A (エルピーダメモリ株式会社) 2005.02.24, & US 2005/0024107 A1 & DE 102004036455 A1 & CN 1581690 A & TW 200518465 A	１－９
A	JP 10-276074 A (富士通株式会社) 1998.10.13, & US 6049239 A & KR 10-1998-0063529 A	１－９

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０６．０９．２０１９	国際調査報告の発送日 １７．０９．２０１９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｗ　９２７４ 工藤　一光 電話番号　０３－３５８１－１１０１　内線　３５７６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	US 9564909 B1 (IORGA et al.) 2017.02.07, (ファミリーなし)	１－９