



(12) 发明专利

(10) 授权公告号 CN 101800019 B

(45) 授权公告日 2013. 09. 18

(21) 申请号 200910254093. X

G02F 1/133(2006. 01)

(22) 申请日 2007. 03. 06

(56) 对比文件

(30) 优先权数据

2007-044110 2007. 02. 23 JP

2006-059663 2006. 03. 06 JP

EP 1014334 A2, 2000. 06. 28, 全文 .

JP 特开 2004-46054 A, 2004. 02. 12, 全文 .

US 6727875 B1, 2004. 04. 27, 全文 .

CN 1338719 A, 2002. 03. 06, 说明书第 3 页第 28 行至第 5 页第 19 行, 第 6 页第 18-20 行、图 1.

CN 1690778 A, 2005. 11. 02, 全文 .

(62) 分案原申请数据

200710085708. 1 2007. 03. 06

(73) 专利权人 金振有限公司

地址 萨摩亚阿皮亚海辉中心 217 号邮箱

审查员 栗彬彬

(72) 发明人 高取宪一 浅田秀树 芳贺浩史

(74) 专利代理机构 深圳市鼎言知识产权代理有

限公司 44311

代理人 哈达

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

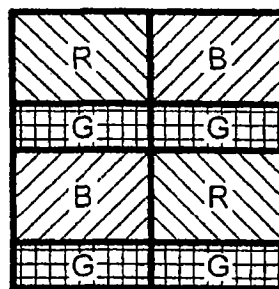
权利要求书1页 说明书21页 附图27页

(54) 发明名称

显示装置、使用该显示装置的近眼设备和便携终端

(57) 摘要

本发明提供一种显示装置、使用该显示装置的近眼设备和便携终端。其中该显示装置包括：显示部分，其中在第一方向和第二方向上以矩阵方式将像素设置在支持基板上，每一个像素都是由多个点构成的；第一电路，其提供在支持基板上的显示部分的外侧上；以及第二电路，其规模大于第一电路的规模，其提供在显示部分的外侧上，其中所述点是在第一方向上的平均长度比在第二方向上的平均长度长的形状，每个点具有滤色器，其中滤色器通过每个点对应于多种颜色之一，每个像素中的点是五片瓦布局，并且其中第一电路提供在第一方向上设置的像素的外侧上，第二电路提供在第二方向上设置的像素的外侧上。



1. 一种显示装置,包括:

显示部分,其中在第一方向和第二方向上以矩阵方式将像素设置在支持基板上,每一个像素都是由多个点构成的;

第一电路,其提供在支持基板上的显示部分的外侧上;以及

第二电路,其规模大于第一电路的规模,其提供在显示部分的外侧上,

其中所述点是在第一方向上的平均长度比在第二方向上的平均长度长的形状,每个点具有滤色器,

其中滤色器通过每个点对应于多种颜色之一,每个像素中的点是五片瓦布局,并且

其中第一电路提供在第一方向上设置的像素的外侧上,第二电路提供在第二方向上设置的像素的外侧上,

第二电路由多个电路元件构成,每个电路元件具有电路部分,布线部分和在第一方向上的间隙部分,并以恒定的重复节距设置在第一方向上,并且

满足以下关系:其中在电路元件之一中,布线部分和间隙部分占据重复节距的比例是  $c$ ,电路部分在第一方向上的长度与在第二方向上的长度的比率是  $b$ ,滤色器的颜色数目是  $k$ ,

$b+c>1/k$ ,其中  $k>1$ 。

2. 如权利要求 1 所述的显示装置,其中所述点是通过在显示部分的第一方向内建立的电路的关系、在显示部分的第二方向内建立的电路的规模比率、和构成像素的点的两维宽度实现的五片瓦布局。

3. 如权利要求 1 所述的显示装置,还包括显示部分的扫描线驱动电路和其他电路,其中在构成像素的点的至少一个两维布局中的两个方向上的长度比在扫描线驱动电路侧上的更短。

4. 如权利要求 1 所述的显示装置,其中显示部分的左右方向是第一方向,第一电路是扫描线驱动电路,该第一电路提供在左右方向设置像素的左侧或右侧,第二电路是信号线驱动电路,并且

其中点的长度在左右方向上被设置成比在上下方向上变得更长的方式来设置所述点,以使得信号线驱动电路侧上的点的长度变得更长。

5. 如权利要求 1 所述的显示装置,显示部分的上下方向是第一方向,第一电路是扫描线驱动电路,该第一电路提供在上下方向设置像素的上侧或下侧,第二电路是信号线驱动电路,并且

其中点的长度在上下方向上被设置成比在左右方向上的长度长,以使得信号线驱动电路侧上的点的长度变得更长。

6. 一种使用权利要求 1 所述的显示装置的近眼设备。

7. 一种使用权利要求 1 所述的显示装置的便携终端。

## 显示装置、使用该显示装置的近眼设备和便携终端

[0001] 本申请是 2007 年 3 月 6 日提交的申请号为 200710085708.1、发明名称为“显示装置”之申请的分案申请。

### 技术领域

[0002] 本发明涉及一种显示装置，其用在基板上设置成矩阵的像素构成，尤其涉及一种具有内建电路的显示装置。

### 现有技术

[0003] 彩色显示装置如彩色液晶显示装置被广泛地使用。在彩色显示装置中，尤其是那些使用微滤色器的滤色型方式被主要广泛地用于液晶显示装置。将通过参考附图描述滤色型常规彩色显示装置的实例。

[0004] 图 16 是用于示出根据常规显示装置实例在显示区域中每个点（某颜色的显示单元）和滤色器布局的平面图。以下将通过参考该图提供其说明。

[0005] 在该显示装置中，通过单个点提供某颜色的滤色器。将三种颜色 R（红）、G（绿）和 B（蓝）用作滤色器的颜色。在图的横向方向上，即在沿着扫描线 G1、G2、G3……的方向上，按照 R、G、B、R、G、B……的顺序以有序方式设置每种颜色的滤色器。在纵向方向上，即在沿着信号线 D1、D2、D3……的方向上，设置相同颜色的滤色器。滤色器的这种布局通常称作带状布局。在该实例中，由于在纵向方向上将带排成直线，因此将这种类型称作纵带型。通过由对应于三种颜色滤色器在横向方向上连续成直线的三个点，可以显示所有颜色，其能通过组合三原色获得。显示所有颜色的最小显示单元、即在沿着三个点的扫描线的方向上成直线的 R、G、B 滤色器称作一个像素。

[0006] 同时，根据当前技术发展，现有技术中，这样的显示装置已经应用到实际使用中，该显示装置将通过由硅技术形成的 LSI 等而在外部形成的各种电路（如驱动电路等）内建到支持衬底上。具有内建电路的这种显示装置的实例是通过高温多晶 TFT 技术经由使用昂贵石英基板的高温工艺形成的显示装置。而且，将具有在玻璃基板等上的内建电路的显示装置通过低温多晶硅技术投入到实际使用中，该低温多晶硅技术是通过低温工艺形成前体膜、且通过激光等对其退火以使其成为多晶。

[0007] 作为具体实例，在日本未审专利公开 2004-046054（专利文献 1）中公开了一种有源矩阵型显示装置。图 17 是用于示出显示系统的框图，该显示系统包括专利文献 1 的图 37 中示出的常规驱动电路集成型液晶显示装置。以下将通过参考图 17 提供其说明。

[0008] 在常规驱动电路集成型液晶显示装置中，通过多晶硅 TFT，在显示装置基板 101 上集成地形成有源矩阵显示区域 110、用于行方向的扫描电路（扫描线驱动电路或栅极线驱动电路）109、列方向的扫描电路（数据线驱动电路）3504、模拟开关 3505、电平转换器电路 3503 等，在上述有源矩阵显示区域 110 中，设置了以 M 行和 N 列的矩阵配线的像素。

[0009] 控制器 113、存储器 111、数字模拟转换电路（DAC）电路 3502、扫描电路/数据寄存器 3501 等都在单晶硅晶片上形成的集成电路芯片（IC）芯片中，该单晶硅晶片安装于显示

装置基板 101 外部。在系统侧电路基板 103 上形成接口电路 114。

[0010] 而且,在通过多晶 TFT 形成的常规驱动电路集成型液晶显示装置中,存在其中集成地形成更加复杂的电路如 DAC 电路等的类型。图 18 是用于示出专利文献 1 的图 38 中示出的常规 DAC 电路内建型液晶显示装置的显示系统的框图。以下通过参考图 18 对其进行说明。

[0011] 与不具有内建 DAC 电路的专利文献 1 的图 37 中示出了相似的驱动电路集成型液晶显示装置相同,常规 DAC 电路内建型液晶显示装置除了设置了以 M 行和 N 列的矩阵布线的像素的有源矩阵显示区域 110、行方向的扫描电路 109 和列方向上的扫描电路 3506 之外,该常规 DAC 还包括电路如数据寄存器 3507、锁存电路 105、DAC 电路 106、选择电路 107、电平转换器 / 定时缓冲器 108 等,其集成地形成在显示装置基板 101 上。

[0012] 在该结构中,安装在显示装置基板 101 外部的控制 IC 不包括使用高电压的 DAC 电路。由此,其能全部用低电压的电路 / 器件 (如存储器 111、输出缓冲电路 (D 位) 112 和控制器 113) 来构成。结果,能在不需使用高压器件的工艺的情况下制造 IC,所述高压器件是为了产生用于写入到液晶中的电压信号所需要的。因此,其价格与在其上混载有 DAC 的上述 IC 相比,能被抑制得较低。

[0013] 而且,本发明的发明人已经对在支持基板上集成各种电路进行了发展,并发明出一种用于在支持基板上集成存储器的方法 (未公开)。而且,作为集成存储器的技术,本发明的发明人在世界上首次发表了在玻璃基板上的帧存储器 (SID 05 DIGEST, 第 1106-1109 页,非专利文献 1)。图 19 是用于示出在非专利文献 1 的图 1 中示出的玻璃基板上常规帧存储器的框图。以下将参考图 19 对其进行说明。

[0014] 这种情况下,不仅提供了帧存储器与其控制相关的电路,还提供了用于压缩信号以减少帧存储器尺寸的压缩电路、和用于解压缩所压缩信号的解压缩电路。帧存储器的核心部分由具有读出放大器的存储单元阵列 121、行解码器 122 和列解码器 123 构成。可以使用行解码器 122 和列解码器 123 来存取在帧存储器中的具体存储单元。而且,通过读出放大器输出从存储单元输出的信号。这种帧存储电路在玻璃基板 120 上形成。图 20 示出了具有读出放大器的存储单元阵列 121 的 1 位线的电路。

[0015] 图 20 是非专利文献 1 的图 3 中示出的具有读出放大器的常规存储单元阵列的 1 位线的电路图。以下通过参考图 20 对其进行说明。

[0016] 在写入时,数据线 163 上的数据将被写入到通过来自于列解码器的信号而选择的位线对上。位线对上的数据被写入到所选字线 (由图中的 W[239]、W[118]、W[1]、W[0] 表示) 的每个存储单元 161 中。同时,在读出时,所选字线上的数据被读出到位线对,并通过读出放大器放大,然后输出到输出寄存器侧。

[0017] 在专利文献 1 和非专利文献 1 中公开的显示装置中存在一些要克服的问题。

[0018] 第一个问题是,与通过在支持基板外部的 LSI 形成的电路相比,支持基板上的电路在布局方面尺寸大。其原因是,由于按照设计规则,支持基板上的电路的尺寸比通过硅技术形成的 LSI 电路的更大,而发生该问题。这是因为用在显示装置中的支持基板的尺寸通常大于用在 LSI 技术中的硅基板的尺寸,使得支持基板上的电路更可能受到支持基板自身的膨胀 / 收缩的影响,或通过使用步进器的步进曝光而使得定位精确度变差。

[0019] 第二个问题是,支持基板上的电路布局的设计难度很高。这是由于,除了需要解决

由于上述设计规则导致占用面积大的装置的事实之外,还存在尤其难以降低在信号驱动电路侧上电路所占的面积的事实。这是因为,如上所述,在信号驱动电路侧上的电路不仅包括扫描电路还包括模拟开关、电平转换器、DAC等,因而电路结构变得复杂。而且,如图16中所示,在信号驱动电路侧上的信号线之间的节距比常规显示装置中扫描驱动电路侧上的扫描线之间的节距窄也是原因。当用于设置电路的区域中的节距窄时,难以拉绕用于每个电路所必需的输入信号以及每个电路之间的输入/输出信号的布线。此外,信号布线相对于布局面积所占的比例增加了,使得电路的布局面积相应地降低了。结果,增加了电路布局的难度。

[0020] 第三个问题是,信号驱动电路侧上的框架(frame)(显示区域的端部和支持基板的端表面之间的距离)增加了。这是由于在信号驱动电路侧上的电路结构复杂了,且布局的节距窄,使得由信号布线占的面积增加了。由此,需要增加用于设置必要电路的电路区域的长度。

[0021] 第四个问题是它无法实现高细密的显示设备。如图25中所示,其原因是,无法用该纵带型在由设计规则确定的电路节距内来设计电路的布局(无法在电路节距内布置电路),即参见图25,无法通过对应于180ppi的像素节距(141 $\mu$ m)来设计纵带型的布局。这一问题与上述关心框架机架扩展和布局困难增加的问题不同。而是,该问题在于无法设计布局本身,使得无法形成设备本身。为了在这样的条件下实现该布局,不得不改变设计规则。为了改变该设计规则,需要从新的工艺开发开始,这是非常困难的。

[0022] 第五个问题是,研发所需的时间增加了。这是因为,由于上述单个问题而增加了设计布局等所需的时间,从而增加了LT(交付周期)。

[0023] 第六个问题是,显示装置的成本增加了。如上所述,这是由于研发所需时间增加了,从而增加了开发成本。而且,另一个原因是,由于提供布局非常困难,需要使用非常多的金属层。因此,工艺数目明显增加,从而增加了TAT(周转时间)。

[0024] 第七个问题是具有非矩形显示区域的显示设备的外部形状发生了很大变化。这是因为,正如相对于第三个问题所说明的,信号线驱动电路侧上的框架被扩展了。对于具有非矩形显示区域的显示设备,如果显示设备的外部形状与其显示区域的形状类似,就设计而言是更加有效的。然而,对于常规显示设备来说,难以使其外部形状与显示区域的形状类似。

## 发明内容

[0025] 因此本发明的目的是提供一种具有内建电路的显示装置,其中降低了电路面积。本发明的另一个目的是提供一种具有内建电路的显示装置,其中其尺寸和重量都通过减少包括电路部分的框架来降低。本发明的再一目的是提供一种具有内建电路的显示装置,其中降低了提供布局的难度。本发明的再一个目的是提供一种能够实现短TAT和低成本的显示装置。而且,再一目的是提供一种具有短LT的显示装置。本发明的更进一步的目的是提供一种高细密的显示设备。

[0026] 本发明的更进一步的目的是以实用的方式提供一种零芯片显示器,其包括显示设备内的帧存储器、控制器、CPU接口等等,而不需要在显示设备外部提供与显示器相关的IC芯片。

[0027] 本发明的另一目的是提供一种具有非矩形显示区域的显示设备,其具有类似于显示区域形状的外部形状。

[0028] 根据本发明的显示装置包括:显示部分,其中以第一方向和第二方向在支持基板上以矩阵设置用单个或多个点构造的每个像素;第一电路,其提供于支持基板上显示部分第一方向的外部侧上;和第二电路,其规模大于第一电路的规模,将其提供于在支持基板显示部分第二方向的外部侧上。点为在第一方向上比第二方向上长的形状。

[0029] 例如,第一方向是横向方向或者是右和左侧方向,第二方向是纵向方向或顶和底部方向。相反,第一方向可限定为是纵向方向或者顶和底部方向,和第二方向为横向方向或右和左侧方向。第一方向和第二方向不必相互垂直而是相互斜斜地相交叉。而且,第一方向和第二方向不必在直线上延伸,而是根据显示部分的形状形成弯度不大的曲线。在显示部分第一方向的外部侧上,例如,如果第一方向是横向方向则存在左侧和右侧。这种情况下,第一电路提供在左侧和右侧中的至少一个上。这还与第二电路的相同。当例如点的形状是矩形和每一侧都平行于第一方向或第二方向时,点的第一方向对应于长侧和第二方向对应于短侧。点的形状不限于是矩形,而是可以为任何形状,如三角形、六边形和椭圆形。为本发明特征的点的形状不必应用到显示部分中的所有点,而是仅应用到部分点,只要能获得本发明的效果即可。电路的规模包括构造电路、布线、间隙等的所有元件,且其考虑到所占的面积。

[0030] 接下来,将以不同的形式描述本发明的效果。

[0031] 将描述本发明的特征。本发明的显示装置包括与用设置在支持基板上的多个点构造的显示区域(4)一起的内建电路,其中对应于每种颜色的滤色器的每个点都是横向长的形状。本发明的显示装置包括与用设置在支持基板上的多个点构造的显示区域(4)一起的内建电路,其中对应于每种颜色的发光元件的每个点都是横向长的形状。本发明的显示装置是这样一种装置,其中,在集成了用设置在支持基板上的多个点构造的显示区域(4)、扫描线驱动电路(2)和其他电路,其中两维节距点中的至少一个是扫描线驱动电路侧的短侧。本发明的显示装置特征在于满足关系“ $b+c > 1/k$ ”,其中  $c$  是布线部分和间隙部分的总和占据电路横向方向上重复节距的比例, $b$  是除了布线部分和孔隙部分之外电路部分(22)的横向尺寸对其纵向尺寸的比率,和  $k$  是多种颜色的数目。当设置在纵向方向上的电路规模小于设置在横向方向上的电路规模的话,则满足关系“ $e+f > 1/k$ ”,其中  $f$  是布线部分和间隙部分的总和占据电路纵向方向上重复节距的比例, $e$  是除了布线部分和间隙部分之外的电路部分(22)的纵向尺寸对其横向尺寸的比率。

[0032] 将描述本发明的效果。如本实施例中将示出的,在显示部分的右和左方向(横向方向)上提供的电路规模和显示部分的顶和底方向上提供的电路规模是不同的。即,通常,在顶和底方向上提供的电路规模具有较大规模。通过将对应于滤色器或发光元件颜色布局的点形成为横向长的形状,或者通过将多种颜色数据提供到单个信号线上,能增加在较大规模电路侧上的点的节距。同时,降低在较小规模电路上点的节距。同时,电路的规模对于设置的颜色数目表的较大,这是由于每个信号线颜色不同。这种情况下,假设颜色数目是  $k$ ,且电路规模中差别比率是  $q$  ( $q$  大于 1),则通常,当在扫描线侧上的电路是 1 时,在信号线侧上的电路规模是“ $k \cdot q$ ”,且整个电路规模是“ $1+k \cdot q$ ”。然而,通过本发明在扫描线侧上的电路规模是  $k$ ,且在信号线侧上的电路的规模是  $q$ ,以使得整个电路规模编程“ $k+q$ ”。本

发明的电路规模变得比常规结构小的条件是“ $1+k \cdot q > k+q$ ”，和通过简单计算能获得“ $k > 1$ ”。即，通过本发明，当存在多种颜色时，能降低整个电路规模。当将扫描线驱动电路提供在显示部分的顶和底方向上时，本发明的效果也能通过对于大规模电路的节距设置大的点节距来实现，该大规模电路在不具有扫描线驱动电路的一侧上，该点节距即是顶和底方向上的点节距。

[0033] 在根据本发明的显示装置中，将小规模第一电路提供到显示部分第一方向上的外部侧，将大规模第二电路提供到显示部分第二方向上的外部侧上，且将点的形状设置成大于第一方向上的，并短于第二方向上的。以此，能将每个布线的第二电路的面积取为在第一方向上大。以使第二方向上的第二电路的长度缩短。结果，可以实现窄化框架的效果。

[0034] 换句话说，第一个效果是可以提供显示装置，该显示装置中，能通过将构造像素的点的形状形成为横向长的形状显著降低整个驱动电路的规模。其原因在于，如实施例中将描述的，该电路规模在提供于显示部分的右和左方向（横向方向）上的电路和提供于显示部分的顶和底方向（纵向方向）上的电路之间是不同的。本发明能够降低大规模的整个电路的规模。由此，整个驱动电路的规模能显著地降低。第二个效果在于，通过减少具有大规模的电路的规模能减少框架。第三个效果是由于降低了整个驱动电路的规模，因此削减了设计/布局所需的研发时间，从而实现了低成本。第四个效果是本发明能提供高度可靠的显示装置，其中由于降低了电路规模，因此能减少产生失误的可能性。第五个效果是减少了框架，以能减少在单个支持基板上制造的显示装置的数目（由其制造的产品数目增加了），从而实现了低成本。第六个效果是减少了框架，以减小显示装置的尺寸和重量。第七个效果是能设置电路布局，而不使用附加的布线层，这是由于电路布局变得简单了。结果，可以实现显著地削减制造和设计方面的成本。第八效果是能够在不改变设计规则的情况下获得高细密的显示设备，因为能够在基于设计规则的电路节距范围内设计电路的布局。第九效果是具有非矩形显示区域的显示设备的外部形状能够以类似于显示区域形状的形状来形成。其理由是，外围电路的电路规模能够被形成得很小，并以非常均衡的方式来布置。

#### 附图说明

[0035] 图 1A 是用于示出根据本发明显示装置第一实施例的平面图，和图 1B 是用于示出比较实例 1 的平面图；

[0036] 图 2A 是用于示出根据本发明显示装置第二实施例的平面图；和图 2B 是用于示出图 2A 中示出的信号线驱动电路实例的平面图；

[0037] 图 3 是用于示出根据本发明显示装置第三实施例的平面图；

[0038] 图 4 是用于示出根据本发明显示装置第四实施例的平面图；

[0039] 图 5 是用于示出图 4 中示出的信号线驱动电路实例的平面图；

[0040] 图 6 是用于示出比较实例 2 的平面图；

[0041] 图 7 是用于使出根据本发明第四实施例通过布线包围的电路部分布局实例的平面图；

[0042] 图 8 是用于示出根据比较实例 2 通过布线包围的电路部分布局实例的平面图；

[0043] 图 9 是用于示出根据常规技术电路部分布局实例的平面图；

[0044] 图 10 是用于示出根据本发明电路部分布局的实例的平面图；

[0045] 图 11 是用于示出根据本发明显示装置第五实施例在信号线侧上电路布局第一实例的平面图；

[0046] 图 12 是用于示出根据本发明显示装置第五实施例在信号线侧上电路布局第二实例的平面图；

[0047] 图 13 是根据本发明显示装置第五实施例在信号线侧上电路布局第三实例的平面图；

[0048] 图 14A、14B 和 14C 是用于示出根据本发明滤色器结构另一实例的平面图；

[0049] 图 15A 示出了常规五片瓦型滤色器的第一实例，图 15B 示出了根据本发明滤色器的第一实例，图 15C 示出了常规五片瓦型滤色器的第二实例，和图 15D 示出了根据本发明滤色器的第二实例；

[0050] 图 16 是用于示出在常规显示装置中显示区域内每个点和滤色器布局的平面图；

[0051] 图 17 是用于示出包括具有集成地形成的驱动电路的常规液晶显示装置的显示系统的框图；

[0052] 图 18 是用于示出包括具有内建 DAC 电路的常规液晶显示装置的显示系统的框图；

[0053] 图 19 是用于示出在玻璃基板上常规帧存储器的框图；

[0054] 图 20 是用于示出具有有一位线读出放大器的常规存储单元阵列的电路图；

[0055] 图 21 是示出用于将数据存储到本发明的帧存储器里的方法的实例的图示；

[0056] 图 22 是示出根据本发明的实例的液晶显示器的系统块的方框图；

[0057] 图 23 是本发明的比较实例的图示，其示出当以纵带型像素在液晶显示器中形成帧存储器时的存储器部分和像素阵列的布局；

[0058] 图 24 是本发明的实例的图示，其示出当以横带型像素在液晶显示器中形成帧存储器时的存储器部分和像素阵列的布局；图 25 是示出本发明的实例和比较实例的像素节距和存储单元宽度之间的关系的关系的图表；

[0059] 图 26 是示出本发明的实例和比较实例的像素节距和存储电路高度之间的关系的关系的图表；

[0060] 图 27A 是示出在本发明的实例中执行的数据转换的结构方框图，图 27B 是其时序图；

[0061] 图 28 是示出根据本发明的第八实施例的具有非矩形显示区域的显示设备的图示；

[0062] 图 29 是示出可在本发明中使用的压缩 / 展开方法的实例的图示；和

[0063] 图 30 是当在本发明的实例中提供内建检查电路时的情形方框图。

### 具体实施方式

[0064] 现在，将通过参考附图详细描述本发明的优选实施例。注意，在所附权利要求范围内的“第一方向”、“第二方向”、“第一电路”、“第二电路”和“显示单元”分别对应于实施例的“右侧和左侧方向或横向方向”、“顶侧和底侧方向或纵向方向”、“扫描线驱动电路”、“信号线驱动电路”和“显示区域”。而且，用其上增加了“'”标记的相同参考数字表示具有与本发明的那些相同功能的常规技术的特征元件。而且，在图中显示区域内的圆圈是示出一部分



显示区域的放大平面图（即多个点）。

[0065] 图 1A 是用于示出根据本发明显示装置第一实施例的平面图。图 1B 是用于示出常规显示装置的平面图（以下称作“比较实例 1”）。以下将通过参考这些附图提供说明。

[0066] 在本实施例中，在支持基板 1 上提供了其中以矩阵方式提供像素的显示区域 4、用于驱动扫描线的扫描线驱动电路 2 和用于驱动信号线的信号线驱动电路 3。以多个点构成在显示区域 4 中的像素。每个点对应于某种颜色的滤色器。该点为横向长的形状，即在沿着扫描线的方向上延伸的形状。换句话说，每个点都是与信号线驱动电路 3 的纵向方向平行地延伸的形状。滤色器例如是横向带状形。

[0067] 另一方面，在比较实例 1 中，与第一实施例的情况相同，在支持基板 1' 上提供其中以矩阵方式提供像素的显示区域 4'、用于驱动扫描线的扫描线驱动电路 2'、和用于驱动信号线的信号线驱动电路 3'。用多个点构成在显示区域 4' 中的像素。每个点对应于某种颜色的滤色器。与第一实施例非常不同之处在于，滤色器为纵向带型，即为沿着信号线的方向延伸的形状。换句话说，每种颜色的滤色器都是与扫描线驱动电路 2' 的纵向方向平行地延伸的形状。

[0068] 与比较实例 1 的实施例相比较，扫描线驱动电路 2 和 2' 的电路面积几乎相等。同时，本实施例中用于信号线驱动电路 3 的电路面积大约是比较实例 1 中信号线驱动电路 3' 的面积的三分之一。以下将详细描述产生这种差别的原因。

[0069] 扫描线所必需的信号通常是恒定周期的二值简单脉冲波形，因此扫描线驱动电路 2 和 2' 能用简单扫描电路构成。另一方面，信号线所必需的信号是对应于显示数据的模拟信号，或者是对应于显示数据的用多个点构成的数字信号。因此，不是像扫描线信号那样的具有恒定周期的简单脉冲波形。因此，信号线驱动电路 3、3' 都是比扫描线驱动电路 2、2' 更复杂的结构。

[0070] 参考图 17 中示出的常规情况，仅用扫描电路构成扫描线驱动电路 109，并用扫描电路 3504 和模拟开关 3505 构成信号线驱动电路。结果，与单个扫描线所需的驱动电路块相比，单个信号线所需的驱动电路块更大。每单位布线的驱动电路块的规模比率在此称作“p”。即，每信号线的驱动电路块的规模是每扫描线的驱动电路块的规模的 p 倍。每信号线的驱动电路块大于每扫描线的驱动电路块，因此  $p > 1$ 。

[0071] 在比较实例 1 中，当显示区域 4' 中的像素在纵向方向上为 M 行和在横向方向上为 N 列时，假设滤色器为三种颜色，则扫描线的数目是 M（线），信号线的数目是  $3 \times N$ （线）。另一方面，在本实施例中，当显示区域 4 中的像素在纵向方向上为 M 行和在横向方向上为 N 列时，假设滤色器为三种颜色，则扫描线的数目是  $3 \times M$ （线），且信号线的数目是 N（线）。假设在比较实例 1 中每扫描线的驱动电路块的规模是 1，则在比较实例 1 中扫描线驱动电路 2' 的规模是 M，且信号线驱动电路 3' 的规模是  $3 \times N \times p$ 。同时，根据本实施例的扫描线驱动电路 2 的尺寸是  $3 \times M$ ，和信号线驱动电路 3 的尺寸是  $N \times p$ 。

[0072] 在此，数字值被用于估计电路的整个规模。首先，假设显示区域的形状如图 1A 和图 1B 中那样，在纵向方向上是长的，且布线的数字比率  $M : N$  是  $4 : 3$ 。而且，每单位布线的驱动电路块的规模比率 p 是 3。这时，比较实例 1 的整个驱动电路是  $M + 3 \times N \times p = M + 3 \times (3/4)M \times 3 = (31/4)M$ 。同时，本实施例的整个驱动电路是  $3 \times M + N \times p = 3 \times M + (3/4)M \times 3 = (21/4)M$ 。与此类似，比较实例 1 的整个驱动电路的规模约比本实施例的大 1.5 倍。

[0073] 然后,还调查了其中显示区域的形状是横向长、且布线数目的比率  $M : N$  是  $3 : 4$  的情况。当与上述情况相似,每单位布线的驱动电路块的规模比率  $p$  是  $3$  时,比较实例 1 的整个驱动电路是  $M+3 \times N \times p = M+3 \times (4/3)M \times 3 = 13M$ 。同时,本实施例的整个驱动电路是  $3 \times M+N \times p = 3 \times M+(4/3)M \times 3 = 7M$ 。也就是,比较实例 1 的整个驱动电路的规模约是本实施例中的两倍大。像这样,可以通过本实施例显著降低整个驱动电路的规模。

[0074] 依据驱动电路块规模的比率  $p$ ,可产生降低驱动电路的规模的效果。为了研究产生该效果的条件,对以下不等式求解,该不等式在根据本实施例的整个驱动电路的规模小于比较实例 1 的规模时得到满足。

$$[0075] \quad M+3 \times N \times p > 3 \times M+N \times p \quad \text{---(1)}$$

[0076] 通过解答该不等式,获得以下的条件。

$$[0077] \quad p > M/N \quad \text{---(2)}$$

[0078] 根据所述不等式 (2) 和比率  $p$  满足的条件  $p > 1$  可看出,当显示区域是横向长 ( $M < N$ ) 时,根据本实施例总是能实现降低整个驱动电路的规模的效果。同时,例如在显示区域在纵向方向上极其长的情形中,例如在  $p = 3$  时、 $M = 4 \times N$  的条件下,无法满足不等式 (2)。由此发现,无法实现根据本实施例降低整个驱动电路规模的效果。

[0079] 同时,对于扫描驱动电路,每单元布线的驱动电路块的规模很小。由此,当设计电路布局时,在每单元布线的驱动电路块之间通常会产生间隙。即使设计电路以减少该间隙,由于通过拉绕布线而增加了布线面积等,布局区域在尺寸上仍不会降低。结果,在扫描线驱动电路侧,在驱动电路块之间提供间隙,且为驱动电路块内的布局提供余量。

[0080] 当比较实例的扫描驱动电路的规模  $M$  在本实施例的情况下是  $3 \times M$  时,通过消除上述的间隙和余量来设置电路,可以在整个布局区域中几乎没有改变的情况下进行设计。这是图 1A 和图 1B 中的扫描线驱动电路的尺寸不变化的原因。也就是说,本实施例能够提供更接近最紧凑布局的布局,以提供高的布局效率。在纵向方向上非常长的上述显示区域的情况下,上述的间隙和余量尤其突出。使用本实施例减少了在布局面积中的空闲区域。

[0081] 同时,如上所述,信号线驱动电路的电路规模大,因此在布局中没有间隙或余量。由此,当设计大规模电路的布局时,扩大框架是解决这个问题的唯一途径。电路规模的尺寸直接影响电路的长度(在图 1A 和图 1B 中的纵向方向上),使得对框架有大的影响。比较实例 1 的信号线驱动电路的电路规模和本实施例的信号线驱动电路的电路规模相差三倍。结果,实例 1 的信号线驱动电路的长度是图 1A 和 1B 中示出的实施例的长度的三倍那样长。像这样,通过本实施例可以降低信号线驱动电路的长度,且结果减小了框架。该效果是普遍的,并且其能够适用于具有在纵向方向极其长的显示区域的显示装置。

[0082] 如上所述,本实施例能够减小整个驱动电路的规模。而且,其能够降低信号线驱动电路的长度。由于整个驱动电路的规模减小了,因此能削减设计/布局所需的研发时间,从而实现低成本。而且,其缩短了  $LT$ ,  $LT$  是从计划产品到出货的时间。此外,由于减小了电路规模,因此降低了产生错误的概率,从而提高了可靠性。而且,由于减小了框架,因此在单个支持基板上制造的显示装置的数目增加了,从而实现了低成本。而且,通过减小框架,可以实现减少了显示装置重量的轻重量显示装置。同时,通过使用具有减小框架的显示装置,能实现更小尺寸的、轻重量的和低成本装置。按照需要,最佳地设计横向长的点,以使得不发生故障显示,如由于液晶向错而在每个点处导致的光泄漏等。

[0083] 图 2A 是用于示出根据本发明显示装置第二实施例的平面图。图 2B 是用于示出图 2A 中信号线驱动电路的实例的平面图。以下参考这些图提供说明。

[0084] 在本实施例中,除了第一实施例的结构之外,还集成了专利文献 1 的图 38(本申请的图 18) 中示出的更复杂的电路,如 DAC 电路等。即,在本实施例中,在支持基板 1 上提供其中以矩阵方式提供像素的显示区域 4、用于驱动扫描线的扫描线驱动电路 2、和具有内建 DAC 的信号线驱动电路 9。用多个点构成在显示区域 4 中的像素。每个点对应于某种颜色的滤色器。点是横向长的形状,即在沿着扫描线的方向上延伸的形状。换句话说,每个点都是与单个线驱动电路 9 的纵向方向平行地延伸的形状。滤色器例如是横向带型形状。

[0085] 更具体来讲,具有内建 DAC 的信号线驱动电路 9 包括在其上集成的扫描电路 5、寄存/锁存电路 6、DAC 电路 7、选择器 8 等,例如在图 2B 中所示。该信号线驱动电路 9 中的电路结构和布局顺序不限于图 2B 中示出的情况,而可以是各种结构。

[0086] 本实施例使用比第一实施例的信号线驱动电路更加复杂的信号线驱动电路。由此,每个扫描线的驱动电路块规模相对于每个信号线的驱动电路块的规模的比率  $p$  比第一实施例中的大。结果,通过本发明实现的效果比第一实施例的更加突出。

[0087] 与第一实施例的情况相似,数字值被用于示出本实施例的效果。在此假设本实施例中的比率  $p$  是 10。当显示区域形状是垂直方向上长的、且  $M : N = 4 : 3$  时,常规技术中的整个驱动电路的规模是  $(47/2)M$ ,而根据第二实施例的整个驱动电路的规模是  $(21/2)M$ 。也就是说,根据常规技术的电路的规模比本实施例的规模高 2.2 倍。而且,当显示区域的形状是横向长、且  $M : N = 3 : 4$  时,根据常规技术的整个驱动电路的规模是  $41M$ ,而根据本实施例的整个驱动电路的规模是  $(49/3)M$ 。即为,根据常规技术的电路的规模比本实施例的规模高 2.5 倍。与此相似,在电路结构比第一实施例的更加复杂且更大规模的第二实施例中,降低整个驱动电路的规模的效果更加突出。

[0088] 而且,由于电路复杂了,信号线驱动电路的长度比第一实施例的延伸得更多。在常规技术和本实施例中,长度相差几倍。从此可看出,使用本实施例能降低信号线驱动电路的长度,且减小框架的效果显著。

[0089] 图 3 是用于示出根据本发明的显示装置的第三实施例的平面图。以下将通过参考附图提供说明。

[0090] 本实施例使用了如下结构:通过延伸来自于外部 IC 的数据总线宽度、以平行地处理数据,来减少在接口部分中消耗的电力。该结构在专利文献 1 中公开了。也就是说,在本实施例中,在支持基板 1 上提供了其中以矩阵方式提供像素的显示区域 4、用于驱动扫描线的扫描线驱动电路 2、和通过延伸与外部之间的总线宽度来并行地处理数据的信号线驱动电路(稍后将描述)。显示区域 4 中的像素由多个点构成。每个点对应于某种颜色的滤色器。点为横向长的形状,即在沿着扫描线的方向上延伸的形状。换句话说,每个点都是与信号线驱动电路的纵向平行地延伸的形状。

[0091] 在本实施例中,在显示装置外部提供了控制 IC(未示出)。控制器 IC 包括控制器、存储器和输出缓冲器,且该控制器 IC 与支持基板 1 连接。支持基板 1 包括在其中内建的电平转换器/定时缓冲器 10、锁存电路 11、DAC 电路 7、选择器 8 和显示区域 4,且该支持基板 1 连接到控制器 IC。电平转换器电路 12、锁存电路 11、DAC 电路 7 和选择电路 8 以这样的顺序排成行,且选择电路 8 连接到显示区域 4 的列侧。信号线驱动电路由电平转换器电路

12、锁存电路 11、DAC 电路 7 和选择电路 8 构成。

[0092] 与第二实施例的情况相似,本实施例也由于电路结构复杂,因此能够获得降低整个驱动电路规模的效果。而且,能降低信号线驱动电路的长度,使框架变得较小。

[0093] 图 4 是用于示出根据本发明显示装置第四实施例的平面图。图 5 是用于示出图 4 中信号线驱动电路实例的平面图。图 6 是用于示出常规显示装置(以下也称作“比较实例 2”)的平面图。以下将通过参考这些图提供说明。

[0094] 在本实施例中,电路结构比第一至第三实施例的那些更复杂。与第一至第三实施例之间的最明显差别是:帧存储器被集成在支持基板上。即,在第四实施例中,在支持基板 1 上提供了在其中以矩阵方式提供像素的显示区域 4、用于驱动扫描线的扫描线驱动电路 2、信号线驱动电路 3、帧存储器 19 和控制器 13。显示区域 4 中的像素由多个点构成。每个点对应于某种颜色的滤色器。点是横向长的形状,即在沿着扫描线的方向上延伸的形状。换句话说,每个点都是与信号线驱动电路 3 的纵向方向平行地延伸的形状。

[0095] 更具体来讲,信号线驱动电路 3 和帧存储器 19 的电路部分由选择器 7、DAC 8、输出寄存器 14、行解码器 15、列解码器 16、具有读出放大器的存储单元阵列 18、和输入寄存器 17 构成,例如图 5 中所示的。该电路的详细结构不限于图 5 中示出的结构,而是根据显示装置的结构能采用任一种类型的结构。

[0096] 而且,作为比较例 2,图 6 示出了使用与图 5 相同的电路结构、且使用垂直带型滤色器的情况。如从图 5 和图 6 的比较可看出的,在信号线侧上的电路的布局面积几乎与比较例 2 中的显示面积相同。同时,电路的布局面积在本实施例中显著降低。与此类似,本实施例的效果随着电路的规模变得更大而变得尤其突出。

[0097] 当观察本实施例的效果时,效果在行解码器和帧存储器的读出放大器中尤其突出。行解码器是在帧存储器的每一行处提供的电路。当帧存储器的单个行对应于信号线的单个行时,在比较例 2 中,需要以非常窄的节距在区域中布置电路。相似地,读出放大器也是在每一行提供的。读出放大器的结构例如在图 20 中所示的,其中在每一行设置位线,且在该位线之间设置读出放大电路。而且,常规上,例如如图 20 中所示,设置了上下两层布线,来为读出放大电路提供电流。通过参考该读出放大电路的情况,用数值来查看本实施例的效果。

[0098] 首先,考虑用于图 7 中所示的读出放大器的根据本实施例的布局。该图示出了夹在两个纵向布线 20(一对位线)之间的电路部分 22(读出放大器部分)。该电路还夹在两个横向布线 21(电源布线)之间。该布局区的整体尺寸为横向上的 R1 和纵向上的 C。将两个纵向或横向上的布线设计为具有按照设计规则定义的预定尺寸,以使该电路不会影响另一个布局上相邻近的电路。在此,布线宽度被示为 1,且布线和电路之间的间隙被示为 s。

[0099] 当定义了布线(行)和间隙之间的关系时,电路部分 22 的尺寸在横向方向上为 x1、在纵向方向上为 y1。参考图 7,获得以下的等式。

$$[0100] \quad R1 = x1 + 3s + 2l \quad \text{--- (3)}$$

$$[0101] \quad C1 = y1 + 3s + 2l \quad \text{--- (4)}$$

[0102] 即,在单个电路区的横向和纵向上,除了电路部分的宽度之外,用于三个间隙的宽度和用于两个布线的宽度也是必要的。为了简化随后的计算,提供以下等式。

$$[0103] \quad c \cdot R1 = 3s + 2l \quad \text{--- (5)}$$

[0104] 假设所设计的电路部分 22 的横向方向和纵向方向能表示为比率,且纵向方向对横向方向的比率为  $b$ ,能获得以下等式。

$$[0105] \quad y_1 = b \cdot x_1 \quad \text{---(6)}$$

[0106] 使用该关系,可如下用  $R_1$ 、 $c$  和  $b$  表示整个布局区域的面积 ( $R_1 \cdot C_1$ )。

$$[0107] \quad R_1 \cdot C_1 = \{c+b(1-c)\} \cdot R_1^2 \quad \text{---(7)}$$

[0108] 同时,图 8 示出了根据读出放大电路部分的比较实例 2 的布局。与图 7 中相同,该图中的整个布局区域尺寸在横向上为  $R_2$ ,在纵向上为  $C_2$ 。而且,电路部分 22' 的尺寸在横向方向上为  $x_2$ ,在纵向方向上为  $y_2$ 。

[0109] 在此,假设滤色器的颜色数目是  $k$ 。在比较实例 2 中,假设整个颜色的滤色器是以垂直带状形式来布置的,且本实施例中,全部颜色的滤色器设置成横向带状形式。通过这样,在各布局区域的横向宽度  $R_2$  和横向宽度  $R_1$  之间成立以下关系。

$$[0110] \quad R_1 = k \cdot R_2 \quad \text{---(8)}$$

[0111] 即,本实施例的布局区域的横向方向上的尺寸是实例 2 的  $k$  倍那样大。以等式 (3) 和 (4) 来表示的相同关系在  $R_2$  和  $x_2$  之间以及  $C_2$  和  $y_2$  之间也成立,且除了电路部分的宽度之外,还需要用于三个间隙的宽度和用于两个布线的宽度。

[0112]  $x_2$  可如下用  $R_1$ 、 $c$  和  $k$  表示。

$$[0113] \quad x_2 = R_2 - (3s+2l) = R_1/k - c \cdot R_1 = R_1(1-c \cdot k)/k \quad \text{---(9)}$$

[0114] 同时,由于根据本发明电路部分的面积与常规技术中的相等,因此能获得以下等式。

$$[0115] \quad x_1 \cdot y_1 = x_2 \cdot y_2 \quad \text{---(10)}$$

[0116] 根据该等式和等式 (3)、(5)、(6) 和 (9),  $y_2$  可如下用  $R_1$ 、 $b$ 、 $c$  和  $k$  表示。

$$[0117] \quad y_2 = (x_1 \cdot y_1)/x_2 = (b \cdot x_1^2 \cdot k)/\{R_1 \cdot (1-c \cdot k)\} = \{b \cdot (1-c)^2 \cdot k \cdot R_1\}/(1-c \cdot k) \quad \text{---(11)}$$

[0118] 通过使用等式 (8) 和 (11),如下可用  $R_1$ 、 $b$ 、 $c$  和  $k$  表示比较实例 2 中整个布局的面积 ( $R_2 \cdot C_2$ )。

$$[0119] \quad R_2 \cdot C_2 = (x_2+3s+2l) \cdot (y_2+3s+2l) = (R_1/k) \cdot (y_2+c \cdot R_2) = (R_1/k) \cdot [\{b \cdot (1-c)^2 \cdot k\}/(1-c \cdot k)+c] \cdot R_1 = [(c/k)+\{b \cdot (1-c)^2\}/(1-c \cdot k)] \cdot R_1^2 \quad \text{---(12)}$$

[0120] 通过比较等式 (7) 和等式 (12) 所获得的结果,能够对根据本实施例和比较实例 2 的整个布局的面积进行比较。根据本实施例的布局面积变得较小的条件是当以下关系成立时。

$$[0121] \quad R_2 \cdot C_2 > R_1 \cdot C_1 \quad \text{---(13)}$$

[0122] 通过将等式 (7) 和 (12) 代入不等式 (13),并对其进行整理,能获得以下等式。

$$[0123] \quad (k-1) \{(b+c) \cdot k-1\} > 0 \quad \text{---(14)}$$

[0124] 上述不等式 (14) 成立的条件是同时满足以下不等式。

$$[0125] \quad k > 1 \quad \text{---(15)}$$

$$[0126] \quad b+c > 1/k \quad \text{---(16)}$$

[0127] 不等式 (15) 表示颜色不是单色而是存在多种颜色的条件。而且,不等式 (16) 表示以下条件:根据本发明布局的电路部分的横向侧和纵向侧之间的比率  $b$ 、与占据整个布局横向节距  $R_1$  的布线和间隙的比例  $c$  的总和  $b+c$  大于颜色的数目  $k$  的倒数。当电路的规

模小时,电路部分横向侧和纵向侧之间的比率  $b$  能被显著降低。

[0128] 然而,当电路结构像在本实施例中这样复杂化时,在降低横向侧对纵向侧的比率方面存在限制。例如,当颜色数目  $k$  是 3 时,如果  $b$  是  $1/3$  或更大,则通常使用不等式 (16)。而且,即使当  $b = 0.3$  时,只要  $c > 1/30$ ,不等式 (16) 也成立。例如,在布线宽度  $l$  是  $8\mu\text{m}$  且间隙  $s$  是  $6\mu\text{m}$  的条件下,如果横向节距  $R1$  是  $1020\mu\text{m}$  或更小,则能满足不等式 (16)。与此相似,能理解,本实施例的效果能够根据设计和工艺条件来实现。常规设计中,电路部分横向和纵向侧之间的比率  $b$  小于  $1/2$  是很少见的,从而可理解,本实施例的效果总是能实现。

[0129] 而且,在此获得的关系能被应用到存储单元。即,存储单元部分被位线对包围,且夹在字线和电容的通用电极之间。结果,当满足不等式 (16) 时,通过本实施例也可以降低存储单元的布局面积。通过与多个字线相对应地在纵向方向上布置存储单元。由此,当降低了对于单个存储单元部分的布局面积时,能显著地降低整个存储单元阵列的布局面积。

[0130] 当电路结构像在这种情况下这样被复杂化时,即使在显示区域在纵向方向上极其长以致不满足不等式 (2) 的情形中,也可以获得不等式 (16) 所表示的降低电路部分的布局规模的效果。在此,已经通过参考帧存储器的情况对此进行了描述,然而明显的是,通过其它电路也能获得相同的结果。此外,与上述教导的情况不同,对于被纵向方向上的单个布线和在横向方向上的单个布线包围的电路,也能获得同样的方式。

[0131] 即,如果以下条件成立,则能实现本实施例的效果,该条件为:由布线和间隙所占的宽度相对于横向节距  $R1$  的比率  $d$  具有等式 (17) 的关系,且满足不等式 (15) 和不等式 (18)。

$$[0132] \quad d \cdot R1 = 2S+1 \text{---} (17)$$

$$[0133] \quad b+d > 1/k \text{---} (18)$$

[0134] 根据不等式 (18),能理解,当电路变得复杂到某种程度或更复杂时,总是能实现本实施例的效果。

[0135] 作为第一至第四实施例的效果,已经描述出电路面积降低、通过减少电路长度来减小框架、通过缩短研发时间来削减成本、缩短了 LT、改善了可靠性、通过增加从单个支持衬底获得的产品数量来削减成本、通过减小框架来降低重量等。将通过参考附图描述上面未提出的其他效果。

[0136] 图 9 是根据常规技术的电路的布局设计的实例。而且,图 10 是示出根据本发明相同电路的布局设计的实例。在这些图中,示出了半导体层 25、25'、第二布线 23、23'、第三布线 24' 等。为了避免复杂化,其中未示出第一布线。而且,也未示出第二布线的一部分。

[0137] 图 9 中,在由两个第二布线 23' 包围的区域中布置由半导体层 25' 等构成的电路。由于两个第二布线 23' 之间的间隙狭窄,所以该半导体层 25' 被分成多个片。而且,第三布线 24' 被用于拉绕在布线周围。

[0138] 同时,在图 10 中示出的相同电路的布局中,半导体层 25 的划分数目比图 9 中的少。而且,被第二布线 23 占据的面积也减少了。而且,在此不使用第三布线。像这样,当设计相同电路的布局时,本发明不仅能降低电路面积,而且还能设计布局而无需使用附加布线。使用较小数目的布线意味着设计和工艺成本的显著削减。

[0139] 如上所述,本发明能设计电路布局而无需使用附加的布线层,从而能实现成本的

明显降低。尤其重要的是提及以下一点：图 9 示出了通过布局设计领域中技术人员手工制造实现的布局结果，而图 10 是根据其上记载了电路连接关系的网表来实现自动布局设计的结果。由于不仅是布线层的数目小而且布局通用性提高了，因此根据本发明的结构，即使通过自动设计，仍能实现用小电路面积进行有效的布局设计。因此，技术人员能专注于其他电路部分。与此类似，在节约设计劳动力方面也实现了非常大的效果。

[0140] 而且，本发明的另一个效果是通过降低电路规模，能够降低由于电路内的寄生电容和布线产生的电阻。通过降低这些，电路中用于数据和时钟的传输、以及将电压提供到电路的负荷，都能被极大地降低。结果，能够降低数据和时钟所必需的缓冲器的尺寸。而且，供应电压的电源电路所需的性能也能被抑制。结果，能进一步降低电路规模。同时，能实现低功耗。

[0141] 通常，尤其是当电路规模大时，在布线之间的交叉区域处的交叉电容的影响很大，从而导致数据延迟和时钟波形迟钝 / 失调。为了降低交叉电容的影响，需要：通过改变工艺，增加在形成交叉电容区域处的绝缘膜的膜厚度；通过精细设置工艺规则，降低电容；和提供大的缓冲器和专用于解决信号的延迟 / 迟钝 / 失调的电路。然而，通过本发明，工艺中的这种大的变化不是必要的。此外，仅需要最低限度地使用专用电路和大缓冲器。像这样，本发明在工艺和设计两方面都具有很大的影响。

[0142] 通过本发明，可以通过设计在帧存储器中存储数据的方法，即对写入存储器的数据进行布置的方法，来获得更多的效果。图 21 示出这一方法的概念。图 21 中，帧存储器 19 是与显示区域 4 一起形成在同一基板上的。输入图像数据 33 的数据格式（例如，排列顺序）被数据转换电路 31 转换，并被提供到显示区域 4。

[0143] 通过以这样的方式来存储数据，可以减少当从帧存储器中读取数据和将它显示在显示区域上所消耗的电力。也就是说，由于当读出数据的时候，无需根据显示部分中的像素阵列来重新排列数据，因此仅仅消耗很少电力。对于不具有内建帧存储器的系统，当在显示区域上显示数据的时候，通常需要根据像素阵列对从 IC 芯片中读出的数据进行重新排列，这增加了功耗。

[0144] 这样的数据转换不仅可以通过图 21 中的结构获得，而且也可以通过各种结构来获得。例如，输入图像数据 33 可以是串行数据或并行数据。

[0145] 作为本发明的实例，将描述具有内建帧存储器的对角 1.1 英寸彩色液晶显示器的设计 / 制造实例。对于像素数目，存在横向 160 像素和纵向 120 像素，并且其分辨率是 180ppi。图 22 是在本实例中制造的液晶显示器的系统方框图，其对应于如上所述的图 5。在这一液晶显示器中，在同一支持基板 1 上沿着显示区域 4 形成大量电路。具体来讲，形成了扫描线驱动电路 2、信号线驱动电路 3、压缩电路 29、解压缩电路 30、控制器 13、输出寄存器 17、帧存储器 19 和信号处理电路 32。在图 22 中，压缩电路 29 被包括在信号处理电路 32 内。为了提供内建帧存储器，优选的是显示区域 4 的横向宽度与帧存储器 19 的横向宽度几乎相等。而且，优选的是帧存储器 19 中的存储单元阵列对应于显示区域 4 中的像素阵列，使得能够通过简单地选定帧存储器中的一个列，将数据写入连接到单个扫描行的所有像素。即，利用这样的结构，可以通过执行图 21 中所示的数据转换，降低当读出数据时消耗的电力。

[0146] 为了调查本发明的布局的有效性，将示出当沿横带方向布置像素时的本发明的像素结构，以及作为比较，示出当沿纵带方向布置像素时的像素结构。这里可以假定，帧存储

器 19 为每一颜色像素具有 4 位的存储容量。图 23 示出一比较实例,其显示出在具有沿纵带方向布置的像素结构的显示设备中的存储单元和像素的布局。图 24 示出本发明的情形,其显示出在具有沿横带方向布置的像素结构的显示设备中的存储单元和像素的布局。在图 23 中所示的纵带结构的帧存储器 19 中,提供了 120 条字线,每一字线与 160x12 个存储单元相连。而且,纵带结构的显示区域 4 是由 160xRGB 条数据线和 120 条扫描行构成的。同时,在图 24 中所示的横带结构的帧存储器 19 中,提供了 360(120x3) 条字线,每一字线与 160x4 个存储单元相连。而且,横带结构的显示区域 4 是由 160 条数据线和 120xRGB 条扫描行构成的。

[0147] 对于图 23 中所示的纵带结构,需要在像素节距 34 内总共布置 12 个存储单元(每一颜色 4 位=12 位)。同时,对于图 24 中所示的横带结构,需要在像素节距 34 中布置 4 个存储单元(4 位)。图 25 示出当以帧存储器 19 的宽度变得与显示区域 4 的宽度相同的方式来设计的时候,在这些条件下的像素节距和存储单元宽度之间的关系。图 25 中分别示出了对于纵带结构的关系和对于横带结构的关系。而且,用虚线示出了在这一估评中使用的设计规则所限定的最小存储单元宽度(在该情况下是 14 μm)。为了获得期望的 180ppi 的分辨率,需要将像素节距设置为大约 141 μm。可以从图 25 看出,当像素节距是 141 μm 时,在纵带结构中,存储单元宽度变得稍微小于 10 μm。也就是说,应理解,无法使用假定的设计规则将纵带结构设计成为具有 180ppi 的分辨率。为了设计具有 180ppi 的分辨率的纵带结构,设计规则需要是假定值的大约一半。同时,在横带结构中,当像素节距是 141 μm 的时候,存储单元宽度稍微小于 30 μm。从而,可以看出,能够使用假定的设计规则来充分地设计横带结构。

[0148] 正如所述,通过使用本发明的结构,能够在不改变设计规则的情况下设计布局。此外,能够极容易地设计布局,因为它基本不受到设计的限制。而且,通过利用本发明,可以以图 25 中假定的设计规则,获得具有 360ppi 的分辨率的设计。像这样,本发明提供非常好的效果,尤其是对高分辨率显示器设备。

[0149] 接下来,将从存储电路动作的角度来说明图 23 的结构和图 24 的结构。首先,将概述被存储单元的一对位线围绕的存储电路的常规动作所要求的规定。需要满足下列等式,其中一对位线之间的读出电压差值是 ΔV,存储容量是 Cs,电源电压是 Vdd。

$$[0150] \quad \Delta V = \frac{C_s}{2(C_s + C_b)} V_{dd} \quad (19)$$

$$[0151] \quad |\Delta V| > S \quad (20)$$

[0152] 应注意的是,Cb 是位线的寄生电容。而且,S 是存储电路中的读出放大器的灵敏度。假定等式 (19) 中的电源电压 Vdd 是固定值,则从位线读出的电压差 ΔV 很大程度上取决于存储单元的存储容量 Cs 的范围和位线的寄生电容 Cb 之间的关系。位线的寄生电容 Cb 随着存储电路的高度增加和每一位线的长度扩展而增加。为了通过补偿增加的寄生电容 Cb 使读出电压差值 ΔV 保持超过某一值(以满足等式 (20),需要增加存储容量 Cs。然而,当存储容量 Cs 增加的时候,存储电路的高度增加,这进一步增加了位线的寄生电容。图 26 示出当存储电路是以图 23 和图 24 中的结构来设计的时候,在由等式 (19) 和 (20) 约束的电路工作条件下确定的存储电路的计算高度。在图 26 中,横轴为像素节距(μm),纵轴为存储电路的高度(毫米),并且纵带型和横带型都在其中进行了绘制。在此处假定的设计规则中,



存在这样的条件：在像素节距非常大的区域中，通过采用纵带型，存储电路的高度能够被减少更多。与此同时，当存储电路的变得狭窄的时候，通过采用横带结构，存储电路的高度能够被减少更多。其原因如下。当像素节距变得狭窄的时候，通过采用纵带型，存储单元电容的形状变为更长形的形状。结果，寄生电容  $C_b$  增加。当寄生电容  $C_b$  增加时，需要增加单元电容  $C_s$ ，由此进一步增加寄生电容  $C_b$ 。结果，当像素节距变得狭窄到一定程度以上时，产生电路无法工作的状态。例如，此处假定的是具有 180ppi 的条件（像素节距  $141\ \mu\text{m}$ ），而且无法以纵带型来设计该电路。

[0153] 如上所述，可以看出，从将图 25 中的显示区域 4 的宽度和帧存储器 19 设置为几乎相等、以及图 26 中所示的电路是否正确地工作这两种约束条件的角度来看，本发明在特定设计规则条件下是有效的。

[0154] 为了获得图 22 和图 24 中所示的结构，图 21 中所示的数据转换是重要的。下文将说明与本实例一起使用的的数据转换的细节。在常规显示设备中，当将输入的视频数据写入到帧存储器中的时候，通过一个时钟写入一个像素的视频数据（例如，具有三个点 R、G、B 的一个像素的数据）。同时，为了实现本发明的结构，需要将常规纵带结构对应的数据布局改变为通过对应于横带结构来布置的数据。为了以简单的方式实现这一点，需要使用具有三倍于常规情形的频率的三个时钟，因为需要对连接到 R、G、B 的三条字线进行存取来将视频数据写入到帧存储器，这是因为帧存储器中的数据布局对应于显示区域中的像素布局。使用三倍的频率意味着帧存储器所需要的运算速度变为三倍或更多。为了避免这一点，本实例设计了一种用于以流水线形式执行处理的信号处理电路，并将其设置在显示设备内。图 27A 示出流水线型信号处理电路的方框图，图 27B 示出时序图。本电路包括对输入的图像数据进行压缩的压缩电路 29，由此产生将从压缩数据经由寄存器 27 和多路转换器 28 写入存储器的数据。通过 4 个时钟输入的具有每一颜色 6 位的 4 个像素数据（具有 6 位的 12 个点的数据）被压缩电路 29 转换为具有每一颜色 4 位的 4 个像素数据。4 个像素的压缩数据被临时保持在寄存器 27 中。而且，在多路转换器 28 处，根据写入存储器的顺序来改变数据的选择顺序，从而形成待写入存储器的数据。待写入存储器的数据是用这样的方式构成的：为每一颜色写入 4 位 / 4 像素的数据。在图中，数据是按照 R、G、B 的顺序写入的。结果，4 像素的数据通过 3 个时钟写入存储器中。通过采用这种结构，通过在将其写入存储器中时按照与显示区域对应的顺序重新排列视频数据，当从存储器中读出数据的时候，可以为每一选择的线一次读出数据。因此，能够降低对于存储器的存取次数，并能够减小电力消耗。

[0155] 在如上所述的实例中使用的压缩 / 展开方法通过仅仅使用该一个像素内的数据，为一个像素的视频信息执行压缩 / 展开。本方法为每一像素执行压缩 / 展开，从而能够容易地执行从存储器读出和向存储器写入的随机存取。而且，压缩和展开电路的规模是极其小的，并且由于降低的位数目，帧存储器的容量降低了。因此，由压缩和展开电路和存储器部分占据的面积变得极其小。与此同时，还考虑到了如下压缩 / 展开方法：其在执行压缩和展开的时候，利用像素之间的相关性来改善图像质量。例如，存在如下方法：其在每 4 像素的数据的像素之间执行相关性消除处理之后执行量化。通过使用这种方法，按照每 4 个像素来压缩和展开数据。由此，图像质量得到改善，并且能够连续地传输图像数据，使得能够减少传输线路的容量。然而，需要按照每 4 个像素来保存和读出与一个基于像素相关性信息

的标志相对应的几位新数据（该新数据不是在为每一像素执行量化时产生的，使得稍微增加了其所需的存储容量）。这样的压缩 / 展开方法还可以与如上所述的数据转换电路等等同时使用，因此优选的是在本发明中使用它。图 29 示出能够实现这种构成的结构的实例。在本结构中，执行块编码及其解码，以及位平面压缩及其展开。通过块编码，将 4 像素的原始图像数据（在图中用  $I(X)$ ,  $I(X+1)$ ,  $I(X+2)$ ,  $I(X+3)$  表示的具有 6 位的每一数据）转换为具有 4 位的每一像素数据和 3 位的标志。在位平面压缩部分中，具有 4 位的每一转换像素数据被改变为具有 3 位的每一像素数据。每一具有 3 位的像素数据和 3 位的标志被保存在帧存储器 19 中。在解压缩电路 30 中，具有 3 位的每一像素数据被位平面展开部分形成具有 4 位的每一图像数据，并且具有 4 位的每一像素数据和 3 位的标志数据被块解码，以获得具有 6 位的每一像素数据（在图中，通过  $O(X)$ ,  $O(X+1)$ ,  $O(X+2)$ ,  $O(X+3)$  来表示具有 6 位的每一数据）。由此获得的数据被显示在显示区域 4 上。

[0156] 尽管上面没有具体描述，但是在显示区域中的点的横向节距、和电路部分的一单位的横向节距可以相同或不同。例如，即使当通过将电路分成多片来设置电路时，本发明也是有效的。将这种结构的实例描述为本发明第五实施例。

[0157] 图 11 是一平面图，用于示出根据本发明第五实施例的在信号线侧上的电路布局的第一实例。在第五实施例第一实例中，将帧存储器部分分成两部分。结果，示出了当将帧存储器分成为在支持基板 1a 右侧和左侧上的两个时、在中心区域设置两列解码器 16a 的结构。列解码器 16a 被设置在中心，但是可将其固定地设置在每个存储单元阵列 18a 的右侧和左侧上。替换地，两者都可设置在框架侧上。图 11 中，输入寄存器 14a、行解码器 15a、输出寄存器 17a、DAC 7a 和选择器 8a 也被分成为在右侧和左侧上的两组。在这种结构中，帧存储器和 DAC 部件的节距相互不同。此外，DAC 部分和显示区域的节距相互不同。由此，在每个电路块之间形成用于改变节距的节距改变部分 26a。明显的是，本实施例能够实现本发明的效果，例如降低电路规模、减小框架等。

[0158] 图 12 示出了使用与图 11 不同的布局的第二实例。图中，不将 DAC7b 和选择器 8b 分成两组。结果，选择器 8b 和显示区域 4b 之间的节距改变部分变得不是必要的。在该结构中，DAC 部分和显示区域的节距实质上不必要相同。在 DAC 7b 和选择器 8b 之间的电路布局内，通过使用自然改变节距的结构，即使当 DAC 部分和显示区域的节距不同时，也可以得到解决。

[0159] 而且，图 13 示出了采用与图 11 和图 12 中的那些布局不同的第三实例。该结构中，DAC 部分和输入寄存器 14c 不分成两组，而是仅仅划分帧存储器自己。而且，其中不形成节距改变部分。在该结构中，通过采用其中为节距不同的电路块、在每个电路中自然改变节距的结构，而省略了节距改变部分。按照这样的情形，当没有节距改变部分时，与图 11 和图 12 的情况相比更加减小了框架。

[0160] 在本发明的另一实施例中，连接到 CPU 总线所必需的所有电路都内建在支持基板上。这些电路包括所有定时控制器、串行接口电路、电源电路、用于电源电路的电容和电阻、时钟产生电路等。作为串行接口，可根据 CPU 总线的相关规格使用各种类型的。例如，能使用 SPI（串行外围接口）、I2C（内部集成电路）、UART（通用异步接收器 / 发射器）等。

[0161] 在常规结构中，不需要对于该串行接口的管理功能，而仅需要从属功能。同时，时钟产生电路能根据规格采用一些不同的结构。当所有时钟都与自串行接口接收到的时钟同

步时,提供对从串行接口获得的时钟进行分周/复倍或者相移的功能。这种情况下,当串行接口对时钟和数据两者都进行传送时,能按原样使用通过通信获得的时钟。

[0162] 同时,在其中串行接口仅传送数据的结构的情况下,提供用于根据数据再现时钟的时钟复原电路,以利用再现的时钟。而且,当串行接口的时钟和用于显示的时钟等不同步时,内建的附加的时钟产生电路是必要的。例如当使用与来自串行接口的时钟同步的时钟执行直到将数据写入到帧存储器为止的过程、并使用与来自串行接口的时钟不同步的时钟执行从帧存储器读出数据直到其显示为止的过程时,使用这种结构。

[0163] 此外,按照需要,在其中提供了内建检查电路。例如,当帧存储器 19 的一条字线将要立即被存储器检查电路检查的时候,或者当显示区域 4 的一条扫描线将要被显示区域检查电路检查的时候,该检查电路可以被放置在较大规模电路一侧上。类似地,还可以执行对帧存储器 19 的一条数据线和显示区域 4 的一条信号线的检查。为了设置该检查电路,可以将其放置在放置了其他大规模电路的一侧,或者可以将其放置在放置了小规模电路的一侧以平衡电路规模。

[0164] 图 30 示出其中提供了内建检查电路的结构的实例。该结构也在其中提供了上述的串行接口。通过使用该检查电路,可以对以串行的方式输入的检查数据本身执行检查,或者通过与内建模式产生电路 43 产生的检查模式进行比较来执行检查。为了检查存储器的输出,来自于检查电路 40 的输出被按照原样从输出控制 42 输出,或者在由模式压缩电路 44 模式化后输出。可以用这样的方式来实现对于存储器的检查。正如图中所示出的,可以看出,除了显示区域 4 以外的电路的规模是非常大的,因此应理解可以优选的应用本发明。

[0165] 在上文中,已经通过参考仅仅在显示区域一侧(例如,仅仅在左右方向中的左侧,或者仅仅在上下方向中的下侧)布置用于驱动显示区域 4 的驱动电路的情形进行了说明。然而,在必要时,通过围绕显示区域 4,驱动电路可以被布置在所有侧上。例如,可以在显示区域 4 的左右两侧上都布置扫描线驱动电路。在该情况下,可以在左右方向上连接显示区域 4 内的扫描线,以连接右侧和左侧上的驱动电路。替换地,也可以在显示区域 4 内分离扫描线,使得可以单独地操作右侧或者左侧。此外,可以提供能执行双向扫描的驱动电路,例如能够随意从右侧或者左侧开始扫描。通过利用双向扫描,可以改变在显示设备中显示的图像的上部和下部。

[0166] 而且,优选的是,还可以在增加视频的显示频率(例如,将其增加到 90Hz 或者 120Hz)以便改善显示运动画面的性能的时候,或者在通过在写入视频之后添加黑色显示来解决保持型显示器的拖尾的时候,来使用本发明。在此情况下,无论数据转换是在显示设备上还是在外部执行的,通过应用本发明都可以获得诸如使框架变窄等效果。

[0167] 此外,优选的是,本发明还可以被应用到能够处理三维图像的显示设备,这种显示设备可以显示三维图像,或者切换显示三维图像和普通图像。特别是,当在显示设备上执行对于显示三维图像等等所需要的数据转换的时候,本发明非常有效地减少了电路规模。

[0168] 通常可以使用液晶作为使用滤色器的情形时的显示物质。作为电泳类型材料的实例,能使用微胶囊型电泳物质,其通过将白色和黑色精细颗粒(如氧化钛和碳黑)封装到微胶囊中来获得。还可使用通过使用相同颗粒等的粉末的显示方法(有时将其称作调色型显示(toner type display))。能通过组合基本进行二值显示的那些材料或者滤色器来实现精细的彩色显示。同时,能通过组合白色有机 EL 物质和滤色器来实现彩色显示。通过这种结

构,能实现高速响应。此外,比使用每种颜色的有机物质的结构相比,能更容易形成该结构,也能实现高效率。

[0169] 对于构成该电路的半导体,可使用各种类型。例如,能使用非晶硅、高温多晶硅、低温多晶硅或单晶硅。通过例如用这种材料构造晶体管形成该电路。而且,也可使用由有机材料制成的有机晶体管。而且,可以使用通过氧化物半导体,如作为非晶氧化物半导体的代表的透明氧化物半导体形成的晶体管。

[0170] 有机晶体管具有这种特性:其使用有机材料,且可采用各种微细加工技术。即,除了掩模气相沉积之外,可以通过印刷技术如转印、喷墨印刷、纳米印刷技术进行模制,并且可以通过融化技术等形成图形。作为典型的 p 型半导体而被广泛公知的材料是并五苯。实质上,并五苯不是仅用作 P 型半导体的物质。通过调整电极结构和周围气氛,其可被用作 n 型半导体的双极性材料(显示出电子和空穴的对称特性)。当使用有机半导体时这也是特征。除了并五苯之外,可使用各种类型的材料,如聚噻吩(polythiophene)、富勒烯(C60)、作为富勒烯衍生物的 C60MC12(C60-稠合吡咯烷-间-C12-苯基)和 PCBM(6,6-苯基-C61-丁基酸-甲基酯)、全氟化酞菁、全氟化并五苯等。

[0171] 而且,通过使用液晶有机半导体如球壳状碳分子诱导体,能利用分子的定向。由此,通过在取向方向上形成沟道,能形成具有高迁移率的有机晶体管。同时,透明氧化物半导体具有这种特性:容易调整载流子密度、容易在常温下形成膜和在可见光区中是透明的。由于其能在常温下形成,因此可以在软基板如塑料基板上形成晶体管。

[0172] 作为透明氧化物半导体,能使用 ZnO(氧化锌)、Zn-Sn-O(锌锡氧化物)、In-Zn-O(IZO:铟锌氧化物)、InGaO<sub>3</sub>(ZnO)<sub>5</sub>等 In-Ga-Zn-O(a-InGaZnO, a-IGZO:铟-镓-锌-氧基非晶半导体)、a-In<sub>2</sub>O<sub>3</sub>Sn(非晶 ITO)(铟锡氧化物))等。作为栅极绝缘膜,能使用 SiN(氮化硅)和高 k 材料的 Y<sub>2</sub>O<sub>x</sub>(氧化钇)等。

[0173] 对于电极,优选使用 ITO。可使用几乎相同的工艺形成 a-IGZO 和 ITO。即,其能通过溅射或气相沉积形成。在形成膜时,通过使用金属掩模等形成图案是很容易的。与使用非晶硅 TFT 和有机 TFT 的情况相比,通过透明氧化物半导体形成的晶体管能实现高迁移率,且在形成复杂电路时是有效的。

[0174] 此外,可以使用碳的一种形式来作为半导体,比如 C60,碳纳米管,富勒烯等等。

[0175] 本发明不限于在迄今为止的说明中所使用的图中示出的 R、G、B 的滤色器。即,其能以反向顺序 B、G、R 来布置滤色器,或者用与例如顺序 G、B、R 这样的不同颜色来开始设置滤色器。而且,可使用反射型滤色器作为滤色器。这种情况下,其与透射型的情况相比,能增大开口率。

[0176] 本发明不限于迄今为止所描述的具有设置成带状的 R、G、B 三种颜色的滤色器。明显的是,在使用将两种或更多种颜色设置成带状的滤色器的情况下,本发明是有效的。即,其能用于其中滤色器的颜色数目增加到四种、六种等等、以扩展颜色范围并实现纯度化的显示装置(常常被称为多色显示设备)。当增加颜色的数目时,可以通过执行与该变化相对应的数据转换来应用本发明。为了转换数据,可以使用显示设备上的电路,也可以使用诸如驱动 IC 这样的外部电路。为了使用驱动 IC,需要为具有增加数目的颜色的专用驱动 IC 开发新的 IC。因此,可以通过以下方式使用三基色的驱动 IC:执行用于转换四个或更多基色的信号的数据转换,使其能够被输入到三基色的驱动 IC。在增加了滤色器的颜色数目的

显示装置中,由于显示装置中点在纵向侧和横向侧之间的比率增加了,因此本发明的效果显著。此外,本发明还可以被应用于采用时分点亮多个颜色的光源和多个颜色的滤色器的组合的显示设备(例如,波谱连续显示器)。

[0177] 而且,根据本发明滤色器的布局不限于带状形式。即,能通过将某个点的滤色器形成为横向长的形状,实现本发明的效果。例如,可以以按恒定节距将滤色器断断续续地布置在直线上的方式获得该效果。在像该情形这样断断续续地布置滤色器的结构中,通过将具有滤色器的部分和不具有滤色器的部分作为单个点来处理,可以增加在没有滤色器的单个点部分处的显示亮度。结果,尤其在高亮度型显示装置中或者在需要通过使用反射来确保亮度的反射型或透射反射型显示装置中,本发明的效果尤其显著。同时,能实现高性能显示。

[0178] 本发明的效果不仅能在断续结构中实现,而且能在其中形成有孔的结构中实现。图 14 示出了滤色器的这种布局的实例。图 14A 示出了断续结构,图 14B 示出了具有矩形孔的结构,图 14C 示出了其中开了小的圆形孔的结构。本发明适合于这样的各种滤色器。而且,参考图 14A,滤色器自身被进一步划分,且可以不是横向长的形状,只要单个的点是横向长的形状即可。

[0179] 而且,本发明还能应用于五片瓦(Pentile)布局,该五片瓦布局由 ClairVoyante 提倡作为另一种类型的滤色器布局。在这种五片瓦布局中,利用眼睛的特性,通过使用更大的点,可以在视觉上获得与带状布局的像素相同的分辨率。图 15A 示出了在常规五片瓦布局中的滤色器的第一实例。当在显示部分的左右方向上提供扫描线驱动电路时,本发明将图 15A 的布局设置成如图 15B 中的横向长布局。明显的是,能通过采用这种布局获得本发明的效果。图 15C 示出了在另一常规五片瓦布局中的滤色器的第二实例。图 15D 示出了根据本发明的横向长布局的实例,其对应于图 15C 中示出的布局。

[0180] 上述内容中,已经基于存在扫描线驱动电路和信号线驱动电路的假设,进行了描述。然而,这两种电路都不是必要的。即,本发明的效果能通过显示部分横向方向上(在右侧和左侧上)建立的电路的关系、在显示部分的纵向方向上建立的电路的规模比率、和构成像素的点的两维宽度来实现。由此,点的形状不限于横向长的形状。例如,本发明可以用具有扫描线驱动电路和其他电路的显示装置来具体实现,只要在构成像素的点的至少一种两维布局中的两个方向上的长度比在扫描线驱动电路侧上的更短。换句话说,当在显示部分的左右方向上布置扫描驱动电路时,以这样的方式来设置点:规模比扫描线驱动电路的大的电路侧上的点的长度变得更长。即,在左右方向上的点的长度被设置成比上下方向上的点的长度长。同时,当将扫描线驱动电路设置在显示部分的上下方向上时,在上下方向上的点的长度被设置成比左右方向上的点长,以使得在比扫描线驱动电路规模大的电路侧上的点的长度变得更大。

[0181] 在上述内容中,主要将点的形状描述为矩形。然而,点实质上不必是矩形,只要能对应于多种颜色的点填充间隙即可。即,该形状例如可以是六边形、通过进一步将六边形分成两个获得的梯形或五边形。

[0182] 而且,明显的是,每个点都不必为相同形状。在本发明中重要的是将点的两维长度设置成多长,以减小电路规模。当点的形状不是立方体时,通过取各自方向上的平均长度作为两维长度来实施本发明。例如,当在显示部分的上下方向上设置扫描线驱动电路时,在上

下方向上的点的平均长度被设置为比左右方向上的点的平均长度更长,以使在规模比扫描线驱动电路大的电路中的点的平均长度变得 longer。

[0183] 在上述内容中,假设将点设置成方形,描述了两维点布局方法本身。然而,其不限于是方形布局。本发明还能用于矩形布局和倾斜布局,在矩形布局中,左右方向上和上下方向上的点的节距不同,在倾斜布局中,当被转送时,点的位置在除了转送方向之外的方向上变化。此外,例如可以用 Penrose 片等形状的点,以非周期的方式来填充间隙。在该情况下,无法定义像节距这样的长度。然而,如上所述,可以通过考虑二维空间来定义两种方向、并定义这些方向中的平均长度,来获得本发明的结构。然而,通过这一结构,根据选择这两种方向的方法和显示区域中包含的点的数目,由于非周期的特性,两个方向中的平均长度变得相等成为可能。

[0184] 此外,本发明还可以应用于被称为自适应型彩色显示器的系统。在该系统中,视频信号被分析,以调查其内容和外围环境亮度,或者根据观看者的偏好而设置的条件。此外,还考虑了显示设备的特有特性,以便调整将被显示在显示区域上的信号。此外,还为使用背光的显示设备调整背光亮度。在该系统中,根据观看条件和视频信号来调整实际观察到的显示,因此能够通过完全使用显示设备的性能来执行显示。根据需要,本系统所需要的数据转换电路、亮度传感器等等可以被设置成为本发明的结构中的一部分。

[0185] 接下来,将通过参考图 1A 描述本发明的第七实施例。本实施例不使用滤色器。本实施例通过代之以使用发光元件,而实现了彩色显示。即,其中在支持基板 1 上提供以矩阵方式提供像素的显示区域 4、用于驱动扫描线的扫描线驱动电路 2、和用于驱动信号线的信号线驱动电路 3。在显示区域中的像素由多个点构成。每个点对应于某种颜色的发光元件。该点为横向长的形状,即为在沿着扫描线的方向上延伸的形状。换句话说,每个点都是与信号线驱动电路 3 的纵向方向平行地延伸的形状。发光元件例如是横向带状类型。

[0186] 明显的是,在本实施例中能实现本发明的效果。而且,通过用发光元件取代上述的第二至第六实施例中的滤色器,能将该发光元件与每个实施例中的其他结构组合起来。

[0187] 各种类型都课被用作发光元件。例如,能使用多种颜色的有机 EL 物质。有机 EL 物质是一种电致发光元件,其通过提供电场而发光。由于有机 EL 物质是自发光物质,因此滤色器不会吸收光。而且,其能提供高速响应。其他的电致发光元件也可被使用。

[0188] 而且,可以通过气体产生等离子体和将荧光元件用作发光元件来进行等离子体彩色显示。相似地,通过 FED(场发射显示)的彩色显示能通过使用电子发射源和将荧光元件用作发光元件来实现。

[0189] 另一方面,作为发光元件,可以使用引发应变的发光元件,其能通过应变发光。能通过将这些发光元件形成为光子晶体结构来提高发光效率。通过光子结晶结构,能将通常封闭在发光元件内部且不发射到外部的光取出到外部。

[0190] 将通过参看图 28 来说明本发明的第八实施例。在本实施例中,显示区域 4 为非矩形形状。在图 28 中,显示区域 4 是心形的。在显示区域 4 的外围提供第一方向上的驱动电路 48 和第二方向上的驱动电路 49。图中的像素的形状不是矩形而是平行四边形,并且每一侧对应于第一方向驱动电路 48 和第二方向驱动电路 49。参看本图,第二方向驱动电路的电路规模较大。因此,像素为横条型,其与第二方向驱动电路的平放方向平行。通过使用这种结构,与纵带型的情形相比,能够减少第二方向驱动电路 49 的布局尺寸。结果,可以用与显

示区域 4 的形状类似的形状来形成显示设备的外部形状。

[0191] 接下来,将描述本发明的第九实施例。本实施例是使用本发明显示装置的近眼 (near-eye) 设备。近眼设备包括照相机、摄像机等的取景器、头部安装显示器、平视 (head-up) 显示器和其他设备,他们都非常接近眼睛 (例如,在 5cm 之内)。在本实施例中,显示装置被用于近眼设备,因此需要该装置需要尺寸小且重量轻。因此,采用本发明的效果显著。在本实施例中,因为是简单地用本发明的显示装置替换在近眼设备中提供的常规显示装置,因此省略了对近眼设备的详细描述。即,除了显示装置之外,根据本实施例的近眼设备的结构与公知技术的相同。

[0192] 接下来,将描述本发明第十实施例。本实施例是使用根据本发明显示装置的便携式终端。该便携式终端包括便携式电话、电子笔记本、PDA (个人数字助理)、可穿戴个人计算机等。该便携式终端用于一直随身携带,因而需要尺寸小和重量轻。采用本发明的效果对于这种应用也是显著的。在本实施例中,因为是简单地用本发明的显示装置替换在便携式终端中提供的常规显示装置,因此省略了对便携式终端的详细说明。即,除了显示装置之外,根据本实施例的便携式终端的结构与公知技术的相同。

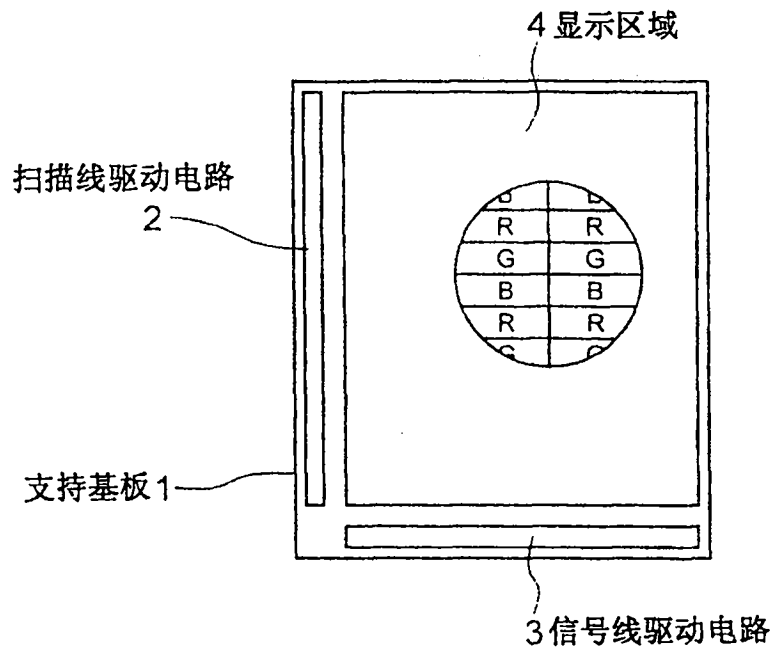


图 1A

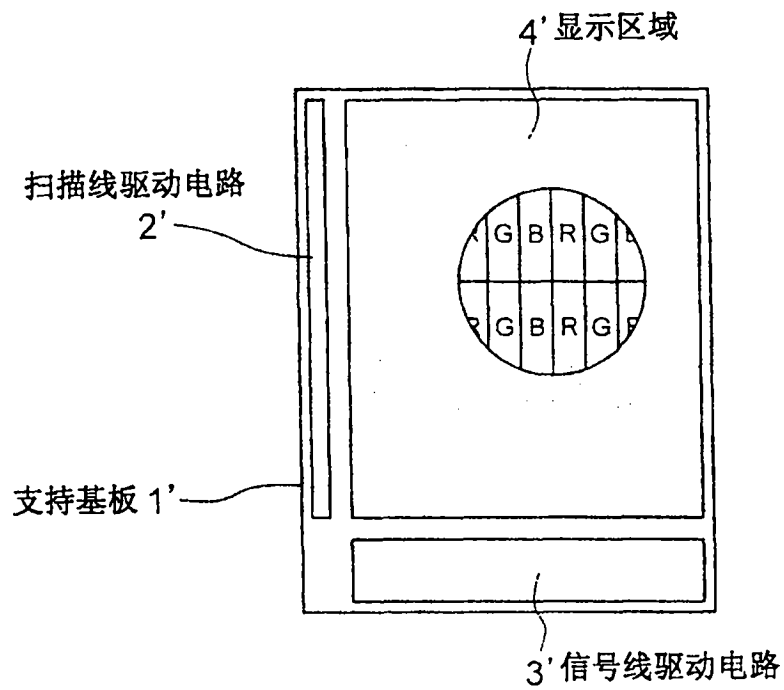


图 1B



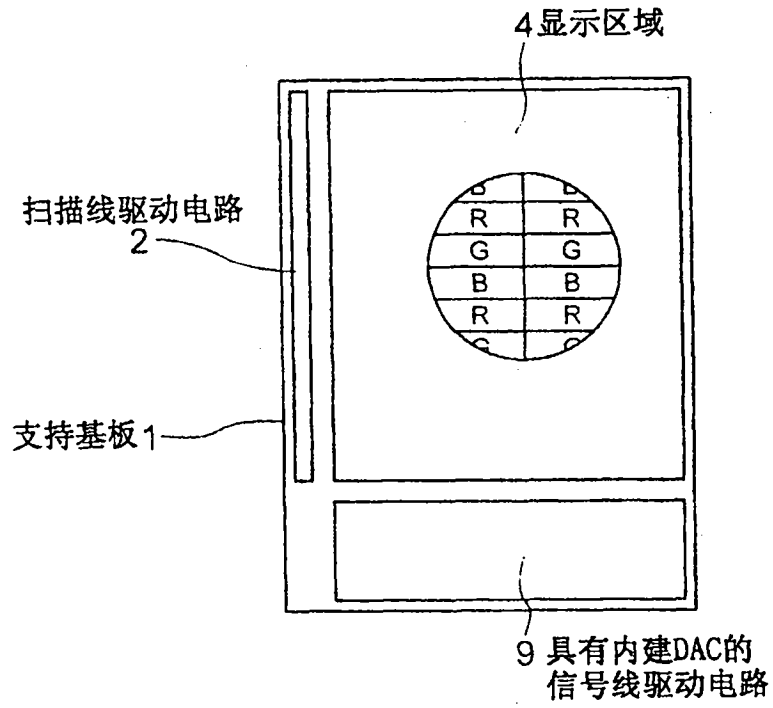


图 2A

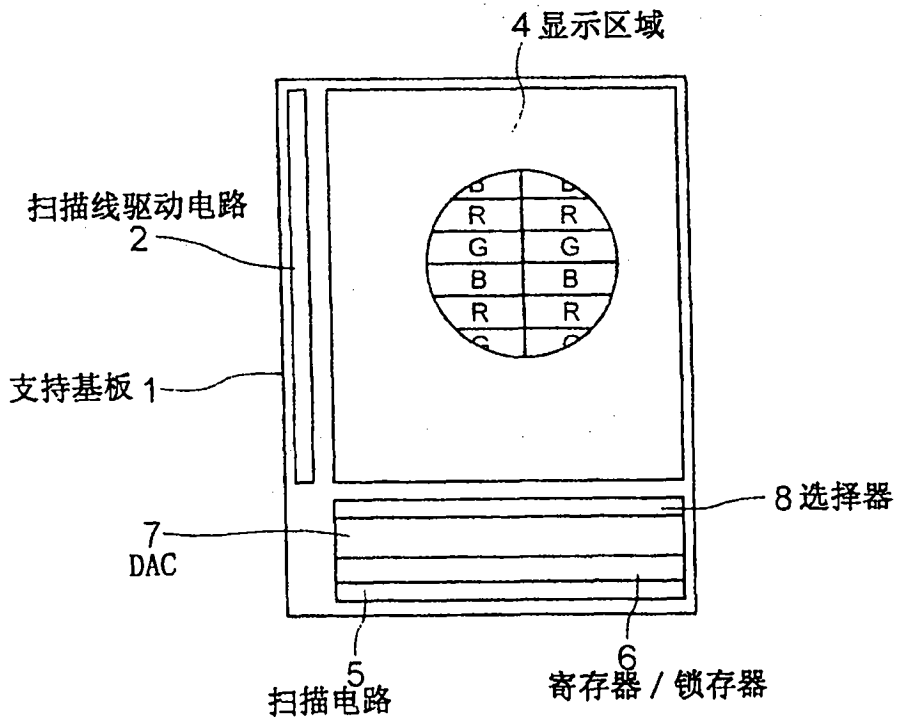


图 2B

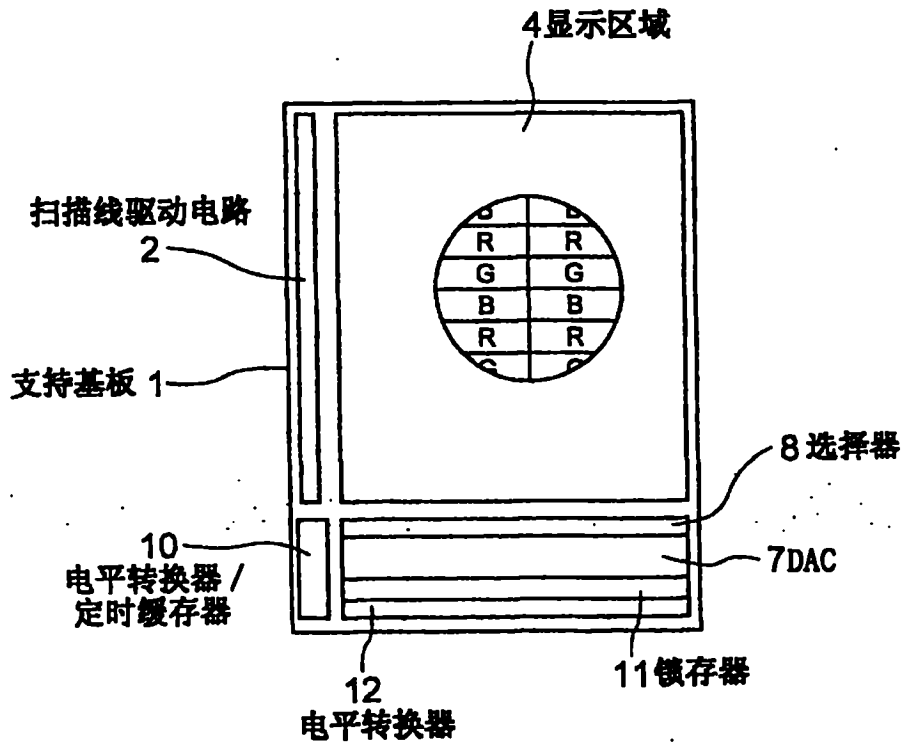


图 3

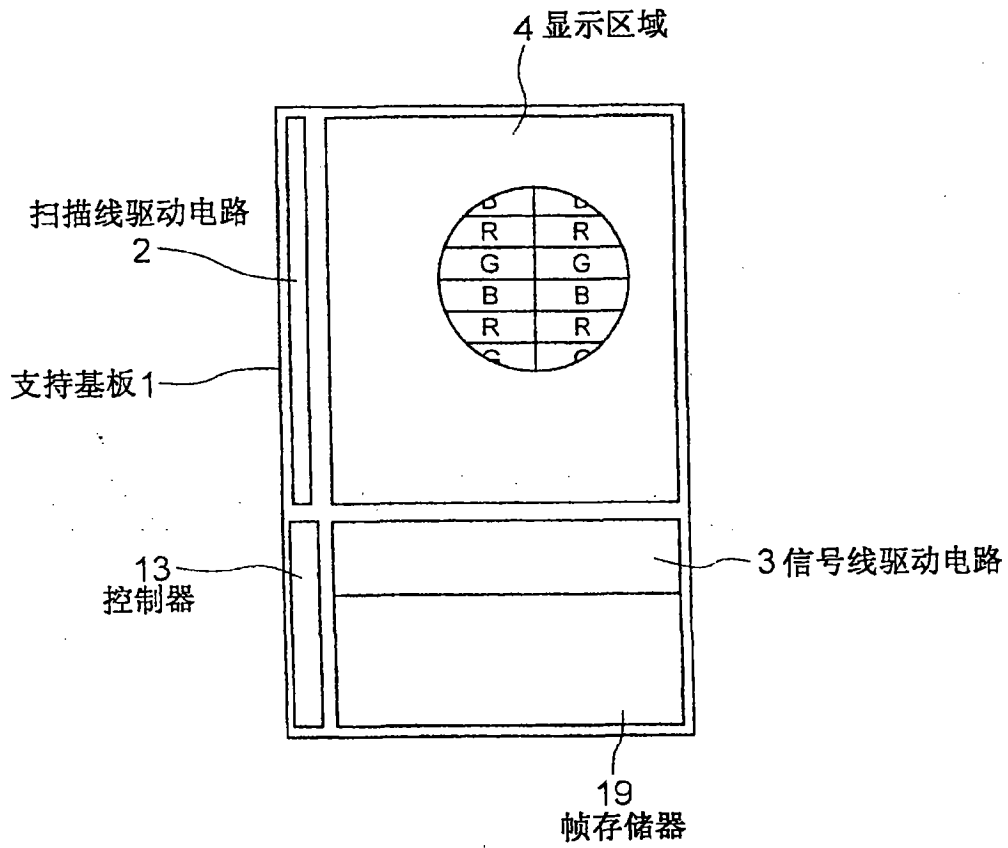


图 4

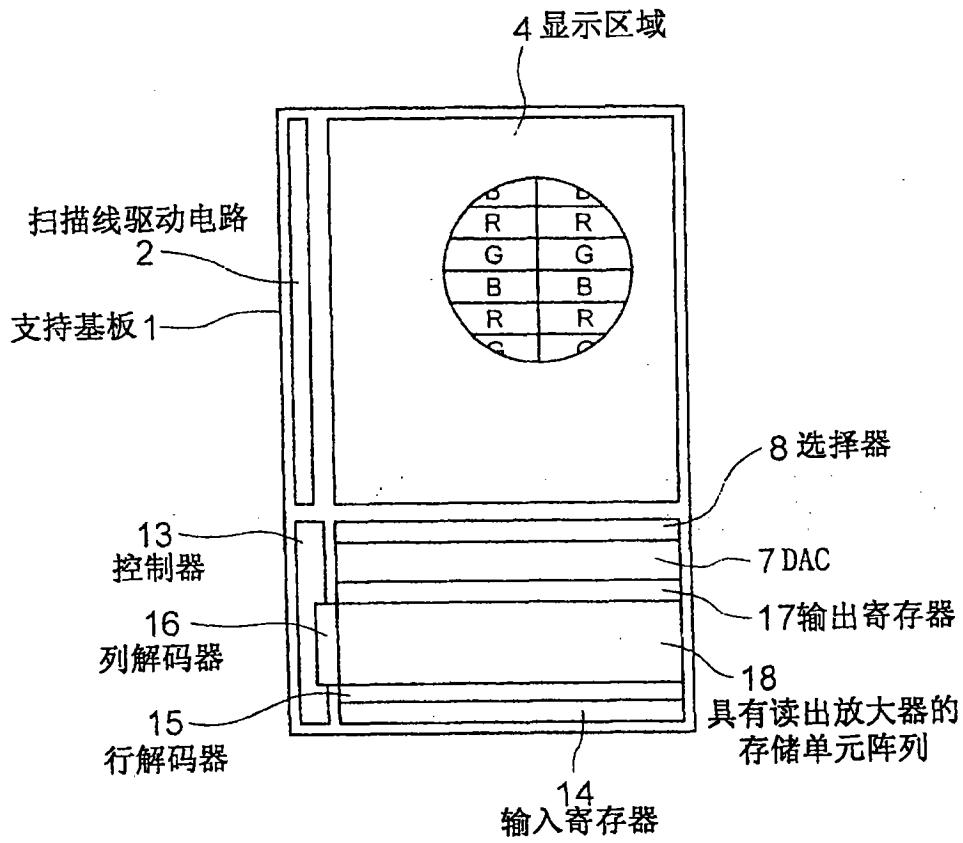


图 5

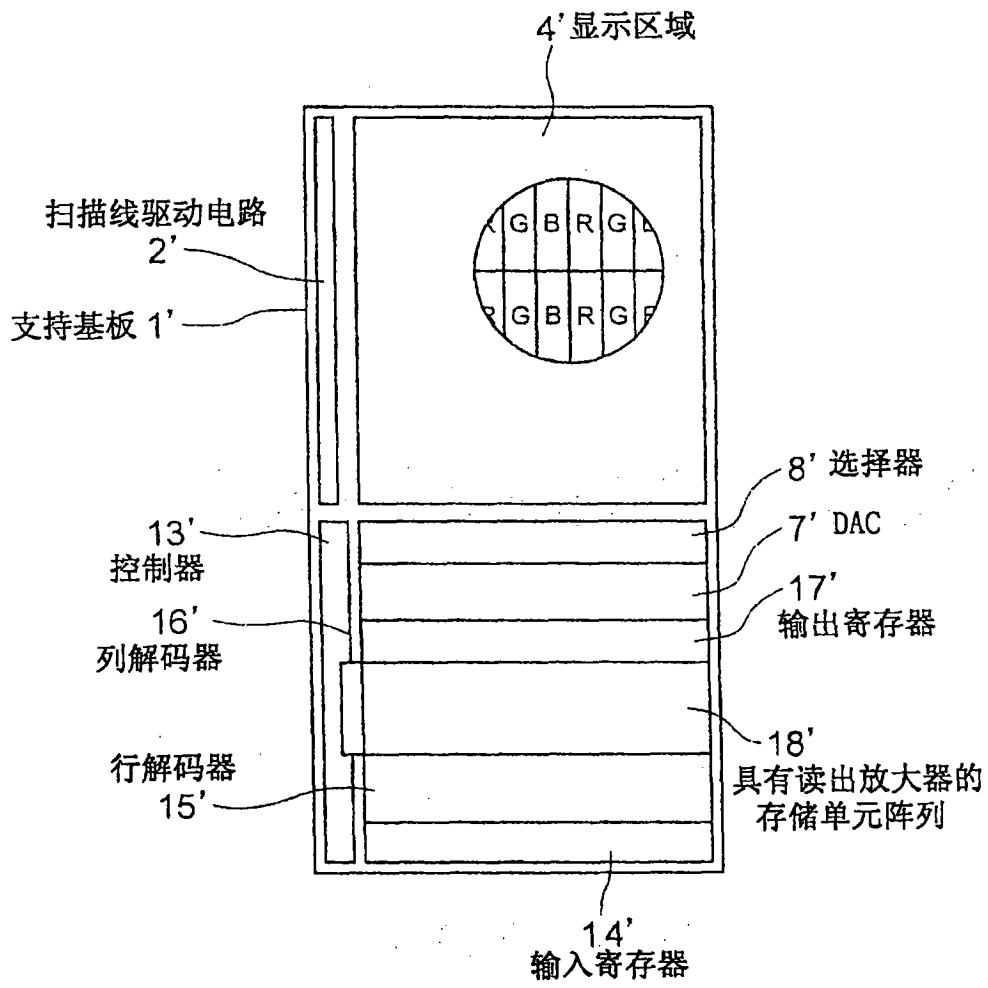


图 6

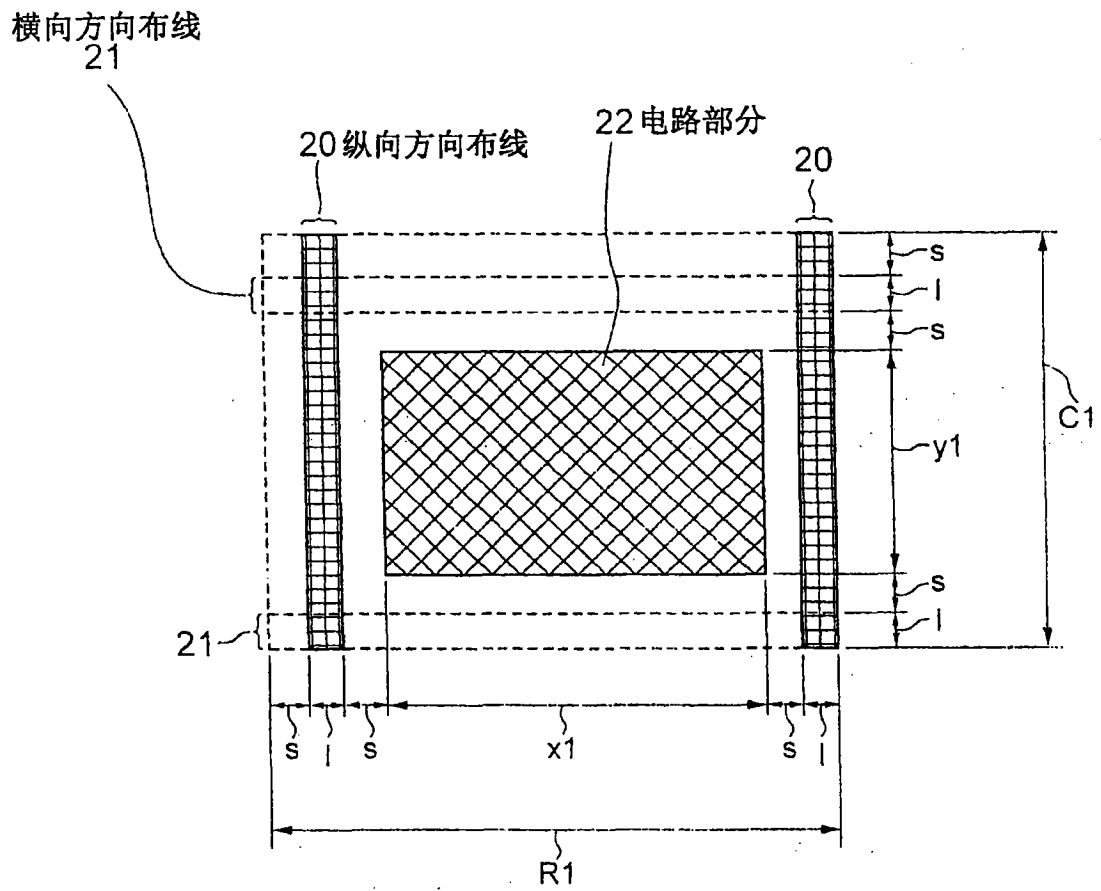


图 7

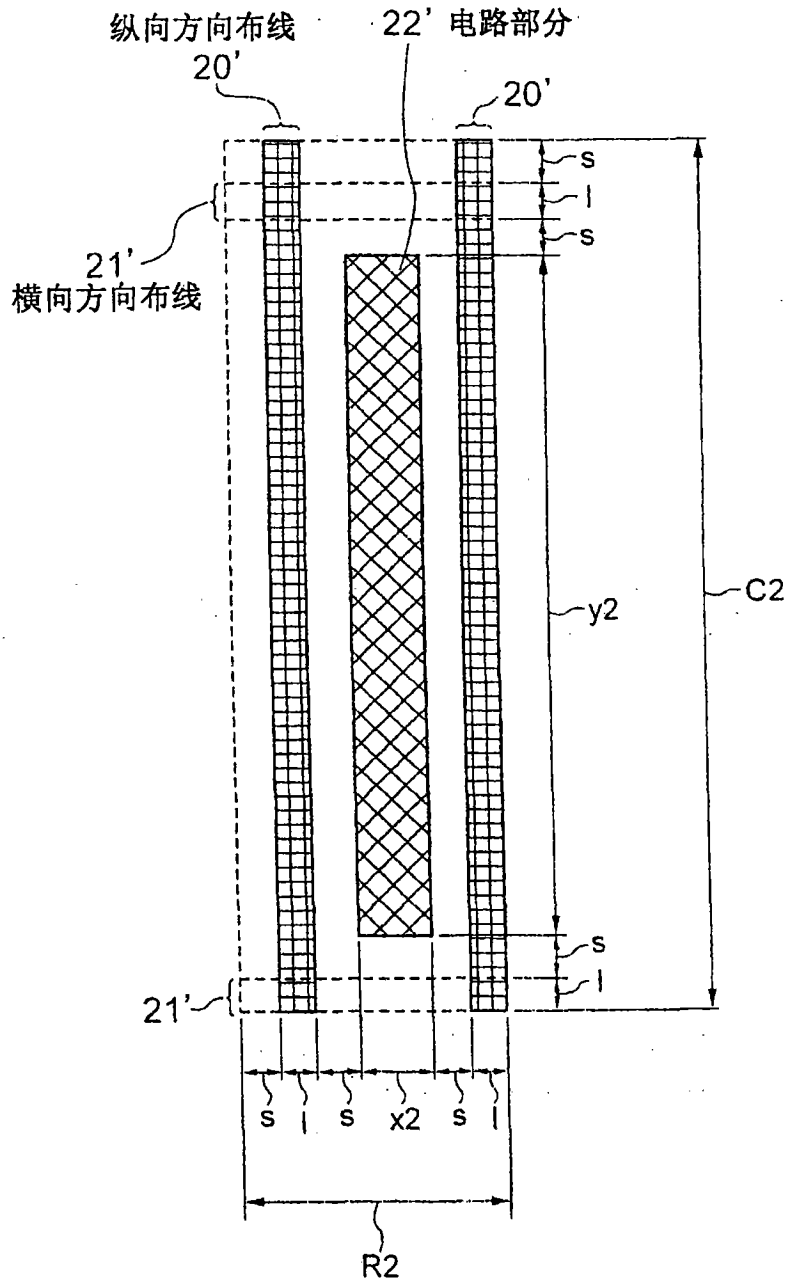


图 8

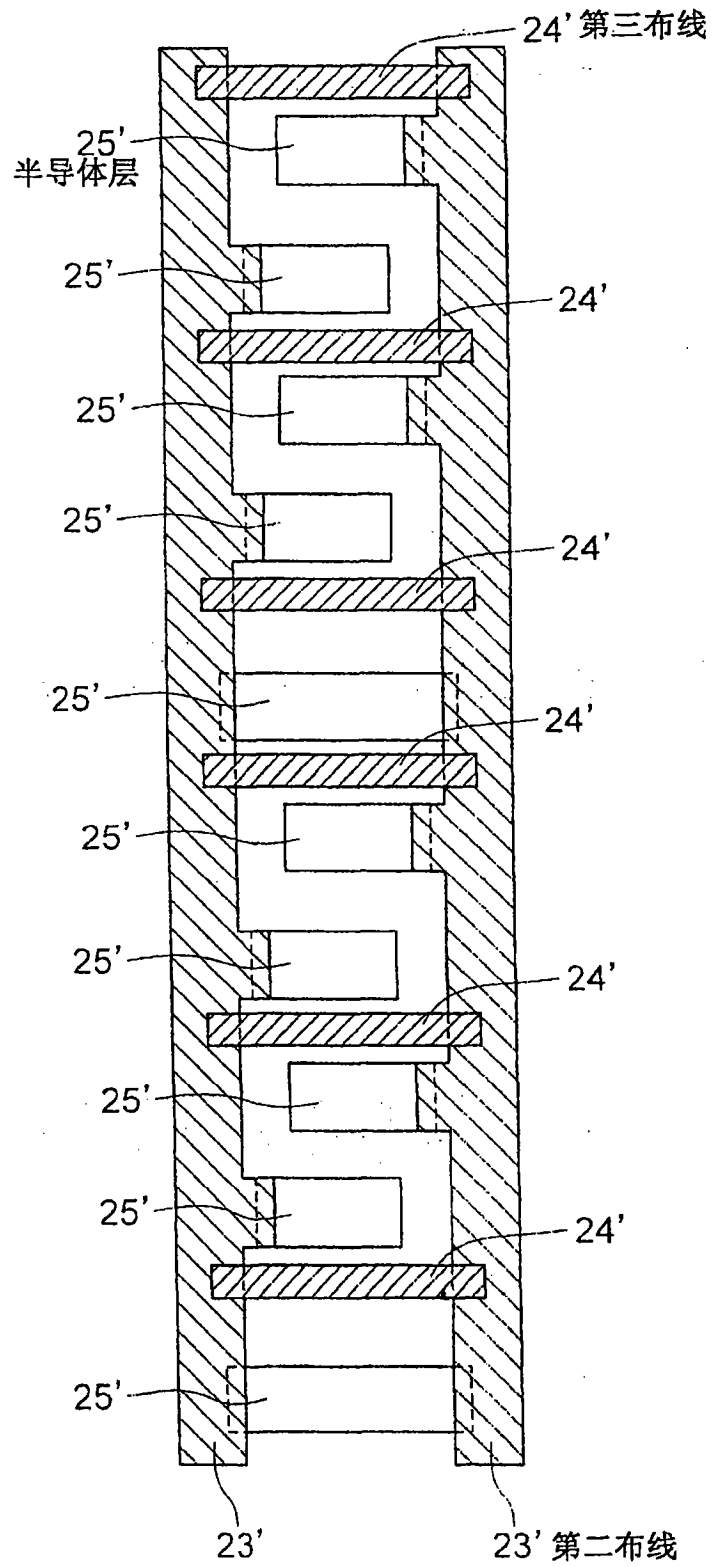


图 9



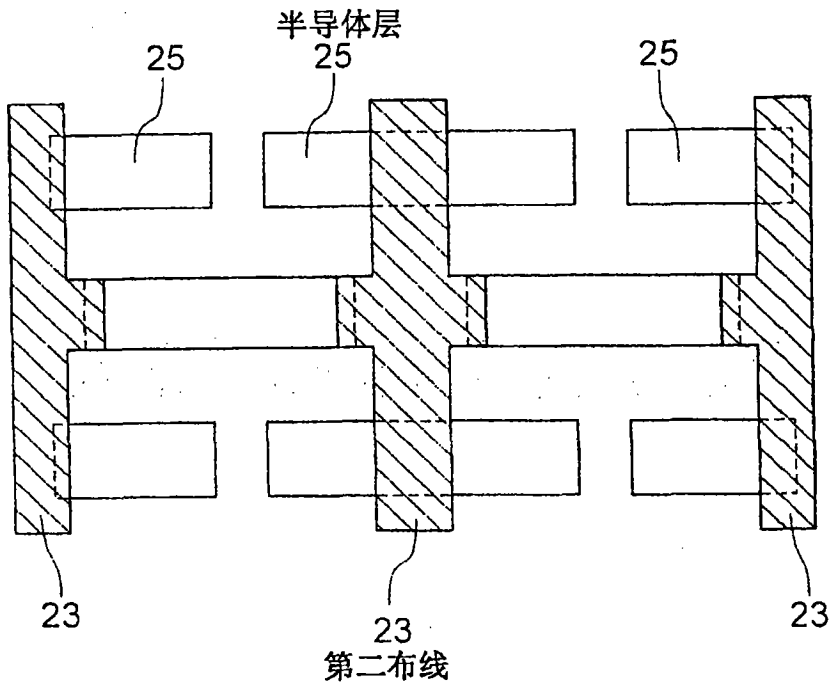


图 10

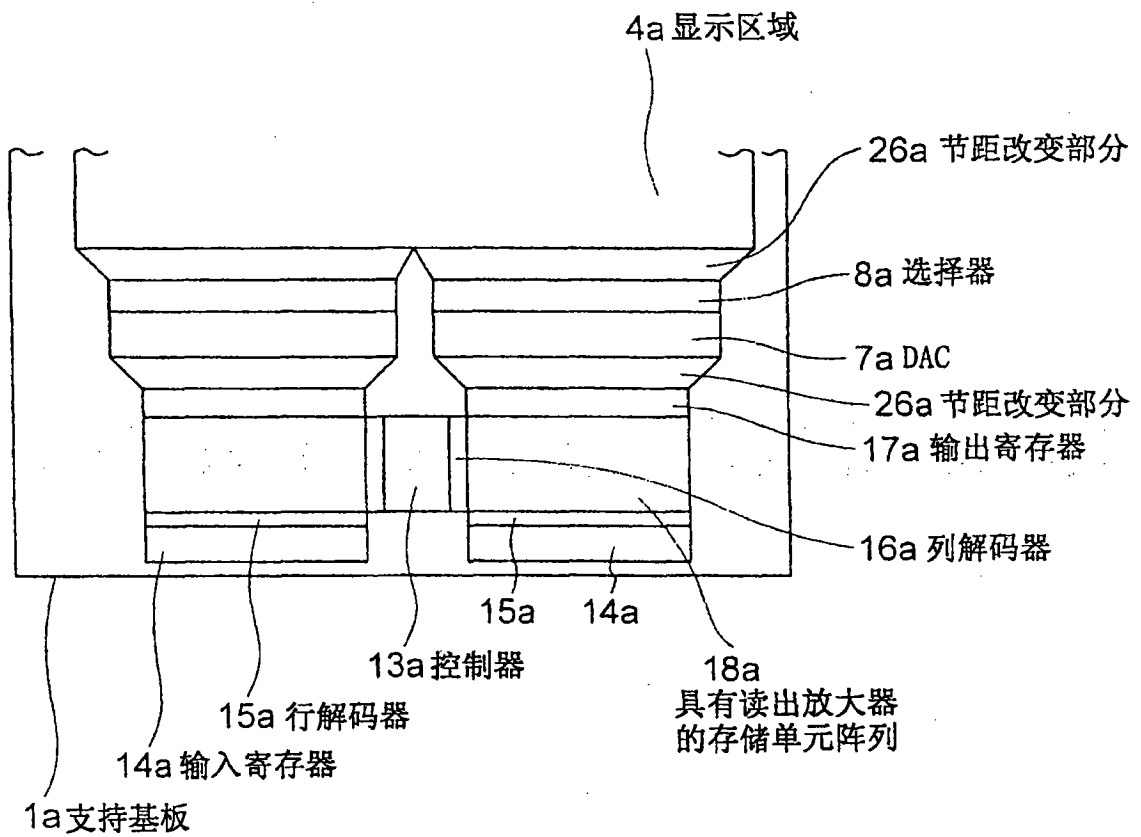


图 11

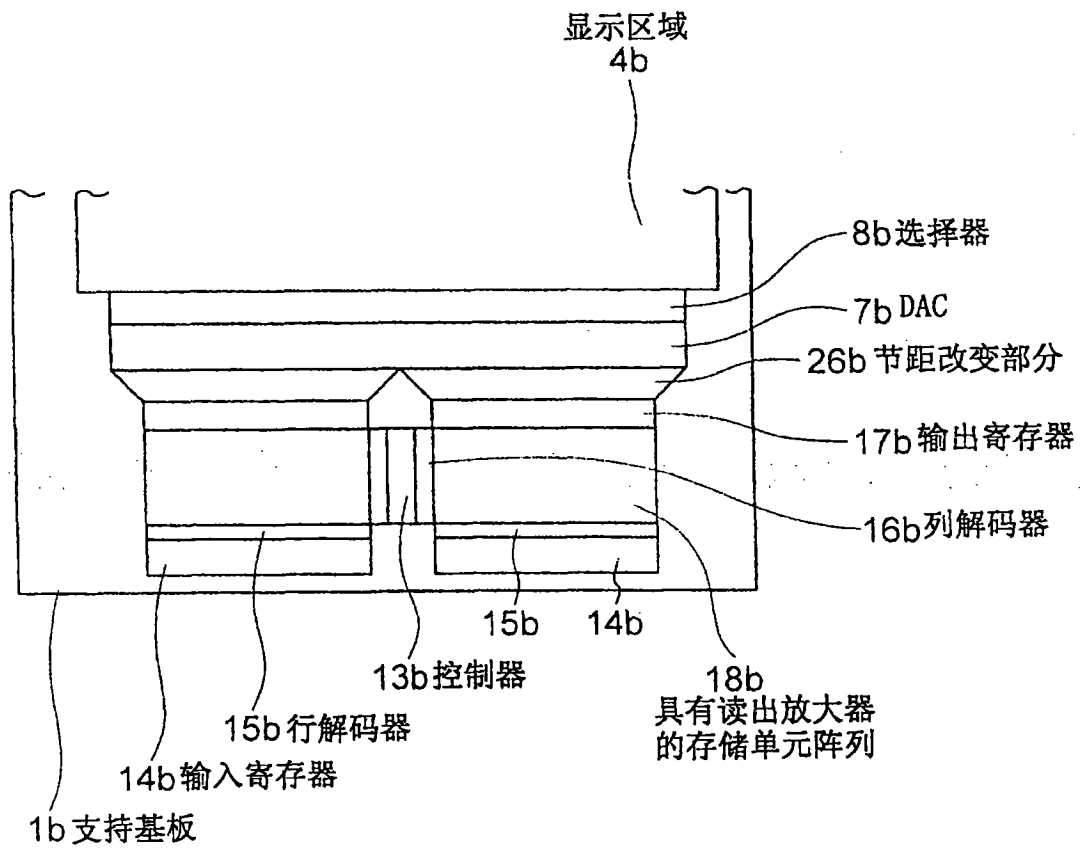


图 12

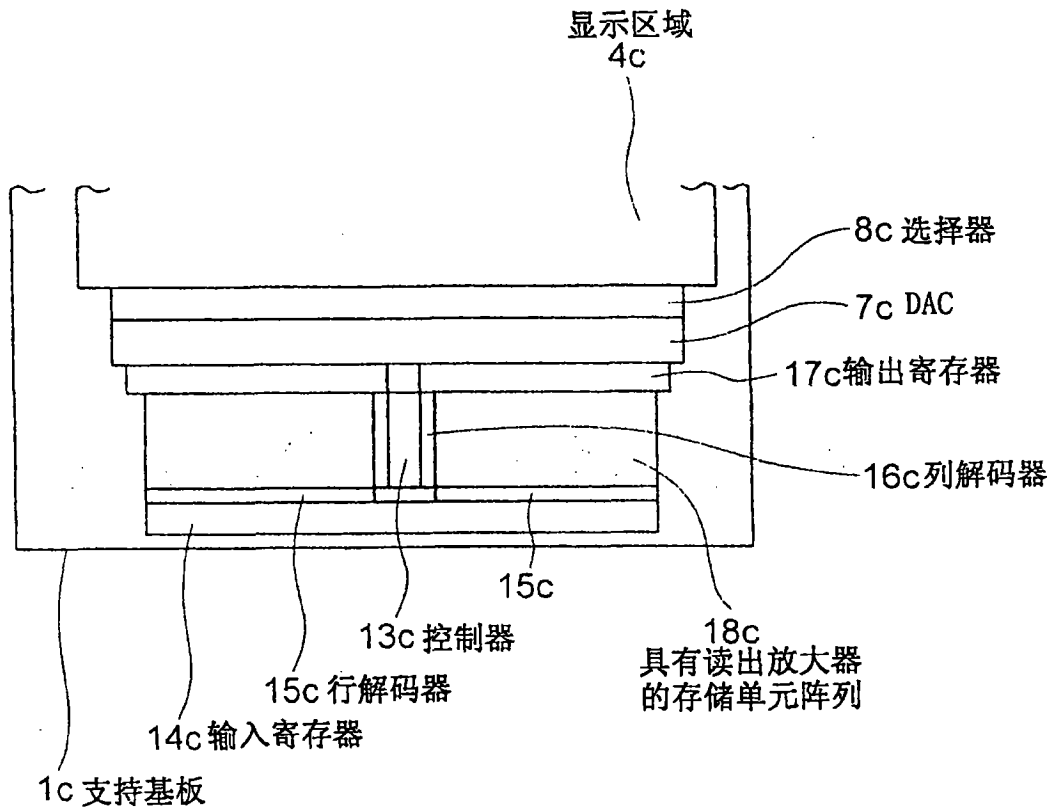


图 13

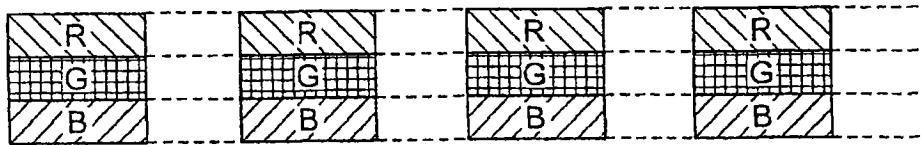


图 14A

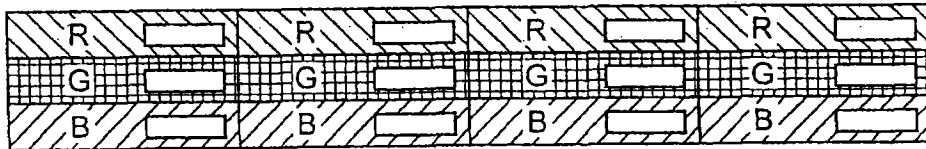


图 14B

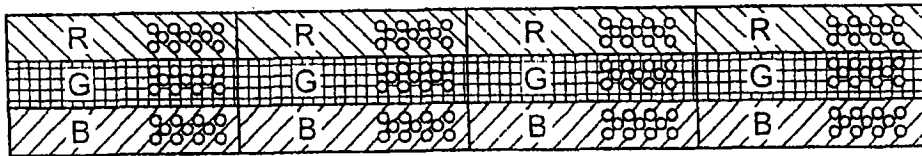


图 14C

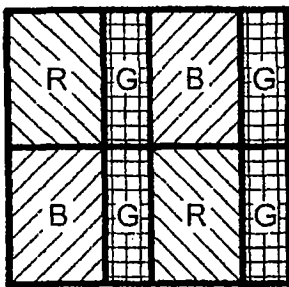


图 15A

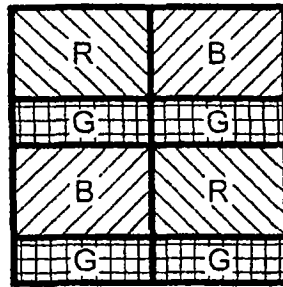


图 15B

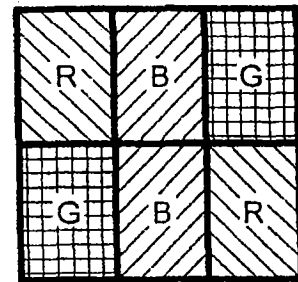


图 15C

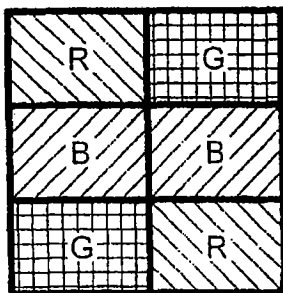


图 15D

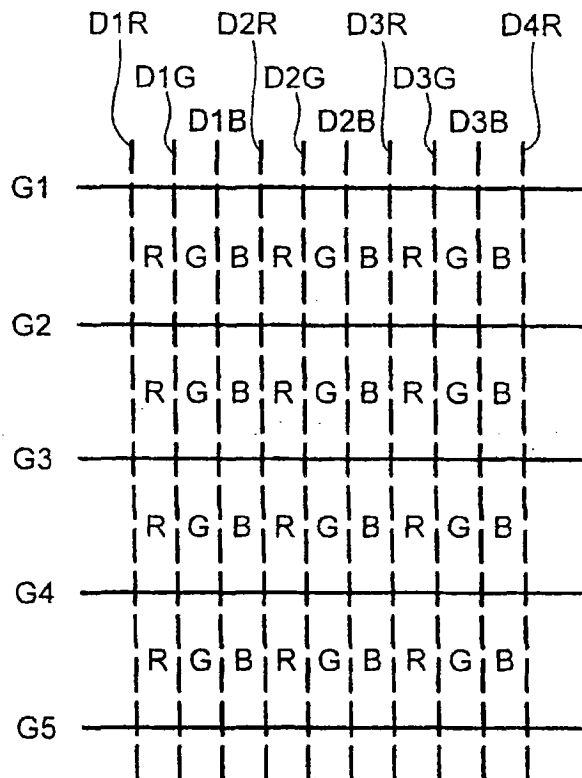
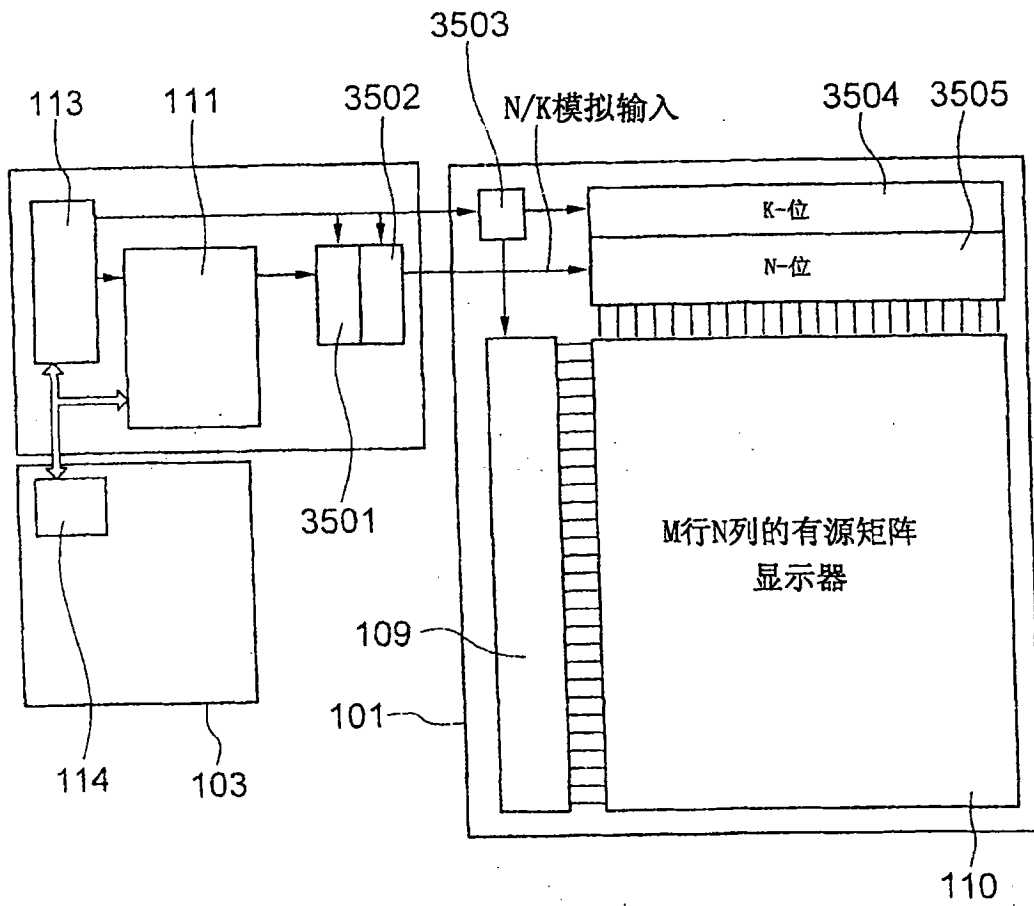
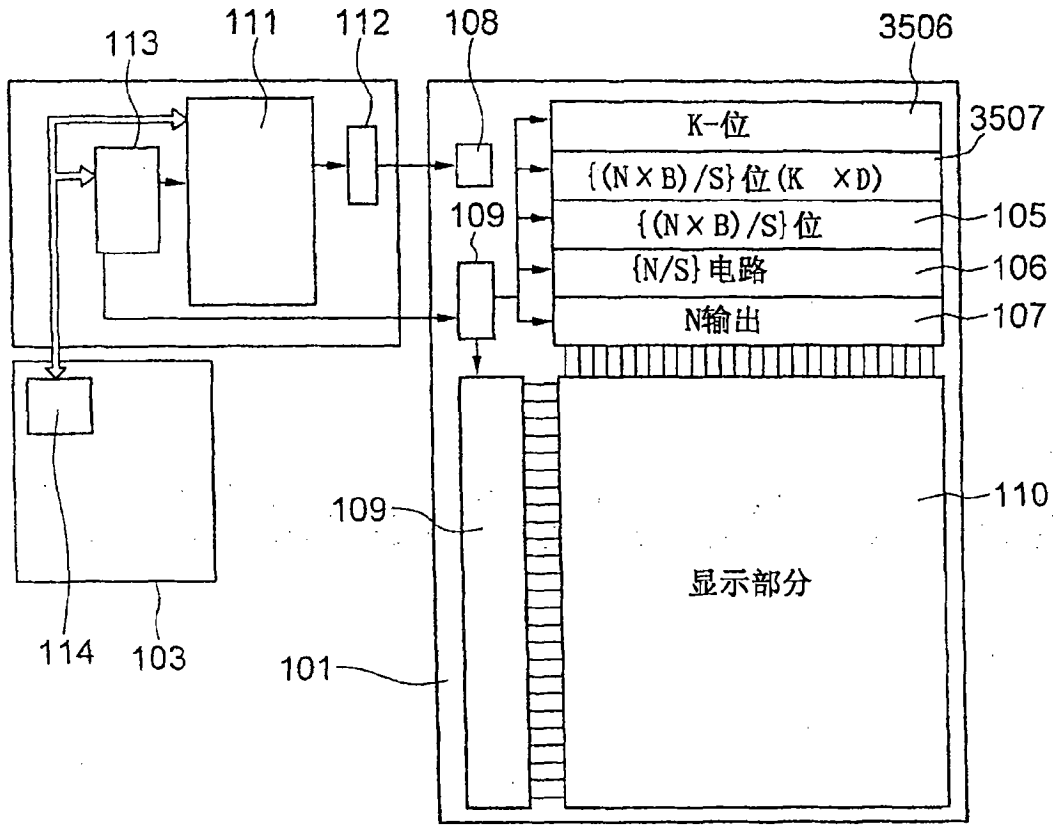


图 16



- 3501: 扫描电路 / 数据寄存器
- 3502: DAC
- 3503: 电平转换器
- 3504: 扫描电路
- 3505: 模拟开关

图 17



- 105: 锁存电路
- 106: DAC电路
- 107: 选择器电路
- 108: 电平转换器 (D-位)
- 110: 显示部分
- 112: 输出缓冲器 (D-位)
- 3506: 扫描电路
- 3507: 数据寄存器

图 18

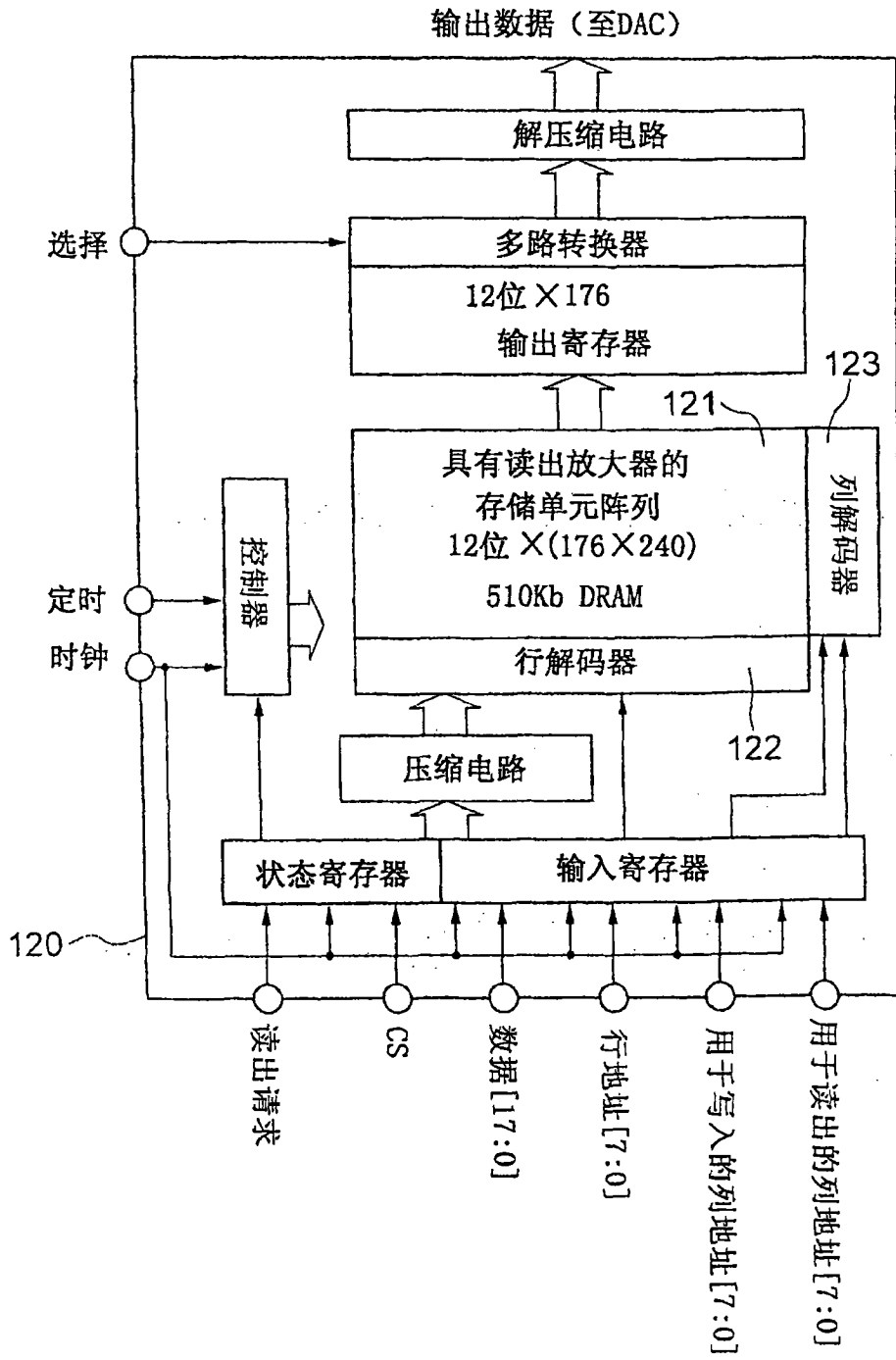


图 19

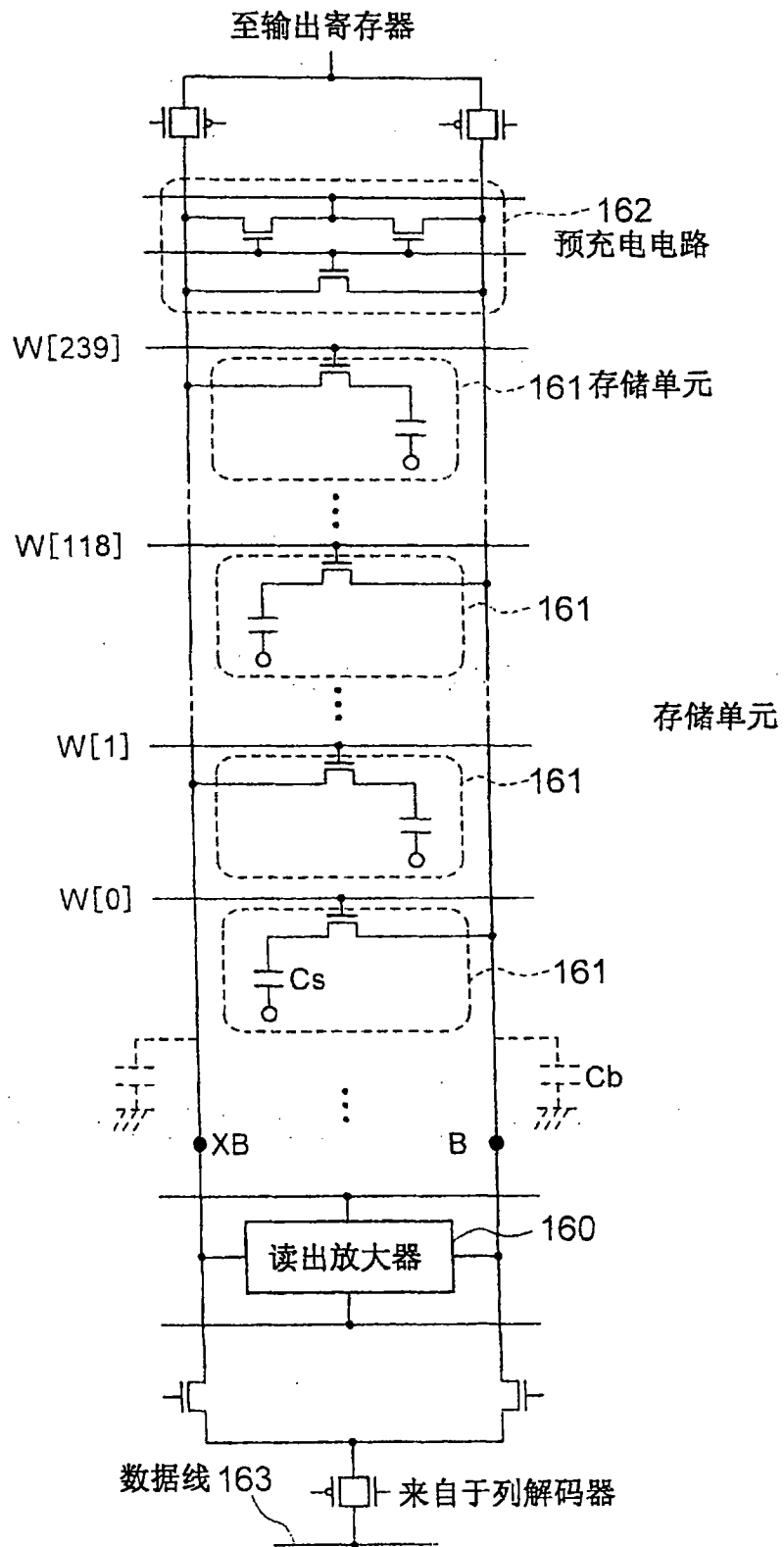


图 20



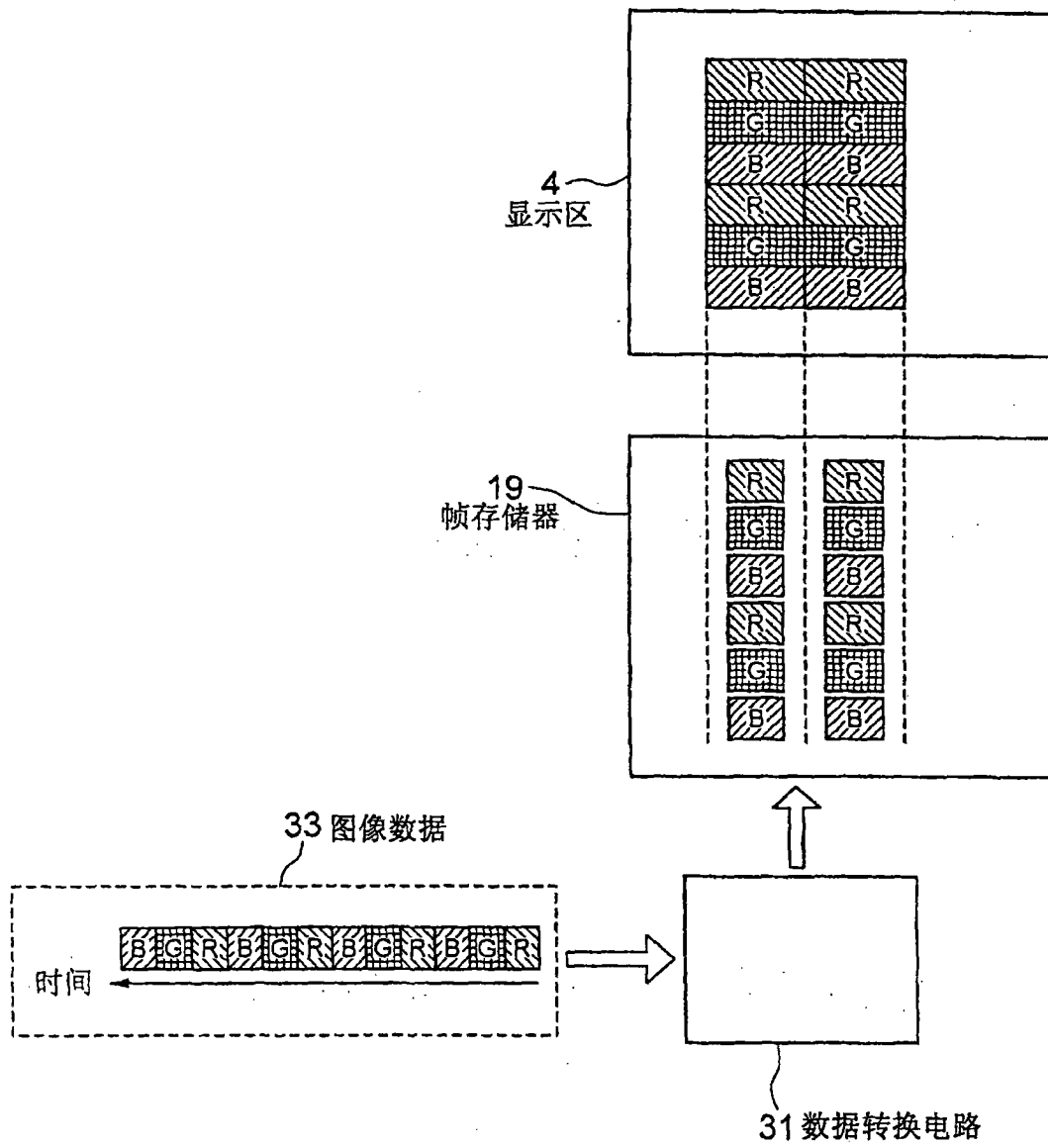


图 21

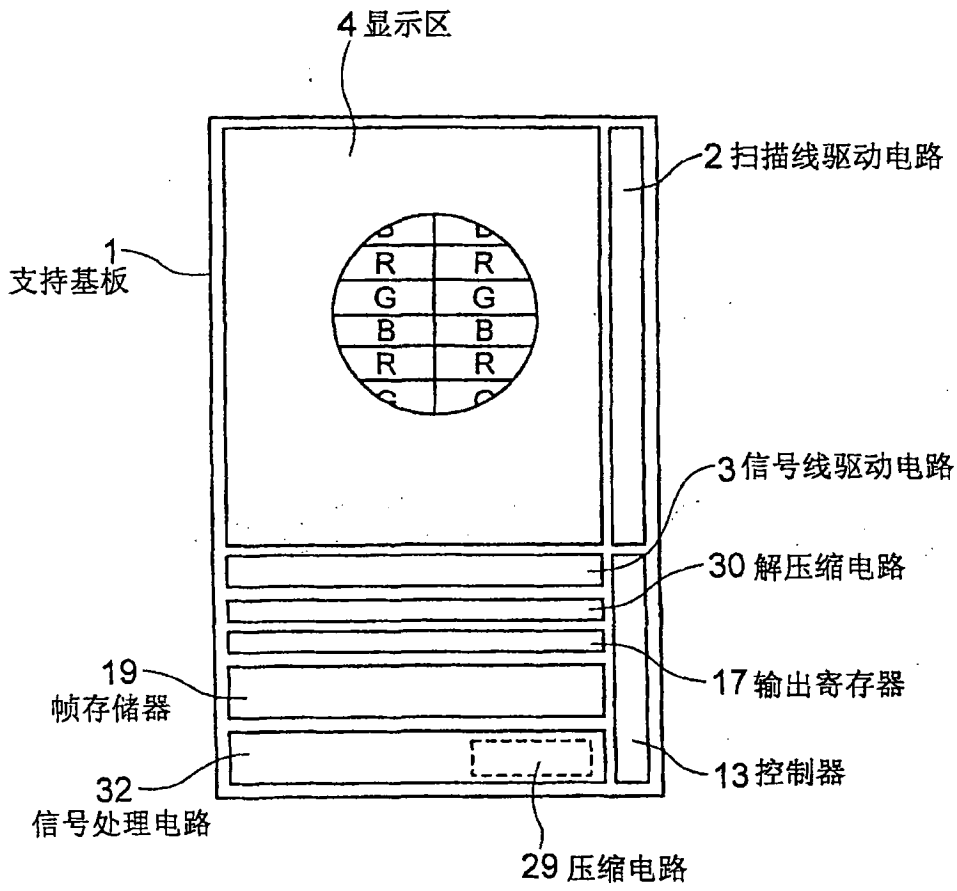


图 22

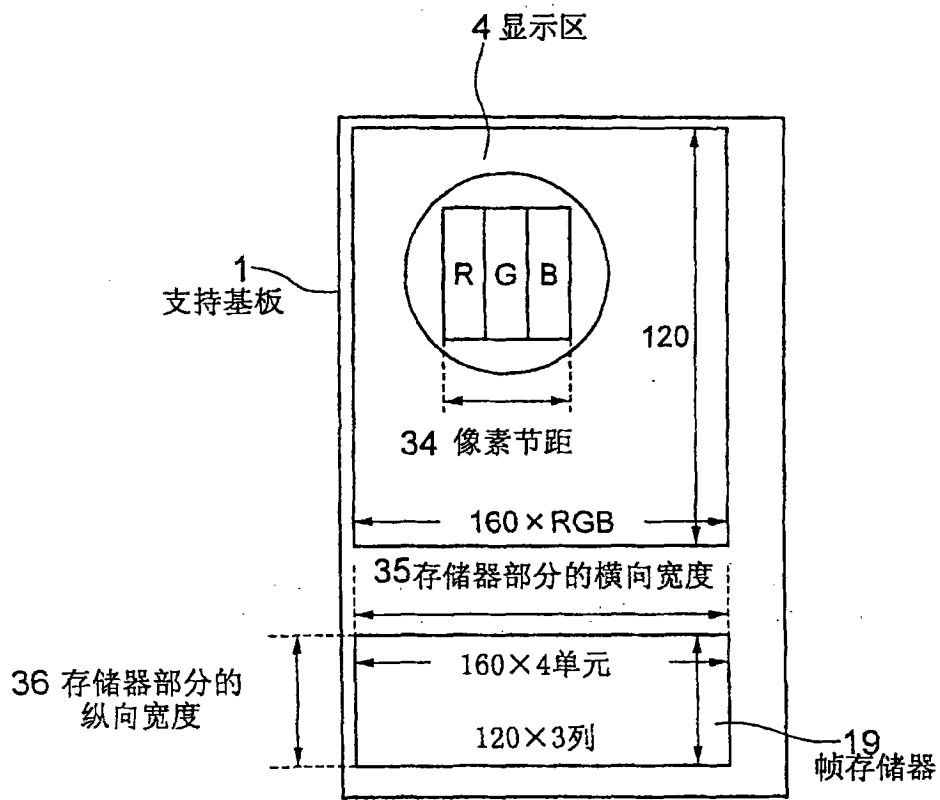


图 23

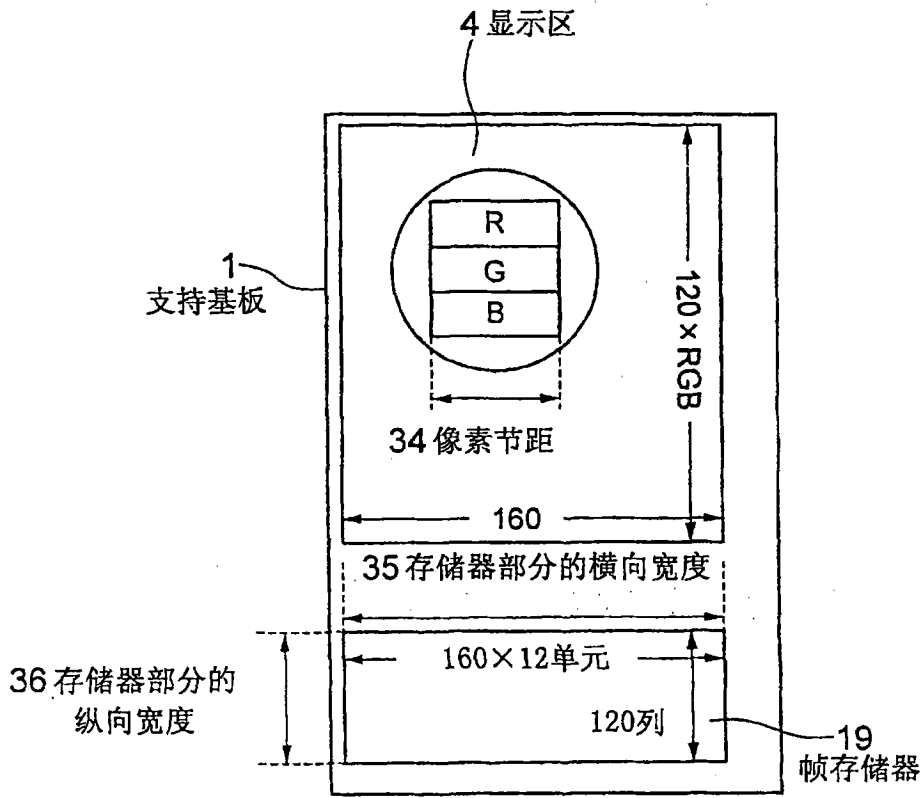


图 24

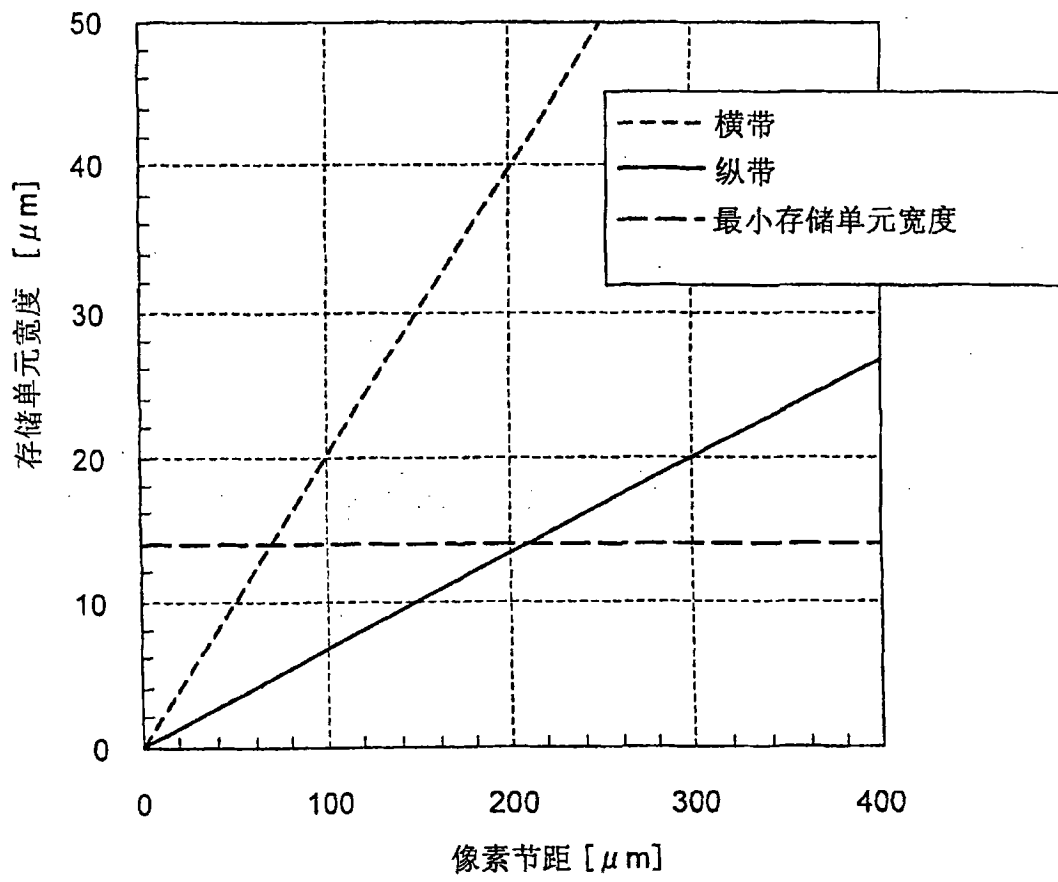


图 25

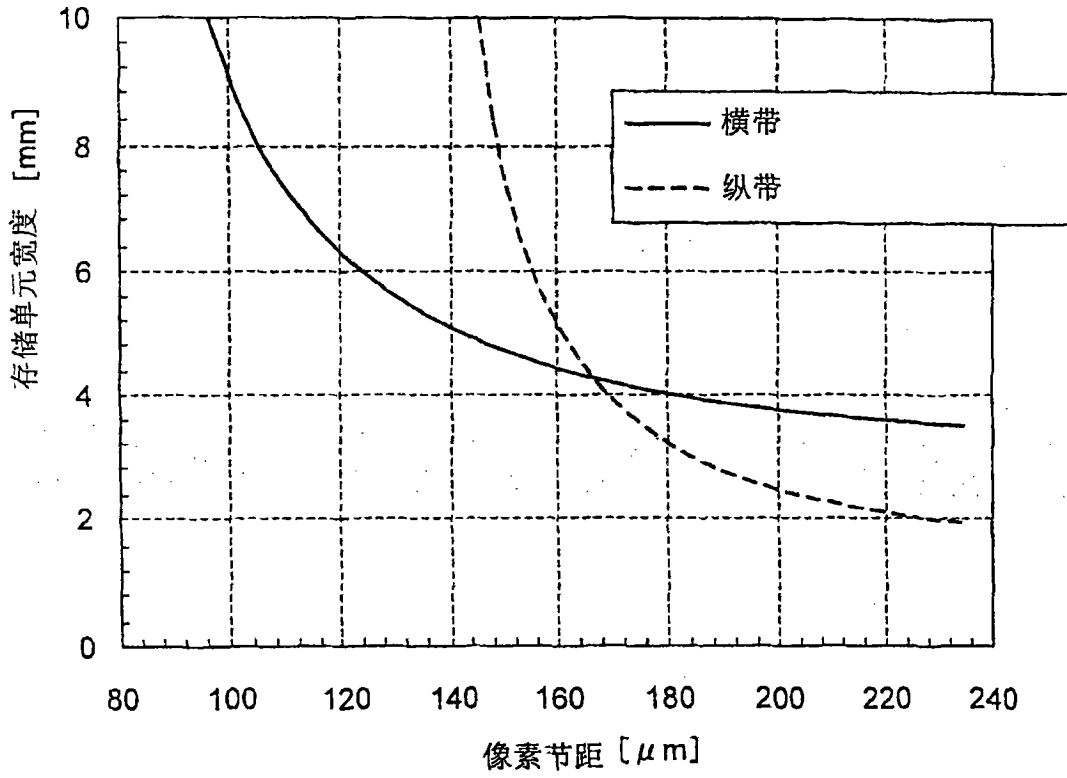


图 26

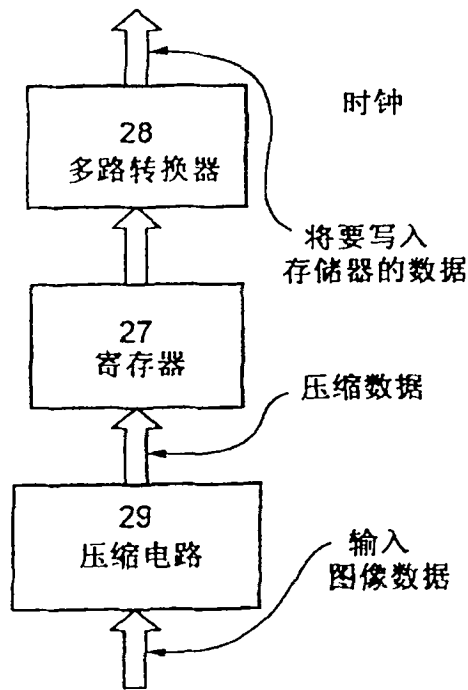


图 27A

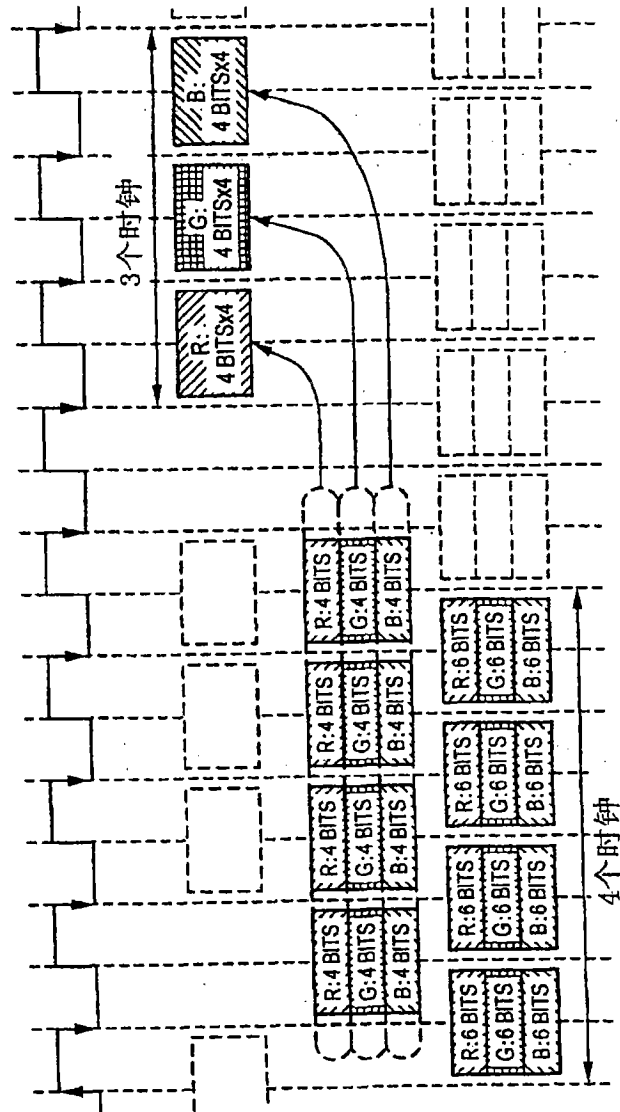


图 27B

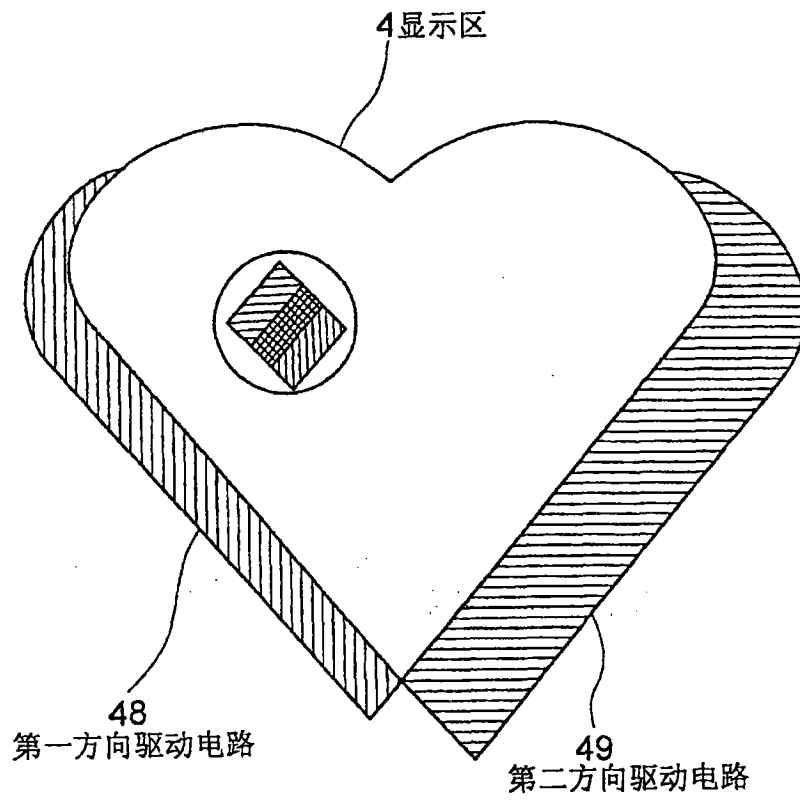


图 28



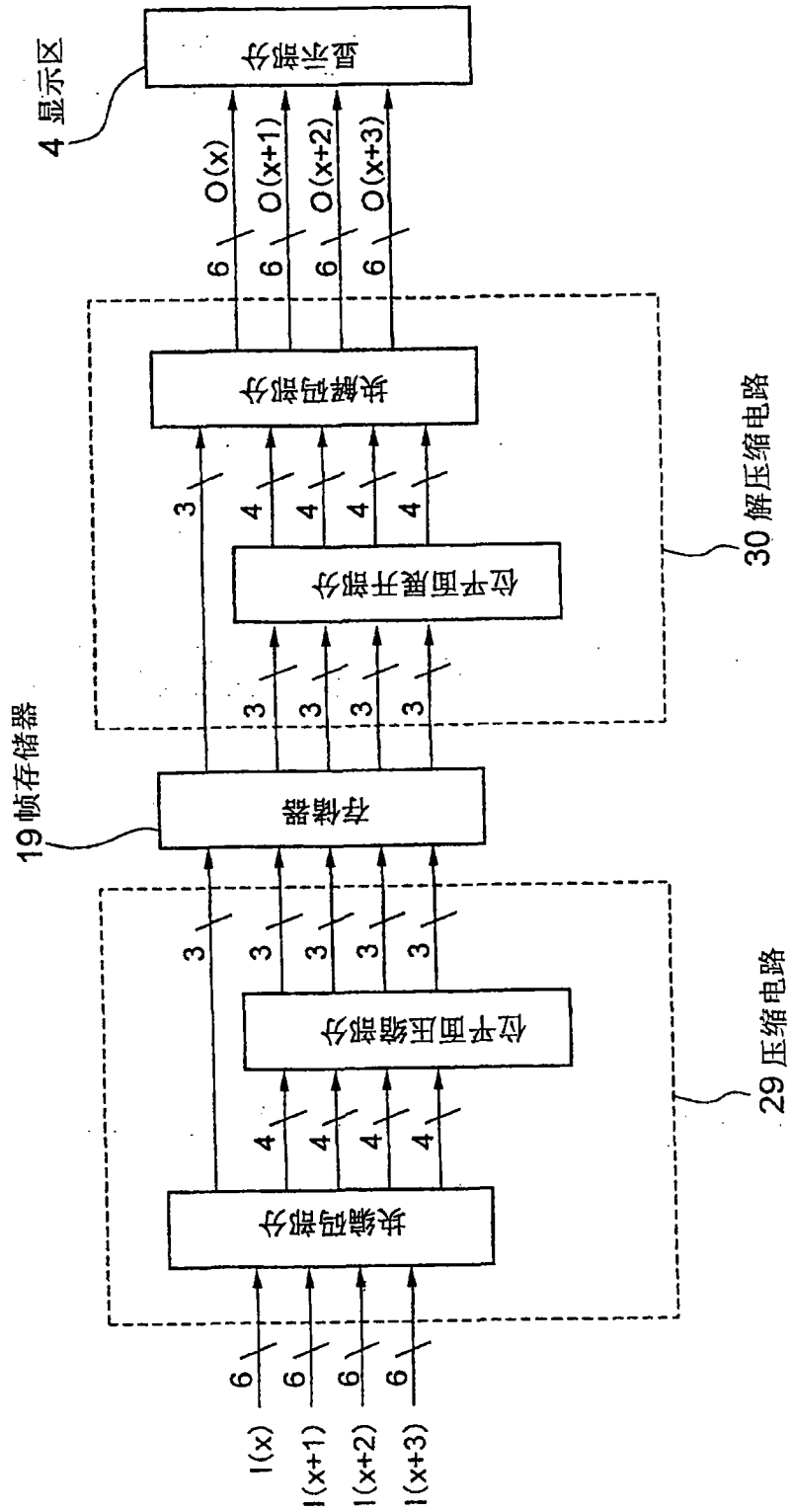


图 29

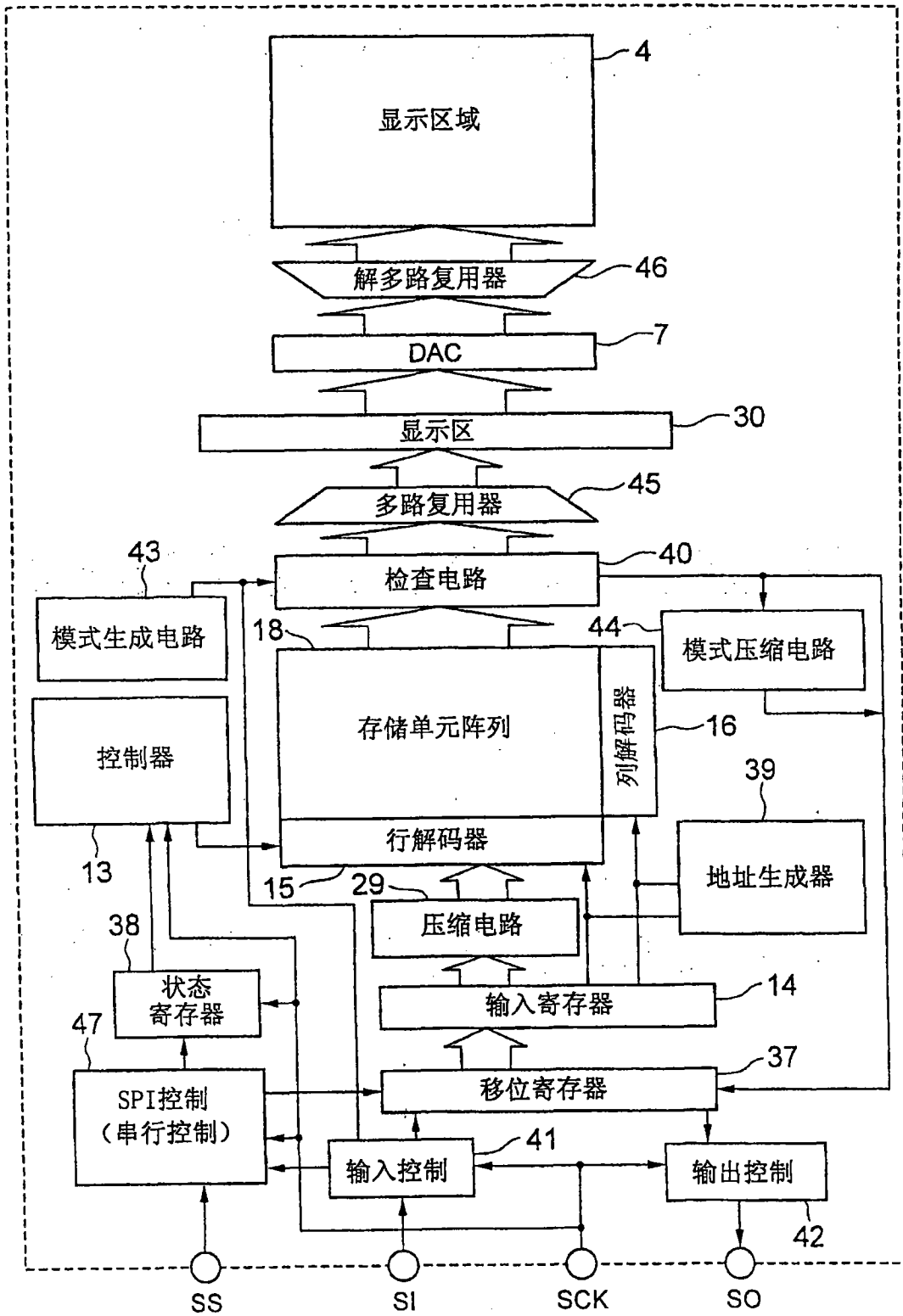


图 30