(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 11/15

(11) 공개번호 특2002-0021613
(43) 공개일자 2002년03월21일

(21) 출원번호 10-2001-0056657
(22) 출원일자 2001년09월14일

(30) 우선권주장 09/663,752 2000년09월15일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
파트릭 제이. 바렛트
미합중국 캘리포니아주 (우편번호:94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 퍼너프레데릭에이
미국캘리포니아주94306팔로알토라모나스트리트3234
안토니토마스씨
미국캘리포니아주94087서니베일피멘토애비뉴1161

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 데이터 저장 장치

요약

데이터 저장 장치(8)는 메모리 셀(12)의 저항성 교차점 어레이(10)를 포함한다. 각각의 메모리 셀(12)은 메모리 요소(50) 및 이 메모리 요소(50)에 직렬로 연결된 저항 요소(56)를 포함한다. 저항 요소(56)는 판독 동작 동안에 단락된 메모리 요소를 통해 흐르는 임의의 스니크 경로 전류를 실질적으로 감소시킨다. 데이터 저장 장치(8)는 자기 랜덤 액세스 메모리(" MRAM") 장치일 수 있다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따라서 메모리 셀 어레이를 포함하는 MRAM 장치를 도시하는 도면,

도 2a는 MRAM 장치에 관한 메모리 셀을 도시하는 도면,

도 2b는 도 2a에 도시된 메모리 셀의 전기적인 등가 회로도,

도 3a 및 도 3b는 선택된 메모리 셀의 판독 동작 동안에 메모리 셀 어레이의 전기적인 등가 회로를 흐르는 전류를 도시하는 도면,

도 4는 메모리 셀 어레이내의 메모리 셀을 판독하는 제 1 방법을 도시하는 도면,

도 5는 메모리 셀 어레이내의 메모리 셀을 판독하는 제 2 방법을 도시하는 도면,

도 6은 메모리 셀 어레이내의 메모리 셀을 판독하는 제 3 방법을 도시하는 도면,

도 7은 도 1의 장치에 관한 다른 메모리 셀을 도시하는 도면,

도 8은 도 1의 장치에 관한 또다른 메모리 셀을 도시하는 도면,

도 9는 멀티 레벨을 포함하는 MRAM 칩을 도시하는 도면,

도 10은 하나 이상의 MRAM 칩을 포함하는 기계를 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

8 : MRAM 장치10 : 메모리 셀 어레이

12 : 메모리 셀14 : 워드 라인

16 : 비트 라인18 : 행 디코드 회로

22 : 스티어링 회로24 : 감지 증폭기

30 : 데이터 레지스터52 및 54 : 옴 접촉

452 : MRAM 저장 모듈454 : 인터페이스 모듈

456 : 프로세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 저장 장치에 관한 것이다. 구체적으로, 본 발명은 저항성 셀 교차점 메모리 어레이(resistive cell cross point memory array)를 포함하는 데이터 저장 장치에 관한 것이다.

자기 랜덤 액세스 메모리(Magnetic Random Access Memory : MRAM)는 데이터 저장 매체로 고려되는 비휘발성 메모리이다. 전형적인 MRAM 장치는 메모리 셀의 어레이를 포함한다. 워드 라인은 메모리 셀의 행을 따라 연장하고, 비트 라인은 메모리 셀의 열을 따라 연장한다. 각각의 메모리 셀은 워드 라인과 비트 라인의 교차점에 위치한다.

메모리 셀은 스핀 의존형 터널링(Spin Dependent Tunneling : SDT) 접합 장치를 포함할 수 있다. SDT 접합 장치의 자화는 임의의 소정 시간에 두 가지 안정한 배향(orientation) 중 한 가지 안정한 배향을 갖는다. 이러한 두 가지 안정한 배향, 즉 평행과 역평행(parallel and anti-parallel)은 '0'과 '1'의 논리값을 나타낸다. 또한, 자화 배향(magnetization orientation)은 SDT 접합 장치의 저항에 영향을 미친다. SDT 접합 장치의 저항은 자화 배향이 평행이면 제 1의 값(R)이고, 자화 배향이 역평행이면 제 2의 값(R + ΔR)이다.

따라서, SDT 접합 장치의 자화 배향과 그 논리 상태는 자화 배향의 저항 상태를 감지하여 판독될 수 있다. 그러나, 어레이내의 메모리 셀은 수많은 평행 경로를 통해 서로 결합된다. 하나의 교차점에서 보여진 저항은 다른 행과 열에서 메모리 셀의 저항에 상응하는 교차점에서의 메모리 셀의 저항과 같다. 이런 점에서, 메모리 셀의 어레이는 교차점 저항 네트워크로 특징지어 질 수 있다.

SDT 접합 장치는 단지 몇 개의 원자 두께인 터널링 장벽을 갖는다. 제조 프로세스를 제어하여 메모리 셀의 전체 어레이에 대해 이런 얇은 장벽을 만드는 것은 어려운 일이다. 어떤 장벽은 설계된 것 보다 더 얇아질 수 있거나 혹은 구조적인 결함을 포함할 가능성이 있다. 어떤 메모리 셀이 결함이 있거나 혹은 설계된 것 보다 더 얇은 터널링 장벽을 갖는다면, 이러한 메로리 셀은 단락(short)될 수 있다.

하나의 SDT 접합 장치가 단락되면, 단락된 SDT 접합 장치를 사용할 수 없을 것이다. 메모리 셀을 서로 격리시키기 위해 스위치 혹은 다이오드를 사용하지 않는 어레이에 있어서, 동일한 열내의 다른 메모리 셀을 또한 사용할 수 없을 수도 있다. 따라서, 하나의 단락된 SDT 접합 메모리 셀은 열 전체의 에러(column-wide error)를 야기할 수 있다.

에러 코드 정정(error code correction)을 사용하여 사용 불가 메모리 셀의 온전한 열(complete column)로부터 데이터를 복원할 수 있다. 그러나, 하나의 열내의 천 개 이상의 비트를 정정하는 것은 시간과 계산 모두의 관점에서 비용이 많이 든다. 또한, 전형적인 저장 장치는 단락된 SDT 접합 장치를 갖는 하나 이상의 열을 포함할 수도 있다.

발명이 이루고자 하는 기술적 과제

따라서, 저항성 셀 교차점 메모리 어레이내의 단락된 SDT 접합 장치와 연관된 문제점을 해결하는 것이 필요하다.

본 발명의 한 측면에 따르면, 저항성 셀 교차점 메모리 어레이의 메모리 셀은 메모리 요소 및 이 메모리 요소와 직렬로 연결된 선형 저항 요소를 포함한다. 메모리 요소가 단락되면, 단락된 메모리 요소는 랜덤한 비트의 에러를 야기할 것이다. 그러나, 단락된 메모리 요소는 열 전체의 에러를 야기하지는 않을 것이다.

본 발명의 원리를 예시하는 첨부한 도면과 함께 다음의 상세한 설명을 참조하면 본 발명의 다른 측면 및 이점을 알 것이다.

발명의 구성 및 작용

예시를 위해 도면에 도시한 바와 같이, 본 발명은 메모리 셀의 저항성 교차점 어레이 및 이 메모리 셀의 저항 상태를 감지하기 위한 회로를 포함하는 MRAM 장치로 구현된다. 이 장치는 판독 동작 동안에 메모리 셀을 서로 격리시키기 위해 스위치 혹은 다이오드를 포함하지 않는다. 그 대신에, 이 회로는 동일한 전위를 선택된 워드 라인과 비트 라인 및 소정의 선택되지 않은 워드 라인과 비트 라인에 인가하여 선택된 메모리 셀을 격리시킨다. 동일한 전위를 인가하는 것은 기생 전류가 판독 동작에 간섭하지 못하게 한다. 각각의 메모리 셀은 메모리 요소와 직렬로 연결된 선형 저항 요소를 포함한다. 메모리 요소가 단락되면, 단락된 메모리 요소는 랜덤한 비트의 에러를 야기할 것이다. 그러나, 단락된 메모리 요소는 열 전체의 에러를 야기하지는 않을 것이다. 랜덤한 비트의 에러는 ECC에 의해 열 전체에 에러가 발생한 경우 보다 훨씬 빠르고 쉽게 정정될 수 있다.

이제 도 1을 참조하면, 메모리 셀(12)의 어레이(10)를 포함하는 MRAM 장치(8)가 도시되어 있다. 메모리 셀(12)은 행과 열로 배열되는데, 행은 x-축을 따라 연장되고 열은 y-축을 따라 연장된다. 본 발명의 설명을 간결하게 하기 위해 비교적 적은 수의 메모리 셀(12)만이 도시되어 있다. 실시할 때는 어떤 크기의 어레이라도 사용될 수 있다.

워드 라인(14)의 트레이스(trace)는 메모리 셀 어레이(10)의 횡, 즉 x-방향을 따라 연장된다. 비트 라인(16)의 트레이스는 메모리 셀 어레이(10)의 종, 즉 y-방향을 따라 연장된다. 어레이(10)의 각각의 행에 대해 하나의 워드 라인(14)이 존재하고 어레이(10)의 각각의 열에 대해 하나의 비트 라인(16)이 존재할 수 있다. 각각의 메모리 셀(12)은 대응하는 워드 라인(14)과 비트 라인(16)의 교차점에 위치한다.

MRAM 장치(8)는 또한 행 디코드 회로(18)를 포함한다. 판독 동작 동안에, 행 디코드 회로(18)는 일정한 공급 전압(Vs) 혹은 그라운드 전위 중 하나를 워드 라인(14)에 인가할 수 있다. 일정한 공급 전압(Vs)은 외부 회로에 의해 제공될 수 있다.

MRAM 장치(8)는 또한 판독 동작 동안에 선택된 메모리 셀(12)의 저항을 감지하는 판독 회로 및 기록 동작 동안에 선택된 메모리 셀(12)의 자화를 배향하는 기록 회로를 포함한다. 판독 회로는 일반적으로 참조 번호(20)로 표시된다. 기록 회로는 본 발명의 설명을 간결하게 하기 위해 도시되어 있지 않다.

판독 회로(20)는 다수의 스티어링(steering) 회로(22) 및 감지 증폭기(24)를 포함한다. 다수의 비트 라인(16)이 제각각의 스티어링 회로(22)에 연결된다. 각각의 스티어링 회로(22)는 제각각의 비트 라인(16)을 동작 전위 소스 혹은 감지 증폭기(24)에 연결할 수 있는 한 세트의 스위치를 포함한다. 감지 증폭기(24)의 출력은 데이터 레지스터(30)에 제공되고, 데이터 레지스터(30)는 MRAM 장치(8)의 I/O 패드(32)에 결합된다.

도 2a는 어레이(10)의 한 열에서의 여러 메모리 셀(12)을 도시한다. 각각의 메모리 셀(12)은 자화의 배향으로 일 비트의 정보를 저장하는 MRAM 요소(50)를 포함한다. 메모리 요소(50)의 자화는 임의의 소정 시간에 두 가지 안정한 배향 중 하나의 안정한 배향을 가질 수 있다. 이러한 두 가지 안정한 배향, 즉 평행과 역평행은 '0'과 '1'의 논리값을 나타낸다.

자화 배향은 저항에 영향을 미친다. 메모리 셀의 저항은 자화 배향이 평행이면 제 1의 값(R)이고, 메모리 셀의 저항은 자화 배향이 평행에서 역평행으로 변하면 제 2의 값(R + ΔR)으로 증가한다.

메모리 요소(50)는 임의의 특정한 유형에 국한되지 않는다. 예를 들어, 메모리 요소(50)는 SDT 접합 장치일 수 있다.

각각의 메모리 셀(12)은 또한 메모리 요소(50)와 워드 라인(14) 사이의 제 1 옴 접촉(first ohmic contact : 52) 및 메모리 요소(50)와 비트 라인(16) 사이의 제 2 옴 접촉(54)을 포함한다. 워드 라인(14)과 비트 라인(16)은 전형적으로 알루미늄 혹은 구리와 같은 금속으로 제조되는 저 저항 컨덕터이다. 옴 접촉(52 및 54)은 금속 라인(14 및 16)과 메모리 요소(50)의 자기층 사이에 간섭을 제공한다. 제 1 및 제 2 옴 접촉(52 및 54)이 분리 요소(52 및 54)로 도시되어 있지만, 이러한 분리 요소(52 및 54)를 없애고 금속 라인(14)을 메모리 요소(50)에 직접 접촉하게 할 수 있다는 것을 알아야 한다.

각각의 메모리 셀(12)은 또한 메모리 장치(50)와 금속 라인 중 하나(14 혹은 16) 사이에 선형 저항 요소(56)를 포함한다. 도 2a는 워드 라인(14)과 메모리 요소(50) 사이에 저항 요소(56)를 도시하고 있다. 그러나, 저항 요소(56)는 워드 라인(14)과 메모리 요소(50) 사이 대신에 비트 라인(16)과 메모리 요소(50) 사이에 위치할 수도 있다.

저항 요소(56)는 임의의 특정한 유형의 물질에 국한되지 않는다. 저항 요소(56)는 반도체 물질(예를 들어, 탄소, 실리콘, 게르마늄, 인듐 텔루르 화합물(indium telluride), 안티몬 텔루르 화합물(antimony telluride)), 반도체-금속 합금(예를 들어, 실리콘-티타늄), 유전체(예를 들어, 알루미늄 산화물, 탄탈룸 산화물, 마그네슘 산화물, 실리콘 산화물, 실리콘 질화물, 알루미늄 질화물), 유전체-금속 합성물(예를 들어, 알루미늄 산화물-금) 혹은 중합체로 제조될 수 있

다. 저항 물질은 제조 프로세스와 호환가능하고 저항 요구 조건을 충족시켜야 한다.

메모리 셀의 제조시 기대되는 서브-미크론 치수에 있어서, 직렬 연결된 저항 요소(56)의 저항률(ρ)은 일반적으로 0.1에서 1,000 Ω-cm의 범위일 것이다. 저항(R)은 방정식 $R = (\rho t)/A$에 따라서 저항 요소(56)의 두께(t)와 평면적(A)에 좌우될 것이다. 이 저항률의 범위는 금속에서 측정된 것 보다 큰 크기 범위이지만, 반도체, 금속과 반도체의 합금 및 유전체-금속 합성물 시스템이 제공하는 저항률의 범위내이다. 예로서, 두께($t = 50nm$)와 저항률($\rho = 20\Omega$-cm)의 필름으로부터 형성된 평면적($A = 0.1\mu m^2$)을 갖는 저항 요소(56)는 100kΩ의 저항을 가질 것이다.

저항 요소(56)가 유전체(예를 들어, 절연) 필름이라면, 저항은 방정식 $R = (\rho t)/A$ 대신에 전자 터널링에 의해 좌우된다. 유전체 필름에 있어서, 터널링 저항은 필름 두께에 크게 좌우된다. 0.5에서 10nm 범위의 두께내인 유전체 필름이 저항 요소로 적합한다. 저항 요소(56)로서 특별한 경우의 유전체 필름은 SDT 메모리 요소내에 존재한다. 따라서, 저항 요소는 SDT 메모리 요소로부터 형성될 수 있다.

저항 요소(56)는 여러 상이한 방식으로 메모리 요소와 결합될 수 있다. 첫 번째 방안은 메모리 요소(50)와 동일한 평면적을 갖는 저항 요소(56)를 형성하는 것을 포함한다. 이런 방안의 가장 간단한 구현은 메모리 요소(50)를 규정하는데 사용되는 패터닝 프로시쥬어와 동일한 패터닝 프로시쥬어를 사용하여 저항 요소(56)의 평면적을 규정하는 것이다.

이런 저항 요소(56)는 메모리 요소(50)의 크기가 가하는 소정 기하학적 제약을 만족시킨다. 특히, 저항 요소(56)의 유효 평면적은 메모리 요소(50)의 영역과 거의 일치한다. 저항 요소의 두께는 일반적으로 높은 종횡비(high aspect ratio)(평면 치수에 의해 나눠지는 두께) 피쳐를 패터닝하는 프로세싱 능력에 의해 제한된다.

추가로 도 2b를 참조하면, 저항 요소(56)의 저항(B)은 메모리 요소(50)의 설계(즉, 의도된) 공칭 저항(R)의 약 0.5%에서 50%의 사이(즉, $0.005R \leq B \leq 0.5R$)일 수 있다. 더 좁은 범위는 메모리 요소(50)의 공칭 저항(R)의 약 10%에서 50% 사이(즉, $0.1R \leq B \leq 0.5R$)일 것이다. 예를 들어, 메모리 요소(50)는 백만 Ω의 설계 공칭 저항(R) 및 200,000Ω의 델타 저항(ΔR)을 갖는다. 더 좁은 범위를 사용할 때, 저항 요소(56)는 100,000Ω과 500,000Ω사이의 저항(B)을 갖는다. 더 넓은 범위를 사용할 때, 저항 요소(56)는 5,000Ω과 500,000Ω사이의 저항(B)을 갖는다. 이에 비해, 옴 접촉(52 및 54) 각각은 약 10Ω의 저항(C)을 갖는다.

메모리 요소(50)가 단락되면, 메모리 셀(12)의 저항은 저항 요소(56)의 저항(B)과 거의 같을 것이다. 이제 도 3a와 도 3b를 참조하여 판독 동작 동안의 저항 요소(56)의 이점을 설명하겠다.

도 3a는 판독 동작 동안의 메모리 셀 어레이(10)의 전기적인 등가 회로를 도시한다. 선택된 메모리 셀은 제 1 저항(12a)으로 표시되고, 선택되지 않은 메모리 셀은 제 2, 제 3 및 제 4 저항(12b, 12c 및 12d)으로 표시된다. 제 2 저항(12b)은 선택된 비트 라인을 따라 반선택 메모리 셀(half-selected memory cells)을 표시하고, 제 3 저항(12c)은 선택된 워드 라인을 따라 반선택 메모리 셀을 표시하며 제 4 저항(12d)은 남아있는 선택되지 않은 메모리 셀을 표시한다. 예를 들어, 모든 메모리 셀(12)이 약 R + B의 저항을 가지고, 어레이(10)가 n 행과 m 열을 갖는다면, 제 2 저항(12b)은 약 $(R + B)/(n - 1)$의 저항을 가지고, 제 3 저항(12c)은 약 $(R + B)/(m - 1)$의 저항을 가지며 제 4 저항(12d)은 약 $(R + B)/[(n - 1)(m - 1)]$의 저항을 가질 것이다.

제 1 저항(12a)은 동작 전위(Vs)를 교차하는 비트 라인에 인가하고 그라운드 전위를 교차하는 워드 라인에 인가하여 선택될 수 있다. 결과적으로, 감지 전류(Is)가 제 1 저항(12a)에 흐른다.

스니크 경로 전류(sneak path current)가 감지 전류(Is)를 애매(obscure)하게 하는 것을 방지하기 위해, 동일한 동작 전위($Vb = Vs$)가 선택되지 않은 비트 라인에 인가된다. 이 동일한 전위(Vb)를 선택되지 않은 비트 라인에 인가하는 것은 스니크 경로 전류가 제 2 및 제 4 저항(12b 및 12d)을 통해 흐르는 것을 차단하고 제 3 저항(12c)을 통해 흐르는 스니크 경로 전류(S2)를 그라운드로 전환시킨다.

동일한 동작 전위(Vb = Vs)가 도 3b에 도시된 바와 같이 선택되지 않은 비트 라인 대신에 선택되지 않은 워드 라인에 인가될 수 있다. 이와 같이 동일한 전위(Vb)를 선택되지 않은 워드 라인에 인가하는 것은 스니크 경로 전류가 제 2 저항(12b)을 통해 흐르는 것을 차단하고 제 3 및 제 4 저항(12c 및 12d)을 통해 흐르는 스니크 경로 전류(S2 및 S3)를 그라운드로 전환시킨다.

이상적인 감지 증폭기(24)는 동일한 전위를 선택된 비트 라인 및 선택되지 않은 워드 라인과 비트 라인의 서브세트에 인가한다. 그러나, 감지 증폭기(24)가 이상적이지 않다면, 전위들이 정확히 일치하지 않아서 스니크 경로 전류는 판독 동작 동안에 어레이(10)를 통해 흐른다.

단락된 메모리 요소(50)를 갖는 메모리 셀(12)과 동일한 열에 존재하는 선택된 메모리 셀(12)에 관한 판독 동작을 고려해 보자. 반선택 메모리 셀(12)은 자신의 저항 요소(56)의 저항(B) 이상인 저항을 여전히 갖는다. 감지 증폭기(24)가 이상적이지 않는 경우라도, 단락된 메모리 요소(50)를 갖는 반선택 메모리 셀(12)은 단락된 메모리 요소(50)를 통해 흐르는 상당한 양의 스니크 경로 전류를 전환시키지 않고 또한 판독 동작 동안에 감지 전류에 별 영향을 주지 않는다. 결과적으로, 반선택 메모리 셀(12)은 열 전체의 에러를 야기하지 않는다. 단지 하나의 랜덤한 비트의 에러만이 발생한다. 하나의 랜덤한 비트의 에러는 에러 코드 정정에 의해 빠르고 쉽게 정정될 수 있다.

이제 종래의 메모리 셀 및 이상적이지 않은 감지 증폭기를 포함하는 판독 동작과 약술한 판독 동작을 비교하겠다. 단락된 메모리 요소를 갖는 종래의 반선택 메모리 셀은 감지 전류와 결합시 감지 증폭기를 차단(cut-off) 혹은 포화(saturate)시키는 큰 스니크 경로 전류를 유도할 것이다. 결과적으로, 한 비트의 에러가 선택된 메모리 셀에 관한 판독 동작 동안에 발생할 것이다. 또한, 종래의 반선택 메모리 셀의 단락된 메모리 요소는 판독 동작 동안에 열의 모든 다른 메모리 셀에서의 감지 전류를 전환시킬 것이다.

도 4, 도 5 및 도 6은 동일한 전위를 메모리 셀 어레이(10)에 인가하고 선택된 메모리 셀(12)의 저항 상태를 감지하는 세 가지 방법을 도시한다. 이러한 방법 및 대응하는 하드웨어 구현은 2000년 3월 3일 출원된 본 출원인의 미국 특허 출원 제 09/564,308호에 개시되어 있다.

이제 도 4를 참조하면, 전류 소스, 전압 폴로어(voltage follower) 및 비교기를 사용하여 선택된 메모리 셀의 저항 상태를 판정하는 방법이 도시되어 있다. 행 디코드 회로는 선택된 워드 라인을 그라운드 전위에 연결하여 선택된 메모리 셀을 교차하는 워드 라인을 선택한다(블록(102)). 전류 소스는 감지 전류를 선택된 메모리 셀을 교차하는 비트 라인에 인가한다(블록(104)). 전류 소스와 선택된 메모리 셀 사이의 접합에서의 전위는 동일한 전위를 선택되지 않은 비트 라인 혹은 선택되지 않은 워드 라인과 같은 선택되지 않은 라인의 서브세트에 인가하는 전압 폴로어에 의해 검출된다(블록(106)). 접합에서의 전위는 또한 비교기에 의해 기준 전압과 비교된다. 비교기의 출력은 선택된 메모리 셀의 저항 상태를 표시하는 높거나 혹은 낮은 신호를 제공한다(블록(108)).

이제 도 5를 참조하면, 전류 감지 증폭기 및 전압 소스를 사용하여 선택된 메모리 셀의 저항 상태를 검출하는 방법이 도시되어 있다. 워드 라인은 선택되고(블록(200)), 행 디코드 회로는 감지 전압(Vs)을 선택된 워드 라인에 인가하며(블록(202)) 선택된 비트 라인은 전류 감지 증폭기의 가상 그라운드(virtual ground)에 결합된다(블록(204)). 감지 전압(Vs)은 0.1V와 0.5V 사이의 dc 전압일 수 있고 외부 소스에 의해 제공될 수도 있다. 선택되지 않은 라인의 서브세트(예를 들어, 모든 선택되지 않은 비트 라인)는 또한 가상 그라운드와 같은 전위에 연결된다(블록(206)). 가상 그라운드는 동일한 전위가 선택된 비트 라인 및 선택되지 않은 라인의 서브세트에 인가된다면 0 전위 혹은 임의의 다른 전위일 수 있다.

감지 전류는 선택된 메모리 셀 및 전류 감지 증폭기를 통해 전압 소스로부터 흐른다. 선택되지 않은 라인의 서브세트가 또한 가상 그라운드와 같은 전위에 연결되기 때문에, 선택되지 않은 라인을 통해 흐르는 임의의 스니크 경로 전류는 감지 전류에 비해 적어서 감지 전류를 간섭하지 않을 것이다.

따라서, 선택된 비트 라인을 통해 흐르는 감지 전류는 감지되어 선택된 메모리 셀의 저항 상태 및 논리값을 판정할 수 있다(블록(208)). 감지 전류는 선택된 메모리 셀의 저항 상태에 따라서 Vs/R 혹은 Vs/(R + ΔR) 중 하나와 같다.

이제 도 6을 참조하면, 직접 주입 전하 증폭기(direct injection charge amplifier)를 사용하여 선택된 메모리 셀(12)에 관한 판독 동작 동안에 동일한 전위를 어레이(10)에 인가하는 방법이 도시되어 있다. 판독 동작 시작시, 워드 라인은 선택되고(블록(300)), 직접 주입 전하 증폭기는 전압(V_{DD})으로 프리차징(pre-charge)되고(블록(302)), 선택된 비트 라인은 직접 주입 전하 증폭기에 연결되며 선택되지 않은 라인의 서브세트는 일정한 인가 전압(Vs)에 연결된다(블록(304)). 결과적으로, 감지 전류는 선택된 메모리 셀을 통해 흘러서 커패시터를 충전한다. 감지 전류가 정상 상태 조건에 도달(블록(306))한 후, 커패시터는 감지 전류를 선택된 비트 라인에 인가하는데 사용된다(블록(308)). 이것은 커패시터에 저장된 전하를 고갈시켜 커패시터 전압을 감소시킨다. 감지 전류가 합쳐지기 때문에, 커패시터 전압은 감소된다. 커패시터 전압이 기준 전압에 도달하는 시간이 측정되고(블록(310)), 측정 시간은 임계치에 비교된다(블록(312)). 따라서, 이 비교치는 선택된 메모리 셀의 저항 상태 및 논리값을 표시한다.

이제 도 7을 참조하면, MRAM 장치(8')에 관한 메모리 요소(50)를 저항 요소(70)와 합체하는 제 2 및 제 3 (다른) 방안이 도시되어 있다. 다수의 저항 요소를 패터닝하는 대신에, 제 2 방안은 옴 접촉(52 및 54) 하나 혹은 둘 모두와 메모리 요소(50) 사이에 블랭킷 저항층(blanket resistor layer : 70)을 형성하는 것을 포함한다. 블랭킷 층(70)은 패터닝되지 않아서(unpatterned), 메모리 요소(50)를 연결한다. 이런 저항 요소(70)는 패터닝이 수반되지 않기 때문에 제조하기 쉽다. 제 1 및 제 2 옴 접촉(52 및 54)이 분리 요소(52 및 54)로 도시되어 있지만, 이러한 분리 요소(52 및 54)를 없애고 금속 라인(14)을 메모리 요소(50) 혹은 블랭킷 층(70)과 직접 접촉하게 할 수 있다는 것을 알아야 한다.

각각의 메모리 셀(12)에 부가된 저항은 메모리 요소(50)의 평면적과 메모리 요소(50)상의 블랭킷 층의 두께에 의해 결정된다. 블랭킷 층(70)의 면적 저항은 인접 컨덕터를 단락시키지 않기 위해 상당히 커야 한다. 블랭킷 층(70)의 예는 매우 얇은(예를 들어, 10nm 미만의 두께) 절연 필름이다. 이 경우에, 평면 방향의 저항(in-plane resistance)은 본질적으로 무한대이지만, 이 평면에 수직한 도전성은 유한하며 터널링에 의해 발생한다.

제 3 방안은 저항 요소(56)가 워드 라인 혹은 비트 라인(14 혹은 16)과 동일한 평면적을 갖도록 두 개의 평면 치수 중 오직 하나만으로 저항 요소(56)를 규정하는 것을 포함한다. 이 방안의 가장 편리한 구현은 워드 라인 혹은 비트 라인(14 혹은 16)을 규정하는데 사용되는 프로세스와 동일한 프로세스로 저항 물질을 패터닝하는 것이다.

이제 도 8을 참조하면, MRAM 장치(8)에 관해 다른 메모리 셀(80)이 도시되어 있다. 이 다른 메모리 셀은 SDT 접합과 결합하여 도시되어 있다. 이런 메모리 셀(80)은 다수 층 스택 물질(multi-layer stack of material)을 포함한다. 스택은 제 1 및 제 2 시드층(seed layer)(82 및 84)을 포함한다. 제 1 시드층(82)은 제 2 층(84)이 (111) 크리스탈 구조 배향으로 성장되게 한다. 제 2 시드층(84)은 후속 반강자성(antiferromagnetic : AF) 피닝층(pinning layer : 86)에 관한 (111) 크리스탈 구조 배향을 설정한다. AF 피닝층(86)은 한 방향으로 후속 피닝(바닥(bottom)) 강자성(FM)층(88)의 자화를 유지하는 큰 교환 필드(large exchange field)를 제공한다. 절연 터널 장벽(90)이 피닝 FM 층(88) 위에 존재한다. 광 간섭층(92 및 94)은 절연 터널 장벽(90)을 포갤 수 있다. 인가된 자기장에도 배향하지 않는 자화를 갖는 감지(상단(top)) FM 층(96)이 절연 터널 장벽(90) 위에 존재한다. 옴 접촉(98)은 감지 FM 층(96) 위에 존재하고, 워드 라인(14)은 옴 접촉(98)과 전기적으로 접촉한다. 보호 유전체(도시되지 않음)가 이 스택을 감싼다.

고정층(pinned layer : 88)은 평면에서 배향되는 자화를 갖지만, 관심 범위에서 인가된 자기장에 따라 배향하지 않도록 고정된 자화를 갖는다. 감지층(96)은 고정되지 않은 자화 배향을 갖는다. 어느 정도, 자화는 평면내의 축(" 용이(easy)" 축)을 따라 두 가지 방향 중 한 방향으로 배향될 수 있다. 고정층 및 감지층(88 및 96)의 자화가 동일한 방향이면, 배향은 평행이다. 고정층 및 감지층(88 및 96)의 자화가 반대 방향이면, 배향은 역평행이다.

절연 터널 장벽(90)은 양자 역학 터널링이 피닝층(88)과 감지층(96) 사이에서 발생하게 한다. 이 터널링 현상은 SDT 접합의 저항이 고정되지 않은 층과 고정층의 자화의 상대 배향에 좌우되게 하는 전자 스핀 의존형이다. 절연 터널 장벽(90)은 약 15Å의 두께를 갖는 알루미늄 산화물(Al_2O_3)의 층일 수 있다.

이 다른 메모리 셀(80)은 저항 물질의 분리층으로 제조되는 저항 요소를 포함하지 않는다. 대신에, 저항 요소 및 옴 접촉(98)은 옴 접촉을 고-저항률 물질로 제조하여 단일 구조로 합체된다. 따라서, 옴 접촉(98)은 SDT 접합의 설계 공칭 저항의 0.5%에서 50% 사이인 저항(B)을 갖는다.

대신에, 저항 요소는 제 1 혹은 제 2 시드층(82 혹은 84)을 고-저항률 물질로 제조하여 제 1 시드층(82) 혹은 제 2 시드층(84)과 합체될 수 있다.

따라서, 판독 동작 동안에 메모리 셀을 서로 격리시키는 스위치 및 다이오드를 포함하지 않는 MRAM 장치가 개시되어 있다. 대신에, 이 장치는 동일한 전위를 선택된 워드 라인과 비트 라인 및 어떤 선택되지 않은 워드 라인과 비트 라인에 인가하여 선택된 메모리 셀을 격리시킨다. 동일한 전위를 인가하는 것은 기생 전류가 판독 동작에 간섭하는 것을 방지할 수 있다. 또한, 메모리 셀에 직렬로 연결된 저항 요소는 단락된 메모리 셀이 야기하는 문제를 피한다. 메모리 셀이 단락되면, 단락된 메모리 셀은 랜덤한 비트의 에러를 야기할 것이다. 그러나, 단락된 메모리 셀은 열 전체의 에러를 야기하지는 않을 것이다. 랜덤한 비트의 에러는 ECC에 의해 열 전체의 에러에 비해 더 빠르고 쉽게 정정될 수 있다.

저항 요소는 또한 열 전체 에러의 원인을 격리시키는데 도움이 된다. 열 전체의 에러가 발생하면, 단락된 메모리 셀이기보다는 어떤 다른 요인에 기인할 것이다.

저항 요소는 또한 선택된 메모리 셀에 관한 기록 동작의 신뢰도를 증가시킨다. 저항 요소가 없다면, 큰 기록 전류가 단락된 메모리 셀을 통해 흐를 것이다. 또한, 기록 전류는 선택된 메모리 셀로부터 단락된 메모리 요소로 전환되어, 기록 전류를 감소시키고 오류 데이터가 동일한 행 혹은 열내의 선택된 메모리 셀에 기록되게 할 것이다. 그러나, 이 단락된 메모리 요소에 직렬로 연결된 저항 요소는 충분히 높은 저항을 가져서 큰 기록 전류가 단락된 메모리 요소를 통해 흐르는 것을 방지하여 충분한 기록 전류가 선택된 메모리 셀을 통해 흐르게 한다.

MRAM 장치(8)는 단일 레벨의 메모리 셀에 국한되지 않는다. 이제 도 9를 참조하면, 다수-레벨의 MRAM 칩(400)이 도시되어 있다. MRAM 칩(400)은 z-방향으로 기판(404)상에 스택된 Z 갯수의 메모리 셀 레벨 혹은 평면(402)을 포함한다. 갯수 Z는 $Z \geq 1$인 양의 정수이다. 메모리 셀 레벨(402)은 실리콘 이산화물과 같은 절연 물질(도시되지 않음)에 의해 분리될 수 있다. 판독 및 기록 회로는 기판(404)상에 제조될 수 있다. 기록 및 판독 회로는 추가 멀티플렉서를 포함하여 멀티플렉서로부터 판독될 레벨을 선택하고 멀티플렉서에 기록될 레벨을 선택할 수 있다.

본 발명에 따른 MRAM 장치는 다양한 애플리케이션에서 사용될 수 있다. 도 10은 하나 이상의 MRAM 칩(400)에 관한 일반 애플리케이션 예를 도시한다. 일반 애플리케이션은 MRAM 저장 모듈(452), 인터페이스 모듈(454) 및 프로세서(456)를 포함하는 기계(450)에 의해 구현된다. MRAM 저장 모듈(452)은 장기 저장을 위해 하나 이상의 MRAM 칩(400)을 포함한다. 인터페이스 모듈(454)은 프로세서(456)와 MRAM 저장 모듈(452) 사이에 인터페이스를 제공한다. 기계(450)는 또한 단기 저장을 위해 고속 휘발성 메모리(예를 들어, SRAM)를 포함할 수 있다.

노트북 컴퓨터 혹은 PC와 같은 기계(450)에 있어서, MRAM 저장 모듈(452)은 다수의 MRAM 칩(400)을 포함할 수 있고, 인터페이스 모듈(454)은 EIDE 혹은 SCSI 인터페이스를 포함할 수 있다. 서버와 같은 기계(450)에 있어서, MRAM 저장 모듈(452)은 더 많은 수의 MRAM 칩(400)을 포함할 수 있고, 인터페이스 모듈(454)은 섬유 채널 혹은 SCSI 인터페이스를 포함할 수 있다. 이런 MRAM 저장 모듈(452)은 하드 드라이브와 같은 종래의 장기 저장 장치를 대체하거나 혹은 보완할 수 있다.

디지털 카메라와 같은 기계(450)에 있어서, MRAM 저장 모듈(452)은 더 적은 수의 MRAM 칩(400)을 포함할 수 있고, 인터페이스 모듈(454)은 카메라 인터페이스를 포함할 수 있다. 이런 MRAM 저장 모듈(452)은 온-보드(on-board) 디지털 카메라의 디지털 이미지의 장기 저장을 가능하게 할 것이다.

본 발명에 따른 MRAM 장치는 하드 드라이브 및 다른 종래의 장기 데이터 저장 장치에 비해 많은 이점을 제공한다. MRAM 장치로부터의 데이터에 액세스하는 것은 하드 드라이브와 같은 종래의 장기 저장 장치로부터의 데이터에 액세스하는 것 보다 고속으로 이루어진다. 또한, MRAM 장치는 하드 드라이브 보다 더욱 소형(compact)이다.

전술한 장치는 특정한 실시예에 국한되지 않는다. 예를 들어, 용이축(easy axis)을 따라 배향된 행과 결부지어 MRAM 장치를 설명하였다. 그러나, 행과 열은 뒤바뀔 수 있다.

저항성 교차점 어레이는 MRAM 셀의 어레이에 국한되지 않는다. 메모리 셀의 메모리 요소는 상-전이 물질(phase-change material)일 수 있다. 이런 메모리 요소의 저항은 상-전이 물질의 위상 변화에 의해 하나의 상태에서 다른 상태(예를 들어, 결정 상태에서 비결정 상태로)로 바뀔 수 있다.

그 대신에, 메모리 셀은 중합체 메모리 요소를 포함할 수 있다. 중합체 메모리 요소는 극성 전도 중합체 분자(polar conductive polymer molecules)로 구성된다. 중합체 메모리 요소에 있어서, 데이터는 중합체 분자에서 '영구 편극(permanent polarization)'으로 저장된다(대조적으로, MRAM 메모리 셀에서 데이터는 '영구 자기 모멘트(permanent magnetic moment)'로 저장된다). 중합체 메모리 요소의 저항(R 혹은 R + ΔR)은 중합체 분자의 편극 배향에 좌우된다. 중합체 메모리 셀 요소는 셀 요소의 저항을 감지하여 판독될 수 있다. 중합체 메모리 셀은 인가 전압에 의해 생성된 전기장을 선택된 워드 라인과 비트 라인에 인가하여 기록될 수 있다. 중합체 메모리 요소가 단락되면, 직렬 연결된 저항 요소는 단락된 요소를 격리시킬 것이다.

어레이는 단지 메모리 셀에 국한되지 않는다. 예를 들어, 장치는 응력 변환기(stress transducer)와 같은 요소의 어레이를 포함할 수 있다. 감지 요소는 응력 의존 저항(stress dependent resistance)을 나타내는 다양한 물질로부터 제조될 수 있다. 감지 요소에 인가된 힘 혹은 에너지는 이 요소의 전도성을 바꾼다. 감지 요소가 단락되면, 직렬 연결된 저항 요소는 단락된 감지 요소를 격리시킬 것이다. 등전위 감지 방법을 응력 변환기의 교차점 어레이에 적용하는 이점은 매우 높은 집적 밀도에 있다.

일반적으로, 직렬 연결된 저항 요소의 저항은 충분히 적어서 판독 동작에 최소 영향을 미쳐야 하고 또한 충분히 커서 기록 동작에 최소 영향을 미쳐야 한다. 따라서, 실제 저항은 판독 동작 동안에 선택된 메모리 셀의 감지를 저하시키지 않고 감지 신호를 저하시키지 않으며 또한 저항성 교차점 어레이에서 메모리 셀로의 기록 특성을 저하시키지 않고서 단락된 메모리 요소를 격리시켜야 한다. 설계 공칭 저항의 10%에서 50% 사이의 저항 범위가 이상적으로 여겨진다.

저항 요소의 최대 두께는 선택된 메모리 셀에 결합되고 인접 메모리 셀에 누화(cross-talk)되는 유도 전자기장에 대한

영향에 의해 설정된다. 저항성 교차점 메모리 애플리케이션에 있어서, 워드 라인 혹은 비트 라인에 흐르는 전류 혹은 전압이 생성하는 기록 전자기장(write field)을 감소시키는 것을 피하기 위해 직렬 연결된 저항 요소의 두께를 제한할 수 있다. 직렬 연결된 저항 요소는 저항 요소의 두께와 동일한 거리(d) 만큼 메모리 요소를 라인의 표면으로부터 이동시킨다. 전류 모드의 저항성 교차점 메모리 요소에 있어서, 자기장은 1/d로 떨어질(drop off) 수 있다. 이 전류 모드의 메모리 요소에 있어서, 직렬 연결된 저항 요소의 두께는 컨덕터 두께의 거의 절반 미만이어야 한다.

본 발명은 전술한 특정한 실시예에 국한되지 않는다. 그 대신에, 본 발명은 첨부한 청구범위에 따라서 해석된다.

발명의 효과

본 발명은 데이터 저장 장치에 관한 것으로 메모리 요소가 단락되면 랜덤한 비트의 에러를 야기하지만 열 전체의 에러를 야기하지 않으며 이 랜덤한 비트의 에러는 에러 코드 정정에 의해 빠르고 쉽게 정정될 수 있다.

(57) 청구의 범위

청구항 1.

데이터 저장 장치(8)에 있어서,

각각이 메모리 요소(a memory element : 50)를 포함하는 메모리 셀들(memory cells : 12)의 저항성 교차점 어레이(a resistive cross point array : 10) 및 상기 메모리 요소(50)에 직렬로 연결된 선형 저항 요소(a linear resistive element : 56)를 포함하는

데이터 저장 장치(8).

청구항 2.

제 1 항에 있어서,

상기 저항 요소(56)는 상기 메모리 요소에 관한 저항 필름(a resistive film)(56, 70)인 데이터 저장 장치(8).

청구항 3.

제 1 항에 있어서,

상기 저항 요소(56)는 다른 메모리 요소를 포함하는 데이터 저장 장치(8).

청구항 4.

제 1 항에 있어서,

상기 저항 요소(56)는 반도체 물질로 제조되는 데이터 저장 장치(8).

청구항 5.

제 1 항에 있어서,

상기 저항 요소(56)는 산화물 혹은 질화물 중 적어도 하나로 제조되는 데이터 저장 장치(8).

청구항 6.

제 1 항에 있어서,

상기 저항 요소(56)는 금속과 반도체 중 적어도 하나의 합금으로 제조되는 데이터 저장 장치(8).

청구항 7.

제 1 항에 있어서,

상기 저항 요소(56)는 전도성 중합체(a conductive polymer)로 제조되는 데이터 저장 장치(8).

청구항 8.

제 1 항에 있어서,

상기 저항 요소(56)는 옴 접촉(an ohmic contact : 98)을 상기 메모리 요소에 더 제공하는 데이터 저장 장치(8).

청구항 9.

제 1 항에 있어서,

각각의 메모리 요소(50)는 스핀 의존형 터널링 접합 장치(a spin dependent tunneling junction device)(84 내지 96)를 포함하는 데이터 저장 장치(8).

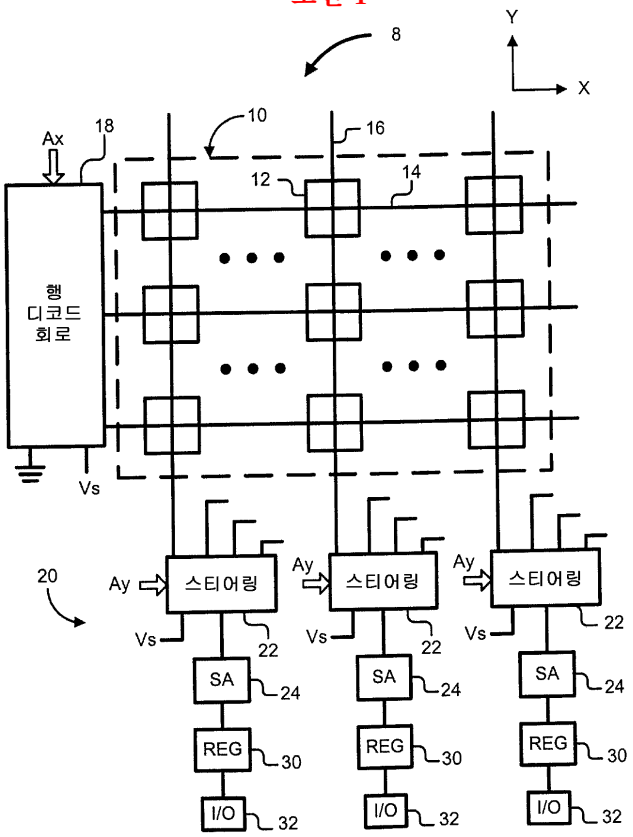
청구항 10.

제 1 항에 있어서,

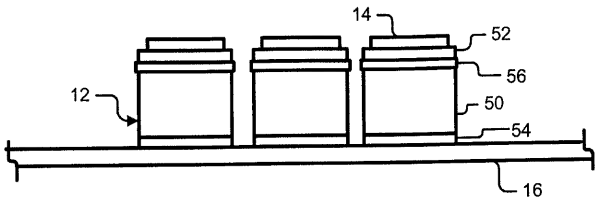
상기 저항 요소(56)는 상기 메모리 요소(50)의 설계 저항의 약 10%에서 50% 사이의 저항을 갖는 데이터 저장 장치(8).

도면

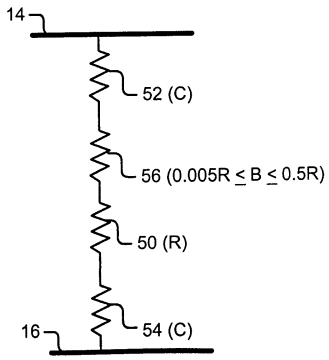
도면 1


8
Y
X
Ax
18
10
16
12
14
행
디코드
회로
Vs
20
Ay
스티어링
Vs
22
SA
24
REG
30
I/O
32

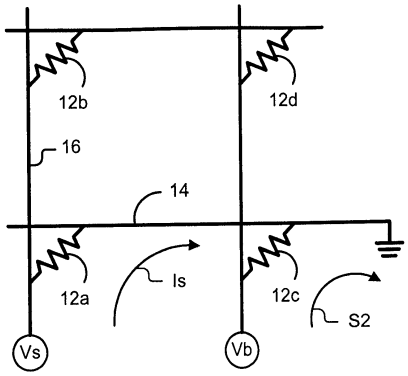
도면 2a


14
52
56
12
50
54
16

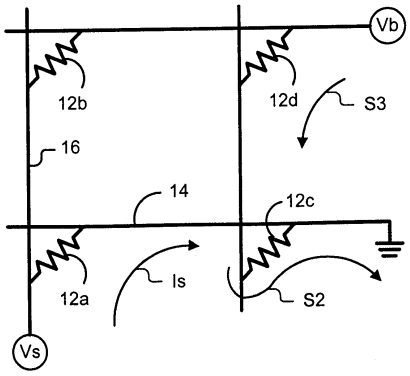
도면 2b



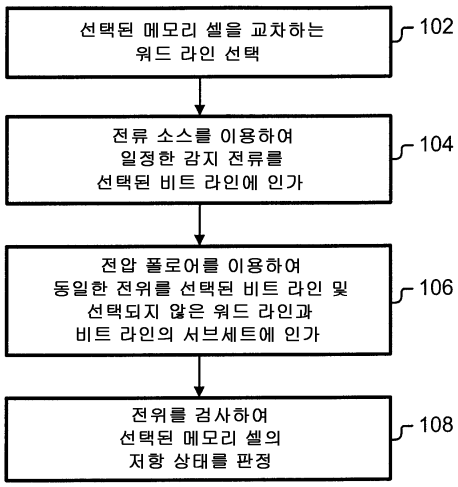
도면 3a



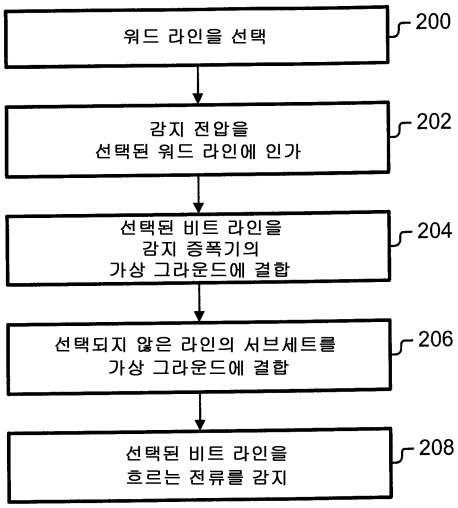
도면 3b



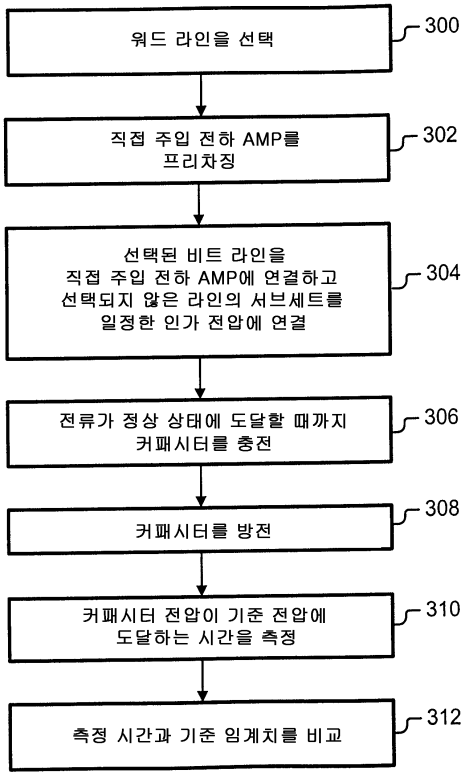
도면 4


선택된 메모리 셀을 교차하는
워드 라인 선택
102
전류 소스를 이용하여
일정한 감지 전류를
선택된 비트 라인에 인가
104
전압 폴로어를 이용하여
동일한 전위를 선택된 비트 라인 및
선택되지 않은 워드 라인과
비트 라인의 서브세트에 인가
106
전위를 검사하여
선택된 메모리 셀의
저항 상태를 판정
108

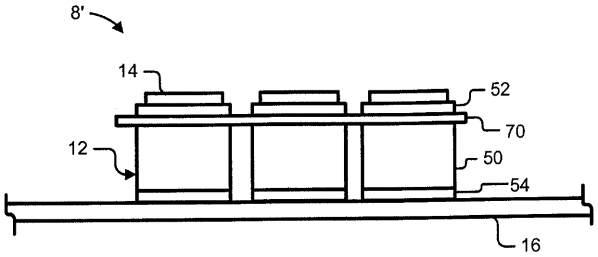
도면 5


워드 라인을 선택
200
감지 전압을
선택된 워드 라인에 인가
202
선택된 비트 라인을
감지 증폭기의
가상 그라운드에 결합
204
선택되지 않은 라인의 서브세트를
가상 그라운드에 결합
206
선택된 비트 라인을
흐르는 전류를 감지
208

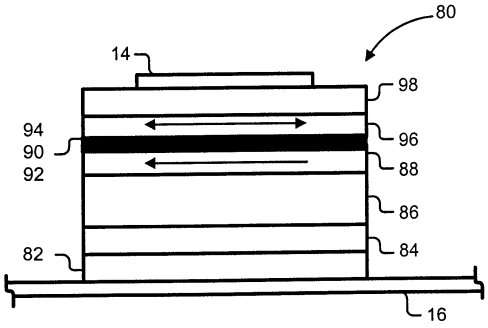
도면 6


워드 라인을 선택
300
직접 주입 전하 AMP를 프리차징
302
선택된 비트 라인을 직접 주입 전하 AMP에 연결하고 선택되지 않은 라인의 서브세트를 일정한 인가 전압에 연결
304
전류가 정상 상태에 도달할 때까지 커패시터를 충전
306
커패시터를 방전
308
커패시터 전압이 기준 전압에 도달하는 시간을 측정
310
측정 시간과 기준 임계치를 비교
312

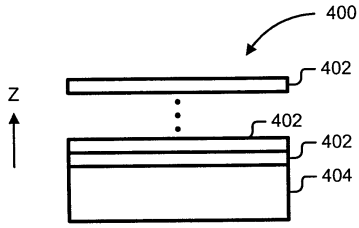
도면 7


8'
14
52
70
12
50
54
16

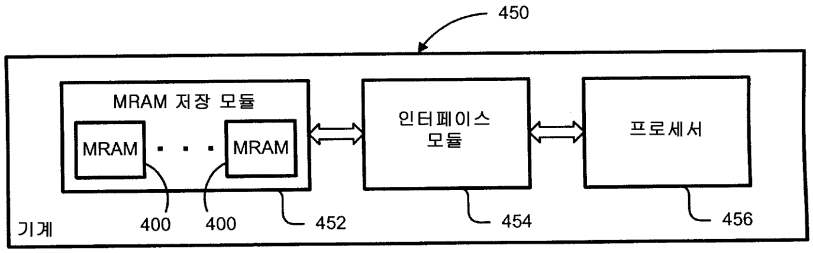
도면 8


80
14
98
94
90
92
96
88
86
82
84
16

도면 9


400
402
Z
402
402
404

도면 10


450
MRAM 저장 모듈
MRAM
MRAM
인터페이스 모듈
프로세서
기계
400
400
452
454
456