

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年6月16日(2005.6.16)

【公開番号】特開2001-57093(P2001-57093A)

【公開日】平成13年2月27日(2001.2.27)

【出願番号】特願平11-226913

【国際特許分類第7版】

G 1 1 C 16/04

G 1 1 C 16/02

【F I】

G 1 1 C 17/00 6 2 1 A

G 1 1 C 17/00 6 4 1

【手続補正書】

【提出日】平成16年9月17日(2004.9.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

多ビット情報を記録する不揮発性メモリにおいて、

半導体基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、

前記トラップゲート内に局所的に電荷をトラップする第1の状態と、

前記トラップゲート全体に電荷を注入する第2の状態とを有することを特徴とする不揮発性メモリ。

【請求項2】

請求項1において、

前記第1の状態は、前記第1及び第2のソース・ドレイン領域それぞれの近傍の第1及び第2のトラップゲート領域に、局所的に電荷をトラップする2つの状態を含むことを特徴とする不揮発性メモリ。

【請求項3】

請求項1または2において、

前記第1の状態への書き込みには、前記第1及び第2のソース・ドレイン領域間に所定の電圧を印加して、前記チャネル領域に発生させたホットエレクトロンを注入することで行われ、

前記第2の状態への書き込みには、前記半導体基板と前記コントロールゲート間に所定の電圧を印加して、電荷をトンネル注入することで行われることを特徴とする不揮発性メモリ。

【請求項4】

請求項1または2において、

前記半導体基板と前記コントロールゲート間に所定の消去電圧を印加して、前記トラップゲート全体または前記トラップゲートの局所領域に存在する電荷を引き抜くことで、消去動作が行われることを特徴とする不揮発性メモリ。

【請求項5】

請求項1または2において、

順番に電圧が異なる第 1 の読み出し電圧、第 2 の読み出し電圧及び第 3 の読み出し電圧とを有し、

前記第 2 の読み出し電圧が前記コントロールゲートに印加されて、前記第 2 の状態か否かが読み出され、

前記第 1 または第 3 の読み出し電圧が前記コントロールゲートに印加されて、前記第 1 の状態か否かが読み出されることを特徴とする不揮発性メモリ。

【請求項 6】

請求項 2 において、

順番に電圧が異なる第 1 の読み出し電圧、第 2 の読み出し電圧及び第 3 の読み出し電圧とを有し、

前記第 2 の読み出し電圧が前記コントロールゲートに印加されて、前記第 2 の状態か否かが読み出され、

前記第 1 または第 3 の読み出し電圧が前記コントロールゲートに印加されて、前記第 1 の状態か否かが読み出され、

更に、前記第 1 の状態か否かの読み出しにおいて、前記第 1 のソース・ドレイン領域に第 2 のソース・ドレイン領域より高い電圧を印加して、前記第 2 のトラップゲート領域についての前記第 1 の状態か否かが読み出され、前記第 2 のソース・ドレイン領域に第 1 のソース・ドレイン領域より高い電圧を印加して、前記第 1 のトラップゲート領域についての前記第 1 の状態か否かが読み出されることを特徴とする不揮発性メモリ。

【請求項 7】

多ビット情報を記録する不揮発性メモリにおいて、

半導体基板表面に形成された第 1 及び第 2 のソース・ドレイン領域と、その間のチャンネル領域上に形成された第 1 の絶縁層、非導電性のトラップゲート、第 2 の絶縁層、及びコントロールゲートとを有し、

前記トラップゲート内であって前記第 1 のソース・ドレイン領域の近傍の第 1 のトラップゲート領域に、電荷をトラップする第 1 の状態と、

前記トラップゲート内であって前記第 2 のソース・ドレイン領域の近傍の第 2 のトラップゲート領域に、電荷をトラップする第 2 の状態と、

前記トラップゲート全体に電荷を注入する第 3 の状態とを有することを特徴とする不揮発性メモリ。

【請求項 8】

請求項 7 において、

前記第 1 または第 2 の状態への書き込みには、前記第 1 及び第 2 のソース・ドレイン領域間に所定の電圧を印加して、前記チャンネル領域に発生させたホットエレクトロンを前記トラップゲートに注入することで行われ、

前記第 3 の状態への書き込みには、前記半導体基板と前記コントロールゲート間に所定の電圧を印加して、前記半導体基板から前記トラップゲート全体に電荷をトンネル注入することで行われることを特徴とする不揮発性メモリ。

【請求項 9】

請求項 8 において、

前記半導体基板と前記コントロールゲート間に所定の消去電圧を印加して、前記トラップゲート全体または前記トラップゲートの局所領域に存在する電荷を引き抜くことで、消去動作が行われることを特徴とする不揮発性メモリ。

【請求項 10】

請求項 7 において、

順番に電圧が異なる第 1 の読み出し電圧、第 2 の読み出し電圧及び第 3 の読み出し電圧とを有し、

前記第 2 の読み出し電圧が前記コントロールゲートに印加されて、前記第 3 の状態か否かが読み出され、

前記第 1 または第 3 の読み出し電圧が前記コントロールゲートに印加されて、前記第 1

または第 2 の状態か否かが読み出されることを特徴とする不揮発性メモリ。