

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-43955
(P2012-43955A)

(43) 公開日 平成24年3月1日(2012.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 C	5 F 1 4 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 V	
	H O 1 L 29/78 6 5 3 A	
	H O 1 L 29/78 6 5 2 E	
	H O 1 L 29/78 6 5 2 H	
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2010-183398 (P2010-183398)	(71) 出願人	000003078
(22) 出願日	平成22年8月18日 (2010.8.18)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(72) 発明者	佐藤 慎吾
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	篠原 仁
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	河村 圭子
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		最終頁に続く	

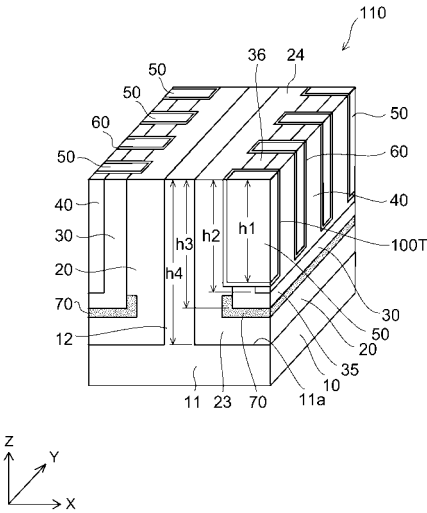
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】耐圧を向上した半導体装置及びその製造方法を提供する。

【解決手段】半導体装置は、第1半導体領域、第2半導体領域、第3半導体領域、第4半導体領域、ゲート領域、ゲート絶縁膜及び電界緩和領域を備える。第1導電形の第1半導体領域は、第1部分と第1方向に延出した第2部分とを有する。第1導電形の第2半導体領域は、第1部分上の第3部分と第2部分と隣接する第4部分とを有する。第2導電形の第3半導体領域は、第3部分上の第5部分と第4部分と隣接する第6部分とを有する。第1導電形の第4半導体領域は、第5部分上で第6部分と隣接する。ゲート領域は、第2半導体領域、第3半導体領域及び第4半導体領域を第2方向に貫通するトレンチ内に設けられる。ゲート絶縁膜は、トレンチ内壁とゲート領域との間に設けられる。第2導電形の電界緩和領域は、第3部分と第5部分との間に設けられ、第3半導体領域よりも不純物濃度が低い。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 主面を含む第 1 部分と、前記第 1 主面に対して直交する第 1 方向に延出した第 2 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 1 部分の側において前記第 2 部分の前記第 1 方向に沿った長さよりも短く設けられた第 3 部分と、前記第 2 部分と隣接し前記第 3 部分の上面の一部から前記第 1 方向に延出した第 4 部分と、を有する第 1 導電形の第 2 半導体領域と、

前記第 3 部分の側において前記第 4 部分の前記第 1 方向に沿った長さよりも短く設けられた第 5 部分と、前記第 4 部分と隣接し前記第 5 部分の上面の一部から前記第 1 方向に延出した第 6 部分と、を有する第 2 導電形の第 3 半導体領域と、

前記第 5 部分の上において前記第 6 部分と隣接して設けられた第 1 導電形の第 4 半導体領域と、

前記第 1 方向と直交する第 2 方向であって、前記第 2 半導体領域、前記第 3 半導体領域及び前記第 4 半導体領域に形成されたトレンチ内に設けられたゲート領域と、

前記トレンチの内壁と、前記ゲート領域と、の間に設けられたゲート絶縁膜と、

前記第 3 部分と、前記第 5 部分と、の間に設けられ、前記第 3 半導体領域の不純物濃度よりも低い不純物濃度を有する第 2 導電形の電界緩和領域と、

を備えたことを特徴とする半導体装置。

【請求項 2】

前記第 2 部分は、前記第 1 方向及び前記第 2 方向と直交する第 3 方向に延びるよう設けられたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 3 方向に沿って、複数の前記ゲート領域及び複数の前記ゲート絶縁膜が設けられたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 半導体領域、前記第 3 半導体領域及び前記第 4 半導体領域は、前記第 3 方向に沿って延在することを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記ゲート領域の前記第 1 方向に沿った第 1 の長さは、前記第 4 半導体領域の前記第 1 方向に沿った第 2 の長さよりも低いことを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

第 1 主面を含む第 1 部分と、前記第 1 主面に対して直交する第 1 方向に延出した第 2 部分と、を有する第 1 導電形の第 1 半導体領域を形成する工程と、

前記第 1 半導体領域を第 1 導電形の第 2 半導体領域で覆い、前記第 1 部分の側において前記第 2 部分の前記第 1 方向に沿った長さよりも短く設けられた第 3 部分と、前記第 2 部分と隣接し前記第 3 部分の上面の一部から前記第 1 方向に延出した第 4 部分と、を形成する工程と、

前記 3 部分における、前記第 1 主面と対向した第 2 主面に、第 2 導電形の電界緩和領域を形成する工程と、

前記第 2 半導体領域を第 2 導電形の第 3 半導体領域で覆い、前記第 3 部分の側において前記第 4 部分の前記第 1 方向に沿った長さよりも短く設けられた第 5 部分と、前記第 4 部分と隣接し前記第 5 部分の上面の一部から前記第 1 方向に延出した第 6 部分と、を形成する工程と、

前記第 3 半導体領域を第 1 導電形の第 4 半導体領域で覆う工程と、

前記第 4 半導体領域、前記第 3 半導体領域及び前記第 2 半導体領域を、前記第 2 部分が露出するまで除去する工程と、

前記第 1 方向と直交する第 2 方向であって、前記第 2 半導体領域、前記第 3 半導体領域及び前記第 4 半導体領域にトレンチを形成し、前記トレンチ内にゲート絶縁膜を介してゲート領域を形成する工程と、

10

20

30

40

50

を備えたことを特徴とする半導体装置の製造方法。

【請求項 7】

前記電界緩和領域を形成する工程では、前記第 2 主面に第 2 導電形となる不純物のイオンを注入することを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記イオンの入射角度は、前記第 2 主面には前記イオンが注入され、前記第 4 部分における前記第 2 部分の側面と対向した第 3 主面には前記イオンが注入されない角度であることを特徴とする請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来より、例えば電力用 MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) の構造として、プレーナ型 MOSFET やトレンチ型 MOSFET が採用されている。また、MOSFET のチャネル幅を基板の深さ方向に設けた、いわゆる 3D (three-dimensional) 型も考えられている。しかしながら、いわゆる 3D 型の MOSFET においては、更なる耐圧の向上が求められている。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】特開 2001 - 274398 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、耐圧を向上した半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

【0005】

本実施形態に係る半導体装置は、第 1 半導体領域、第 2 半導体領域、第 3 半導体領域、第 4 半導体領域、ゲート領域、ゲート絶縁膜及び電界緩和領域を備える。

30

第 1 半導体領域は、第 1 主面を含む第 1 部分と、第 1 主面に対して直交する第 1 方向に延出した第 2 部分と、を有する第 1 導電形の領域である。

第 2 半導体領域は、第 1 部分の側において第 2 部分の第 1 方向に沿った長さよりも短く設けられた第 3 部分と、第 2 部分と隣接し第 3 部分の上面の一部から第 1 方向に延出した第 4 部分と、を有する第 1 導電形の領域である。

第 3 半導体領域は、第 3 部分の側において第 4 部分の第 1 方向に沿った長さよりも短く設けられた第 5 部分と、第 4 部分と隣接し第 5 部分の上面の一部から第 1 方向に延出した第 6 部分と、を有する第 2 導電形の領域である。

第 4 半導体領域は、第 5 部分の上において第 6 部分と隣接して設けられた第 1 導電形の領域である。

40

ゲート領域は、第 1 方向と直交する第 2 方向であって、第 2 半導体領域、第 3 半導体領域及び第 4 半導体領域に形成されたトレンチ内に設けられている。

ゲート絶縁膜は、トレンチの内壁と、ゲート領域と、の間に設けられている。

電界緩和領域は、第 3 部分と、第 5 部分と、の間に設けられ、第 3 半導体領域の不純物濃度よりも低い不純物濃度を有する第 2 導電形の領域である。

【0006】

また、他の実施形態に係る半導体装置の製造方法は、先ず、第 1 主面を含む第 1 部分と、第 1 主面に対して直交する第 1 方向に延出した第 2 部分と、を有する第 1 導電形の第 1 半導体領域を形成する。

50

次に、第 1 半導体領域を第 1 導電形の第 2 半導体領域で覆う。これにより、第 1 部分の側において第 2 部分の第 1 方向に沿った長さよりも短く設けられた第 3 部分と、第 2 部分と隣接し第 3 部分の上面の一部から第 1 方向に延出した第 4 部分と、を形成する。

次に、第 3 部分における、第 1 主面と対向した第 2 主面に、第 2 導電形の電界緩和領域を形成する。

次に、第 2 半導体領域を第 2 導電形の第 3 半導体領域で覆う。これにより、第 3 部分の側において第 4 部分の第 1 方向に沿った長さよりも短く設けられた第 5 部分と、第 4 部分と隣接し第 5 部分の上面の一部から第 1 方向に延出した第 6 部分と、を形成する。

次に、第 3 半導体領域を第 1 導電形の第 4 半導体領域で覆う。

次に、第 4 半導体領域、第 3 半導体領域及び第 2 半導体領域を、第 2 部分が露出するまで除去する。

次に、第 1 方向と直交する第 2 方向であって、第 2 半導体領域、第 3 半導体領域及び第 4 半導体領域にトレンチを形成し、このトレンチ内にゲート絶縁膜を介してゲート領域を形成する。

【図面の簡単な説明】

【0007】

【図 1】第 1 の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

【図 2】比較例に係る半導体装置を例示する模式的斜視図である。

【図 3】第 1 の実施形態に係る半導体装置の電界の状態を例示する模式的斜視図である。

【図 4】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 5】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 6】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 7】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 8】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 9】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【図 10】第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【発明を実施するための形態】

【0008】

以下、本発明の実施形態を図に基づき説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。

また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0009】

また、以下の説明では、半導体の一例として、シリコン (Si) を用い、第 1 導電形を n 形、第 2 導電形を p 形とした具体例を挙げる。また、以下の説明において、 n^+ 、n、 n^- 及び p^+ 、p、 p^- の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、 n^+ は n よりも n 形の不純物濃度が相対的に高く、 n^- は n よりも n 形の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 形の不純物濃度が相対的に高く、 p^- は p よりも p 形の不純物濃度が相対的に低いことを示す。

【0010】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

図 1 に表したように、本実施形態に係る半導体装置 110 においては、MOSFET のチャネル幅が基板の深さ方向に沿って設けられた、いわゆる 3D (three-dimensional) 型である。

半導体装置 110 は、第 1 半導体領域 10、第 2 半導体領域 20、第 3 半導体領域 30、第 4 半導体領域 40、ゲート領域 50、ゲート絶縁膜 60 及び電界緩和領域 70 を備える。

10

20

30

40

50

【 0 0 1 1 】

第 1 半導体領域 1 0 は、第 1 主面 1 1 a を含む第 1 部分 1 1 と、第 1 主面 1 1 a に対して直交する第 1 方向に延出した第 2 部分 1 2 と、を有する第 1 導電形の領域である。

なお、本実施形態では、第 2 部分 1 2 が延出する第 1 方向を Z 方向、第 1 方向と直交する方向のうち一つ（第 2 方向）を X 方向、第 1 方向及び第 2 方向と直交する第 3 方向を Y 方向とする。また、本実施形態では、説明の便宜上、Z 方向に沿って第 2 部分 1 2 が延びる方向を「上」、これと反対方向を「下」とする。

本実施形態において、第 1 半導体領域 1 0 は、例えばシリコンのウェーハに燐（P）がドーピングされた n^+ ドレイン領域である。

【 0 0 1 2 】

第 2 半導体領域 2 0 は、第 3 部分 2 3 と、第 4 部分 2 4 と、を有する第 1 導電形の領域である。

第 3 部分 2 3 は、第 1 部分 1 1 の上において第 2 部分 1 2 の Z 方向に沿った長さよりも短く設けられる。第 4 部分 2 4 は、第 2 部分 1 2 と隣接し第 3 部分 2 3 の上面の一部から Z 方向に延出して設けられる。

すなわち、第 2 半導体領域 2 0 は、互いに直交する方向に設けられた第 3 部分 2 3 及び第 4 部分 2 4 により、XZ 平面における断面視において、第 1 部分 1 1 及び第 2 部分 1 2 に沿った略 L 字型に設けられる。

【 0 0 1 3 】

本実施形態において、第 2 半導体領域 2 0 は、例えば第 1 半導体領域 1 0 の表面にエピタキシャル成長によって形成された膜である。第 2 半導体領域 2 0 は、例えばエピタキシャル成長膜に燐（P）がドーピングされた n^- ドレイン領域である。第 2 半導体領域 2 0 は、MOSFET におけるドリフト領域となる。

【 0 0 1 4 】

第 3 半導体領域 3 0 は、第 5 部分 3 5 と、第 6 部分 3 6 と、を有する第 2 導電形の領域である。

第 5 部分 3 5 は、第 3 部分 2 3 の上において第 4 部分 2 4 の Z 方向に沿った長さよりも短く設けられる。第 6 部分 3 6 は、第 4 部分 2 4 と隣接し第 5 部分 3 5 の上面の一部から Z 方向に延出して設けられる。

すなわち、第 3 半導体領域 3 0 は、互いに直交する方向に設けられた第 5 部分 3 5 及び第 6 部分 3 6 により、XZ 平面における断面視において、第 3 部分 2 3 及び第 4 部分 2 4 に沿った略 L 字型に設けられる。

【 0 0 1 5 】

第 3 半導体領域 3 0 における Z 方向に沿った長さ h_3 は、第 2 半導体領域 2 0 における Z 方向に沿った長さ h_4 よりも短い。

本実施形態において、第 3 半導体領域 3 0 は、例えば第 2 半導体領域 2 0 の表面にエピタキシャル成長によって形成された膜である。第 3 半導体領域 3 0 は、例えばエピタキシャル成長膜にボロン（B）がドーピングされた p^- ベース領域である。

【 0 0 1 6 】

第 4 半導体領域 4 0 は、第 5 部分 3 5 の上において第 6 部分 3 6 と隣接して設けられた第 1 導電形の領域である。

すなわち、第 4 半導体領域 4 0 は、第 3 半導体領域 3 0 上で Z 方向に延在して設けられる。これにより、第 4 半導体領域 4 0 は、XZ 平面における断面視において、第 3 半導体領域 3 0 の略 L 字型の内側に埋め込まれる。

【 0 0 1 7 】

第 4 半導体領域 4 0 における Z 方向に沿った長さ h_2 は、第 3 半導体領域 3 0 における Z 方向に沿った長さ h_3 よりも短い。

本実施形態において、第 4 半導体領域 4 0 は、例えば第 3 半導体領域 3 0 上にエピタキシャル成長によって形成された膜である。第 4 半導体領域 4 0 は、例えばエピタキシャル成長膜に燐（P）がドーピングされた n^+ ソース領域である。

10

20

30

40

50

【 0 0 1 8 】

ゲート領域 5 0 は、第 2 半導体領域 2 0、第 3 半導体領域 3 0 及び第 4 半導体領域 4 0 を X 方向に貫通するトレンチ 1 0 0 T 内に設けられている。

すなわち、第 2 半導体領域 2 0 の第 4 部分 2 4、第 3 半導体領域 3 0 の第 6 部分 3 6 及び第 4 半導体領域 4 0 は、X 方向に沿って隣接している。トレンチ 1 0 0 T は、この隣接する第 4 部分 2 4、第 6 部分 3 6 及び第 4 半導体領域 4 0 を X 方向に沿って貫通するように設けられる。ゲート領域 5 0 は、トレンチ 1 0 0 T 内に、後述のゲート絶縁膜 6 0 を介して埋め込まれる。

【 0 0 1 9 】

また、ゲート領域 5 0 は、トレンチ 1 0 0 T 内において Z 方向に沿って延びるように設けられている。ゲート領域 5 0 は、Z 方向に沿って長さ h_1 で設けられている。長さ h_1 は、例えば第 4 半導体領域の長さ h_2 よりも短い。ゲート領域 5 0 としては、例えば多結晶シリコンが用いられる。

【 0 0 2 0 】

ゲート絶縁膜 6 0 は、トレンチ 1 0 0 T の内壁と、ゲート領域 5 0 と、の間に設けられている。ゲート絶縁膜 6 0 としては、例えば酸化シリコン膜が用いられる。

【 0 0 2 1 】

電界緩和領域 7 0 は、第 2 半導体領域 2 0 の第 3 部分 2 3 と、第 3 半導体領域 3 0 の第 5 部分 3 5 と、の間に設けられている。電界緩和領域 7 0 は、第 3 半導体領域 3 0 の不純物濃度よりも低い不純物濃度を有する第 2 導電形の領域である。電界緩和領域 7 0 は、例えば第 3 部分 2 3 にボロン (B) がドーピングされた p⁻ 領域である。

【 0 0 2 2 】

電界緩和領域 7 0 は、第 3 部分 2 3 と、第 5 部分 3 5 と、の間から、第 4 部分 2 4 の一部に至るまで設けられている。すなわち、電界緩和領域 7 0 は、XZ 平面の断面視において、第 3 半導体領域 3 0 の略 L 字型の隅部の外側の周辺に設けられている。このような電界緩和領域 7 0 が設けられると、p⁻ 形の第 3 半導体領域 3 0 と n⁻ 形の第 2 半導体領域 2 0 との間の急峻な不純物濃度変化が緩和される。すなわち、本実施形態に係る半導体装置 1 1 0 では、電界緩和領域 7 0 がリサーフ領域として機能し、第 3 半導体領域 3 0 の略 L 字型の隅部の周辺における電界集中を緩和する。

【 0 0 2 3 】

本実施形態に係る半導体装置 1 1 0 では、ゲート領域 5 0 にオン電圧を印加することで、ゲート絶縁膜 6 0 に隣接する第 3 半導体領域 3 0 である p⁻ ベース領域にチャネルが形成される。半導体装置 1 1 0 では、X 方向に沿った第 3 半導体領域 3 0 の長さがチャネル長に対応する。また、半導体装置 1 1 0 では、第 3 半導体領域 3 0 における Z 方向に沿った長さのうちゲート領域 5 0 と対応した深さ h_1 がチャネル幅に対応する。第 3 半導体領域 3 0 におけるチャネル長方向の全体にチャネルが形成されると、ソース領域である第 4 半導体領域 4 0 からドリフト領域である第 2 半導体領域 2 0 を介してドレイン領域である第 1 半導体領域 1 0 へと電流が流れる。

【 0 0 2 4 】

一方、ゲート領域 5 0 にオン電圧が印加されない状態では、第 3 半導体領域 3 0 である p⁻ ベース領域にチャネルが形成されず、電流は流れない。本実施形態に係る半導体装置 1 1 0 では、第 3 半導体領域 3 0 と第 2 半導体領域 2 0 との間に電界緩和領域 7 0 が設けられているため、空乏層はチャネル領域から電界緩和領域 7 0 にまで達する。これにより、第 3 半導体領域 3 0 の隅部の周辺における電界集中を緩和して、耐圧を高めることができる。

【 0 0 2 5 】

図 2 は、比較例に係る半導体装置を例示する模式的斜視図である。

図 2 に表したように、比較例に係る半導体装置 1 9 0 は、図 1 に表した半導体装置 1 1 0 のような電界緩和領域 7 0 が設けられていない。

図 2 に表した破線は、M O S F E T がオフの状態での第 3 半導体領域 3 0 と第 2 半導体

10

20

30

40

50

領域 20 との間に印加される電界を例示している。この半導体装置 190 では、第 3 半導体領域 30 の隅部周辺に電界が集中している。

【0026】

半導体装置 190 においては、第 1 半導体領域 10 の第 1 部分 11 と第 2 部分 12 とで第 2 半導体領域 20 の 2 面 (XY 平面及び YZ 平面) が囲まれている。そして、この第 2 半導体領域 20 の内側に第 3 半導体領域 30 が設けられている。このため、第 3 半導体領域 30 は、直交する 2 面 (XY 平面及び YZ 平面) で第 2 半導体領域 20 と接する。よって、第 3 半導体領域 30 の上記 2 面で挟まれる隅部には、電界が集中しやすくなる。

【0027】

第 3 半導体領域 30 の第 5 部分 35 から第 1 半導体領域 10 の第 1 部分 11 に向かう領域は、いわゆる 3D-MOSFET の終端領域と等価であると考えられる。このため、第 3 半導体領域 30 の上記 2 面で挟まれる隅部の周辺に電界が集中すると、終端領域での耐圧の低下と同等であり、半導体装置 190 の全体の耐圧の低下につながる。

【0028】

図 3 は、本実施形態に係る半導体装置の電界の状態を例示する模式的斜視図である。

図 3 に表した破線は、本実施形態に係る半導体装置 110 の MOSFET がオフの状態での第 3 半導体領域 30 と第 2 半導体領域 20 との間に印加される電界を例示している。

本実施形態に係る半導体装置 110 では、先に説明したように電界緩和領域 70 を備えることから、第 3 半導体領域 30 と第 2 半導体領域 20 との間のうち、特に第 3 半導体領域 30 の隅部の周辺での電界の集中が緩和される。これにより、図 2 に例示した比較例に係る半導体装置 190 に比べ、終端領域での耐圧を向上でき、半導体装置 110 の全体の耐圧を向上できるようになる。

【0029】

図 1 に例示した半導体装置 110 では、第 1 半導体領域 10 の第 2 部分 12 が Y 方向に沿って延びるよう設けられている。また、半導体装置 110 では、第 3 半導体領域 30 及び第 4 半導体領域 40 が、Y 方向に沿って延在している。さらに、半導体装置 110 では、複数のゲート領域 50 及びゲート絶縁膜 60 が、Y 方向に沿って配置されている。

これにより、Y 方向に延びる第 2 部分 12 に対応して複数の MOSFET 構造を備えることになる。複数の MOSFET 構造における各ゲート領域は、例えば並列に接続される。また、複数の MOSFET 構造における各ソース領域は、例えば並列に接続される。

【0030】

また、図 1 に例示した半導体装置 110 では、第 2 部分 12 を中心として、X 方向に沿った両側に、第 2 半導体領域 20、第 3 半導体領域 30、第 4 半導体領域、複数のゲート領域 50 及び複数のゲート絶縁膜 60 が設けられている。

半導体装置 110 では、複数の第 2 部分 12 が X 方向に沿って配置され、各第 2 部分 12 を中心として X 方向に沿った両側に、複数の MOSFET 構造を備えるようにしてもよい。

【0031】

このような本実施形態に係る半導体装置 110 では、第 3 半導体領域 30 の隅部の周辺での電界の集中を緩和することによって、耐圧の向上を図ることができるようになる。

【0032】

(第 2 の実施形態)

次に、第 2 の実施形態を説明する。第 2 の実施形態は、第 1 の実施形態に係る半導体装置の製造方法である。

図 4 ~ 図 10 は、第 1 の実施形態に係る半導体装置の製造方法を説明する模式的斜視図である。

【0033】

先ず、図 4 (a) に表したように、例えばシリコンのウェーハ 10W を用意する。ウェーハ 10W には、第 1 半導体領域 10 であるドレイン領域となるように、例えば燐 (P) がドーピングされ、 n^+ になっている。ウェーハ 10W の不純物濃度は、例えば 4.5×10

10

20

30

40

50

10^{19} cm^{-3} である。

【0034】

次に、ウェーハ10Wの上に、例えばシリコン酸化膜15を形成し、フォトリソグラフィ及びエッチングによってパターン形成する。シリコン酸化膜15は、パターン形成によって、後述する第2部分12を形成する部分のみが残されている。

【0035】

次に、図4(b)に表したように、パターニング形成されたシリコン酸化膜15をマスクとして、ウェーハ10Wをエッチングする。エッチングは、例えばRIE(Reactive Ion Etching)を用いる。ウェーハ10Wのエッチングによって残った部分が第1部分11となる。また、シリコン酸化膜15によってマスクされエッチングされなかった部分は第2部分12となる。これにより、第1部分11及び第2部分12を有する第1半導体領域10が形成される。

10

ここで、ウェーハ10Wのエッチング深さは、例えば15マイクロメートル(μm)~20 μm である。これにより、第2部分12のZ方向に沿った長さh5は、15 μm ~20 μm となる。

ウェーハ10Wをエッチングした後は、シリコン酸化膜15を除去する。

【0036】

次に、図5(a)に表したように、第1半導体領域10の表面に、第2半導体領域20を成膜する。第2半導体領域20は、第1半導体領域10の表面に例えばエピタキシャル成長によって形成される。第2半導体領域20は、エピタキシャル成長によって約2 μm の厚さで形成される。第2半導体領域20は、第1半導体領域10の第1部分11及び第2部分12の表面を覆うように形成される。これにより、第1部分11の上に第3部分23が形成され、第2部分12に隣接した第4部分24が形成される。

20

エピタキシャル成長後、第2半導体領域20には例えば燐(P)がドーピングされる。これにより、第2半導体領域20は、 n^- のドレイン領域となる。第2半導体領域20の不純物濃度は、例えば $2 \times 10^{16} \text{ cm}^{-3}$ である。

【0037】

次に、図5(b)に表したように、第2半導体領域20の上からイオン注入を行う。イオン注入は、不純物として例えばボロン(B)のイオンを注入し、 p^- とする。ここで、ボロン(B)のイオンは、第2半導体領域20の上面20c及び第1半導体領域10の第1主面10aと対向する第2主面20aに注入される。このうち、第2主面20aに注入されたボロン(B)による p^- 領域が、電界緩和領域70となる。

30

【0038】

p^- 領域(電界緩和領域70)の不純物濃度は、後に形成する第3半導体領域30の不純物濃度よりも低い。ここで行うイオン注入は、例えば、ボロンをドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で注入する。これにより、 p^- 領域(電界緩和領域70)の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満となる。

【0039】

また、イオン注入におけるイオンの入射角度は、第2半導体領域20における第2主面20aにはイオンが注入され、第2半導体領域における、第2部分12の側面と対向する第3主面20bにはイオンが注入されない角度である。イオンの入射角度は、例えば、第2主面20aと垂直な方向に対して約3度である。これにより、第2半導体領域20の第3主面20bにイオンが衝突しても弾かれて注入されず、第2主面20aには注入される。なお、上面20cにも不純物が注入されるが、後の工程で研削によって除去される。

40

第2半導体領域20に不純物を注入した後は、熱処理によって不純物を拡散させる。

【0040】

次に、図6(a)に表したように、第2半導体領域20の表面に、第3半導体領域30を成膜する。第3半導体領域30は、第2半導体領域20の表面に例えばエピタキシャル成長によって形成される。第3半導体領域30は、エピタキシャル成長によって約0.35 μm の厚さで形成される。これにより、第3部分23の上に第5部分35が形成され、

50

第 4 部分 2 4 に隣接した第 6 部分 3 6 が形成される。

エピタキシャル成長後、第 3 半導体領域 3 0 には例えばボロン (B) がドーブされ、 p^{-} のベース領域となる。第 3 半導体領域 3 0 の不純物濃度は、例えば $1 \times 10^{18} \text{ cm}^{-3}$ である。すなわち、先に形成した電界緩和領域 7 0 の不純物濃度よりも高い。

【 0 0 4 1 】

次に、図 6 (b) に表したように、第 3 半導体領域 3 0 の表面に、第 4 半導体領域 4 0 を成膜する。第 4 半導体領域 4 0 は、第 3 半導体領域 3 0 の表面に例えばエピタキシャル成長によって形成される。第 4 半導体領域 4 0 は、エピタキシャル成長によって約 $0.5 \mu\text{m}$ の厚さで形成される。これにより、第 4 半導体領域 4 0 は、第 5 部分 3 5 の上において第 6 部分 3 6 と隣接して設けられる。

エピタキシャル成長後、第 4 半導体領域 4 0 には例えば燐 (P) がドーブされ、 n^{+} のソース領域となる。第 4 半導体領域 4 0 の不純物濃度は、例えば $3 \times 10^{19} \text{ cm}^{-3}$ である。

【 0 0 4 2 】

次に、図 7 (a) に表したように、第 4 半導体領域 4 0 、第 3 半導体領域 3 0 及び第 2 半導体領域 2 0 を、第 1 半導体領域 1 0 の第 2 部分 1 2 が露出するまで除去する。この除去方法には、例えば C M P (Chemical Mechanical Polishing) が用いられる。C M P によって、第 2 部分 1 2 の露出面が平坦化された構造体 1 0 0 が構成される。

【 0 0 4 3 】

次に、図 7 (b) に表したように、構造体 1 0 0 の上にマスク材 1 6 を形成する。マスク材 1 6 には、例えば酸化シリコンが用いられる。マスク材 1 6 は、例えば C V D (Chemical Vapor Deposition) によって形成される。マスク材 1 6 を形成した後は、フォトリソグラフィ及びエッチングによってマスク材 1 6 のパターンニング形成を行う。例えば、マスク材 1 6 の上にレジスト (図示せず) を塗布し、フォトリソグラフィ及びエッチングによってパターンニング形成する。その後、レジストをマスクとして、例えば R I E によりマスク材 1 6 をエッチングし、パターンニング形成する。このパターンニング形成では、ゲート領域 5 0 及びゲート絶縁膜 6 0 を形成する部分のみ、マスク材 1 6 に開口が形成される。マスク材 1 6 のパターンニング形成後は、レジストを除去する。

【 0 0 4 4 】

次に、図 8 (a) に表したように、パターンニング形成したマスク材 1 6 をマスクとして構造体 1 0 0 をエッチングする。このエッチングによって、マスク材 1 6 の開口部分の構造体 1 0 0 が彫り込まれ、トレンチ 1 0 0 T となる。トレンチ 1 0 0 T は、X 方向に沿って、第 2 半導体領域 2 0 、第 3 半導体領域 3 0 及び第 4 半導体領域 4 0 を貫通するよう設けられる。また、トレンチ 1 0 0 T は、Y 方向に沿って約 $1 \mu\text{m}$ の幅、Z 方向に沿って、約 $1.5 \mu\text{m} \sim 2.0 \mu\text{m}$ の長さ $h t 1$ 、で形成される。本実施形態では、トレンチ 1 0 0 T の Z 方向に沿った長さ $h t 1$ は、第 4 半導体領域 4 0 の Z 方向に沿った長さ $h 2$ よりも短い。また、必要に応じて、複数のトレンチ 1 0 0 T が、Y 方向及び X 方向に沿って設けられる。

トレンチ 1 0 0 T を形成した後は、マスク材 1 6 を除去する。

【 0 0 4 5 】

次に、図 8 (b) に表したように、トレンチ 1 0 0 T が形成された構造体 1 0 0 の上にゲート絶縁膜 6 0 を成膜する。ゲート絶縁膜 6 0 は、例えばシリコン酸化膜である。シリコン酸化膜は、例えば熱酸化によって形成される。ゲート絶縁膜 6 0 は、例えば 100 nm の厚さで形成される。

【 0 0 4 6 】

次に、図 9 (a) に表したように、ゲート絶縁膜 6 0 の上に、ゲート材料 5 0 A を形成する。ゲート材料 5 0 A は、例えば多結晶シリコンである。ゲート材料 5 0 A は、構造体 1 0 0 の上面及びトレンチ 1 0 0 T 内に埋め込まれる。

【 0 0 4 7 】

次に、ゲート材料 5 0 A をエッチバックする。これにより、図 9 (b) に表したように

10

20

30

40

50

、トレンチ 100 T の中にゲート絶縁膜 60 を介して設けられたゲート領域 50 が形成される。ゲート材料 50 A のエッチバックによって形成されたゲート領域 50 の上面は、トレンチ 100 T の開口よりも Z 方向に沿ってわずかに低くなっている。

【0048】

次に、図 10 (a) に表したように、構造体 100 の上に層間絶縁膜 17 を形成する。層間絶縁膜 17 は、構造体 100 の上面の全面に形成される。その後、層間絶縁膜 17 を例えば R I E によってエッチングする。このエッチングは、図 10 (b) に表したように、第 2 部分 12、第 2 半導体領域 20、第 3 半導体領域 30 及び第 4 半導体領域 40 が露出するまで行う。これにより、ゲート領域 50 の上に層間絶縁膜 17 が残る状態になる。

【0049】

このあとは、ゲート領域 50、第 1 半導体領域 10 であるドレイン領域及び第 4 半導体領域 40 であるソース領域に導通する図示しない電極（ゲート電極、ドレイン電極及びソース電極）を形成する。電極には、例えばアルミニウム（A1）が用いられる。電極は、フォトリソグラフィ及びエッチングによって所定のパターンニング形状にされる。その後、例えばポリイミド等の保護膜（図示せず）を形成する。これにより半導体装置 110 が完成する。

【0050】

このような第 2 の実施形態によれば、第 3 半導体領域 30 と第 2 半導体領域 20 との間に電界緩和領域 70 を備え、電界集中を緩和して耐圧を向上した半導体装置 110 を製造することが可能となる。

【0051】

なお、前述の各実施形態においては、第 1 導電形を n 形、第 2 導電形を p 形として説明したが、本発明は第 1 導電形を p 形、第 2 導電形を n 形としても実施可能である。さらにまた、前述の各実施形態においては、半導体としてシリコン（Si）を用いた MOSFET を説明したが、半導体としては、例えばシリコンカーバイド（SiC）若しくは窒化ガリウム（GaN）等の化合物半導体、またはダイヤモンド等のワイドバンドギャップ半導体を用いることもできる。

【0052】

さらにまた、前述の各実施の形態および各変形例においては、MOSFET である例を示したが、本発明はこれに限定されず、半導体装置は、例えば、MOSFET と SBD（Schottky Barrier Diode：ショットキーバリアダイオード）との混載素子、または IGBT（Insulated Gate Bipolar Transistor）などの素子でもよい。

【0053】

以上説明したように、本実施形態によれば、半導体装置の耐圧を向上することができるようになる。

【0054】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0055】

10 ... 第 1 半導体領域、11 ... 第 1 部分、11a ... 第 1 主面、12 ... 第 2 部分、20 ... 第 2 半導体領域、30 ... 第 3 半導体領域、40 ... 第 4 半導体領域、50 ... ゲート領域、60 ... ゲート絶縁膜、70 ... 電界緩和領域

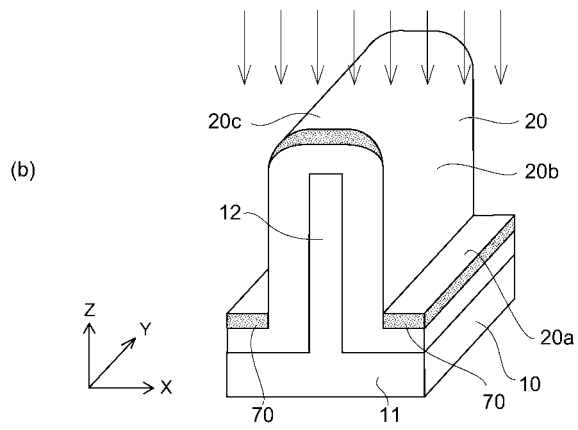
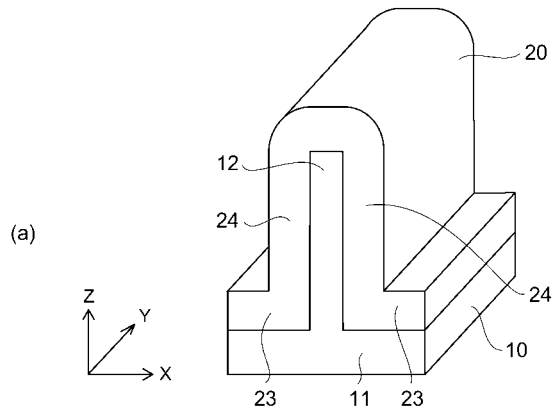
10

20

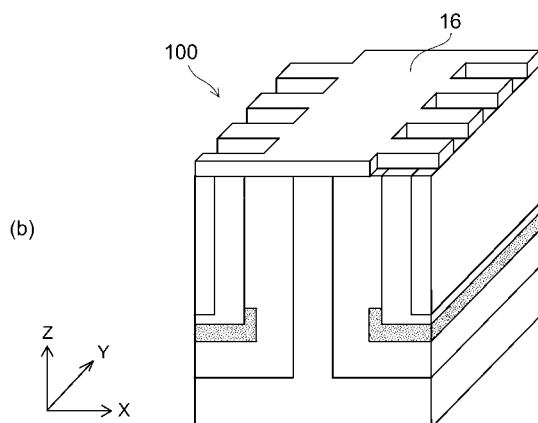
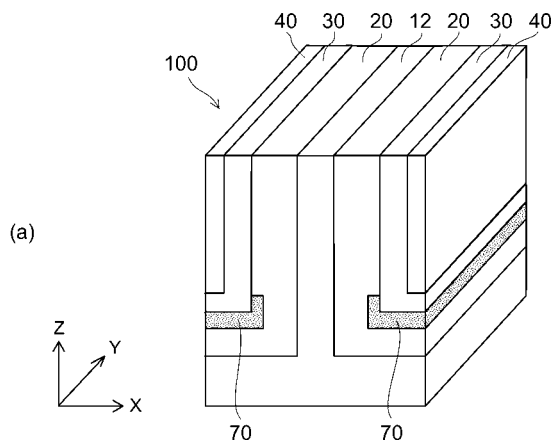
30

40

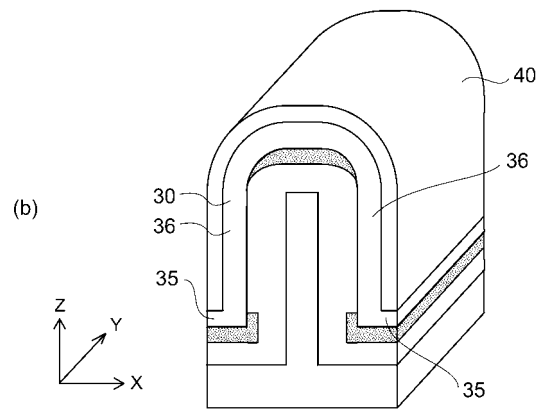
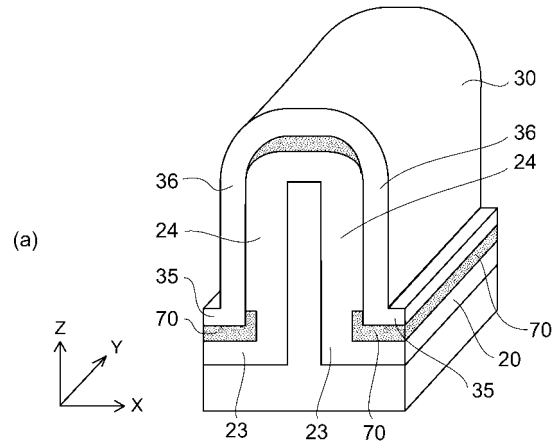
【 図 5 】



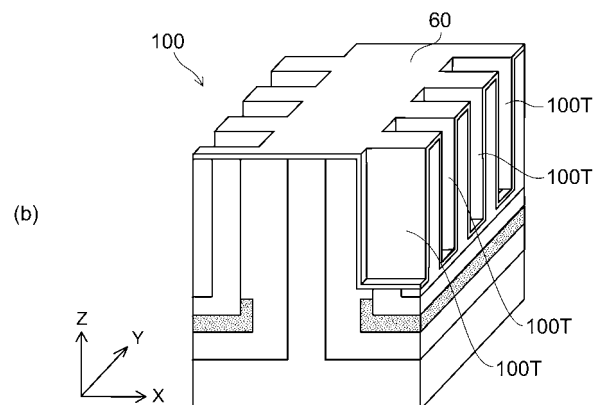
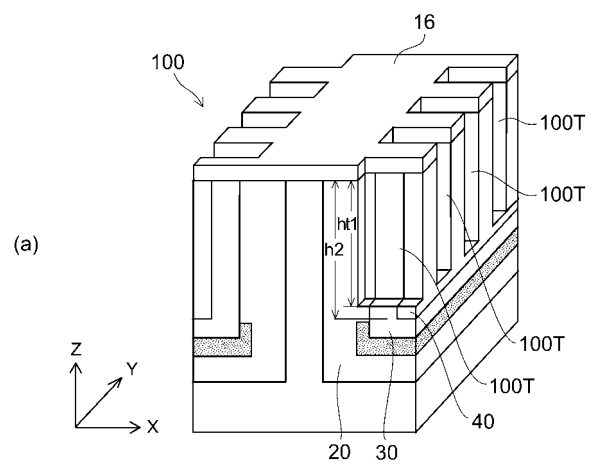
【 図 7 】



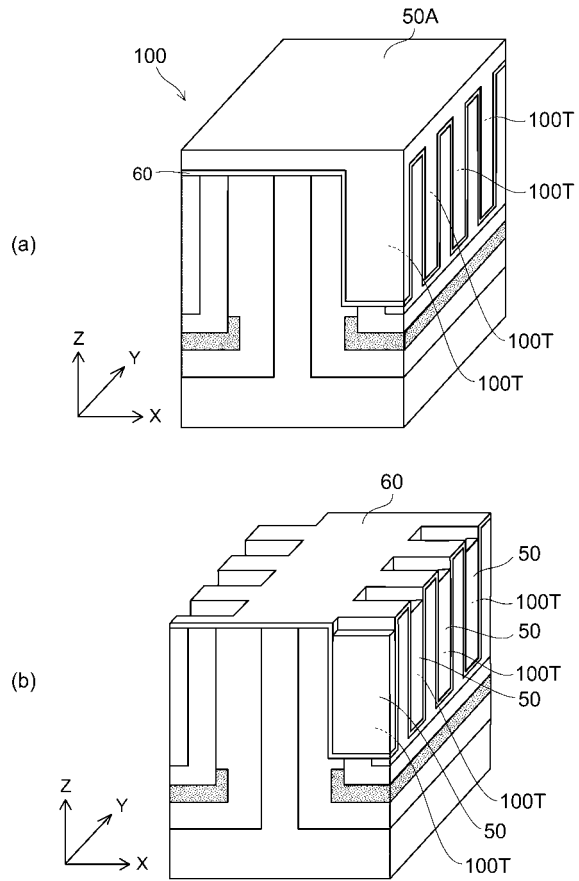
【 図 6 】



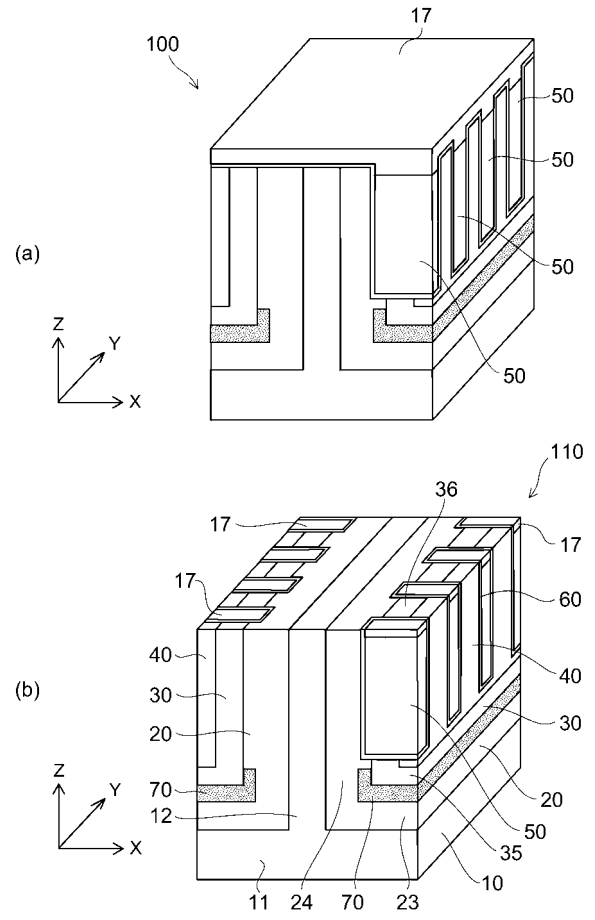
【 図 8 】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 G
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 8 E
H 0 1 L	29/78	6 5 8 B
H 0 1 L	29/78	3 0 1 W

F ターム(参考) 5F140 AA25 AA30 AB04 AB06 AC21 AC23 AC24 BA01 BA02 BA04
BA06 BB05 BB13 BC06 BC12 BC15 BE07 BF01 BF04 BF43
BF47 BF56 BG37 BH12 BH13 BH17 BH30 BH49 BK09 BK17
CC10 CE07