



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월14일
(11) 등록번호 10-1073643
(24) 등록일자 2011년10월07일

(51) Int. Cl.

H01L 21/336 (2006.01) B82Y 40/00 (2011.01)

(21) 출원번호 10-2009-0013849

(22) 출원일자 2009년02월19일

심사청구일자 2009년02월19일

(65) 공개번호 10-2010-0094732

(43) 공개일자 2010년08월27일

(56) 선행기술조사문헌

US20030168677 A1

KR1020060070705 A

JP2002343886 A

KR100466559 B1

전체 청구항 수 : 총 14 항

(73) 특허권자

서울대학교산학협력단

서울 관악구 신림동 산 56-1

(72) 발명자

이중호

대구 수성구 옥수동 태왕4차레전드 103-703

(74) 대리인

이지연

심사관 : 방기인

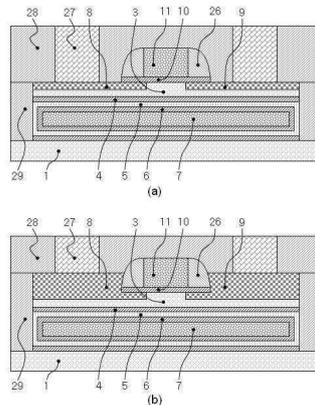
(54) 고성능 단일 트랜지스터 플로팅 바디 DRAM 소자 및 그 제조 방법

(57) 요약

본 발명의 목적은 셀 커패시터를 사용하지 않는 고성능 단일 트랜지스터 DRAM 셀 소자를 제공하는 것이다. 본 발명의 소자는 이중-게이트 구조를 갖고 있으며, 하부에 비휘발성 기능을 위한 게이트 스택과 제어전극을 구비하고 있으며, 상부에는 게이트 전극을 갖고 있다. 하부의 비휘발성 기능을 갖춤으로서 “쓰기1”과 “쓰기0” 사이의 센싱(sensing) 마진(margin)을 크게 하고 유지(retention) 특성을 크게 할 수 있다. 특히, 셀 소자의 소스와 드레인 영역이 상기 제어전극 위에 형성된 게이트 스택에 닿지 않도록 형성하여 플로팅 채널의 커패시턴스를 크게 하고 GIDL(Gate Induced Drain Leakage)을 크게 줄여 유지 특성을 크게 개선할 수 있다. 본 발명에서는 이러한 특성을 얻을 수 있는 셀 소자의 구조와 그 소자의 제조방법을 제공한다.

본 발명에 의하여 MOS 기반의 DRAM 셀 소자의 축소화 특성과 성능이 개선되고 메모리 용량이 증가하게 된다.

대표도 - 도3



특허청구의 범위

청구항 1

기관;

상기 기관 위에 형성되는 게이트 스택;

상기 기관위에 위치하고, 상기 게이트 스택(stack)에 의해 일부 또는 전부가 둘러싸인 제어전극;

상기 게이트 스택 위에 형성되는 반도체 박막;

상기 반도체 박막에 형성되며, 하부 표면이 게이트 스택에 닿지 않도록 형성된 소스 및 드레인;

상기 반도체 박막 위에 형성되는 게이트 절연막; 및

상기 게이트 절연막 위에 형성되는 게이트 전극;

을 포함하며, 상기 반도체 박막에서 소스 및 드레인을 제외한 나머지 영역은 플로팅 바디인 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 2

제1항에 있어서, 상기 게이트 스택은 터널링 절연막 또는 블록킹 절연막으로 구성되거나, 터널링 절연막과 전하저장노드로 구성되거나, 전하저장노드와 블록킹 절연막으로 구성되거나, 터널링 절연막과 블록킹 절연막으로 구성되거나, 터널링 절연막, 전하저장노드 및 블록킹 절연막으로 구성되는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 3

제1항에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 상기 기관에 상기 기관의 불순물 유형과 다른 불순물로 도핑된 웰(Well)을 더 구비하고, 상기 웰을 기관 전극으로 사용하여 특정 셀 소자를 제어할 수 있도록 하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 4

제1항에 있어서, 상기 제어전극과 게이트 스택은 상기 플로팅 바디의 아래에 전체에 걸쳐 형성되거나 상기 플로팅 바디의 채널이 형성되는 영역을 포함하는 반도체 박막의 일부 영역의 아래에 형성되며,

상기 제어전극과 게이트 스택이 상기 플로팅 바디의 일부 영역의 아래에 형성되는 경우 상기 제어전극과 이를 둘러싸는 게이트 스택의 측면에 추가의 절연막을 포함하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 5

제1항에 있어서, 상기 반도체 박막의 일부는 상기 제어전극과 겹치지 않게 형성될 수 있으며, 제어전극과 겹치지 않은 영역위에 형성되는 소스 및 드레인 영역은 제어전극과 겹친 영역위에 형성되는 소스 및 드레인 영역에 비해 더 깊은 접합을 갖도록 형성되는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 6

제1항에 있어서, 상기 소스 및 드레인은 상기 게이트 전극과 겹치지 않게 형성되는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 7

제1항에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 상기 게이트 전극의 양 측면에 절연막으로 구성된 스페이서를 더 포함하고,

상기 소스 및 드레인은 상기 게이트 전극과 상기 스페이서가 형성된 영역을 제외한 상기 반도체 박막의 영역에만 선택적으로 에피층을 성장하여 형성하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 8

제1항에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 이웃한 소자들과의 격리를 위해 상기 게이트 스택 및 반도체 박막의 일부 또는 전체 측면에 형성된 격리 절연막을 더 구비하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 9

제1항에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 이웃한 소자와의 격리를 위하여 상기 게이트 스택 및 반도체 박막의 측면 중 하나의 측면을 제외한 측면의 일부 또는 전부에 격리 절연막을 형성하고, 격리 절연막이 형성되지 않은 하나의 측면에 소스 또는 드레인은 인접한 소자의 소스 또는 드레인과 공유하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 10

제1항에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 상기 소스와 게이트 스택 사이의 반도체 박막 영역 및 상기 드레인과 게이트 스택 사이의 반도체 박막 영역을 소스 및 드레인과 동일한 유형의 불순물로 도핑하되 도핑 농도는 소스 및 드레인보다 낮은 농도로 도핑하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 11

제10항에 있어서, 상기 소스와 게이트 스택 사이의 반도체 박막 영역 및 상기 드레인과 게이트 스택 사이의 반도체 박막 영역은 게이트 스택의 전하 저장 노드에 충전된 전하들이나 제어전극에 인가된 전압에 의해 게이트 스택위의 반도체 박막 영역에 반전층이 형성될 수 있는 농도로 도핑되는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자.

청구항 12

- (a) 벌크 실리콘 기판에 단결정 SiGe 박막과 Si 박막을 순차적으로 형성하는 단계;
 - (b) 인접한 셀과 전기적으로 격리되도록 상기 단결정 SiGe 박막과 Si 박막을 식각하는 단계;
 - (c) 셀 소자가 형성되는 영역의 상기 SiGe 박막을 선택적으로 제거하고 그 영역에 매몰 절연막을 채우는 단계;
 - (d) 반도체 기판상에 형성된 실리콘 박막에서 셀 소자의 플로팅 바디 및 소스와 드레인이 형성될 영역을 사전에 정의하는 단계;
 - (e) 마스크를 이용하여 상기 실리콘 박막 아래에 있는 매몰 절연막 중 상기 소스 및 드레인의 일부 영역 및 플로팅 바디가 형성될 부분의 하부 영역만을 선택적으로 제거하는 단계;
 - (f) 상기 매몰 절연막 중 선택적으로 제거된 영역 내에 터널링 절연막, 전하저장노드, 블록킹 절연막을 순차적으로 형성하는 단계;
 - (g) 상기 블록킹 절연막의 내부를 채우는 제어 전극을 형성하는 단계;
 - (h) 상기 소스, 드레인 및 플로팅 바디가 형성될 실리콘 박막 영역의 상부에 게이트 절연막을 형성하는 단계;
 - (i) 결과물의 표면에 절연막을 형성하고 콘택 및 금속배선을 형성하는 단계;
- 를 포함하는 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법.

청구항 13

삭제

청구항 14

- (a) 벌크 실리콘 웨이퍼 기판에 단결정 SiGe 박막과 실리콘 박막을 순차적으로 형성하는 단계;
- (b) 인접한 셀과 전기적으로 격리되도록 상기 단결정 SiGe 박막과 Si 박막을 식각하는 단계;
- (c) 상기 실리콘 박막 아래에 있는 SiGe 박막 중 일부 영역을 선택적으로 제거하되, 사전 정의된 플로팅 바디

및 일부의 소스/드레인이 형성되는 실리콘 박막 하부의 일부 또는 전부를 제거하는 단계;

(d) 상기 SiGe 박막의 제거된 영역에 터널링 절연막과 전하저장노드를 형성하는 단계;

(e) 상기 전하 저장 노드의 내부에 블록킹 절연막과 제어전극을 형성하는 단계;

(f) 남아있는 SiGe 층을 선택적으로 제거하고 절연막을 채우는 단계;

(g) 상기 소스와 드레인 및 플로팅 바디가 형성될 영역의 상부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계;

(h) 절연막을 형성하고 콘택 및 금속배선을 형성하는 단계;

를 포함하는 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법.

청구항 15

제14항에 있어서, 상기 소스와 드레인 및 플로팅 바디가 형성될 영역의 상부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계 이후에, 상기 게이트 전극 양 옆에 스페이서를 만들고 노출된 반도체 기판에 선택적 에피층 성장(SEG)하여 소스 및 드레인을 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 단일 트랜지스터 플로팅 바디 DRAM 소자 및 그 제조방법들에 관한 것으로서, 더욱 구체적으로는 하나의 전극에 비휘발성 기능을 갖는 이중-게이트 구조를 가지고 있으며, 소스와 드레인 영역이 하부의 게이트 스택과 닿지 않도록 형성되어 성능이 향상된 단일 트랜지스터 플로팅 바디 DRAM 소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 기존의 DRAM 셀은 하나의 MOS 트랜지스터와 하나의 셀 커패시터로 구성된다. 최근 DRAM 집적도의 증가가 계속 요구되는 상황에서 셀 소자의 크기는 줄어들어야하고 또한 셀 커패시터도 줄어들어야 한다. 그러한 이러한 셀 MOS 소자와 커패시터의 축소화는 매우 어려운 제작공정을 요구하고 있다. 최근 플로팅 바디를 갖는 MOS 소자를 DRAM 셀로 이용하는 경향이 있다. 플로팅된 바디에 전하를 저장하거나 제거하여 DRAM 메모리 동작이 가능하다. 이는 하나의 MOS 셀 소자를 필요로 하기 때문에 기존의 DRAM 공정과 달리 간단한 공정으로 구현이 가능하다. 이와 같은 DRAM 셀을 단일 트랜지스터 플로팅 바디 디램 셀(이하, '단일 트랜지스터 디램 셀' 또는 1T-DRAM 셀이라 약칭한다)이라 칭한다. 이 단일 트랜지스터 디램 셀은 단순히 기존의 DRAM에 적용될 수 있을 뿐 만 아니라 기존의 로직회로(예: 마이크로 프로세서나 네트워크 프로세서 등)에도 내장(embed)되어 사용될 수 있으며, 이런 DRAM을 eDRAM이라 한다. 단일 트랜지스터 디램 셀은 eDRAM에서 높은 메모리 용량이나 빠른 동작이 가능하여 그 응용이 증가하고 있다. 상기 단일 트랜지스터 디램 셀은 플로팅 바디를 구비한다. 상기 단일 트랜지스터의 바디는 인접한 바디들로부터 전기적으로 격리되어 플로팅 된다. 상기 플로팅 바디 내에 정보가 저장된다. 따라서, 상기 단일 트랜지스터 디램 셀은 종래의 디램 셀에서 셀 커패시터가 요구되지 않으며, 셀 영역이 감소되어 디램 셀의 집적도를 향상시킬 수 있다.

[0003] 도 1은 종래의 이중-게이트 구조를 갖는 단일 트랜지스터 디램 셀을 도시한 단면도들이다. 도 1의 (a)에 도시된 단일 트랜지스터 디램 셀은 미국 특허 제 7,239,549에 발표되었다. 도 1의 (a)를 참조하면, 반도체 기판(1) 위에 제1 절연막(2)이 형성되고, 그 위에 실리콘 단결정 박막이 형성된다. 상기 실리콘 단결정 박막은 플로팅 바디(3), 플로팅 바디의 좌우에 형성되는 소스(8)/드레인(9)을 포함한다. 플로팅 바디와 소스/드레인을 포함하는 상기 실리콘 단결정 박막위에 게이트 절연막(10)이 형성되고 그 위에 게이트 전극(11)이 배치된다.

[0004] 도 1의 (a)에 보여진 기존의 단일 트랜지스터 디램 셀의 동작에 대해 간단히 알아본다. 이하, NMOS 소자라 가정하고 설명하나 PMOS의 경우도 이와 유사하다. 먼저 쓰기 동작에 대해 알아본다. 소스(8)는 접지시키고 비트라인(bit-line)인 드레인(9)과 워드라인(word-line)인 게이트 전극(11)에 전압을 인가하되 충돌이온화(impact

ionization)가 잘 일어나도록 한다. 그 결과 드레인 영역(9) 근처의 플로팅 바디(3)에서 정공이 발생하고, 발생된 정공의 일부는 플로팅 바디(3)에 쌓이고 일부는 전위장벽을 넘어 소스(8)로 흘러간다. 플로팅 바디(3)에 쌓인 정공의 농도에 의해 소자의 문턱전압이 변하고 따라서 주어진 읽기 동작에서 흐르는 드레인 전류가 변한다. 상기 쓰기1 동작에 따라 플로팅 바디(3)에는 과잉 정공이 존재하고 소자의 문턱전압은 떨어져 드레인 전류는 증가하게 된다. 지금부터는 읽기 동작을 살펴본다. 게이트 전극(11)에 문턱전압 이상의 전압을 인가하고 드레인에 쓰기1 동작 때보다 낮은 비트라인 읽기 전압을 인가하면 플로팅 바디(3)에서 정공이 과잉인지 또는 지우기에 의해 결핍되어 있는지에 따라 드레인 전류가 다르게 되고 이 차이를 읽어 셀의 정보를 인식한다.

[0005] 끝으로 쓰기0 동작에 대해 설명한다. 게이트 전극(11)에 적절한 전압을 인가하고 드레인(9)에 음의 전압을 인가하면 플로팅 바디에 있는 정공은 드레인(9)으로 빠져나가 플로팅 바디(3)는 정공부족 상태가 되면서 소자의 문턱전압은 상승하게 된다.

[0006] 쓰기1 동작의 다른 일례로서 GIDL(Gate Induced Drain Leakage)을 이용하는 방법을 설명한다. 소자의 게이트에 0 V나 또는 음의 전압을 인가하고 비트라인과 연결된 드레인(9)에 양의 전압을 인가하면 드레인과 게이트가 접하게 형성된 영역에서 밴드와 밴드 사이 터널링 (band-to-band tunneling)에 의해 전자-정공쌍이 만들어지고 전자는 드레인(9)으로 흐르고 정공은 플로팅 바디(3)에 저장된다.

[0007] 쓰기1 동작의 또 다른 일례로서 bipolar effect (floating base bipolar action)를 이용하는 방법을 설명한다. 소자의 게이트 전극(11)에 0 V나 또는 낮은 음의 전압을 인가하고 비트라인과 연결된 드레인(9)에 높은 양의 전압을 인가하면 드레인(9)과 플로팅 바디(3) 사이에서 에벌런치 브레이크 다운(avalanche breakdown)에 의해 전자-정공쌍이 만들어지고 전자는 드레인(9)으로 흐르고 정공은 플로팅 바디(3)에 저장된다.

[0008] 도 1의 (a)에 도시된 구조에서 (b)에 도시된 구조로의 이동은 게이트 전극의 길이(Lg)가 축소화 되는 것을 나타내었다. 소자 축소화는 당연히 DRAM의 용량을 증가시킬 수 있어 매우 중요하다. 그러나 채널 길이 축소화에 따라 짧은 채널 효과가 발생하고 정보를 저장하는 플로팅 바디가 줄어들면서 상기 "쓰기1"과 "쓰기0"의 상태에 따른 드레인 전류 차이가 줄어들어 센싱에 어려움이 있고, 정보를 오래 저장하기도 어렵다.

[0009] 이를 극복하기 위하여 이중-게이트 구조의 단일 트랜지스터 디램 셀이 제안되었으며, 이러한 이중-게이트 구조는 소자 축소화에 매우 유리한 것으로 알려져 있다. 발표된 이중-게이트 구조 중에서 대표적인 4 가지 구조에 대해 설명한다. 도 2의 (a) 내지 (d)는 종래의 이중-게이트 구조를 갖는 단일 트랜지스터 디램 셀 소자들을 도시한 단면도들이다. 기본적으로 상부 게이트 전극(11)과 기판을 이용하거나 따로 전극을 넣어 하부 전극이 되도록 하였다. 이들 소자는 하부 전극의 바이어스를 이용하여 플로팅 바디(3)에 정공을 오래 유지하고, 센싱 마진을 높일 수 있다. 그러면 각각의 구조에 대해 살펴보도록 한다.

[0010] 도 2의 (a)의 구조는 UC Berkely에 의해 발표(Charles Kuo et al, " A Capacitorless Double Gate DRAM Technology for Sub-100-nm Embedded and Stand-Alone Memory Applications," IEEE Trans. on Electron Devices, vol. 50, no. 12, pp. 2408-2416, 2003)된 단일 트랜지스터 디램 셀의 일례이다. 이 예에 있어서, 상부 게이트(11) 및 하부 게이트(25)가 플로팅 바디(3)의 위와 아래에 각각 배치되어 있고 서로 전기적으로 독립되어 있다. 이 단일 트랜지스터 디램 셀은 상기 이중-게이트의 특징에 의해, 짧은채널효과의 억제, 센싱 마진의 개선 등을 기대할 수 있다. 이 셀 소자는 하부 게이트(25)에 음의 전압(예: -1 V)을 인가하여 쓰기1 동작에서 플로팅 바디(3)에 정공을 오래 보존할 수 있으며, 지우기 동작을 할 때 하부 게이트(25)에 0 V를 인가하여 플로팅 바디(3)에 있는 정공을 효과적으로 드레인으로 흘러가게 하여 센싱 마진을 개선할 수 있다는 장점이 있다. 단점은 다음과 같다. 통상, 이중-게이트 구조에서 플로팅 바디(3)의 두께가 얇고 완전 공핍되는 경우 짧은채널효과를 억제할 수 있는 특징이 있어, 바디의 폭을 얇게 해야 한다. 완전 공핍된 바디를 가진 이중-게이트 소자의 문턱전압은 바디의 두께나 바디 도우핑 농도에 좌우된다. 실제 완전공핍된 소자를 제작하면 문턱전압의 산포가 많이 발생하여 소자의 실용화에 큰 장애가 되고 있다. 또한 하부 전극(25)은 셀 마다 독립적으로 존재해야 하므로 셀 소자 어레이의 레이아웃에서 집적도가 크게 저하되는 요인이 된다.

[0011] 도 2의 (b)는 삼성전자에서 발표(Chang Woo Oh et al, "Floating Body DRAM Characteristics of Silicon-On-ONO (SOONO) Devices for System-on-Chip (SoC) Applications" in VLSI Tech., Dig., 2007, pp. 168-169.)된 이중-게이트 구조의 단일 트랜지스터 디램 셀의 일례이다. 이 셀 소자의 구조는 SOI 기판 대신 기존의 벌크 실리콘 기판을 사용하되 SiGe 층을 희생층으로 사용하여 플로팅 바디(3)의 구현이 가능하게 하였다. 도 2의 (b)에서 제 4 절연막(21)과 제 1 절화막(22)의 채워진 공간이 원래 SiGe 층이 있었던 위치이며, 이들 절연막의 두께는 약 50 nm 정도였다. 이 소자에서는 이중-게이트의 효과를 얻기 위해 기판(1)을 이용하여 하부 전극의 효과를 내고자 하였다. 이와 같이 이중-게이트의 효과를 얻어 센싱 마진을 개선할 수 있었지만 다음과 같은 문제가 있

다. 먼저, 기판(1)과 플로팅 바디(3) 사이에 형성된 절연막의 두께(여기서 약 50 nm)가 두꺼워 생성된 정공을 바디에 저장시키기 위해 -5 V 정도의 높은 전압을 항상 인가해야 한다. 이 절연막의 두께는 셀 소자 제조에 있어 SiGe 희생층의 두께를 더 얇게 하여 더 얇게 할 수 있는데, 그것을 얇게 할 경우 공정상의 어려움이 동반된다. 두 번째 문제는 하부 게이트 전극으로 기판(1)을 사용하는데, 이 경우 기판은 모든 소자에 공유되어 있어, 어떤 셀 소자 또는 어떤 영역의 다수의 셀 소자에만 바이어스를 인가할 수 없다. 만약 하부 게이트 전극을 형성하는 경우, 각 셀 소자에 국한되게, 즉, 전기적으로 독립되게 형성하기 위해서는 기판(1)에 웰(well)을 형성하여 할 수 있지만, 이 경우 웰 사이의 간격을 크게 해야 하기 때문에 집적도가 크게 저하된다. 세 번째 문제는 상기 도 2의 (a)에서 언급한 것과 같이 완전공핍된 플로팅 바디를 적용해야 하기 때문에 셀 소자 사이의 읽기 전류의 산포가 증가하는 근본적인 문제를 가지고 있다.

[0012] 도 2의 (c)는 코넬대에서 발표(Arvind Kumar et al, "Scaling of Flash NVRAM to 10's of nm by Decoupling of Storage from Read/Sense Using Back-Floating Gates," IEEE Trans. on Nanotechnology, vol. 1, no. 4, pp. 247-254, Dec. 2002)에 발표된 이중-게이트 구조의 일례이다. 사실, 이 구조는 단일 트랜지스터 디램 셀을 위해 고안된 것이 아니라 기존의 플래시 메모리 응용을 위해 제시된 것이다. 발표된 결과에 의하면 쓰기/지우기는 바닥전극(23)을 통해 플로팅 저장노드(24)에 전하를 저장하거나 제거하여 이루어지며, 메모리 저장 상태는 상부 게이트 전극(11)을 이용하여 읽어낸다. 실제 이 소자에 대해 발표된 쓰기/지우기에 따른 문턱전압변화는 우수하지 않다. 비록 이 소자가 플래시 소자로 고안되었지만 단일 트랜지스터 디램 셀로 응용이 가능하다. 아직 이 구조를 단일 트랜지스터 디램에 응용한 경우는 어디에도 없다. 그러나 이 구조를 그대로 단일 트랜지스터 디램 셀 소자로 응용할 경우 다음과 같은 문제가 있다. 첫째, 하부 전극 효과를 내는 바닥전극(23)과 플로팅 바디(3) 사이에 내재하는 절연막의 두께가 너무 두꺼워 이중-게이트 효과를 얻기 위해서는 매우 높은 전압이 바닥전극(23)에 인가되어야 한다. 이 전압을 줄이기 위해 플로팅 저장노드(24)의 위아래에 있는 절연막의 두께를 줄이면 적절한 플래시 메모리로서 동작을 할 수 없기 때문에 문제가 된다. 특히, 발표된 구조에서 플로팅 저장 노드(24)는 도전성 박막이라 그 위에 배치된 터널링 절연막의 두께는 적어도 7 nm 정도는 되어야 저장된 정보를 잃지 않는다. 두 번째 문제는, 기판(1)에 형성된 바닥전극(23)은 셀 사이에서 전기적으로 격리되어 있지 않아 어떤 셀 소자 또는 어떤 영역에 있는 다수의 셀 소자에 대해 하부 전극 효과를 줄 수 없다는 것이다. 발표된 바닥전극 형성 방법은 고농도로 도우핑된 기판을 쓰거나 또는 기판의 상부를 고농도 도우핑하여 쓰는 방식이다. 즉, 기판을 불순물로 도우핑하여 바닥전극(23)을 형성하는 것이다. 이 경우 각 셀 소자 마다 바닥전극(23)을 전기적으로 독립시키기 위해서는 전극 사이의 거리가 멀어야 하므로 결국 셀 소자를 어레이로 배치할 때 집적도를 심각하게 저하시키는 문제가 있다. 세 번째 문제는 상기 도 2의 (a)와 (b)에서 언급한 것과 같이 완전 공핍된 플로팅 바디(3)가 갖는 셀 소자 사이의 문턱전압 산포가 커서 단일 트랜지스터 디램 셀 소자로 실용화하기에는 매우 어렵다.

[0013] 도 2의 (d)는 경북대학교에서 발표(출원번호 : 10-2007-0086516)한 비휘발성 기능을 가지는 이중-게이트 구조의 일례이다. 그 특징으로는 소스(8), 드레인(9) 및 플로팅 바디(3)가 형성된 반도체 박막의 상부에 게이트 전극(11)과 제어전극(7)이 형성되어, 축소화 특성이 우수한 이중-게이트 구조이다. 하부 제어전극(7)은 소위 게이트 스택(stack)으로 둘러싸여 있다. 여기서 게이트 스택은 터널링 절연막(4), 전하저장노드(5), 블록킹 절연막(6)으로 구성되며, 이 제어전극은 기존의 비휘발성 메모리 소자의 제어전극과 같은 역할을 할 수 있다. 즉, 제어전극(7)의 바이어스 조건에 의해 전하저장노드(5)에 쓰기와 지우기를 할 수 있다. 완전 공핍된 플로팅 바디의 경우 제어전극(7)을 통해 전하를 전하저장노드(5)에 저장하면 소자의 축소화 특성이 우수하고, 전하 저장노드의 전하량을 조절하여 문턱전압의 산포를 줄일 수 있고, 적절한 제어전극의 공유를 통해 셀 어레이의 집적도를 개선하며, 쓰기/지우기/읽기 동작에서 메모리 기능을 더함으로서 DRAM의 성능을 개선할 수 있다. 하지만 소스(8)와 드레인(9) 영역이 게이트 스택에 닿도록 형성되어 “쓰기0”와 유지특성에 문제를 일으킨다. 이를 설명하기 위해 n형 소자라 가정한다. n형 FET 소자이므로 소스(8)/드레인(9) 영역은 n⁺로 도우핑된다. 플로팅 바디(3)의 하부에 정공을 축적해야 소자의 성능이 개선되므로 상기 게이트 스택의 전하저장노드(5)에 음(-)의 전하를 저장하거나 제어전극(7)에 음의 전압을 인가할 필요가 있다. 상기와 같이 정공을 축적하기 위한 조건하에서 상기 게이트 스택과 겹치는 상기 소스/드레인 영역에는 심한 band bending이 발생하여 밴드와 밴드 사이 터널링(band-to-band tunneling)에 의해 전자-정공쌍이 만들어지고 전자는 드레인(9)으로 흐르고 정공은 플로팅 바디(3)에 저장되기 “쓰기0” 특성과 유지 특성을 저하시키는 문제가 있다. 이러한 문제점들 때문에 상기 제어전극(7)과 이를 둘러싸는 상기 게이트스택의 길이를 크게 할 수 없는 문제가 생긴다. 이에 따라 플로팅 바디(3)의 커패시턴스는 감소하고 결과적으로 센싱 마진과 유지시간 특성이 저하하게 된다.

발명의 내용

해결 하고자하는 과제

- [0014] 상기 언급한 문제점을 해결하기 위한 본 발명의 목적은 비휘발성 기능을 가지는 이중-게이트 구조의 단일 트랜지스터 디램 셀에서 소스와 드레인 영역이 하부의 게이트 스택과 닿지 않도록 하는 접합의 깊이를 구현하여, 상기 전자-정공쌍의 발생을 억제하여 센싱 마진과 유지시간을 개선할 수 있는 단일 트랜지스터 디램 셀 소자를 제공하는 것이다.
- [0015] 또한, 본 발명의 다른 목적은, 집적도를 개선하고, 비휘발성 메모리 기능을 이용하여 셀 소자의 문턱전압의 산포를 줄이며, 제어 전극의 크기를 크게 함으로써 플로팅바디의 셀 커패시터를 증가시켜 쓰기1과 쓰기0 사이의 센싱 마진과 소자의 유지 시간을 개선할 수 있는 단일 트랜지스터 디램 셀 소자를 제공하는 것이다.
- [0016] 또한, 본 발명의 또 다른 목적은 전술한 소자들을 제조하는 방법을 제공하는 것이다.

과제 해결수단

- [0017] 전술한 기술적 과제를 달성하기 위한 본 발명의 제1 특징은 단일 트랜지스터 플로팅 바디 디램 소자에 관한 것으로서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는, 기판; 상기 기판 위에 형성되는 게이트 스택; 상기 기판위에 위치하고, 상기 게이트 스택(stack)에 의해 일부 또는 전부가 둘러싸인 제어전극; 상기 게이트 스택 위에 형성되는 반도체 박막; 상기 반도체 박막에 형성되며, 하부 표면이 게이트 스택에 닿지 않도록 형성된 소스 및 드레인; 상기 반도체 박막 위에 형성되는 게이트 절연막; 및 상기 게이트 절연막 위에 형성되는 게이트 전극;을 포함하며, 상기 반도체 박막에서 소스 및 드레인을 제외한 나머지 영역은 플로팅 바디이다.
- [0018] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 게이트 스택은 터널링 절연막 또는 블록킹 절연막으로 구성되거나, 터널링 절연막과 전하저장노드로 구성되거나, 전하저장노드와 블록킹 절연막으로 구성되거나, 터널링 절연막과 블록킹 절연막으로 구성되거나, 터널링 절연막, 전하저장노드 및 블록킹 절연막으로 구성된다.
- [0019] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 상기 기판에 상기 기판의 불순물 유형과 다른 불순물로 도우핑된 웰(Well)을 더 구비하고, 상기 웰을 기판전극으로 사용하여 특정 셀 소자를 제어할 수 있도록 하는 것이 바람직하다.
- [0020] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 제어전극과 게이트 스택은 상기 플로팅 바디의 아래에 전체에 걸쳐 형성되거나 상기 플로팅 바디의 채널이 형성되는 영역을 포함하는 반도체 박막의 일부 영역의 아래에 형성되며, 상기 제어전극과 게이트 스택이 상기 플로팅 바디의 일부 영역의 아래에 형성되는 경우 상기 제어전극과 이를 둘러싸는 게이트 스택의 측면에 추가의 절연막을 포함하는 것이 바람직하다.
- [0021] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 반도체 박막의 일부는 상기 제어전극과 겹치지 않게 형성될 수 있으며, 제어전극과 겹치지 않은 영역위에 형성되는 소스 및 드레인 영역은 제어전극과 겹친 영역위에 형성되는 소스 및 드레인 영역에 비해 더 깊은 접합을 갖도록 형성되는 것이 바람직하다.
- [0022] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 상기 게이트 전극의 양 측면에 절연막으로 구성된 스페이서를 더 포함하고, 상기 소스 및 드레인은 상기 게이트 전극과 상기 스페이서가 형성된 영역을 제외한 상기 반도체 박막의 영역에만 선택적으로 에피층을 성장하여 형성하는 것이 바람직하다.
- [0023] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자에 있어서, 상기 단일 트랜지스터 플로팅 바디 디램 소자는 이웃한 소자들과의 격리를 위하여, 상기 게이트 스택 및 반도체 박막의 일부 또는 전체 측면에 형성된 격리 절연막을 더 구비하거나, 상기 게이트 스택 및 반도체 박막의 측면 중 하나의 측면을 제외한 측면의 일부 또는 전부에 격리 절연막을 형성하고, 격리 절연막이 형성되지 않은 하나의 측면에 소스 또는 드레인은 인접한 소자의 소스 또는 드레인과 공유하도록 구성할 수 있다.
- [0024] 전술한 특징을 갖는 단일트랜지스터 플로팅 바디 디램 소자는 상기 소스와 게이트 스택 사이의 반도체 박막 영역 및 상기 드레인과 게이트 스택 사이의 반도체 박막 영역을 소스 및 드레인과 동일한 유형의 불순물로 도핑되 도핑 농도는 소스 및 드레인보다 낮은 농도로 도핑하며, 특히, 상기 소스와 게이트 스택 사이의 반도체 박막 영역 및 상기 드레인과 게이트 스택 사이의 반도체 박막 영역은 게이트 스택의 전하 저장 노드에 충전된 전하들이나 제어전극에 인가된 전압에 의해 게이트 스택위의 반도체 박막 영역에 상기 소스/드레인에 있는 다수 캐리어와 반대 유형의 캐리어가 형성될 수 있는 농도로 도핑되는 것이 바람직하다.

- [0025] 본 발명의 다른 특징에 따른 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법에 있어서, 상기 제조 방법은, (a) 반도체 기판상에 형성된 실리콘 박막에서 셀 소자의 플로팅 바디 및 소스와 드레인이 형성될 영역을 사전에 정의하는 단계; (b) 마스크를 이용하여 상기 실리콘 박막 아래에 있는 매몰 절연막 중 상기 소스 및 드레인의 일부 영역 및 플로팅 바디가 형성될 부분의 하부 영역만을 선택적으로 제거하는 단계; (c) 상기 매몰 절연막 중 선택적으로 제거된 영역 내에 터널링 절연막, 전하저장노드, 블록킹 절연막을 순차적으로 형성하는 단계; (d) 상기 블록킹 절연막의 내부를 채우는 제어 전극을 형성하는 단계; (e) 상기 소스, 드레인 및 플로팅 바디가 형성될 실리콘 박막 영역의 상부에 게이트 절연막을 형성하는 단계; (f) 결과물의 표면에 절연막을 형성하고 콘택 및 금속배선을 형성하는 단계;를 구비한다.
- [0026] 전술한 특징에 따른 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법은, 상기 (a) 단계 이전에, 벌크 실리콘 기판에 단결정 SiGe 박막과 Si 박막을 순차적으로 형성하는 단계; 인접한 셀과 전기적으로 격리되도록 상기 단결정 SiGe 박막과 Si 박막을 식각하는 단계; 셀 소자가 형성되는 영역의 상기 SiGe 박막을 선택적으로 제거하고 그 영역에 매몰 절연막을 채우는 단계;를 추가로 구비할 수 있다.
- [0027] 본 발명의 또 다른 특징에 따른 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법에 있어서, 상기 제조 방법은, (a) 벌크 실리콘 웨이퍼 기판에 단결정 SiGe 박막과 실리콘 박막을 순차적으로 형성하는 단계; (b) 인접한 셀과 전기적으로 격리되도록 상기 단결정 SiGe 박막과 Si 박막을 식각하는 단계; (c) 상기 실리콘 박막 아래에 있는 SiGe 박막 중 일부 영역을 선택적으로 제거하되, 상기 사전 정의된 플로팅 바디 및 일부의 소스/드레인이 형성되는 실리콘 박막 하부의 일부 또는 전부를 선택적으로 제거하는 단계; (d) 상기 SiGe 박막의 제거된 영역에 터널링 절연막과 전하저장노드를 형성하는 단계; (e) 상기 전하 저장 노드의 내부에 블록킹 절연막과 제어전극을 형성하는 단계; (f) 남아있는 SiGe 층을 선택적으로 제거하고 절연막을 채우는 단계; (g) 상기 소스와 드레인 및 플로팅 바디가 형성될 영역의 상부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계; (h) 절연막을 형성하고 콘택 및 금속배선을 형성하는 단계; 를 포함한다.
- [0028] 전술한 특징에 따른 단일 트랜지스터 플로팅 바디 디램 소자의 제조 방법에 있어서, 상기 소스와 드레인 및 플로팅 바디가 형성될 영역의 상부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계 이후에, 상기 게이트 전극 양 옆에 스페이서를 만들고 노출된 반도체 기판에 높은 농도로 도핑된 에피층을 선택적으로 성장(SEG)하여 소스 및 드레인을 형성하는 단계를 추가로 구비하는 것이 바람직하다.

효 과

- [0029] 상술한 바와 같이 구성되고 제조되는 본 발명은, 게이트스택과 닿지 않는 소스/드레인 접합이 적용된 이중-게이트 구조로 상부 게이트 전극은 통상의 MOS 소자에 적용되는 게이트이고 하부 제어전극은 비휘발성 기능이 가능하도록 구성되었다. 따라서 소자의 센싱 마진과 유지 특성이 개선되고 축소화 특성이 개선된다. 전하 저장노드의 전하량을 조절하여 문턱전압의 산포를 줄일 수 있고, 적절한 제어전극의 공유를 통해 셀 어레이의 집적도를 개선하며, 쓰기/지우기/읽기 동작에서 메모리 기능을 더함으로서 DRAM의 성능을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0030] 전술한 기술적 과제를 달성하기 위한 본 발명에서는 소스/드레인 및 플로팅 바디가 형성된 반도체 박막의 위아래에 MOSFET 동작을 위한 게이트전극과 비휘발성 메모리동작을 위한 제어전극이 형성된 소자구조에서 소스와 드레인 영역이 하부의 게이트 스택과 닿지 않는 접합 구조를 도입하였고, 이 소자의 제조방법을 제공한다.

[0031] 단일 트랜지스터 디램 셀

- [0032] 도 3을 참조하여 본 발명의 제1 실시예에 따른 단일 트랜지스터 디램 셀 구조를 설명한다. 도면을 분명하게 보이기 위해 핵심적인 부분을 주로 보이고 있다. 도 3의 (a)는 본 발명의 제1 실시예에 따른 단일 트랜지스터 디램 셀 구조에 대한 단면도이며, 도 3의 (b)는 본 발명의 제2 실시예에 따른 단일 트랜지스터 디램 셀 구조에 대한 단면도를 보여준다. 본 발명의 제1 실시예에 따른 단일 트랜지스터 디램 셀은, 기판(1), 상기 기판 위에 형성되는 게이트 스택(4,5,6), 상기 게이트 스택(stack)에 의해 일부 또는 전부가 둘러싸인 제어전극(7), 상기 게이트 스택 위에 형성되는 플로팅 바디(3), 상기 플로팅 바디의 상부에 형성되는 소스 및 드레인(8,9), 상기 플로팅 바디 위에 형성되는 게이트 절연막(10), 상기 게이트 절연막 위에 형성되는 게이트 전극(11)을 포함한다.

상기 게이트 스택은 터널링 절연막(4), 전하저장노드(5), 블록킹 절연막(6)으로 이루어진다.

- [0033] 상기 플로팅 바디, 소스 및 드레인(8,9)은 반도체 박막에 형성되며, 소스 및 드레인은 반도체 박막의 상부 표면에 불순물을 도핑하여 형성되며, 소스 및 드레인이 형성되지 않은 반도체 박막의 나머지 영역은 플로팅 바디(3)가 된다. 상기 소스 및 드레인(8,9)의 접합이 게이트 스택의 상부 표면에 닿지 않도록 형성되는 것이 바람직하다. 상기 소스(8), 드레인(9) 및 플로팅 바디(3)가 형성된 반도체 박막의 상부에 게이트 전극(11)과 제어전극(7)이 형성되어, 축소화 특성이 우수한 이중-게이트 구조를 제공한다. 본 발명에 따른 구조에 있어서, 게이트 전극(11)은 위에 있고 제어전극(7)은 아래에 있기 때문에 각각 상부 게이트 전극과 하부 제어전극으로 불리기도 한다. 본 발명의 제1 실시예에 따른 디램 셀에 있어서, 소스(8)와 드레인(9) 영역이 하부에 있는 게이트 스택의 터널링 절연막(4)과 닿지 않게 형성되는 것이 중요하다.
- [0034] 본 실시예에 따른 디램 셀은, 기판(1)에 게이트 스택이 형성되고 상기 게이트 스택에 일부 또는 전체로 둘러싸인 제어전극(7)이 형성된다. 상기 게이트 스택 위에 반도체 박막이 형성되고 게이트 절연막(10)과 게이트 전극(11)이 형성되어 있다. 게이트 전극(11)의 양측면에 스페이서(26)를 형성하고 있는데, 상기 스페이서(26)는 제거되어 형성될 수도 있다. 제5 절연막(28)이 형성되며, 콘택이 형성될 영역에 있는 절연막은 모두 제거된다. 상기 콘택 영역에 선택적으로 콘택 에피층(27)이 형성된다. 상기 콘택 에피층(27)은 in-situ 방법으로 상기 소스/드레인과 같은 유형의 불순물로 도우핑될 수 있다. 소자의 격리를 위해 상기 게이트 스택의 및 상기 반도체 박막의 양 측면에 격리 절연막(29)이 형성된다.
- [0035] 본 발명의 구조에서는 기존의 partially depleted (PD) SOI를 이용하는 1T-DRAM 셀소자에 비해 얇은 반도체 박막을 적용한다. 상기 반도체 박막에 상기 소스(8)/드레인(9)과 플로팅 바디(3)가 형성된다. 얇은 반도체 박막으로 인해 소자의 축소화 특성은 개선되지만 플로팅 바디(3)의 커패시턴스가 작기 때문에 셀 소자의 성능이 크게 저하된다. 이를 해결하기 위해 플로팅 바디(3)의 하부에 형성된 게이트 스택의 전자저장노드(5)에 전하를 저장하거나 제어전극(7)에 전압을 인가하여 플로팅바디(3)의 하부에 다수 캐리어(n형 FET로 구성된 셀에서 플로팅 바디는 p형이고 이 경우 다수 캐리어는 정공입)를 유기시킨다. 이후 설명에서는 n형 FET 구조를 가정하고 설명한다. 이때 만약 소스(8)/드레인(9) 영역이 하부에 있는 게이트스택과 높은 농도로 닿게 되면 밴드와 밴드 사이의 터널링에 의해 전자-정공쌍이 발생한다. 발생된 전자는 드레인(9)으로 흐르고 정공은 바디에 저장된다. 만약 플로팅바디(3)에 다수 캐리어를 고갈시킨 “쓰기0” 상태에서 상기 정공은 “쓰기0” 상태를 크게 저하시키고 “쓰기0” 상태를 유지하는 조건에서도 이 유지 특성을 크게 저하시킨다. 여기서 상기 소스(8)/드레인(9)과 플로팅 바디 사이의 접합은 불순물 차이에 의해 결정되거나 상기 플로팅바디(3)와 상기 게이트 스택의 계면에 유기된 정공과의 농도 차이에 의해서도 접합이 형성된다.
- [0036] 본 발명의 제1 실시예에 따른 디램 셀에 있어서, 상기 반도체 박막의 두께는 얇게 유지해야 하고, 이 경우 상기 소스(8)와 드레인(9) 접합을 매우 낮게 해야 한다. 이는 공정측면에서 매우 어려울 뿐 만 아니라 소스(8)와 드레인(9)의 기생저항을 증가시키는 결과를 가져온다. 본 발명의 제2 실시예에 대한 전술한 문제점을 해결하기 위한 것이다. 도 3의 (b)는 본 발명의 제2 실시예에 따른 디램 셀을 도시한 단면도이다. 도 3의 (b)에 도시된 바와 같이, 채널이 형성되는 근처에서의 반도체 박막의 두께는 얇게 하여 축소화 특성을 우수하게 하고, 소스(8)와 드레인(9)이 형성되는 영역에서는 선택적으로 에피층을 성장하여 반도체 박막의 두께를 두껍게 한다. 이 경우 소스(8)와 드레인의 접합깊이는 상대적으로 좀 더 깊게 형성하여 제조공정을 쉽게 하고 셀소자 특성을 개선할 수 있다. 상기 에피층은 in-situ 방법으로 상기 소스/드레인과 같은 유형의 불순물로 도우핑할 수 있다.
- [0037] 도 3의 (a)와 (b)에 도시된 바와 같이, 제1 실시예 및 제2 실시예에 따른 디램 셀은, 제5 절연막(28)을 형성한 후 콘택 영역(도 3에서는 영역 27이 채워진 곳)을 형성하고 상기 콘택영역에 선택적으로 추가의 에피층을 성장할 수 있다. 상기 콘택 영역에 형성되는 에피층은 in-situ로 상기 소스/드레인과 같은 유형의 불순물로 도우핑할 수 있다. 또한 본 발명에 따른 디램 셀에 있어서, 도 3의 (a)와 (b)에 도시된 바와 같이, 상기 게이트 스택과 상기 제어전극(7)은 상기 반도체 박막의 전체의 아래에 형성되어 있다. 통상, 본 발명의 구조에서 상기 제어전극(7)과 이를 둘러싸는 상기 게이트 스택의 길이가 길면 1T-DRAM 셀 소자의 특성이 개선되는 특징이 있다. 상기 구조에서 알 수 있듯이 소자의 셀 크기를 증가시키지 않고 효과적으로 셀 소자의 특성을 개선할 수 있다.
- [0038] 도 4는 본 발명의 제3 실시예에 따른 단일 트랜지스터 디램 셀 구조를 도시한 단면도이다. 제3 실시예에 따른 단일 트랜지스터 디램 셀의 구조는 제2 실시예의 디램 셀의 구조와 유사하다. 다만, 설명의 편의상, 도 4는 소자의 격리를 위한 격리 절연막(29)을 포함하여 상기 제5 절연막(28), 상기 콘택 에피층(27)을 모두 제거하여 구조를 단순하게 표현하였다. 제3 실시예에 따른 디램 셀은, 특히 제어전극(7)과 이를 둘러싸는 게이트 스택의 길

이를 도 3의 구조에 비해 짧게 하여 구현하였다. 또한 도 4의 (a)에서는 연속적인 막으로 구성된 전하저장노드(5)를 구비하고, 도 4의 (b)에서는 나노 크기의 돛(dot)(12)으로 구성된 전하저장노드(12)를 구비하는 것을 특징으로 한다.

[0039] 본 발명에 따른 디램 셀에 있어서, 도 3 및 도 4에 도시된 바와 같이, 하부 제어전극(7)은 상기 게이트 스택으로 둘러싸여 있다. 여기서 게이트 스택은 터널링 절연막(4), 전하저장노드(5), 블록킹 절연막(6)으로 구성된다. 여기서 도시되지 않았지만 게이트 스택의 다른 구성은 터널링 절연막(4)과 절연성의 전하저장노드로 구성될 수 있다. SOI (Silicon On Insulator) 웨이퍼를 사용한 경우, 매몰 절연막(2)이 게이트 스택의 좌우측에 존재하는데, 매몰 절연막에 터널링 절연막(4)이 열산화 방식으로 형성되지 않는다고 가정하고 도 3과 4에서는 도시하지 않았다. 만약, 열산화 방법이 아닌 CVD (Chemical Vapor Deposition) 또는 ALD (Atomic Layer Deposition) 방법 등을 적용하면 매몰 절연막에 터널링 절연막(4)을 당연히 형성할 수 있다. 터널링 절연막(4)은 한 층의 절연막으로 구성될 수 있거나, 2 층 이상의 일함수 또는 밴드갭이 다른 절연막으로 구성될 수 있다. 전하 저장노드(5)는 도전성이나 절연성의 박막으로 구성될 수 있다. 또한 도 4의 (b)에 도시된 바와 같이, 상기 전하저장노드(5)는 도전성이나 절연성을 갖는 나노 크기의 돛(dot)(12)으로 구성될 수 있다. 상기 블록킹 절연막은 하나의 층으로 구성되거나, 일함수 또는 밴드갭이 다른 2 층 이상으로 구성될 수도 있다.

[0040] 상기 제어전극(7)은 도전성의 반도체, 금속, 금속산화물, 실리사이드, 이원계 금속, 금속질화물(예: TaN, TiN, WN 등) 등의 다양한 일함수를 갖는 물질들 중 하나 또는 2 이상으로 구성될 수 있다. 이 제어전극은 기존의 비휘발성 메모리 소자의 제어전극과 같은 역할을 할 수 있다. 즉, 제어전극(7)의 바이어스 조건에 의해 전하저장노드(5)에 쓰기와 지우기를 할 수 있다. 완전 공핍된 플로팅 바디의 경우 제어전극(7)을 통해 전하를 전하저장노드(5)에 저장하면 소자의 성능을 크게 개선할 수 있다.

[0041] 상기 반도체 기판(1)은 표면 영역의 농도를 높이거나 기판 전체의 농도를 높여 상기 소자의 기능을 개선하는 기판전극으로 사용될 수 있다. 여기서 기판 전극은 콘택을 통해 외부의 금속배선과 연결될 수 있다. 이 기판전극을 통해 전하저장노드(5)에 쓰기와 지우기를 할 수 있어, 부가적으로 기능이 개선될 수 있다. 특히, 기판전극과 하부 제어전극(7)의 전압을 조절하여 또한 쓰기와 지우기를 할 수 있다.

[0042] 상기 제어전극(7)과 이를 둘러싸는 상기 게이트 스택은 상기 플로팅 바디(3)와 길게 겹치도록 형성되는 것이 바람직하다. 이 경우 제어전극(7)에 의해 전하저장노드(5)에 저장된 전하가 플로팅 바디(3)에 형성된 정공 (NMOS 소자의 경우)을 효과적으로 바디영역에 묶어두는 역할을 하여 셀 소자의 특성을 개선한다.

[0043] 상기 게이트 전극(11)의 물질은 도전성의 반도체, 금속, 금속산화물, 실리사이드, 이원계 금속, 금속질화물(예: TaN, TiN, WN 등) 중 하나 또는 2 이상으로 구성될 수 있다. 상기 게이트 전극(7)은 다양한 일함수의 도전성 물질로 구성될 수 있으며, 제어전극(7)의 일함수를 게이트 전극(11)의 일함수보다 크게 할 수 있다. 예를 들어, 상기 게이트 전극(11)을 n+ 폴리실리콘으로 하고 상기 제어전극(7)을 p+ 폴리실리콘으로 구현한 단일 트랜지스터 디램 셀 소자를 간단히 살펴본다. 상기 n+ 폴리실리콘 게이트에 의해 문턱전압을 높지 않게 유지할 수 있어 낮은 전압에서 읽기 동작전류를 확보할 수 있다. 특히, p+ 폴리실리콘 제어전극은 그 자체로 플로팅 바디(3)에 NMOS 소자의 경우 정공을 모으는데 유리하다. 또한 제어전극(7)에 의해 전자가 전하저장노드에 저장된 경우 높은 일함수의 제어전극(7) 효과는 유지시간 개선 및 센싱 마진 향상에 크게 도움이 된다.

[0044] 도 5는 본 발명의 제4 실시예에 따른 단일 트랜지스터 디램 셀 구조를 도시한 단면도이다. 제4 실시예에 따른 단일 트랜지스터 디램 셀의 구조는 제3 실시예의 디램 셀의 구조와 유사하나, 한 가지 차이점이 있다. 제4 실시예에 따른 디램 셀은, 제3 실시예와는 달리, 게이트 전극(11)이 소스(8)/드레인(9)과 겹치지 않게 형성된 것이다. 제4 실시예의 나머지 특성은 제3 실시예와 모두 동일하다. 상기와 같이 소스(8)/드레인(9)을 게이트 전극(11)과 겹치지 않게 형성하면 채널 근처의 플로팅 바디(3) 영역을 넓게 형성할 수 있고, 이는 향후 유지특성을 포함한 소자의 특성을 개선하는데 유리하다.

[0045] 도 6은 본 발명의 제5 실시예에 따른 단일 트랜지스터 디램 셀 구조를 도시한 단면도이다. 도 6에 도시된 바와 같이, 본 발명의 제5 실시예에 따른 단일 트랜지스터 디램 셀은 제2 실시예의 구조와 유사하나, 다만 소스와 게이트 스택의 사이에 형성된 반도체 박막(a) 및 드레인과 게이트 스택의 사이에 형성된 반도체 박막(b)이 소스 및 드레인과 동일한 유형의 불순물로 도핑되며, 소스 및 드레인보다 저농도로 도핑된 것을 특징으로 한다. 특히, 상기 도핑된 반도체 박막 영역은 게이트 스택의 전하 저장 노드에 충전된 전하들이나 제어전극에 인가된 전압에 의해 게이트 스택위의 반도체 박막 영역 (a)와 (b)의 하부에 반전층이 형성될 수 있는 농도로 도핑되는 것이 바람직하다. 본 실시예에 따라 소스 및 드레인과 게이트 스택 사이에 형성되는 반도체 박막 영역을 소스 및 드레인보다 저농도로 도핑하는 구성은 제1 실시예, 제3 실시예, 제4 실시예에 모두 적용할 수 있다.

- [0046] 도 7은 도 3의 (b)에 도시된 본 발명의 제2 실시예에 따른 디램 셀 소자를 어레이로 배열한 일례를 도시한 단면도이다. 도 7에서 인접한 두 개의 셀 소자(cell 1과 cell 2) 배치하되 소스(8)를 공유하도록 배치하여 셀 소자의 배치에 있어서 집적도를 높이고 있다. 2 개의 셀 소자의 좌우측에 셀 소자를 격리하기 위한 격리 절연막(29)이 형성되어 있다. 도 7에는 소스(8)를 공유하고 있지만 경우에 따라 드레인(9)을 공유할 수도 있다.
- [0047] 단일 트랜지스터 디램 소자 제조 방법
- [0048] 이하, 전술한 본 발명의 단일 트랜지스터 디램 소자를 제조하는 방법을 설명한다. 도 8과 도 9는 본 발명의 소자를 구현하는 제조방법의 일례에 대한 주요 공정단계를 도시한 단면도들이다.
- [0049] 도 8에서는 SOI (Silicon On Insulator) 웨이퍼를 이용한 제조방법의 일례를 설명한다. 도 8의 (a)에 도시된 바와 같이, 표면에 단결정 실리콘 박막이 형성된 SOI 기판상에, 셀 소자의 소스(8)/드레인(9) 및 플로팅 바디(3)가 형성될 단결정 실리콘 박막 영역(15)을 먼저 정의한다. 도 8의 (b)에 도시된 바와 같이, 마스크를 이용하여 단결정 실리콘 박막(15) 아래에 있는 매몰 절연막 층(2)을 플로팅 바디(3) 및 소스(8)/드레인(9)이 형성된 부분의 일부 또는 전부를 제거한다. 다음, 도 8의 (c)에 도시된 바와 같이, 터널링 절연막(4)과 전하저장노드(5)를 형성하고, 도 8의 (d)에 도시된 바와 같이 블록킹 절연막(6)과 제어전극(7)을 형성한다. 다음 도 8의 (e)에 도시된 바와 같이 상기 소스(8)/드레인(9) 및 플로팅 바디(3)가 형성될 반도체 박막 위에 게이트 절연막(10) 및 게이트 전극(11)을 순차적으로 형성하고, 게이트 전극(11)의 양옆에 스페이서 (26)를 형성할 수 있다. 여기서 소스(8)/드레인(9) 영역을 형성할 수 있다. 도 8의 (f)에서는 드러난 소스(8)/드레인(9) 영역에만 선택적으로 에피층을 성장한 단면을 보인다. 에피층 성장과정에서 성장과 동시에 소스(8)/드레인(9)과 같은 유형의 불순물로 도우핑할 수 있다. 도 8의 (f)까지는 본 발명의 주요 구조를 형성한 단면을 보인다. 후속 공정에서는 추가의 절연막을 형성하고 콘택 영역을 형성한 다음 금속배선 공정을 수행한다.
- [0050] 도 9에서는 벌크 실리콘 웨이퍼를 이용한 제조방법의 일례를 설명한다.
- [0051] 먼저, 도 9의 (a)에 도시된 바와 같이 상기 벌크 실리콘 기판(1)에 단결정 SiGe 박막(13)과 Si 박막(15)을 순차적으로 형성한다. 셀 소자를 위한 셀 소자의 폭을 정의하고 상기 단결정 SiGe 박막(13)과 Si 박막(15)을 식각한다. 여기서 셀 소자가 형성되는 영역의 상기 SiGe 박막(13)을 선택적으로 제거하고 그 영역에 절연막을 채울 수 있다. 상기 SiGe 박막 대신 절연막으로 채워진 영역에 셀 소자를 제조하는 공정은 도 8에 설명된 공정을 그대로 사용할 수 있다. 또 다른 방법을 적용하여 제조하는 공정단계를 도 9에서 설명한다.
- [0052] 도 9의 (a)에 도시된 바와 같이 상기 벌크 실리콘 기판(1)에 단결정 SiGe 박막(13)과 Si 박막(15)을 형성한다. 인접한 셀과 전기적으로 격리되도록 상기 단결정 SiGe 박막과 Si 박막을 식각한다. 도 9의 (b)에서는 상기 실리콘 박막 아래에 있는 SiGe 박막 중 일부 영역을 선택적으로 제거하되, 상기 사전 정의된 플로팅 바디 및 일부의 소스/드레인이 형성되는 실리콘 박막 하부의 일부 또는 전부를 제거한다. 다음, 도 9의 (c)에 도시된 바와 같이, 터널링 절연막(4)과 전하저장노드(5)를 형성한다. 도 9의 (d)에서는 도시된 바와 같이 블록킹 절연막(6)과 제어전극(7)을 형성한다. 이 단계에서 상기 실리콘 박막(15) 아래에 남아 있는 SiGe 박막(13)을 선택적으로 제거하고 제2 절연막(16)을 채운다. 상기 제2 절연막(16)에 의해 소스(8)/드레인(9) 영역이 기판(1)과 절연된다. 도 9의 (e)에서는 게이트 절연막(10) 및 게이트 전극(11)을 순차적으로 형성하고, 게이트 전극(11)의 양옆에 스페이서 (26)를 형성할 수 있다. 이 단계에서 소스(8)/드레인(9) 영역을 형성할 수 있다. 도 9의 (f)에서는 드러난 소스(8)/드레인(9) 영역에만 선택적으로 에피층을 성장한 단면을 보인다. 에피층 성장과정에서 성장과 동시에 소스(8)/드레인(9)과 같은 유형의 불순물로 도우핑할 수 있다. 도 9의 (f)까지는 본 발명의 주요 구조를 형성한 단면을 보인다. 후속 공정에서는 추가의 절연막을 형성하고 콘택 영역을 형성한 다음 금속배선 공정을 수행한다.
- [0053] 상기 언급된 제조공정에 있어, 상기 제어전극(7)을 형성하는 것은 상기 제어전극(7)을 위한 물질을 형성하고, CMP (Chemical Mechanical Polishing)를 통해 평탄화를 수행할 수 있다. 평탄화 공정 후 드러난 제어전극(7)의 표면에 선택적으로 절연막을 형성한다.
- [0054] 도 10은 본 발명에 따른 효과 중 하나를 보이기 한 것으로, 본 발명의 이중-게이트 구조에서 여러 가지 소스(8)/드레인(9)의 접합 깊이(x_j)에 따른 소자의 특성을 보인다. 도 10에서 " $x_j=30$ nm"는 소스(8)/드레인(9)의 접합 깊이가 바디 두께와 같은 조건을 나타내고, " x_j "가 작아짐에 따라서 상기 게이트 스택과 소스(8)/드레인(9)

영역이 멀어지게 된다. 이렇게 되면 본 발명에서 의도한 것과 같이 “쓰기0” (플로팅 바디에 다수 캐리어 결핍) 상태의 특성을 개선하고 유지 특성을 개선하게 된다. " $x_j=30$ nm"인 경우, “쓰기1” 및 “쓰기0” 동작 이후 읽기 동작에서 전류차이 또는 전류비(“쓰기1” 전류/“쓰기0” 전류)가 개선된다. 이는 센싱 마진을 개선할 수 있음을 의미한다.

[0055] 도 11은 본 발명에 또 다른 효과 중 하나를 보이기 한 것으로, 본 발명의 이중-게이트 구조에서 여러 가지 소스(8)/드레인(9)의 접합깊이에 따른 소자의 유지 특성을 보인다. n형 FET로 구성된 셀 소자에서의 특성이다. 상기 게이트 스택이 전하저장노드(5)에 전자가 저장되어 있는 상태에서의 특성을 보인다. " $x_j=30$ nm" 조건에서 유지 특성은 매우 나쁘다. " x_j "가 얇아짐에 따라서 “쓰기1”과 “쓰기0” 사이의 전류차이가 증가하는 경향을 보이고 있다. 즉, 현저히 유지 특성이 개선되어진다. 따라서 비휘발성 기능을 갖는 이중게이트의 디램 셀에서 상기 게이트스택과 닿지 않는 소스(8)/드레인(9) 접합을 구현함으로써 집적도 및 특성을 개선한다.

[0056] 이상에서 본 발명에 대하여 그 바람직한 실시예를 중심으로 설명하였으나, 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 그리고, 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업이용 가능성

[0057] 본 발명에 따른 셀 소자 기술은 셀 캐패시터를 사용하지 않은 DRAM 소자 및 그 동작방법에 관한 것으로서, 고집적 및 고성능 DRAM을 구현할 수 있게 된다. 따라서, 본 발명에 따른 셀 소자 및 그 제조 방법은 MOS 기반의 DRAM 셀 소자와 관련된 반도체 소자 제조 분야에 널리 사용될 수 있다.

도면의 간단한 설명

[0058] 도 1은 종래의 SOI 기판에 구현된 단일 트랜지스터 디램 소자를 도시한 단면도들로서, 두 개의 단면구조는 게이트 길이 축소화를 보이기 위해 준비하였다.

[0059] 도 2의 (a) 내지 (d)는 종래의 이중-게이트 구조를 가지는 1T-DRAM 셀 소자의 일례이다.

[0060] 도 3은 본 발명에 따른 단일 트랜지스터 디램 셀에 대한 소자 격리영역을 포함하여 도시한 단면도로서, 도 3의 (a)는 본 발명의 제1 실시예에 따른 디램 셀 소자를 도시한 단면도이며, 도 3의 (b)는 본 발명의 제2 실시예에 따른 디램 셀 소자를 도시한 단면도이다.

[0061] 도 4는 본 발명의 제3 실시예에 따른 디램 셀 소자를 도시한 단면도로서, 도 4의 (a)에는 전하저장노드가 연속적인 막으로 구현된 소자를, 도 4의 (b)는 전하저장노드가 나노크기의 dot으로 구현된 소자를 도시한 것이다.

[0062] 도 5는 본 발명의 제4 실시예에 따른 디램 셀 소자를 도시한 단면도이다.

[0063] 도 6은 본 발명의 제5 실시예에 따른 디램 셀 소자를 도시한 단면도이다.

[0064] 도 7은 본 발명의 제2 실시예에 따른 디램 셀 소자에 대한 소자 격리 및 인접한 셀 소자와의 소스 또는 드레인의 공유를 설명하기 위하여 도시한 단면도이다.

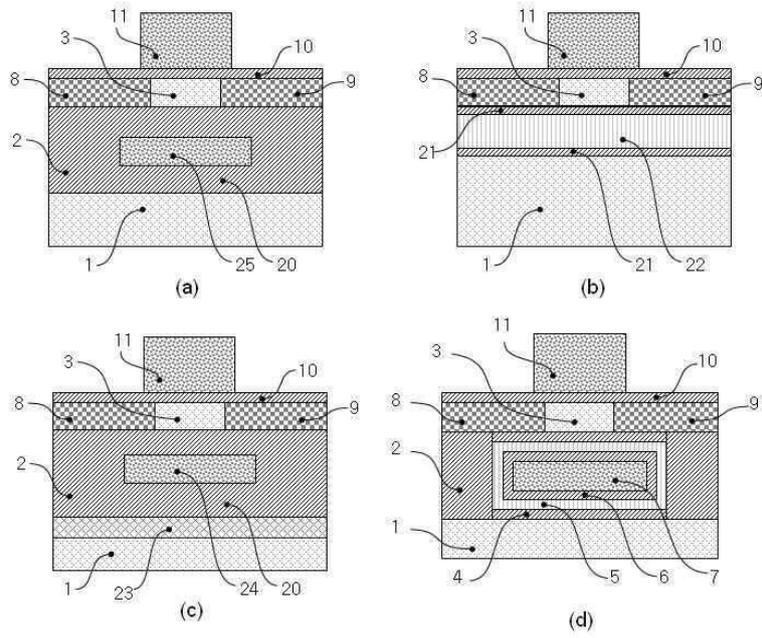
[0065] 도 8은 SOI (Silicon On Insulator) 기판을 이용하여 본 발명에 따른 단일 트랜지스터 디램 셀 소자를 제작하기 위한 주요 공정단계를 나타낸 단면도들이다.

[0066] 도 9는 본 발명의 다른 실시예에 따라, 벌크 실리콘 기판에 식각비가 다른 SiGe과 같은 물질을 성장하고 그 위에 실리콘 박막을 단결정으로 성장한 기판을 이용하여 본 발명의 1T-DRAM 셀 소자를 제작하기 위한 주요 공정단계를 나타낸 단면도들이다.

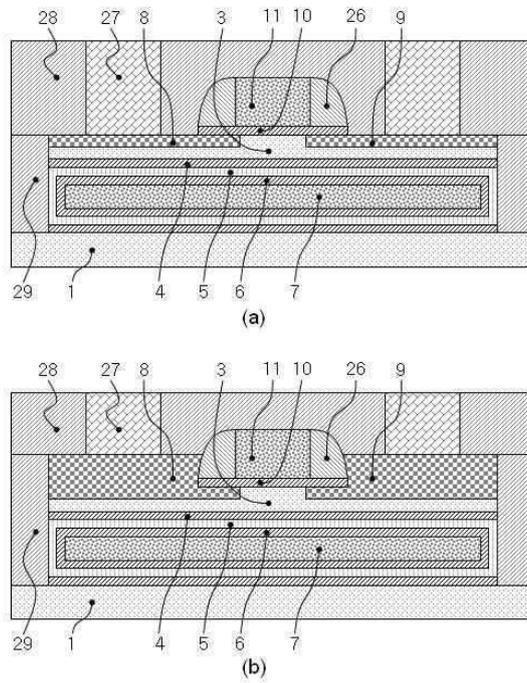
[0067] 도 10은 본 발명의 효과중 하나인 “쓰기1”과 “쓰기0”에 따른 전류 특성을 보이기 위한 소자의 transient 특성이다.

[0068] 도 11은 본 발명의 효과중 하나인 유지 특성을 보이기 위한 소자의 transient 특성이다.

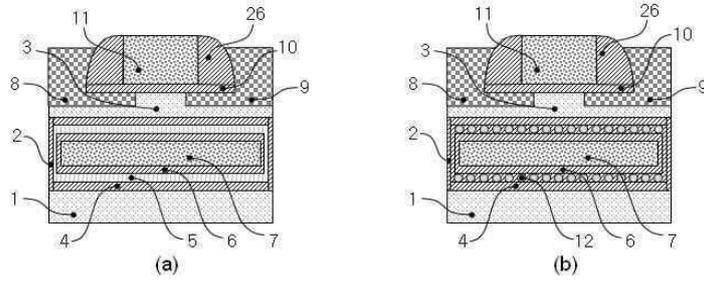
도면2



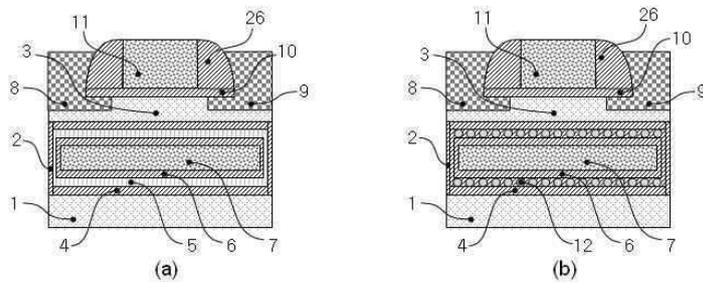
도면3



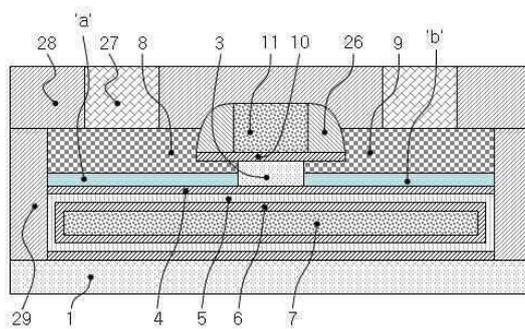
도면4



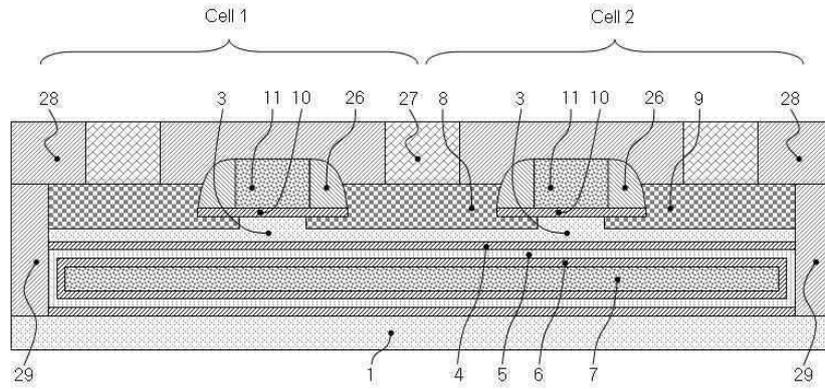
도면5



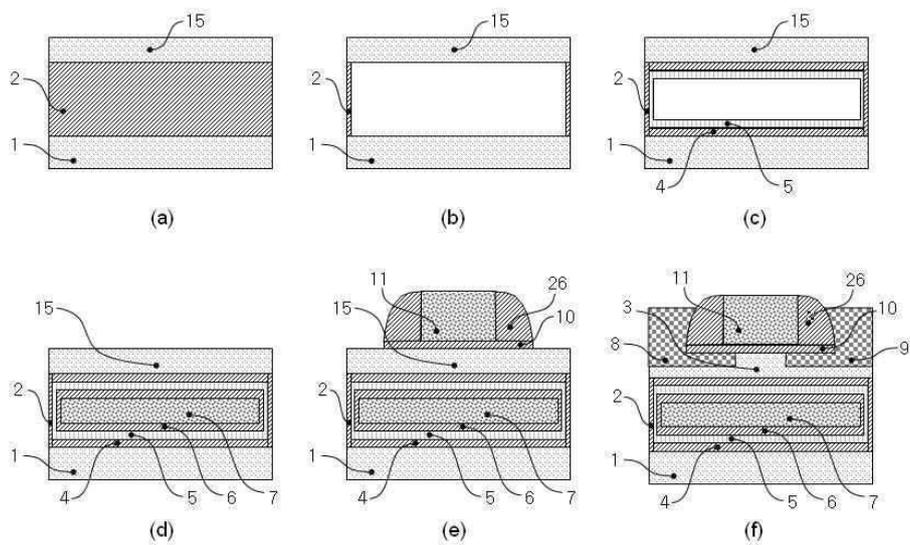
도면6



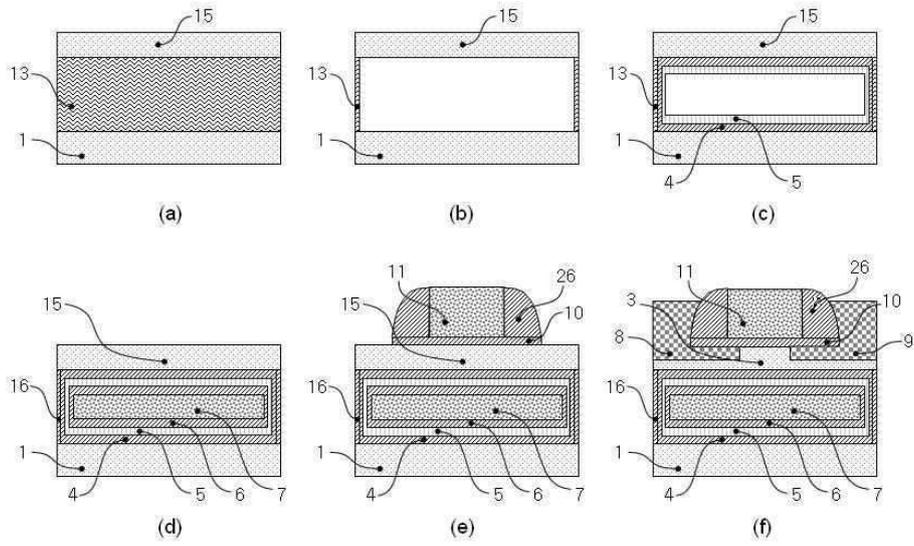
도면7



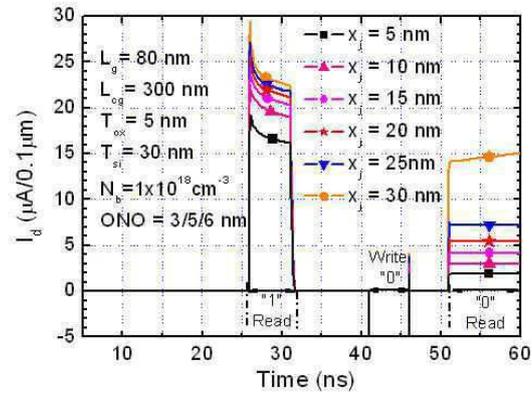
도면8



도면9



도면10



도면11

