(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0085696
(43) 공개일자 2008년09월24일

(51) Int. Cl.
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *H05B 33/12* (2006.01)
(21) 출원번호 10-2008-0021277
(22) 출원일자 2008년03월07일
심사청구일자 없음
(30) 우선권주장
JP-P-2007-00071257 2007년03월19일 일본(JP)

(71) 출원인
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
야마모토 테츠로
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 내
우치노 카츠히데
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 내
이이다 유키히토
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 내
(74) 대리인
최달용

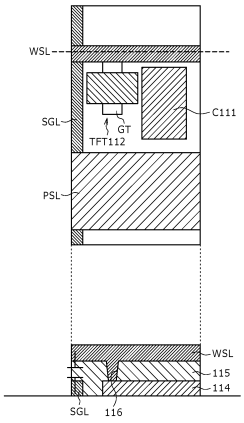
전체 청구항 수 : 총 19 항

(54) 화소 회로와 표시 장치, 및 표시 장치의 제조 방법

(57) 요 약

제어 단자로의 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스타; 및 상기 구동 신호가 전파되는 구동 배선을 포함하며, 상기 트랜지스터의 제어 단자가 상기 구동 배선에 연결되는 화소 회로가 개시된다. 상기 구동 배선은, 다른 층의 배선과 접속되어 다층 배선을 형성한다.

대 표 도 - 도10



특허청구의 범위

청구항 1

제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터; 및

상기 구동 신호가 전파되는 구동 배선을 포함하는 화소 회로에 있어서,

상기 트랜지스터의 상기 제어 단자는 상기 구동 배선에 연결되고,

상기 구동 배선은 다른 층의 배선과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 2

제 1항에 있어서,

전원용 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 3

제 1항에 있어서,

전원용 배선층과;

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 상기 제 1 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 2 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 4

제 1항에 있어서,

전원용 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 5

서로 다른 전압이 인가 가능한 전원 라인과;

기준 전위와;

구동 신호가 전파되는 구동 배선과;

흐르는 전류에 의해 휘도가 변화하는 발광 소자와;

구동 트랜지스터와;

신호선과 상기 구동 트랜지스터의 게이트 사이에 접속되고, 게이트가 상기 구동 배선에 접속되고, 상기 구동 신호에 의해 도통 상태가 제어되는 스위칭 트랜지스터; 및

상기 구동 트랜지스터의 게이트와 소스 사이에 접속된 커패시터를 포함하며,

상기 구동 트랜지스터와 상기 발광 소자는 상기 전원 라인과 상기 기준 전위 사이에서 직렬로 접속되고,

상기 구동 배선은 다른 층의 배선과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 6

제 5항에 있어서,

상기 전원 라인용 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 7

제 5항에 있어서,

상기 전원 라인용 배선층과;

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층 및 상기 제 1 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 2 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 8

제 5항에 있어서,

상기 전원 라인용 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 화소 회로.

청구항 9

제 5항에 있어서,

상기 커패시터는, 층의 적층 방향에서, 상기 구동 배선과 겹쳐지지 않는 위치로 비켜놓아 배치되어 있는 것을 특징으로 하는 화소 회로.

청구항 10

매트릭스 형상으로 배열되고, 제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터를 포함하는 복수의 화소 회로와;

상기 화소 회로를 형성하는 트랜지스터의 제어 단자로의 구동 신호를 출력하는 적어도 하나의 스캐너; 및

상기 복수의 화소 회로의 상기 트랜지스터의 제어 단자가 공통으로 접속되고, 상기 스캐너로부터의 구동 신호가 전파되는 적어도 하나의 구동 배선을 포함하며,

상기 구동 배선은, 다른 층의 배선과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 11

제 10항에 있어서,

전원용 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 12

제 10항에 있어서,

전원용 배선층과;

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 상기 제 1 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 2 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 13

제 10항에 있어서,

전원용 배선층; 및

층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 14

매트릭스 형상으로 배열되고, 수신되는 구동 신호에 의해 도통 상태가 제어되는 스위칭 트랜지스터를 포함하는 복수의 화소 회로와;

상기 화소 회로를 형성하는 스위칭 트랜지스터의 게이트로 구동 신호를 출력하는 적어도 하나의 스캐너와;

상기 복수의 화소 회로의 상기 스위칭 트랜지스터의 게이트가 공통으로 접속되고, 상기 스캐너로부터의 구동 신호가 전파되는 적어도 하나의 구동 배선; 및

상기 화소 회로에 접속되고, 서로 다른 전압이 인가될 수 있는 적어도 하나의 전원 라인을 포함하며,

상기 화소 회로 각각은,

흐르는 전류에 의해 휘도가 변화하는 발광 소자와;

구동 트랜지스터와;

신호선과 상기 구동 트랜지스터의 게이트 사이에 접속되고, 게이트가 상기 구동 배선에 접속되고, 상기 구동 신호에 의해 도통 상태가 제어되는 상기 스위칭 트랜지스터; 및

상기 구동 트랜지스터의 게이트와 소스 사이에 접속된 커패시터를 포함하며,

상기 구동 트랜지스터와 상기 발광 소자는 상기 전원 라인과 상기 기준 전위 사이에서 직렬로 접속되고,

상기 구동 배선은 다른 층의 배선과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 15

제 14항에 있어서,

상기 전원 라인용 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 16

제 14항에 있어서,

상기 전원 라인용 배선층과;

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층 및 상기 제 1 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 2 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 17

제 14항에 있어서,

상기 전원 라인용 배선층; 및

층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 1 배선층을 더 포함하며,

상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것을 특징으로 하는 표시 장치.

청구항 18

제 14항에 있어서,

상기 화소 회로의 상기 커패시터는, 층의 적층 방향에서, 상기 구동 배선과 겹쳐지지 않는 위치로 비켜놓아 배치되어 있는 것을 특징으로 하는 표시 장치.

청구항 19

매트릭스 형상으로 배열되며, 제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터를 각각 포함하는 복수의 화소 회로와 상기 화소 회로를 형성하는 트랜지스터의 제어 단자에 구동 신호를 출력하는 적어도 하나의 스캐너를 포함하는 표시 장치의 제조 방법에 있어서,

상기 스캐너로부터의 구동 신호가 전파되는 구동 배선을 배선하는 단계; 및

상기 구동 배선을 다른 층과 접속하여 다층 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 우선권 정보

<2> 본 발명은 2007년 3월 19일자로 일본특허청에 특허출원된 일본특허원 제2007-71257호를 우선권으로 주장한다.

<3> 기술분야

<4> 본 발명은, 유기 EL(Electroluminescence) 등의 발광 소자를 포함하는 화소 회로와 액티브 매트릭스형 표시 장치, 및 표시 장치의 제조 방법에 관한 것이다.

배 경 기 술

<5> 화상 표시 장치, 예를 들면 액정 디스플레이 유닛 등에서는, 다수의 화소를 매트릭스 형상으로 나열하고, 표시하여야 할 화상 정보에 따라 화소마다 광강도를 제어함에 의해 화상을 표시한다.

<6> 이것은 유기 EL 디스플레이 유닛 등에서도 마찬가지이지만, 유기 EL 디스플레이 유닛은 각 화소 회로에 발광 소자를 갖는, 이른바 자(自)발광형의 디스플레이 유닛이고, 액정 디스플레이 유닛에 비하여 화상의 시인성이 높고, 백라이트가 불필요하며, 응답 속도가 빠르다는 이점을 갖는다.

<7> 또한, 각 발광 소자의 휘도는 그것에 흐르는 전류치에 의해 제어함에 의해 발색의 계조를 얻는, 즉 발광 소자가 전류 제어형이라는 점에서 액정 디스플레이 유닛 등과는 크게 다르다.

<8> 유기 EL 디스플레이 유닛에서는, 액정 디스플레이 유닛과 마찬가지로, 그 구동 방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 가능한데, 전자는 구조가 단순한 것이지만, 대형이면서 고정밀한 디스플레이 유닛의 실현이 어려운 등의 문제가 있기 때문에, 액티브 매트릭스 방식의 개발이 왕성하게 행하여지고 있다. 액티브 매트릭스 방식의 구동 시스템에 있어서, 각 화소 회로 내부의 발광 소자에 흐르는 전류는 일반적으로 TFT(Thin Film Transistor, 박막 트랜지스터)에 의해 제어된다.

<9> 도 1은, 일반적인 유기 EL 표시 장치의 구성을 도시하는 블록도이다.

<10> 이 표시 장치(1)는, 도 1에 도시하는 바와 같이, 화소 회로(PXLC)(2a)가 m×n의 매트릭스 형상으로 배열된 화소 어레이부(2), 수평 실렉터(HSEL)(3), 라이트 스캐너(write scanner; WSCN)(4), 수평 실렉터(3)에 의해 선택되고 휘도 정보에 응한 데이터 신호가 공급되는 신호선(데이터선)(SGL1 내지 SGLn), 및 라이트 스캐너(4)에 의해 선택 구동되는 주사선(WSL1 내지 WSLm)을 갖는다.

<11> 또한, 수평 실렉터(3) 및/또는 라이트 스캐너(4)에 관해서는, 다결정 실리콘상에 형성하는 경우나, MOSIC 등으로 화소의 주변에 형성하는 것도 있다.

<12> 도 2는, 도 1의 화소 회로(2a)의 한 구성예를 도시하는 회로도이다. 도 2에 도시된 화소 회로(2a)는, 예를 들면, 미국특허 US 5,684,365호 또는 일본 특개평8-234683호에 개시되어 있다.

<13> 도 2의 화소 회로는, 다수 제안되어 있는 회로 중에서 가장 단순한 회로 구성이고, 이른바 2트랜지스터 구동 방식의 회로이다.

<14> 도 2의 화소 회로(2a)는, p채널 박막 전계 효과 트랜지스터(이하, TFT라고 한다)(11) 및 다른 TFT(12), 커패시터(C11), 발광 소자인 유기 EL 발광 소자(OLED)(13)를 갖는다. 또한, 도 2에는 신호선(SGL)과 주사선(WSL)이 도시되어 있다.

<15> 유기 EL 발광 소자는 많은 경우 정류성이 있기 때문에, OLED(Organic Light Emitting Diode)라고 불리는 일이 있고, 도 2 등에서는 발광 소자로서 다이오드의 기호를 이용하고 있지만, 이하의 설명에서 OLED에는 반드시 정류성을 요구하는 것은 아니다.

<16> 도 2에서는 TFT(11)의 소스가 전원 전위(Vcc)에 접속되고, OLED(13)의 캐소드(음극)는 접지 전위(GND)에 접속되어 있다. 도 2의 화소 회로(2a)의 동작은 이하와 같다.

<17> 스텝 ST1 :

<18> 주사선(WSL)을 선택 상태(여기서는 저레벨)로 하고, 신호선(SGL)에 기록 전위(Vdata)를 인가하면, TFT(12)가 도통하여 커패시터(C11)가 충전 또는 방전되고, TFT(11)의 게이트 전위는 기록 전위(Vdata)가 된다.

<19> 스텝 ST2 :

<20> 주사선(WSL)을 비선택 상태(여기서는 고레벨)로 하면, 신호선(SGL)과 TFT(11)는 전기적으로 분리되는데, TFT(11)의 게이트 전위는 커패시터(C11)에 의해 안정하게 유지된다.

<21> 스텝 ST3 :

<22> TFT(11) 및 발광 소자(13)에 흐르는 전류는, TFT(11)의 게이트-소스 사이 전압(Vgs)에 대응하는 값으로 되고, OLED(13)는 그 전류치에 대응하는 휘도로 계속 발광한다.

<23> 상기 스텝 ST1과 같이, 주사선(WSL)을 선택하여 데이터선에 주어진 휘도 정보를 화소 내부에 전하는 조작을, 이하 "기록"이라고 부른다.

<24> 상술한 바와 같이, 도 2의 화소 회로(2a)에서는, 기록 전위(Vdata)의 기록을 한 번 행하면, 다음에 재기록되기까지의 동안, OLED(13)는 일정한 휘도로 발광을 계속한다.

<25> 상술한 바와 같이, 화소 회로(2a)에서는, 구동(드라이브) 트랜지스터인 TFT(11)의 게이트 인가 전압을 변화시킴으로써, OLED(13)에 흐르는 전류치를 제어하고 있다.

<26> 이 때, p채널의 드라이브 트랜지스터의 소스는 전원 전위(Vcc)에 접속되어 있고, 이 TFT(11)는 항상 포화 영역에서 동작하고 있다. 따라서, TFT(11)는 하기의 식 1에 따라 결정되는 값의 전류를 공급하는 정전류원으로서 기능한다:

<27> $Ids=1/2 \cdot \mu(W/L)Cox(Vgs-|Vth|)^2 \cdots (1)$

<28> 여기서, μ는 캐리어의 이동도를, Cox는 단위 면적당의 게이트 용량을, W는 게이트 폭을, L은 게이트 길이를, Vgs는 TFT(11)의 게이트-소스 사이 전압을, Vth는 TFT(11)의 임계치를 각각 나타내고 있다.

<29> 단순 매트릭스형 화상 표시 장치에서, 각 발광 소자는, 선택된 순간에만 발광한다. 한편, 액티브 매트릭스형 화상 표시 장치에서는, 상술한 바와 같이, 기록 종료 후에도 발광 소자가 발광을 계속하기 때문에, 단순 매트릭스형 화상 표시 장치에 비하여 발광 소자의 피크 휘도, 피크 전류를 내릴 수 있는 등의 점에서, 특히 대형이며 고정밀한 디스플레이 장치에서는 유리해진다.

<30> 도 3은, 유기 EL 발광 소자의 전류-전압(I-V) 특성의 경시변화를 도시하는 도면이다. 도 3에서, 실선으로 도시하는 곡선이 초기 상태시의 특성을 나타내고, 파선으로 도시하는 곡선이 경시변화 후의 특성을 나타내고 있다.

<31> 일반적으로, 유기 EL 발광 소자의 I-V 특성은, 도 3에 도시하는 바와 같이, 시간이 경과하면 열화되어 버린다.

<32> 그러나, 도 2에 도시된 2트랜지스터 구동 회로에 따르면, 정전류 구동이 사용되기 때문에 유기 EL 발광 소자에는 상술한 바와 같이 정전류가 계속 흐르고, 유기 EL 발광 소자의 I-V 특성이 열화되어도, 그 발광 휘도는 경시열화되는 일은 없다.

<33> 그런데, 도 2의 화소 회로(2a)는, p채널의 TFT에 의해 구성되어 있지만, n채널의 TFT에 의해 구성할 수 있으면, TFT 제작에서 종래의 어모퍼스 실리콘(a-Si) 프로세스를 이용할 수 있게 된다. 이로써, TFT 기판의 저비용화가 가능해진다.

<34> 다음에, 트랜지스터를 n채널 TFT로 치환한 기본적인 화소 회로에 관해 설명한다.

<35> 도 4는, 도 2의 회로의 p채널 TFT를 n채널 TFT로 치환한 화소 회로를 도시하는 회로도이다.

<36> 도 4의 화소 회로(2b)는, n채널 TFT(21, 22), 커패시터(C21), 발광 소자인 유기 EL 발광 소자(OLED)(23)를 갖는다. 또한, 도 4에서, SGL은 데이터선을, WSL은 주사선을 각각 나타내고 있다.

<37> 이 화소 회로(2b)에서, 드라이브 트랜지스터로서 TFT(21)의 드레인측이 전원 전위(Vcc)에 접속되고, 소스는 EL 발광 소자(23)의 애노드에 접속되어 있고, 소스 폴로워 회로를 형성하고 있다.

<38> 도 5는, 초기 상태에서의 드라이브 트랜지스터로서 기능하는 TFT(21)와 OLED(23)의 동작점을 도시하는 도면이다. 도 5에서, 횡축은 TFT(21)의 드레인-소스 사이 전압(Vds)을, 종축은 드레인-소스 사이 전류(Ids)를 각각 나타내고 있다.

<39> 도 5에 도시하는 바와 같이, 소스 전압은 드라이브 트랜지스터인 TFT(21)와 OLED(23)의 동작점으로 정해지고, 게이트 전압에 따라 변하는 값을 갖는다.

<40> TFT(21)가 포화 영역에서 구동되기 때문에, 동작점의 소스 전압에 대한 게이트-소스 전압(Vgs)에 관해 상기 식 1에 의해 주어지는 전류치의 드레인-소스 전류(Ids)가 제공된다.

발명의 내용

해결 하고자하는 과제

<41> 상술한 화소 회로는, 구동(드라이브) 트랜지스터로서의 TFT(21)와, 스위칭 트랜지스터로서의 TFT(22)와, OLED(23)를 갖는 가장 단순한 회로이지만, 전원선에 인가되는 파워 신호로서 2개의 신호로 전환되고, 신호선에 공급되는 영상 신호도 2개의 신호로 전환하여 임계치나 이동도를 보정하는 구성이 채용되는 경우도 있다.

<42> 또는, OLED와 직렬로 접속되는 드라이브(구동) 트랜지스터나 스위칭 트랜지스터 외에, 이동도나 임계치 캔슬용의 TFT 등이 마련된 구성이 채용되는 경우가 있다.

<43> 매트릭스 배열된 화소 회로의 각각에 있어서, 배선을 통하여 게이트 펄스 신호가 이들 스위칭 트랜지스터로서의 TFT 또는 별도 마련된 임계치나 이동도용의 TFT에 인가된다. 게이트 펄스 신호는 액티브 매트릭스형 유기 EL 디스플레이 유닛 패널의 양측 또는 한쪽에 배치되어 있는 라이트 스캐너 등의 수직 스캐너에 의해 생성된다.

<44> 각 화소 회로에서 이 펄스 신호가 인가되는 TFT가 2 또는 그 이상 존재한 경우에는, 각 펄스 신호를 인가하는 타이밍이 중요해진다.

<45> 그런데, 예를 들면 도 6에 도시하는 바와 같이, 라이트 스캐너의 최종단의 버퍼(40)를 통하여, 화소 회로 내의 트랜지스터(TFT)의 게이트에 펄스 신호를 인가하고 있는 배선(41)의 배선 저항(r) 및 배선 용량의 영향에 의해, 펄스의 지연, 트랜지언트(transient)의 변화가 생긴다. 그 때문에, 타이밍에 어긋남이 생기고, 셰이딩이나 줄무늬 얼룩이 발생한다.

<46> 각 화소 회로(2a) 내의 트랜지스터의 게이트까지의 배선 저항은, 스캐너로부터 떨어질수록 증가한다.

<47> 따라서, 패널의 양단을 비교한 경우, 이동도 보정 기간에 차가 생기고, 휘도의 차가 생긴다.

<48> 또한, 최적의 이동도 보정 기간으로부터 어긋나기 때문에, 충분한 기록을 행할 수가 없고, 이동도의 편차을 보정할 수 없는 화소가 출현하고, 줄무늬로서 시인된다는 불이익이 있다.

<49> 또한, 전원 라인의 전압 강하에 의해 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 경우도 있다.

<50> 이들의 문제는, 패널의 대형화, 고정밀화가 진행될수록, 영향이 크다.

<51> 본 발명은, 셰이딩, 줄무늬 얼룩 등의 발생을 억제하는 것이 가능하고, 고화질의 화상을 얻는 것이 가능한 화소 회로 및 표시 장치를 제공하는 것에 있다.

과제 해결수단

<52> 본 발명의 제 1의 실시예에 따르면, 제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터와, 구동 신호가 전파되는 구동 배선을 포함하는 화소 회로가 제공되는데, 상기 트랜지스터의 제어 단자는 상기 구동 배선에 접속되고, 상기 구동 배선은 다른 층의 배선과 접속되어 다층(多層) 배선을 형성한다.

<53> 상기 화소 회로는: 전원용 배선층; 및 층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<54> 상기 화소 회로는: 전원용 배선층과; 층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및 층의 적층 방향에서, 상기 전원용 배선층과 상기 제 1 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 2 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<55> 상기 화소 회로는: 전원용 배선층; 및 층의 적층 방향에서, 상기 전원용 배선층과 다른 층에 형성된 상기 트랜지스터의 제어 단자용 배선층과 동층의 제 1 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<56> 본 발명의 다른 실시예에 따르면, 서로 다른 전압이 인가 가능한 전원 라인과; 기준 전위와; 구동 신호가 전파되는 구동 배선과; 흐르는 전류에 의해 휘도가 변화하는 발광 소자와; 구동 트랜지스터와; 신호선과 상기 구동 트랜지스터의 게이트 사이에 접속되고, 게이트가 상기 구동 배선에 접속되고, 상기 구동 신호에 의해 도통 상태

가 제어되는 스위칭 트랜지스터; 및 상기 구동 트랜지스터의 게이트와 소스 사이에 접속된 커패시터를 포함하는 화소 회로가 제공되는데, 상기 구동 트랜지스터와 상기 발광 소자는 상기 전원 라인과 상기 기준 전위 사이에서 직렬로 접속되고, 상기 구동 배선은 다른 층의 배선과 접속되어 다층 배선을 형성한다.

<57> 상기 화소 회로는: 상기 전원 라인용 배선층; 및 층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<58> 상기 화소 회로는: 상기 전원 라인용 배선층과; 층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 신호 배선층과 동층의 제 1 배선층; 및 층의 적층 방향에서, 상기 전원 라인용 배선층 및 상기 제 1 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 2 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 상기 제 2 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<59> 상기 화소 회로는: 상기 전원 라인용 배선층; 및 층의 적층 방향에서, 상기 전원 라인용 배선층과 다른 층에 형성된 상기 스위칭 트랜지스터의 게이트용 배선층과 동층의 제 1 배선층을 더 포함하며, 상기 구동 배선은, 상기 전원 라인용 배선층과 동층에 형성되며, 또한, 상기 제 1 배선층과 접속되어 다층 배선을 형성하는 것이 바람직하다.

<60> 상기 커패시터는, 층의 적층 방향에서, 상기 구동 배선과 겹쳐지지 않는 위치로 비켜놓아 배치되는 것이 바람직하다.

<61> 본 발명의 또 다른 실시예에 따르면, 매트릭스 형상으로 배열되고, 제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터를 포함하는 복수의 화소 회로와; 상기 화소 회로를 형성하는 트랜지스터의 제어 단자로의 구동 신호를 출력하는 적어도 하나의 스캐너; 및 상기 복수의 화소 회로의 상기 트랜지스터의 제어 단자가 공통으로 접속되고, 상기 스캐너로부터의 구동 신호가 전파되는 적어도 하나의 구동 배선을 포함하는 표시 장치가 제공되는데, 상기 구동 배선은, 다른 층의 배선과 접속되어 다층 배선을 형성한다.

<62> 본 발명의 또 다른 실시예에 따르면, 매트릭스 형상으로 배열되고, 수신되는 구동 신호에 의해 도통 상태가 제어되는 스위칭 트랜지스터를 포함하는 복수의 화소 회로와; 상기 화소 회로를 형성하는 스위칭 트랜지스터의 게이트로 구동 신호를 출력하는 적어도 하나의 스캐너와; 상기 복수의 화소 회로의 상기 스위칭 트랜지스터의 게이트가 공통으로 접속되고, 상기 스캐너로부터의 구동 신호가 전파되는 적어도 하나의 구동 배선; 및 상기 화소 회로에 접속되고, 서로 다른 전압이 인가될 수 있는 적어도 하나의 전원 라인을 포함하는 표시 장치가 제공된다. 상기 화소 회로 각각은, 흐르는 전류에 의해 휘도가 변화하는 발광 소자와; 구동 트랜지스터와; 신호선과 상기 구동 트랜지스터의 게이트 사이에 접속되고, 게이트가 상기 구동 배선에 접속되고, 상기 구동 신호에 의해 도통 상태가 제어되는 상기 스위칭 트랜지스터; 및 상기 구동 트랜지스터의 게이트와 소스 사이에 접속된 커패시터를 포함하며, 상기 구동 트랜지스터와 상기 발광 소자는 상기 전원 라인과 상기 기준 전위 사이에서 직렬로 접속되고, 상기 구동 배선은 다른 층의 배선과 접속되어 다층 배선을 형성한다.

<63> 본 발명의 또 다른 실시예에 따르면, 매트릭스 형상으로 배열되며, 제어 단자에 의해 수신되는 구동 신호에 의해 도통 상태가 제어되는 적어도 하나의 트랜지스터를 각각 포함하는 복수의 화소 회로와 상기 화소 회로를 형성하는 트랜지스터의 제어 단자에 구동 신호를 출력하는 적어도 하나의 스캐너를 포함하는 표시 장치의 제조 방법이 제공되는데, 상기 스캐너로부터의 구동 신호가 전파되는 구동 배선을 배선하는 단계; 및 상기 구동 배선을 다른 층과 접속하여 다층 배선을 형성하는 단계를 포함한다.

효 과

<64> 상기 화소 회로와 표시 장치 및 본 발명의 제조 방법에 의해 제조된 표시 장치에 의하면, 세이딩, 줄무늬 얼룩 등의 발생을 억제하는 것이 가능하고, 고화질의 화상을 얻을 수 있다.

<65> 동일한 도면 부호에 대해 동일한 도면 부호를 병기한 첨부된 도면과 연계한 하기의 상세한 설명과 특허청구범위로부터 본 발명의 상기 및 다른 목적, 특징 및 이점은 명확해질 것이다.

발명의 실시를 위한 구체적인 내용

<66> 도 7은, 본 발명의 제 1의 실시예에 따른 화소 회로를 채용한 유기 EL 표시 장치의 구성을 도시하고, 도 8은,

제 1의 실시예에 따른 화소 회로의 구체적인 구성을 도시한다.

<67> 이 표시 장치(100)는, 도 7 및 도 8에 도시하는 바와 같이, 화소 회로(101)가 m×n의 매트릭스 형상으로 배열된 화소 어레이부(102), 수평 실렉터(HSEL)(103), 라이트 스캐너(WSCN)(104), 파워 드라이브 스캐너(PDSCN)(105), 수평 실렉터(103)에 의해 선택되고 휘도 정보에 응한 데이터 신호(Vsig)나 오프셋 신호(Vofs)의 입력 신호(SIN)가 공급되는 신호선(SGL101 내지 SGL10n), 라이트 스캐너(104)에 의한 게이트 펄스(주사 펄스)(GP)에 의해 선택 구동되는 구동 배선으로서의 주사선(WSL101 내지 WSL10m), 및 파워 드라이브 스캐너(105)에 의해 선택적으로 Vcc(예를 들면 전원 전압) 또는 VSS(예를 들면 부측(負側) 전압)에 설정되는 파워 신호(PSG)가 인가되어 구동되는 구동 배선으로서의 파워 구동선(PSL101 내지 PSL10m)를 갖는다.

<68> 또한, 화소 어레이부(102)에서, 화소 회로(101)는 m×n의 매트릭스 형상으로 배열되지만, 도 7에서는 도면의 간략화를 위해 2(=m)×3(=n)의 매트릭스 형상으로 배열한 예를 도시하고 있다.

<69> 또한, 도 8에서도, 도면의 간략화를 위해 하나의 화소 회로의 구체적인 구성을 도시하고 있다.

<70> 본 실시예에 따른 화소 회로(101)는, 도 8에 도시하는 바와 같이, 구동 트랜지스터로서의 n채널 TFT(111), 스위칭 트랜지스터로서의 n채널 TFT(112), 커패시터(C111), 유기 EL 발광 소자(OLED : 전기광학 소자)로 이루어지는 발광 소자(113), 제 1의 노드(ND111), 및 제 2의 노드(ND112)를 갖는다.

<71> 화소 회로(101)에서, 파워 구동선(전원 라인)(PSL)(101 내지 10m)과 소정의 기준 전위(Vcat)(예를 들면 접지 전위) 사이에 구동 트랜지스터로서의 TFT(111), 노드(ND111), 및 발광 소자(OLED)(113)가 직렬로 접속되어 있다.

<72> 구체적으로는, 발광 소자(113)의 캐소드가 기준 전위(Vcat)에 접속되고, 애노드가 제 1의 노드(ND111)에 접속되고, TFT(112)의 소스가 제 1의 노드(ND111)에 접속되고, TFT(111)의 드레인이 파워 구동선(PSL)에 접속되어 있다.

<73> 그리고, TFT(111)의 게이트가 제 2의 노드(ND112)에 접속되어 있다.

<74> 또한, 커패시터(C111)의 제 1 전극이 제 1의 노드(ND111)에 접속되고, 커패시터(C111)의 제 2 전극이 제 2의 노드(ND112)에 접속되어 있다.

<75> 신호선(SGL)과 제 2의 노드(ND112) 사이에 TFT(112)의 소스와 드레인이 각각 접속되어 있다. 그리고, TFT(112)의 게이트가 주사선(WSL)에 접속되어 있다.

<76> 이와 같이, 본 실시예에 따른 화소 회로(101)는, 드라이브 트랜지스터로서의 TFT(111)의 게이트-소스 사이에 화소 용량으로서의 커패시터(C111)가 접속되어 있다.

<77> 도 9의 A 내지 C는, 도 8의 화소 회로의 기본적인 동작을 도시하는 타이밍 차트이다.

<78> 도 9의 A는 주사선(WSL)에 인가되는 게이트 펄스(주사 펄스)(GP)를, 도 9의 B는 파워 구동선(PSL)에 인가되는 파워 신호(PSG)를, 도 9의 C는 신호선(SGL)에 인가되는 입력 신호(SIN)를, 각각 나타내고 있다.

<79> 화소 회로(101)의 발광 소자(113)를 발광시키는데는, 비발광 기간에, 도 9의 A 내지 C에 도시하는 바와 같이, 파워 구동선(PSL)에 파워 신호(VSS)(예를 들면 부전압)를 인가하고, 신호선(SGL)에 오프셋 신호(Vofs)를 전파시켜 TFT(112)를 통하여 제 2의 노드(ND112)에 입력하고, 그 후, 파워 구동선(PSL)에 파워 신호(Vcc)(전원 전압 상당)를 인가하여, TFT(111)의 임계치를 보정한다.

<80> 그 후, 신호선(SGL)에 휘도 정보에 응한 데이터 신호(Vsig)를 인가하고, TFT(112)를 통하여 제 2의 노드(ND112)에 신호를 기록한다. 이 때, TFT(111)에 전류를 흘리면서 기록을 행하기 때문에, 동시 병렬적으로, 이동도 보정이 행하여진다.

<81> 그리고, TFT(112)를 비도통 상태로 하여, 휘도 정보에 응하여 발광 소자(113)를 발광시킨다.

<82> 그리고, 본 실시예의 표시 장치(100)에서는, 화소 회로(101) 내의 TFT(트랜지스터)의 게이트에 인가하는 구동 펄스(게이트 펄스)를 인가하고 있는 배선인 주사선(WSL)의 배선 저항이나 배선 용량에 의한 펄스 지연에 기인하는 세이딩, 줄무늬 얼룩을 개선하기 위해, 및/또는, 전원 라인의 전압 강하에 수반하여 세이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 개선하기 위해, 즉 화질 등을 개선하기 위해, 이하의 대책을 행하고 있다.

<83> 도 10은, 화질 등을 개선하기 위한 제 1의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인

평면도와 단면도이다.

<84> 도 10을 참조하면, 제 1의 대책예에서는, 각 화소 회로(101)의 스위칭 트랜지스터인 TFT(112)의 게이트(GT)가 접속되는 주사선(게이트 라인)(WSL)을, 저저항의 금속, 예를 들면 알루미늄(Al) 등으로 형성되는 전원 라인(파워 신호선)(PSL)과 동(同)층에서 동(同)재료의 배선으로서 형성하고, 저저항의 금속, 예를 들면 알루미늄(Al) 등으로 형성되는 신호선(SGL)을, 주사선(WSL) 및 전원 라인(PSL)보다 하층(도시하지 않은 기판측의 층)으로서 형성하고 있다.

<85> 그리고, 상층에 있는 주사선(WSL)과, 이 주사선(WSL)보다 하층에 있는 신호선(SGL)과 동층에서 동재료의 저저항 배선층(제 1 배선층)(114)을, SIN이나 SiO_2 등의 층간절연막(115)에 형성한 콘택트(116)를 통하여 접속하고, 2단(段) 배선 구조로 하고 있다.

<86> 또한, 본 제 1의 대책예에서는, 커패시터(C111)를 주사선(WSL)과 층의 적층 방향에서, 겹쳐지지 않는 위치로 비켜놓아 배치하고 있다.

<87> 또한, 각 화소 회로의 TFT(112)는, 이른바 보텀 게이트형이고, 그 게이트 전극(제어 단자)는 도시하지 않은 절연막에 형성된 콘택트를 통하여 끌어올려져서, 주사선(WSL)에 접속되어 있다.

<88> 일반적으로, TFT의 게이트 전극은, 고저항 배선, 예를 들면 몰리브덴(Mo), 탄탈(Ta) 등의 금속 또는 합금을 스퍼터링 등의 방법으로 성막하여 형성된다.

<89> 이상과 같이, 제 1의 대책예에서는, 주사선(게이트 라인)(WSL)을 저저항의 전원 배선과 동일한 층과 신호선과 동일한 층(114)의 2단 배선으로 레이아웃하는 것을 특징으로 하고 있다.

<90> 이와 같은 특징을 갖는 제 1의 대책예에 의하면, 주사선(게이트 라인)(WSL)의 저항, 용량을 작게 할 수 있다. 즉, 전원 라인을 형성하는 배선층은 저저항 금속으로 형성되고, 신호선(SGL)을 형성하는 배선층도 저저항 금속으로 형성되기 때문에, 2단 배선으로 함에 의해, 주사선(WSL)의 저항은 반분 정도로 하는 것이 가능하다. 이 때문에, 스위칭 트랜지스터로서의 TFT(112)의 게이트 라인의 트랜지언트를 빨리 하는 것이 가능해진다.

<91> 또한, 라이트 스캐너(103)의 게이트 펄스(제어 신호)(GP)의 주사선(WSL)에의 출력단측과, 이 출력단부터 떨어진 위치의 게이트 펄스(GP)의 펄스 폭의 차를 작게 할 수 있어서, 기록 부족이나 얼룩, 셰이딩이 없는 균일한 화질을 얻는 것이 가능해진다.

<92> 그리고, 게이트 라인의 트랜지언트를 고속화하는 것이 가능해지고, 고정밀화가 실현 가능해진다는 이점이 있다.

<93> 도 11은, 도 10의 비교예로서 주사선(게이트 라인)과 층의 적층 방향으로 겹쳐지는 위치에 용량(커패시터)을 배치한 구성을 도시하는 도면이다.

<94> 도 11에 도시하는 바와 같이, 주사선(게이트 라인)(WSL)의 층의 적층 방향으로 겹쳐지는 위치에 용량(커패시터)이나 신호선을 배치한 구성을 취함으로써, 주사선(WSL)의 기생 용량을 증가시키는 경향에 있다.

<95> 이에 대해, 본 제 1의 대책예와 같이, 커패시터(C111)를 주사선(WSL)과 층의 적층 방향에서, 겹쳐지지 않는 위치로 비켜놓아 배치하고, 주사선(WSL) 아래에는 신호선(SGL)만이 오버랩하는 상태로 되어, 기생 용량의 증가를 방지할 수 있고, 게이트 펄스의 전파 속도의 더한층의 고속화를 실현하는 것이 가능해진다.

<96> 다음에, 주사선(게이트 라인)(WSL)을, 저저항의 금속, 예를 들면 알루미늄(Al) 등으로 형성되는 전원 라인(파워 신호선)(PSL)과 동층에서 동재료의 배선으로서 형성하고, 이 주사선(WSL)보다 하층에 있는 신호선(SGL)과 동층에서 동재료의 저저항 배선층(114)을, SIN이나 SiO_2 등의 층간절연막(115)에 형성하는 콘택트(116)을 통하여 접속하고, 2단 배선 구조로 한 이유에 관해 기술한다.

<97> 도 12는, 본 실시예에 따른 대책을 적용하지 않고, 주사선(게이트 라인)을 TFT의 게이트 전극과 동층에서 동재료의 고저항 배선으로 형성한 경우의 화소의 주요부의 평면도이다.

<98> 도 12의 구성을 갖는 화소 회로에서의 기록에 관해 고찰한다.

<99> 도 9에도 관련지어 설명한 바와 같이, 본 화소 회로에서는, 기록과 이동도 보정을 신호선(SGL)의 입력 신호(SIN)의 상승(Vofs로부터 Vsig)과 주사선(WSL)에 인가하는 게이트 펄스(GP)의 하강에서 결정하고 있다.

<100> 이 방식에서는, 라이트 스캐너(104)의 주사선(WSL)으로의 게이트 펄스(GP)의 출력단과, 이 GP 출력단으로부터 떨어진 위치(도 13으로는 GP 출력 역측(逆側)으로서 도시)에서 펄스가 무뎌져 버리고, 도 13의 A 내지 D에 도시

하는 바와 같이, 기록 시간이 GP 출력단측과 GP 출력 역측에서 달라져 버린다. 구체적으로는 패널의 입력 역측의 쪽이, 기록 시간이 길어져 버리기 때문에, 화상에서는 세이딩으로 되어 나타나 버린다.

<101> 이 대책으로서, 도 14의 A 내지 C에 도시되는 바와 같은 타이밍에서 기록을 행하는 것이 가능하다.

<102> 이 방법은 기록과 이동도 보정을, 신호선(SGL)의 상승과 게이트 펄스(GP)의 하강에서 정하는 것이 아니라, 게이트 펄스(GP)의 상승과 게이트 펄스(GP)의 하강에서 결정하고 있다.

<103> 그러나, 이 방식의 기록에서도, 도 15의 A 내지 D에 도시하는 바와 같이, 신호의 계조에 의해 기록 시간이, 라이트 스캐너(105)의 게이트 펄스(GPN)의 출력단측과 GP 출력단 역측에서 달라져 버리고, 세이딩의 원인이 되어 버리는 경우가 있다.

<104> 또한, 도 14의 A 내지 C의 방식에서는, 기록을 게이트 펄스(GP)만으로 결정할 필요가 있다. 기록 시간을 너무 길게 취하면 구동 트랜지스터의 소스는 상승을 계속하여 버리기 때문에 휘도를 취하기 위해서는 기록 시간은 짧게 설정하지 않을 수 없다.

<105> 그러나, 대형화가 진행됨에 따라, 주사선(게이트 라인)(WSL)의 부하는 커지고, 도 16의 A 내지 D에 도시하는 바와 같이, 게이트 펄스(GP)의 출력단에서 짧은 폭의 펄스가 출력되어도 GP 출력단 역측에서는 펄스의 변형 또는 열화에 의해 기록을 행하는 것이 곤란해진다.

<106> 전술한 바와 같이, 일반적으로 게이트 배선은 고저항 금속(Mo 등)으로 배선되어 있기 때문에 부하가 커진다.

<107> 그래서, 본 실시예에서는, 주사선(게이트 라인)(WSL)을, 저저항의 금속, 예를 들면 알루미늄(Al) 등으로 형성되는 전원 라인(파워 신호선)(PSL)과 동층에서 동재료의 배선으로서 형성하고 있다.

<108> 그래서, 대형화, 고정밀화를 고려한 경우, 더한층의 저저항화, 저용량화가 요망되기 때문에, 주사선(WSL)보다 하층에 있는 신호선(SGL)과 동층에서 동재료의 저저항 배선층(114)을, SIN이나 SiO_2 등의 층간절연막(115)에 형성한 콘택트(116)를 통하여 접속하고, 2단 배선 구조로 하고, 및/또는, 커패시터(C111)를 주사선(WSL)과 층의 적층 방향에서, 겹쳐지지 않는 위치로 비켜놓아 배치하고 있다.

<109> 도 17은, 화질 등을 개선하기 위한 제 2의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 평면도와 단면도이다.

<110> 도 17의 제 2의 대책예가 도 10의 제 1의 대책예와 다른 점은, 신호선(SGL)과 동층에서 동재료로 형성되는 배선층(제 1 배선층)(114)의 더욱 하층에, 고저항 금속으로 형성되는 TFT의 게이트 전극과 동층에서 동재료의 배선층(제 2 또는 제 1 배선층)(117)을, 게이트 절연막(118)에 형성하는 콘택트(119)로 접속하고, 저저항 배선층인 주사선(게이트 라인)(WSL)과, 저저항 배선인 배선층(114)과, 고저항 배선인 배선층(117)을 다층화 접속하여 3단 배선 구조로 한 것에 있다.

<111> 이로써, 주사선(WSL)의 저항을 더욱 감소시키는 것이 가능해진다.

<112> 본 제 2의 대책예를 적용함으로써, 게이트 배선의 부하를 작게 할 수 있고, 트랜지언트의 고속화가 가능하다. 그것에 의해 고정밀화가 가능하게 된다.

<113> 도 18은, 화질 등을 개선하기 위한 제 3의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 평면도와 단면도이다.

<114> 도 18의 제 3의 대책예가 도 17의 제 2의 대책예와 다른 점은, 신호선(SGL)과 동층이며, 또한 동재료로 형성된 배선층(114)을 경유하는 일 없이, 더욱 하층에, 고저항 금속으로 형성되는 TFT의 게이트 전극과 동층에서 동재료의 배선층(117)을, 층간절연막(115), 게이트 절연막(118)에 형성한 콘택트(120)로 접속하고, 저저항 배선층인 주사선(게이트 라인)(WSL)과, 고저항 배선인 배선층(제 1 배선층)(117)을 다층화 접속하여 2단 배선 구조로 한 것에 있다.

<115> 이 구성에서도, 주사선(WSL)의 저항을 감소시키는 것이 가능해진다.

<116> 본 제 3의 대책예를 적용하는 것으로도, 게이트 배선의 부하를 작게 할 수 있고, 트랜지언트의 고속화가 가능하다. 그것에 의해 고정밀화가 가능하게 된다.

<117> 도 19는, 화질 등을 개선하기 위한 제 4의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<118> 본 제 4의 대책예는, 전원 라인의 전압 강하에 수반하여 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 개선하기 위해, 전원 라인(파워 구동선)(PSL)을 다층 배선화한다.

<119> 전술한 바와 같이, 본래의 전원 라인(PSL)은 주사선(게이트 라인)(WSL)과 동층에서 동재료의 저저항 배선(Al 등)에 의해 게이트 절연막(118)의 소정의 위치에 형성된다.

<120> 그리고, 전원 라인(PSL)상에 형성한 층간절연막(115)에 콘택트(121)가 형성되고, 층간절연막(115)상에 형성한 Al 등의 저저항 배선층(122)을 콘택트(121)를 통하여 전원 라인(PSL)과 접속하여 다층화하고, 전원 라인을 2단 배선 구조로 하여, 저저항화를 도모하고, 전압 강하에 수반하여 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 개선하고 있다.

<121> 또한, 도 19에서는, 상층의 전원용 배선층(122)상에 평탄화막(123)이 형성되고, 평탄화막(123)에 애노드 전극(125)이 형성되어 있다.

<122> 본 제 4의 대책예에 의하면, 전원 라인의 전압 강하에 수반하여 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 억제할 수 있다.

<123> 도 20은, 화질 등을 개선하기 위한 제 5의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<124> 본 제 5의 대책예에서는, 예를 들면 상술한 바와 같이 전원 라인(PSL)을 다층 배선화한 경우 등이라도, 구동 트랜지스터로서의 TFT(111)의 위, 즉 층의 적층 방향의 상층측에 전원 라인(PSL)이 배치 또는 형성되지 않도록 하고 있다.

<125> 환언하면, 본 제 5의 대책예에서는, TFT(111)의 배치 영역의 상층에 전원 라인(PSL)가 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성으로 하고 있다.

<126> 구체적인 구성을 설명한다.

<127> 보텀 게이트 구조의 TFT(111)는, 도 20에 도시하는 바와 같이, 투명 절연 기판(예를 들면 유리 기판)(131)상에 게이트 절연막(132)으로 덮여진 게이트 전극(133)이 형성되어 있다. 게이트 전극(133)는 제 2의 노드(ND112)와 접속된다.

<128> 전술한 바와 같이, 게이트 전극은, 예를 들면 몰리브덴(Mo), 탄탈(Ta) 등의 금속 또는 합금을 스퍼터링 등의 방법으로 성막하여 형성된다.

<129> TFT(111)는, 게이트 절연막(132)상에 반도체막(채널 형성 영역)(134), 및 반도체막(134)를 끼우고 한 쌍의 n+확산층(135, 136)이 형성되어 있다. 반도체막(134)상에 STO(137)가 형성된 후, 층간절연막(138)이 형성되어 있다.

<130> 또한, 도시하지 않지만, 폴리실리콘을 이용한 경우, 반도체막(134)와 각 n+확산층(135, 136) 사이에는 각각 n-확산층(LDD)이 형성된다.

<131> n+확산층(135)에는, 층간절연막(138)에 형성된 콘택트 홀(139a)을 통하여 소스 전극(140)이 접속되고, n+확산층(136)에는, 층간절연막(138)에 형성된 콘택트 홀(139b)을 통하여 드레인 전극(141)이 접속된다.

<132> 소스 전극(140) 및 드레인 전극(141)은, 예를 들면 알루미늄(Al)을 패터닝한 것이다. 소스 전극(140)은 예를 들면 발광 소자(113)의 애노드가 접속되고, 드레인 전극(141)은 도 20에 도시하지 않은 접속 전극을 통하여 전원 라인(PSL)과 접속된다.

<133> 그리고, TFT(111)상에서, 층간절연막(138), 소스 전극(140), 드레인 전극(141)을 덮도록, 절연막(142)이 적층되어 있다.

<134> 여기서, 도 20과 같이 TFT(111)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용한 이유에 관해 기술한다.

<135> 도 21은, 도 20의 비교예로서 TFT(111)상에 전원 라인을 배치한 구성을 도시하는 단면도이다. 도 22는, 도 21의 등가 회로를 도시하는 도면이다.

<136> 도 21에서는, TFT(111)의 드레인 전극(141)이 층간절연막(142)에 형성된 콘택트(143)를 통하여 층간절연막(142)에 형성된 전원 라인용 배선층(122)과 접속되어 있다.

<137> 여기서 어모퍼스 실리콘 TFT에 관해 고찰한다.

<138> 구동 트랜지스터인 TFT(111)의 상층에 전원 전위가 존재하면, 도 21중에 파선으로 도시하는 바와 같이, 블랙 표시시에서 어모퍼스 실리콘 내의 전자가 전원에 끌어당겨져서 게이트와는 역측에 채널을 형성하여 버리는 백게이트 효과가 발현한다.

<139> 이 결과, 구동 트랜지스터의 리크 전류가 커진다. 이 리크 전류가 크면 블랙 표시시에 휘점(輝點)이 되어 표시 화상에 나타난다.

<140> 그래서, 본 실시예에서는, 도 20에 도시하는 바와 같이, TFT(111)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하고 있다.

<141> 본 제 5의 대책예에 의하면, TFT(111)상에 전원 배선을 레이아웃하지 않음으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<142> 도 23은, 화질 등을 개선하기 위한 제 6의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<143> 본 제 6의 대책예에서는, 제 5의 대책예와 마찬가지로, 예를 들면 상술한 바와 같이 전원 라인(PSL)을 다층 배선화한 경우 등이라도, 스위칭 트랜지스터(기록하고 트랜지스터)로서의 TFT(112)의 위, 즉 층의 적층 방향의 상층측에 전원 라인(PSL)이 배치 또는 형성되지 않도록 하고 있다.

<144> 환언하면, 본 제 6의 대책예에서도, TFT(112)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성으로 하고 있다.

<145> 도 23은, 제 6의 대책예의 구체적인 구성을 도시하고 있지만, 기본적인 구성은 제 5의 대책예의 경우와 같은 것이여서, 동일한 구성 요소에 관해서는 도 20과 동일 부호로써 나타내고 있다. 그리고, 그 구체적인 설명은 생략한다.

<146> 여기서, 도 23과 같이 TFT(112)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용한 이유에 관해 기술한다.

<147> 도 24는, 도 23의 비교예로서 TFT(112)상에 전원 라인을 배치한 구성을 도시하는 단면도이다. 도 25는, 도 23의 등가 회로를 도시하는 도면이다.

<148> 도 24에서는, TFT(112)의 드레인 전극(141)이 층간절연막(142)에 형성한 콘택트(143)를 통하여 층간절연막(142)에 형성된 전원 라인용 배선층(122)과 접속되어 있다.

<149> 기록 트랜지스터로서의 TFT(112)에 대해서도, 전술한 구동 트랜지스터로서의 TFT(111)와 마찬가지로, 도 24에 도시하는 바와 같이, 전원 전위가 트랜지스터의 위에 있으면 트랜지스터가 오프시에 전원의 전계에 의해 어모퍼스 실리콘 내의 전자가 전원측으로 끌어당겨진다.

<150> 그 결과, 백게이트 효과가 발현하고, 게이트와는 역측에 채널이 형성되고 리크 전류가 커짐으로써 구동 트랜지스터의 유지 전위가 변화하고, 그림에는 얼룩이나 거친 무늬로 되어 나타난다.

<151> 그래서, 본 실시예에서는, TFT(112)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하고 있다.

<152> 본 제 6의 대책예에 의하면, TFT(112)상에 전원 배선을 레이아웃하지 않음으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<153> 도 26은, 화질 등을 개선하기 위한 제 7의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<154> 도 26에 도시된 본 제 7의 대책예가 도 20에 도시된 제 5의 대책예와 다른 점은, 구동 트랜지스터로서의 TFT(111)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하는 대신에, TFT(111)의 상층에 캐소드용 배선층(143)을 배치 또는 형성한 것에 있다.

<155> 이와 같이, 본 제 7의 대책예에서는, TFT(111)상에 전원 배선이 아니라, 캐소드 배선(143)을 레이아웃한다.

<156> 그 이유는, 캐소드 전압은 블랙 표시시의 구동 트랜지스터인 TFT(111)의 게이트 전압이나 신호 전압, 구동 트랜지스터인 TFT(111)의 소스 전압보다도 낮은 전압이기 때문에, 백게이트 효과는 일어나지 않기 때문이다.

<157> 본 제 7의 대책예에 의하면, TFT(111)상에 캐소드용 배선(143)을 레이아웃함으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<158> 도 27은, 화질 등을 개선하기 위한 제 8의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<159> 도 27에 도시된 제 8의 대책예가 도 23에 도시된 제 6의 대책예와 다른 점은, 제 7의 대책예와 마찬가지로, 기록 트랜지스터로서의 TFT(112)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하는 대신에, TFT(112)의 상층에 캐소드용 배선층(143)을 배치 또는 형성한 것에 있다.

<160> 이와 같이, 본 제 8의 대책예에서는, TFT(112)상에 전원 배선이 아니라, 캐소드 배선(143)을 레이아웃한다.

<161> 그 이유는, 캐소드 전압은 블랙 표시시의 기록 트랜지스터인 TFT(112)의 게이트 전압 등보다도 낮은 전압이기 때문에, 백게이트 효과는 일어나지 않기 때문이다.

<162> 본 제 8의 대책예에 의하면, TFT(112)상에 캐소드용 배선(143)을 레이아웃함으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<163> 도 28은, 화질 등을 개선하기 위한 제 9의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<164> 본 제 9의 대책예가 상기한 제 6의 대책예와 다른 점은, 기록 트랜지스터로서의 TFT(112)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하는 대신에, TFT(112)의 상층에 주사선(게이트 라인)(WSL144)을 배치 또는 형성한 것에 있다.

<165> 이와 같이, 본 제 9의 대책예에서는, TFT(112)의 상층, TFT(112)의 게이트 라인인 주사선(WSL)을 레이아웃한다.

<166> 그 이유는, TFT(112) 게이트 전압도 구동 트랜지스터인 TFT(111)의 게이트 전압이나 신호 전압, 구동 트랜지스터인 TFT(111)의 소스 전압보다도 낮은 전압이기 때문에, 백게이트 효과는 일어나지 않는다.

<167> 또한, TFT(112)에 관해서는, TFT(112)가 온일 때에 대해 게이트측뿐만 아니라, 게이트와 역측도 채널이 형성되어 온 한다.

<168> 이 결과, TFT(112)의 온 저항은 통상(레이아웃하지 않은 때)보다도 내려가고, 고속 기록을 실현할 수 있다.

<169> 본 제 9의 대책예에 의하면, TFT(112)상에 주사선(WSL)을 레이아웃함으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<170> 또한, TFT(112)상에 TFT(112)의 게이트 라인인 주사선(WSL)을 레이아웃함으로써, TFT(112)가 온 하고 있을 때, 그 온 저항을 통상보다도 내리는 것이 가능해지고, 고속 기록을 실현할 수 있다.

<171> 고속 기록을 실현할 수 있기 때문에 고정밀화가 가능하게 된다.

<172> 도 29는, 화질 등을 개선하기 위한 제 10의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<173> 도 29에 도시한 제 10의 대책예가 상기한 제 5의 대책예와 다른 점은, 상기한 제 9의 대책예와 마찬가지로, 구동 트랜지스터로서의 TFT(111)의 배치 영역의 상층에 전원 라인(PSL)이 겹쳐지지 않도록, 또한, 전원 라인(PLS)으로부터의 전계의 영향을 받지 않는 구성을 채용하는 대신에, TFT(111)의 상층에 TFT(112)의 게이트가 접속된 주사선(게이트 라인)(WSL144)을 배치 또는 형성한 것에 있다.

<174> 이와 같이, 본 제 10의 대책예에서는, TFT(111)의 상층에, TFT(111)의 게이트 라인인 주사선(WSL)을 레이아웃한

다.

<175> 그 이유는, TFT(111) 게이트 전압도 구동 트랜지스터인 TFT(111)의 게이트 전압이나 신호 전압, 구동 트랜지스터인 TFT(111)의 소스 전압보다도 낮은 전압이기 때문에, 백게이트 효과는 일어나지 않는다.

<176> 본 제 10의 대책예에 의하면, TFT(111)상에 주사선(WSL)을 레이아웃함으로써 블랙 표시시, 또는 트랜지스터가 오프시에 게이트와 역측으로 전자가 끌어당겨지는 일이 없어지고, 백게이트 효과가 일어나는 것을 막을 수 있고, 블랙 표시시의 휘점이나 얼룩, 거친 무늬라는 불량을 없앨 수 있다.

<177> 도 30은, 화질 등을 개선하기 위한 제 11의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도이다.

<178> 전술한 제 4의 대책예에서, 전원 라인의 전압 강하에 수반하여 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 개선하기 위해, 전원 라인(파워 구동선)(PSL)을 다층 배선화하는 것을 설명하였다.

<179> 본 제 11의 대책예에서는, 통상 애노드의 금속으로 형성된 배선되는 캐소드 배선을 전원 라인(파워 구동선)(PSL)의 전원 라인층과 동층이며, 또한 동재료의 저저항 배선으로 다층화하고 있다.

<180> 도 19에 관련지어 설명한 바와 같이, 본래의 전원 라인(PSL)은 주사선(게이트 라인)(WSL)과 동층에서 동재료의 저저항 배선(Al 등)에 의해 게이트 절연막(118)의 소정의 위치에 형성된다.

<181> 그리고, 전원 라인(PSL)상에 형성한 층간절연막(115)에 콘택트(121)가 형성되고, 층간절연막(115)상에 형성한 Al 등의 저저항 배선층(122)을 콘택트(121)를 통하여 전원 라인(PSL)과 접속하여 다층화하고, 전원 라인을 2단 배선 구조로 하여, 저저항화를 도모하고, 전압 강하에 수반하여 셰이딩 등의 얼룩이 발생하고, 화상에는 얼룩이나 거친 무늬로서 발생하는 것을 개선하고 있다.

<182> 또한, 절연막(115)상에는, 전원 라인(PSL)용의 저저항 배선층(122)과 병렬로, 캐소드용 저저항 배선층(145)이 형성되어 있다.

<183> 예를 들면, 상층의 전원용 배선층(122) 및 캐소드용 배선층(145)상에 평탄화막(123)이 형성되고, 평탄화막(123)에 콘택트(124, 146)를 형성하고, 전원용 배선층(122)은, 평탄화막(123)상에 형성한 애노드 전극(125)과 콘택트(124)를 통하여 접속되고, 캐소드용 배선층(145)은, 콘택트(146)를 통하여 평탄화막(123)상에 형성된 소면적의 캐소드 패드(147)에 접속된다.

<184> 애노드 전극(125)상에 EL 발광 소자 재료층(148)이 형성되고, 캐소드 패드(147)와 애노드 전극(125), EL 발광 소자 재료층(148) 사이 등에 절연막(149)이 형성되고, EL 발광 소자(148), 절연막(149), 및 캐소드 패드(147)상에 캐소드 전극이 형성되어 있다.

<185> 이와 같이, 본 제 11의 대책예에서는, 캐소드 라인을 다층화한 전원 배선과 동층에서 레이아웃한다.

<186> 캐소드 배선을 다층화함으로써 캐소드 입력단부터 가장 먼 부분의 캐소드의 전압 상승을 작게 억제할 수 있고, 균일한 화질을 얻을 수 있다.

<187> 또한, 캐소드 라인을 전원 배선층에서 레이아웃함으로써 패널 중앙부의 전압 상승을 막고, 또한, 도 30 및 도 31에 도시하는 바와 같이, EL 발광 소자(113)(148)의 발광 영역(개구)도 크게 확보하는 것이 가능해진다.

<188> 도 32는, 본 실시예에 따른 대책을 적용하지 않고, 캐소드 라인을 형성한 경우의 화소의 주요부의 단면도이고, 도 33은 그 평면도이다.

<189> 여기서 패널의 발광 영역 또는 개구율에 관해 생각한다.

<190> 발광 영역 또는 개구율을 크게 취하는 수법으로서는 톱 이미션 방식을 들 수 있다. 일반적으로, 톱 이미션 방식에서는, 도 32 및 도 33에 도시하는 바와 같이, EL 발광 소자(148)의 애노드 배선층(125)에서 캐소드를 형성하는 것이 특징으로 되어 있다.

<191> 그러나, 패널의 대형화, 고정밀화가 진행됨에 따라, 발광시에 있어서의 패널 중심(캐소드 취출로부터 가장 먼 부분)에서의 전압 상승에 의한 화질 얼룩을 막기 위해 캐소드 라인은 굵게 배선할 필요가 있고, 그 만큼 개구율도 내려가 버린다. 개구율이 내려감으로써 EL 발광 소자(148)에 흐르는 전류 밀도가 커져 버리고 수명이 짧아진다는 문제가 발생한다.

<192> 이에 대해, 본 제 11의 대책예에서는, 전술한 바와 같이, 캐소드 라인을 다층화한 전원 배선과 동층에서 레이아웃하는 것을 특징으로 하고 있고, 캐소드 라인을 전원 레이어에서 레이아웃함으로써 패널 중앙부의 전압 상승을 막고, 게다가 또한 개구도 크게 확보하는 것이 가능해진다.

<193> 그 결과, 발광 시EL 발광 소자(148)에 흐르는 전류 밀도를 작게 할 수 있다. 그 결과, 장수명화가 실현 가능해진다.

<194> 캐소드 배선을 다층화함으로써 캐소드 입력단부터 가장 먼 부분의 캐소드의 전압 상승을 작게 억제할 수 있고, 균일한 화질을 얻을 수 있다.

<195> 또한, 본래 다층 배선화는 층수가 증가하여 버리기 때문에 비용이 증가하게 되지만, 본 실시예에서는 도 8의 회로, 즉, 2개의 트랜지스터와 1개의 커패시터를 포함하는 2Tr+1C 화소 회로에 대해 이러한 다층 배선화가 수행되고, 2Tr+1C 화소 회로는 게이트 라인을 2층으로 할 필요가 없기 때문에, 비용적으로는 종래의 것과 다르지 않다.

<196> 다음에, 상기 구성의 보다 구체적인 동작을, 화소 회로의 동작을 중심으로, 도 34의 A 내지 E, 및 도 35 내지 도 42에 관련지어 설명한다.

<197> 또한, 도 34의 A는 주사선(WSL)에 인가되는 게이트 펄스(주사 펄스)(GP)를, 도 34의 B는 파워 구동선(PSL)에 인가되는 파워 신호(PSG)를, 도 34의 C는 신호선(SGL)에 인가되는 입력 신호(SIN)를, 도 34의 D는 제 2의 노드(ND112)의 전위(VND112)를, 도 34의 E는 제 1의 노드(ND111)의 전위(VND111)를, 각각 도시하고 있다.

<198> 우선, EL 발광 소자(113)의 발광 상태시는, 도 34의 B 및 도35에 도시하는 바와 같이, 파워 구동선(PSL)에는 전원 전압(Vcc)이 인가되고, TFT(112)가 오프한 상태이다.

<199> 이 때, 구동 트랜지스터인 TFT(111)는 포화 영역에서 동작하도록 설정되어 있기 때문에, EL 발광 소자(113)에 흐르는 전류(Ids)는 TFT(111)의 게이트-소스 사이 전압(Vgs)에 응하여 식 1에 표시하는 값을 취한다.

<200> 다음에, 비발광 기간에서, 도 34의 B 및 도36에 도시하는 바와 같이, 전원 라인인 파워 구동선(PSL)을 Vss로 한다. 이 때, 전압(Vss)이 EL 발광 소자(113)의 임계치(Vthel)와 캐소드 전압(Vcat)의 합보다도 작은 때, 즉 Vss<Vthel+Vcat라면 EL 발광 소자(113)는 소광(消光)하고, 전원 라인인 파워 구동선(PSL)이 구동 트랜지스터로서의 TFT(111)의 소스가 된다. 이 때, EL 발광 소자(113)의 애노드(노드(ND111))는, 도 34의 E에 도시하는 바와 같이, Vss로 충전된다.

<201> 또한, 도 34의 A, C, D, E, 및 도 37에 도시하는 바와 같이, 신호선(SGL)의 전위가 오프셋 전압(Vofs)이 되었을 때에, 게이트 펄스(GP)는 하이 레벨로 설정하여 TFT(112)를 온 하고, TFT(111)의 게이트 전위를 Vofs로 한다.

<202> 이 때, TFT(111)의 게이트-소스 사이 전압은 (Vofs-Vss)라는 값을 취한다. 이 TFT(111)의 게이트-소스 사이 전압(Vofs-Vss)이 TFT(111)의 임계치 전압(Vth)보다도 크지 않다(낮다)면 임계치 보정 동작을 행할 수가 없기 때문에, TFT(111)의 게이트-소스 사이 전압(Vofs-Vss)이 TFT(111)의 임계치 전압(Vth)보다도 크고, 즉 Vofs-Vss＞Vth로 할 필요가 있다.

<203> 그리고 임계치 보정 동작에서 파워 구동선(PSL)에 인가하는 파워 신호(PSG)를 재차 전원 전압(Vcc)으로 한다.

<204> 파워 구동선(PSL)을 전원 전압(Vcc)으로 함으로써 EL 발광 소자(113)의 애노드(노드(ND111))가 TFT(111)의 소스로서 기능하고, 도 38에 도시하는 바와 같이 전류가 흐른다.

<205> EL 발광 소자(113)의 등가 회로는, 도 38에 도시하는 바와 같이, 다이오드와 용량으로 표시되기 때문에, Vel≤Vcat+Vthel(EL 발광 소자(113)의 리크 전류가 TFT(111)에 흐르는 전류보다도 매우 작다)의 관계를 만족하는 한, TFT(111)의 전류는 커패시터(C111와 Cel)를 충전하기 위해 사용된다.

<206> 이 때, 용량(Cel)의 단자 사이의 전압(Vel)은 시간과 함께, 도 39에 도시하는 바와 같이 상승하여 간다. 일정 시간 경과후, TFT(111)의 게이트-소스 사이 전압은 Vth라는 값을 취한다. 이 때, Vel=Vofs-Vth≤Vcat+Vthel로 되어 있다.

<207> 임계치 캔슬 동작 종료 후, 도 34의 A, C, 및 도 40에 도시하는 바와 같이, TFT(112)를 온 한 상태에서 신호선(SGL)의 전위를 Vsig로 한다. 데이터 신호(Vsig)는 계조에 응한 전압으로 되어 있다. 이 때, TFT(111)의 게이트 전위는, TFT(112)를 온 하고 있기 때문에, 도 34의 D에 도시하는 바와 같이 Vsig로 되지만, 전원 라인인 파워 구동선(PSL)으로부터 전류(Ids)가 흐르기 때문에 소스 전위는 시간과 함께 상승하여 간다.

<208> 이 때, TFT(111)의 소스 전압이 EL 발광 소자(113)의 임계치 전압(Vthel)과 캐소드 전압(Vcat)의 합을 넘지 않으면(EL 발광 소자(113)의 리크 전류가 TFT(111)에 흐르는 전류보다도 매우 작으면), TFT(111)를 통해 흐르는 전류는 커패시터(C111와 Cel)를 충전하는데 사용된다.

<209> 이 때, TFT(111)의 임계치 보정 동작은 완료하고 있기 때문에, TFT(111)로부터 제공되는 전류는 이동도(μ)를 반영한 값을 갖는다.

<210> 구체적으로 말하면, 도 41에 도시하는 바와 같이, 이동도(μ)가 큰 것은 이 때의 전류량이 크고, 소스 전압의 상승도 빠르다. 역으로 이동도(μ)가 작은 것은 전류량이 작고, 소스 전압의 상승은 늦어진다. 이로써, TFT(111)의 게이트-소스 사이 전압은 이동도(μ)를 반영하여 작아지고, 일정 시간 경과 후에 완전하게 이동도를 보정한 Vgs로 된다.

<211> 최후로, 도 34의 A 내지 C, 및 도 42에 도시하는 바와 같이, 게이트 펄스(GP)를 로우 레벨로 전환하여 TFT(112)를 오프 하여 기록을 종료시키고, EL 발광 소자(113)를 발광시킨다.

<212> TFT(111)의 게이트-소스 사이 전압은 일정하기 때문에, TFT(111)는 일정 전류(Ids')를 EL 발광 소자(113)에 흘리고, Vel은 EL 발광 소자(113)에 Ids'라는 전류가 흐르는 전압(Vx)까지 상승하고, EL 발광 소자(113)는 발광한다.

<213> 본 화소 회로(101)에서도 EL 발광 소자(113)는 발광 시간이 길어지면 그 I-V 특성은 변화하여 버린다. 그 때문에 도면중 B점(노드(ND111))의 전위도 변화한다. 그러나, TFT(111)의 게이트-소스 사이 전압은 일정치로 유지되어 있기 때문에 EL 발광 소자(113)에 흐르는 전류는 변화하지 않는다. 따라서 EL 발광 소자(113)의 I-V 특성이 열화되어도, 일정 전류(Ids)가 항상 계속 흘러서, EL 발광 소자(113)의 휘도가 변화하는 일은 없다.

<214> 이와 같이 구동되는 화소 회로에서는, 전술한 바와 같은 제 1 내지 제 11의 대책예에 관한 구성을 갖기 때문에, 세이딩, 줄무늬 얼룩 등의 발생이 억제된 화질이 좋은 화상을 얻을 수 있다.

<215> 또한, 상술한 제 1 내지 제 11의 대책은, 전부 시행하여도 좋고, 어느 하나, 또는 복수의 대책을 조합시키는 등, 여러가지의 선택이 가능하다.

<216> 이상, 본 제 1의 실시예에서는, 도 8의 회로, 즉, 2개의 트랜지스터와 1개의 커패시터를 포함하는 2Tr+1C 화소 회로를 갖는 표시 장치(100)에 대한 효과적인 화질 개선의 대책으로서 제 1 내지 제 11의 대책예에 관해 설명하였다.

<217> 단, 제 1 내지 제 11의 대책예는, 2Tr+1C 화소 회로를 갖는 표시 장치(100)에 대해 효과적이지만, 이들의 대책을, OLED와 직렬로 접속되는 드라이브(구동) 트랜지스터나 스위칭 트랜지스터 외에, 이동도나 임계치 캔슬용의 TFT 등이 별도 마련되는 구성의 화소 회로를 갖는 표시 장치에도 적용하는 것이 가능하다.

<218> 이하에, 이들의 표시 장치중, 5개의 트랜지스터와 1개의 커패시터를 포함하는 5Tr+1C 화소 회로를 갖는 표시 장치의 구성예에 관해 제 2의 실시예로서 설명한다.

<219> 도 43은, 본 발명의 제 2의 실시예에 따른 화소 회로를 채용한 유기 EL 표시 장치의 구성을 도시하는 블록도이다. 도 44는, 본 실시예에 따른 화소 회로의 구체적인 구성을 도시하는 회로도이다.

<220> 이 표시 장치(200)는, 도 43 및 도 44에 도시하는 바와 같이, 화소 회로(201)가 m×n의 매트릭스 형상으로 배열된 화소 어레이부(202), 수평 실렉터(HSEL)(203), 라이트 스캐너(WSCN)(204), 드라이브 스캐너(DSCN)(205), 제 1의 오토 제로 회로(AZRD1)(206), 제 2의 오토 제로 회로(AZRD2)(207), 수평 실렉터(203)에 의해 선택되어 휘도 정보에 응한 데이터 신호가 공급되는 신호선(SGL), 라이트 스캐너(204)에 의해 선택 구동되는 제 2의 구동 배선으로서의 주사선(WSL), 드라이브 스캐너(205)에 의해 선택 구동되는 제 1의 구동 배선으로서의 구동선(DSL), 제 1의 오토 제로 회로(206)에 의해 선택 구동되는 제 4의 구동 배선으로서의 제 1의 오토 제로선(AZL1), 및 제 2의 오토 제로 회로(207)에 의해 선택 구동되는 제 3의 구동 배선으로서의 제 2의 오토 제로선(AZL2)을 갖는다.

<221> 본 실시예에 따른 화소 회로(201)는, p채널 TFT(211), n채널 TFT(212) 내지 TFT(215), 커패시터(C211), 유기 EL 발광 소자(OLED : 전기광학 소자)로 이루어지는 발광 소자(216), 제 1의 노드(ND211), 및 제 2의 노드(ND212)를 갖는다.

<222> TFT(211)에 의해 제 1의 스위치 트랜지스터가 형성되고, TFT(213)에 의해 제 2의 스위치 트랜지스터가 형성되고, TFT(215)에 의해 제 3의 스위치 트랜지스터가 형성되고, TFT(214)에 의해 제 4의 스위치 트랜지스터

가 형성되어 있다.

<223> 또한, 전원 전압(Vcc)의 공급 라인(전원 전위)이 제 1의 기준 전위에 상당하고, 접지 전위(GND)가 제 2의 기준 전위에 상당하고 있다. 또한, VSS1이 제 4의 기준 전위에 상당하고, VSS2가 제 3의 기준 전위에 상당한다.

<224> 화소 회로(201)에서, 제 1의 기준 전위(본 실시예에서는 전원 전위(Vcc))와 제 2의 기준 전위 사이(본 실시예에서는 접지 전위(GND)) 사이에, TFT(211), 드라이브 트랜지스터로서의 TFT(212), 제 1의 노드(ND211), 및 발광 소자(OLED)(216)가 직렬로 접속되어 있다. 구체적으로는, 발광 소자(216)의 캐소드가 접지 전위(GND)에 접속되고, 애노드가 제 1의 노드(ND211)에 접속되고, TFT(212)의 소스가 제 1의 노드(ND211)에 접속되고, TFT(211)의 드레인이 TFT(211)의 드레인에 접속되고, TFT(211)의 소스가 전원 전위(Vcc)에 접속되어 있다.

<225> 그리고, TFT(212)의 게이트가 제 2의 노드(ND212)에 접속되고, TFT(211)의 게이트가 구동선(DSL)에 접속되어 있다.

<226> TFT(213)의 드레인이 제 1의 노드(ND211) 및 커패시터(C211)의 제 1 전극에 접속되고, 소스가 고정 전위(VSS2)에 접속되고, TFT(213)의 게이트가 제 2의 오토 제로선(AZL2)에 접속되어 있다. 또한, 커패시터(C211)의 제 2 전극이 제 2의 노드(ND212)에 접속되어 있다.

<227> 신호선(SGL)과 제 2의 노드(ND212) 사이에 TFT(214)의 소스와 드레인이 각각 접속되어 있다. 그리고, TFT(214)의 게이트가 주사선(WSL)에 접속되어 있다.

<228> 또한, 제 2의 노드(ND212)와 소정 전위(Vss1) 사이에 TFT(215)의 소스와 드레인이 각각 접속되어 있다. 그리고, TFT(215)의 게이트가 제 1의 오토 제로선(AZL1)에 접속되어 있다.

<229> 이와 같이, 본 실시예에 따른 화소 회로(201)는, 드라이브 트랜지스터로서의 TFT(212)의 게이트-소스 사이에 화소 용량으로서의 커패시터(C211)가 접속되고, 비발광 기간에 TFT(212)의 소스 전위를 스위치 트랜지스터로서의 TFT(213)에 통하여 고정 전위에 접속하고, 또한, TFT(212)의 게이트·드레인 사이를 접속하여, 임계치(Vth)의 보정을 행하도록 구성되어 있다.

<230> 그리고, 본 제 2의 실시예에서는, 제 1의 실시예로서 설명한 화질 개선을 위한 제 1 내지 제 11의 대책이, 주사선(WSL), 구동선(DSL), 오토 제로선(AZL1, AZL2) 중의 적어도 주사선(WSL) 및 구동선(DSL)의 어느 한쪽, 또는 2개 이상, 또는 전부에 대해 시행된다.

<231> 소망하는 대책을 시행함에 의해, 패널 전체에서 구동 신호(펄스)의 배선 저항이나 배선 용량에 의한 지연에 기인하는 세이딩, 줄무늬 얼룩 등의 대책이 행하여지고, 세이딩, 줄무늬 얼룩 등의 발생이 억제된 화질이 좋은 화상을 얻을 수 있다.

<232> 다음에, 상기 구성의 동작을, 화소 회로의 동작을 중심으로, 도 45의 A 내지 F에 관련지어 설명한다.

<233> 또한, 도 45의 A는 구동선(DSL)에 인가되는 구동 신호(DS), 도 45의 B는 주사선(WSL)에 인가되는 구동 신호(WS)(제 1의 실시예의 게이트 펄스(GP)에 상당)를, 도 45의 C는 제 1의 오토 제로선(AZL1)에 인가되는 구동 신호(AZ1), 도 45의 D는 제 2의 오토 제로선(AZL2)에 인가되는 구동 신호 오토 제로 신호(AZ2)를, 도 45의 E는 제 2의 노드(ND112)의 전위를, 도 45의 F는 제 1의 노드(ND111)의 전위를 각각 도시하고 있다.

<234> 드라이브 스캐너(205)에 의한 구동선(DSL)의 구동 신호(DS)가 하이 레벨, 라이트 스캐너(204)에 의한 주사선(WSL)으로의 구동 신호(WS)가 로우 레벨로 유지되고, 오토 제로 회로(206)에 의한 오토 제로선(AZL1)으로의 구동 신호(AZ1)가 로우 레벨로 유지되고, 오토 제로 회로(207)에 의한 오토 제로선(AZL2)으로의 구동 신호(AZ2)가 하이 레벨로 유지된다.

<235> 그 결과, TFT(213)가 온 하고, 이 때, TFT(213)를 통하여 전류가 흐르고, TFT(212)의 소스 전위(Vs)(노드(ND211)의 전위)는 VSS2까지 하강한다. 그 때문에, EL 발광 소자(216)에 인가되는 전압도 0V로 되고, EL 발광 소자(216)는 비발광으로 된다.

<236> 이 경우, TFT(214)가 온 하여도 커패시터(C211)에서 유지되어 있는 전압, 즉, TFT(212)의 게이트 전압은 변하지 않는다.

<237> 다음에, EL 발광 소자(217)의 비발광 기간에서, 도 45의 C, D에 도시하는 바와 같이, 오토 제로선(AZL2)으로의 구동 신호(AZ2)가 하이 레벨로 유지된 상태에서, 오토 제로선(AZL1)으로의 구동 신호(AZ1)가 하이 레벨로 설정된다. 이로써, 제 2의 노드(ND212)의 전위는 VSS1로 된다.

<238> 그리고, 오토 제로선(AZL2)으로의 구동 신호(AZ2)가 로우 레벨로 전환된 후, 드라이브 스캐너(205)에 의한 구동선(DSL)의 구동 신호(DS)가 소정 기간만큼 로우 레벨로 전환된다.

<239> 이로써, TFT(213)가 오프 하고, TFT(215), TFT(212)가 온 함에 의해, TFT(212), TFT(211)의 경로에 전류가 흐르고, 제 1의 노드의 전위는 상승한다.

<240> 그리고, 드라이브 스캐너(205)에 의한 구동선(DSL)의 구동 신호(DS)가 하이 레벨로 전환되고, 구동 신호(AZ1)가 로우 레벨로 전환된다.

<241> 이상의 결과, 드라이브 트랜지스터 TFT(212)의 임계치(Vth) 보정이 행하여지고, 제 2의 노드(ND212)와 제 1의 노드(ND211)의 전위차는 Vth로 된다.

<242> 그 상태에서 소정 기간 경과 후에 라이트 스캐너(204)에 의한 주사선(WSL)으로의 구동 신호(WS)가 소정 기간 하이 레벨로 유지되고, 데이터선으로부터 데이터를 노드(ND212)에 기록하고, 구동 신호(WS)가 하이 레벨인 기간에 드라이브 스캐너(205)에 의한 구동선(DSL)의 구동 신호(DS)가 하이 레벨로 전환되고, 이윽고 구동 신호(WS)가 로우 레벨로 전환된다.

<243> 이 때, TFT(212)가 온 하고, 그리고, TFT(214)가 오프 하고, 이동도의 보정이 행하여진다.

<244> 이 경우, TFT(214)가 오프 하고 있고, TFT(212)의 게이트-소스 사이 전압은 일정하기 때문에, TFT(212)는 일정 전류(Ids)를 EL 발광 소자(216)에 제공한다. 이로써, 제 1의 노드(ND211)의 전위는 EL 발광 소자(216)에 Ids라는 전류가 흐르는 전압(Vx)까지 상승하고, EL 발광 소자(216)는 발광한다.

<245> 여기서, 본 회로에서도 EL 발광 소자는 발광 시간이 길어지면 그 전류-전압(I-V) 특성은 변화하여 버린다. 그 때문에, 제 1의 노드(ND211)의 전위도 변화한다. 그러나, TFT(212)의 게이트-소스 사이 전압(Vgs)은 일정치로 유지되어 있기 때문에 EL 발광 소자(216)에 흐르는 전류는 변화하지 않는다. 따라서, EL 발광 소자(216)의 I-V 특성이 열화되어도, 일정 전류(Ids)가 항상 계속 흘러서, EL 발광 소자(216)의 휘도가 변화하는 일은 없다.

<246> 이와 같이 구동되는 화소 회로에서는, 패널 전체에서 구동 신호 또는 펄스의 배선 저항에 의한 지연에 기인하는 섀이딩, 줄무늬 얼룩 대책이 행해지고 있기 때문에, 섀이딩, 줄무늬 얼룩 등의 발생이 억제된 화질이 좋은 화상을 얻을 수 있다.

<247> 본 발명의 양호한 실시예에 관해 특정 용어를 사용하여 설명하였지만, 이러한 설명은 예증적인 것이며, 하기의 특허청구범위의 취지 또는 범위를 벗어나지 않는 범위 내에서 변경 및 수정이 이루어질 수 있다.

도면의 간단한 설명

<248> 도 1은 일반적인 유기 EL 표시 장치의 구성을 도시하는 블록도.

<249> 도 2는 도 1의 화소 회로의 한 구성예를 도시하는 회로도.

<250> 도 3은 유기 EL 발광 소자의 전류-전압(I-V) 특성의 경시변화를 도시하는 도면.

<251> 도 4는 도 2의 회로의 p채널 TFT를 n채널 TFT로 치환한 화소 회로를 도시하는 회로도.

<252> 도 5는 초기 상태에서의 드라이브 트랜지스터로서의 TFT와 EL 발광 소자의 동작점을 도시하는 도면.

<253> 도 6은 배선 저항에 의한 불이익을 설명하기 위한 도면.

<254> 도 7은 본 발명의 제 1의 실시예에 따른 화소 회로를 채용한 유기 EL 표시 장치의 구성을 도시하는 블록도.

<255> 도 8은 도 7의 유기 EL 표시 장치의 화소 회로의 구체적인 구성을 도시하는 회로도.

<256> 도 9의 A 내지 C는 도 8의 화소 회로의 기본적인 동작을 도시하는 타이밍 차트.

<257> 도 10은 화질 등을 개선하기 위한 제 1의 대책예를 설명하기 위한 도면으로서, 도 8의 화소 회로의 주요부의 개략적인 평면도와 단면도.

<258> 도 11은 도 10의 비교예로서 주사선 또는 게이트 라인과 층의 적층 방향으로 겹쳐지는 위치에 커패시터를 배치한 구성을 도시하는 도면.

<259> 도 12는 본 실시예에 따른 대책을 적용하지 않고, 주사선 또는 게이트 라인을 TFT의 게이트 전극과 동층에서 동재료의 고저항 배선으로 형성한 경우의 화소의 주요부의 평면도.

<260> 도 13의 A 내지 D는 본 발명의 제 1의 실시예에 따른 대책을 시행하지 않고 도 9의 타이밍에서 동작시킨 경우의 펄스 열화에 관해 도시하는 도면.

<261> 도 14의 A 내지 C는 도 9에 도시된 것과 상이한 도 8의 화소 회로의 동작을 설명하는 타이밍 차트.

<262> 도 15의 A 내지 D는 본 발명의 제 1의 실시예에 따른 대책을 시행하지 않고 도 14의 타이밍에서 동작시킨 경우의 펄스 열화에 관해 도시하는 도면.

<263> 도 16의 A 내지 D는 본 발명의 제 1의 실시예에 따른 대책을 시행하지 않고 도 14의 타이밍에서 동작시킨 경우의 새로운 펄스 열화에 관해 도시하는 도면.

<264> 도 17은 화질 등을 개선하기 위한 제 2의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 평면도와 단면도.

<265> 도 18은 화질 등을 개선하기 위한 제 3의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 평면도와 단면도.

<266> 도 19는 화질 등을 개선하기 위한 제 4의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도.

<267> 도 20은 화질 등을 개선하기 위한 제 5의 대책예를 설명하기 위한 도면으로서, 화소 회로의 주요부의 개략적인 단면도.

<268> 도 21은 도 20의 비교예로서 구동 트랜지스터로서 기능하는 TFT 위에 전원 라인을 배치한 구성을 도시하는 단면도.

<269> 도 22는 도 21의 등가 회로를 도시하는 도면.

<270> 도 23은 화질 등을 개선하기 위한 제 6의 대책예를 설명하기 위한 도면으로서, 도 8의 화소 회로의 일부의 개략적인 단면도.

<271> 도 24는 도 23의 비교예로서 스위칭 트랜지스터로서 기능하는 TFT 상에 전원 라인을 배치한 구성을 도시하는 단면도.

<272> 도 25는 도 23의 등가 회로를 도시하는 도면.

<273> 도 26 내지 도 30은 화질 등을 개선하기 위한 제 7의 대책예 내지 제 11의 대책예를 설명하기 위한 도면으로서, 도 8의 화소 회로의 일부의 개략적인 단면도.

<274> 도 31은 제 11의 대책에 의해 EL 발광 소자의 발광 영역 또는 개구가 크게 확보하는 것이 가능해진 것을 도시하는 도면.

<275> 도 32 및 도 33은 본 실시예에 따른 대책을 적용하지 않고, 캐소드 라인을 형성한 경우의 화소의 일부의 단면도 및 평면도.

<276> 도 34의 A 내지 E는 도 8의 화소 회로의 구체적인 동작을 도시하는 타이밍 차트.

<277> 도 35는 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 발광 기간의 상태를 도시하는 도면.

<278> 도 36은 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 비발광 기간에서 전압을 전원 전압으로 한 상태를 도시하는 도면.

<279> 도 37은 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 오프셋 신호를 입력한 상태를 도시하는 도면.

<280> 도 38은 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 전압을 전원 전압으로 한 상태를 도시하는 도면.

<281> 도 39는 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 전압을 전원 전압으로 한 때의 구동 트랜지스터의 소스 전압의 천이를 도시하는 도면.

<282> 도 40은 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 화소 회로에 데이터 신호를 기록할 때의 상태를 도시하는 도면.

<283> 도 41은 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 이동도의 대소에 따른 구동 트랜지스터의 소스

전압의 천이를 도시하는 도면.

<284> 도 42는 도 8의 화소 회로의 동작을 설명하기 위한 도면으로서, 발광 상태를 도시하는 도면.

<285> 도 43은 본 발명의 제 2의 실시예에 따른 화소 회로를 채용한 유기 EL 표시 장치의 구성을 도시하는 블록도.

<286> 도 44는 제 2의 제 실시예에 따른 화소 회로의 구체적인 구성을 도시하는 회로도.

<287> 도 45의 A 내지 F는 도 44의 화소 회로의 기본적인 동작을 도시하는 타이밍 차트.

<288> (도면의 주요 부분에 대한 부호의 설명)

<289> 100 : 표시 장치 101 : 화소 회로

<290> 102 : 화소 어레이부 103 : 수평 실렉터(HSEL)

<291> 104 : 라이트 스캐너(WSCN) 105 : 파워 드라이브 스캐너(PDSCN)

<292> SGL : 신호선 WSL : 주사선

<293> PSL : 파워 구동선

<294> 111 : 구동(드라이브) 트랜지스터로서의 n채널 TFT

<295> 112 : 스위치로서의 n채널 TFT ND111 : 제 1의 노드

<296> ND112 : 제 2의 노드 114 : 신호선과 동층의 저저항 배선층

<297> 115 : 층간절연막 116 : 콘택트

<298> 117 : TFT의 게이트 전극과 동층의 배선층 118 : 게이트 절연막

<299> 119 내지 121 : 콘택트

<300> 122 : 전원 라인으로서의 저저항 배선층

<301> 123 : 평탄화막 124 : 콘택트

<302> 125 : 애노드 전극 131 : 투명 절연 기판

<303> 132 : 게이트 절연막 133 : 게이트 전극

<304> 134 : 반도체막 135, 136 : n+확산층

<305> 138 : 층간절연막 139a, 139b : 콘택트

<306> 140 : 소스 전극 141 : 드레인 전극

<307> 142 : 층간절연막 143 : 캐소드용 배선

<308> 144 : 주사선(WSL) 145 : 캐소드용 배선층

<309> 146 : 콘택트 147 : 캐소드 패드

<310> 148 : EL 발광 소자 재료층 149 : 절연막

<311> 150 : 캐소드 200 : 표시 장치

<312> 201 : 화소 회로 202 : 화소 어레이부

<313> 203 : 수평 실렉터(HSEL) 204 : 라이트 스캐너(WSCN)

<314> 205 : 드라이브 스캐너(DSCN) 206 : 제 1의 오토 제로 회로(AZRD1)

<315> 207 : 제 2의 오토 제로 회로(AZRD2) SGL : 신호선

<316> WSL : 주사선 DSL : 구동선

<317> AZL1, AZL2 : 오토 제로선 211 : 스위치로서의 p채널 TFT

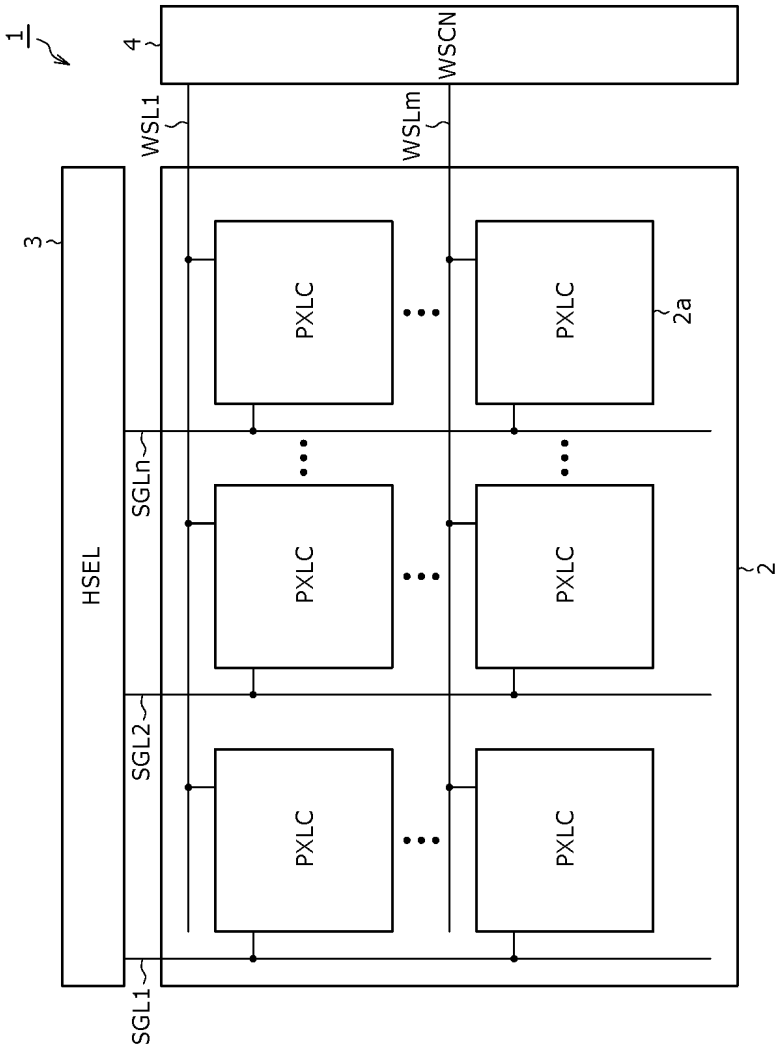
<318> 212 : 구동(드라이브) 트랜지스터로서의 n채널 TFT

<319> 213 내지 215 : … 스위치로서의 n채널 TFT

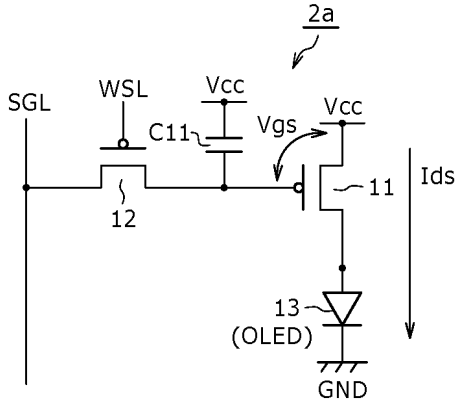
<320> ND211 : 제 1의 노드 ND112 : 제 2의 노드

도면

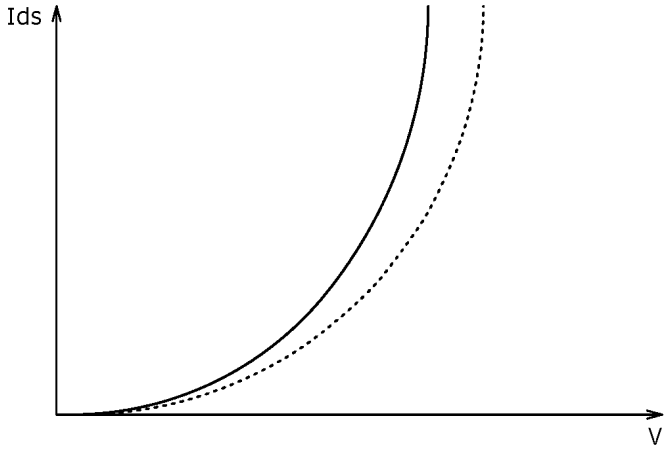
도면1



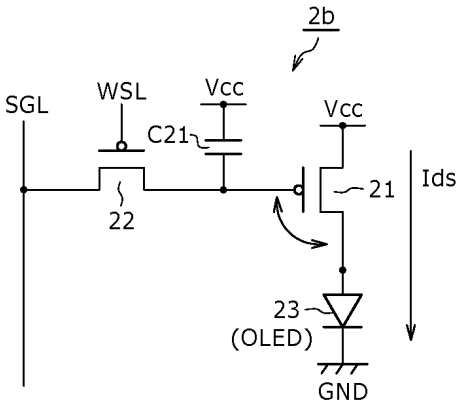
도면2


2a
SGL
WSL
Vcc
C11
Vgs
Vcc
11
Ids
12
13
(OLED)
GND

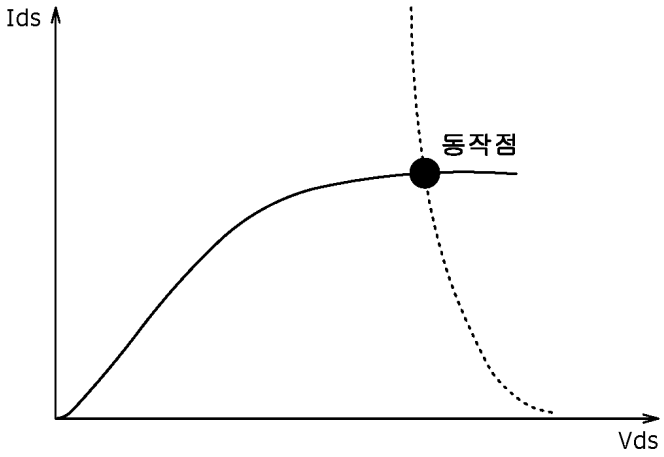
도면3


Ids
V

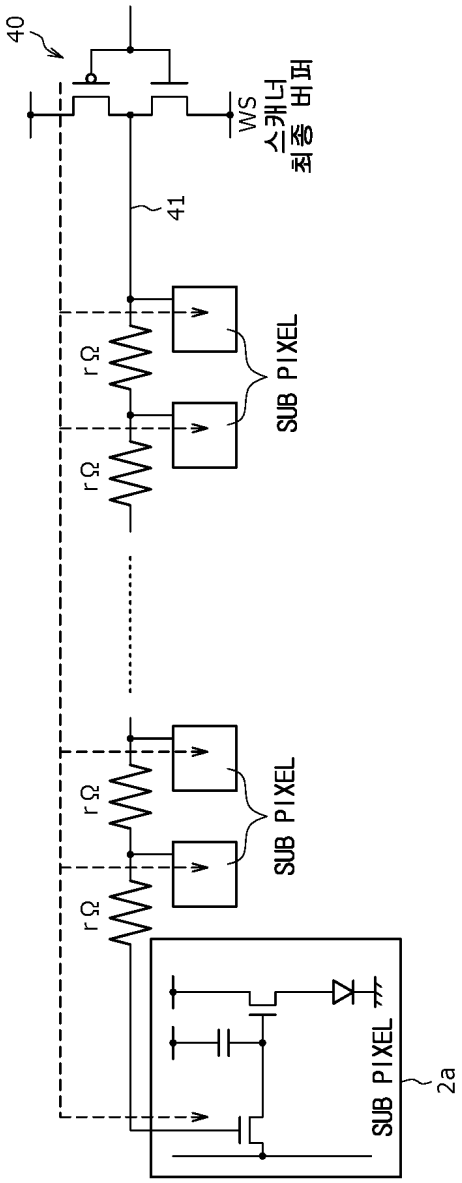
도면4


2b
SGL
WSL
Vcc
C21
Vcc
21
Ids
22
23
(OLED)
GND

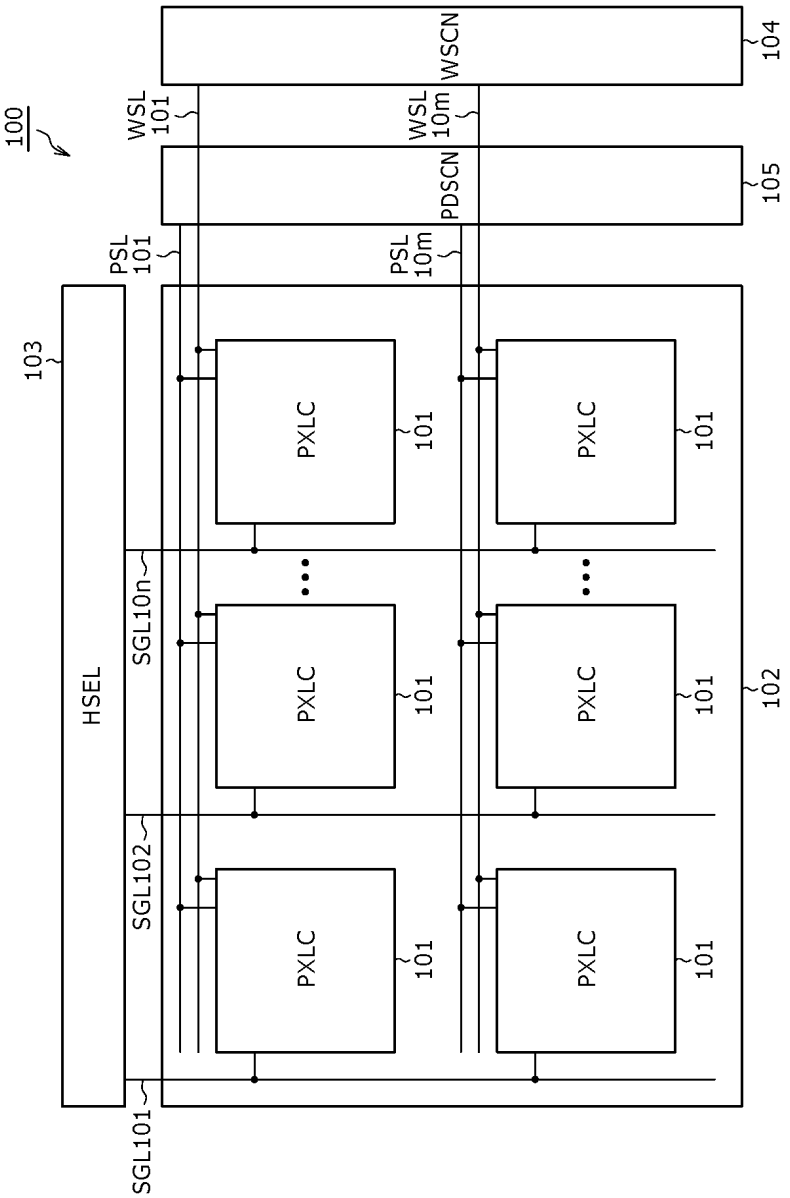
도면5



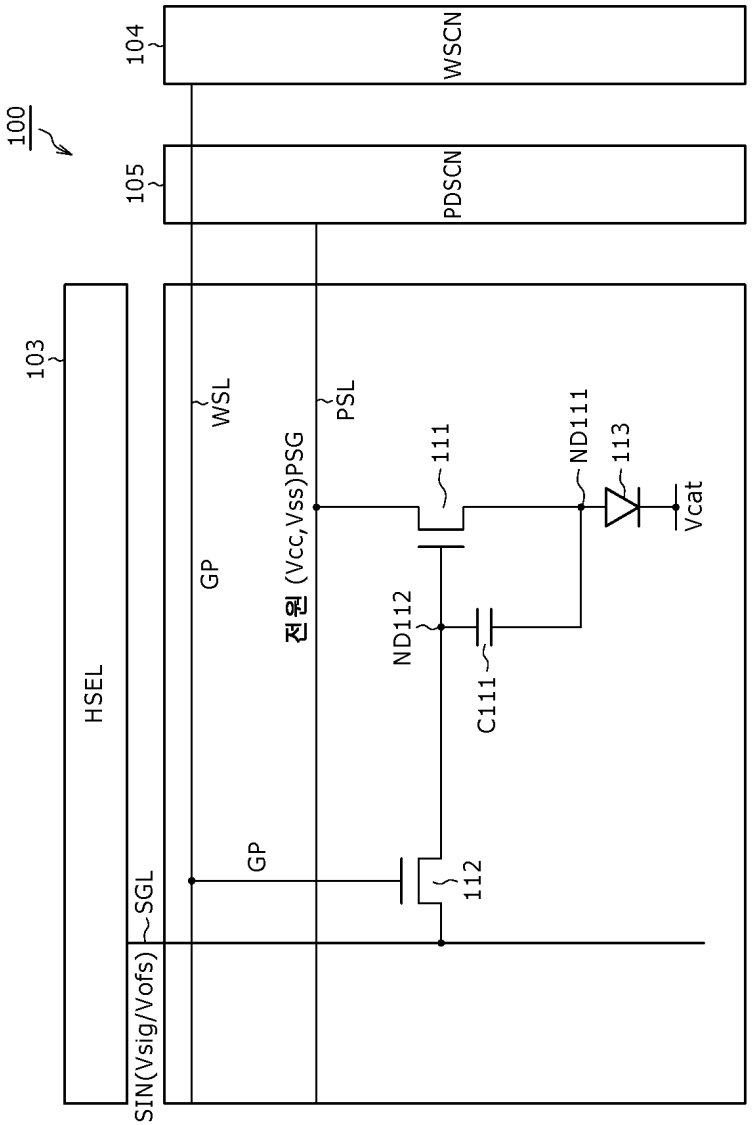
도면6



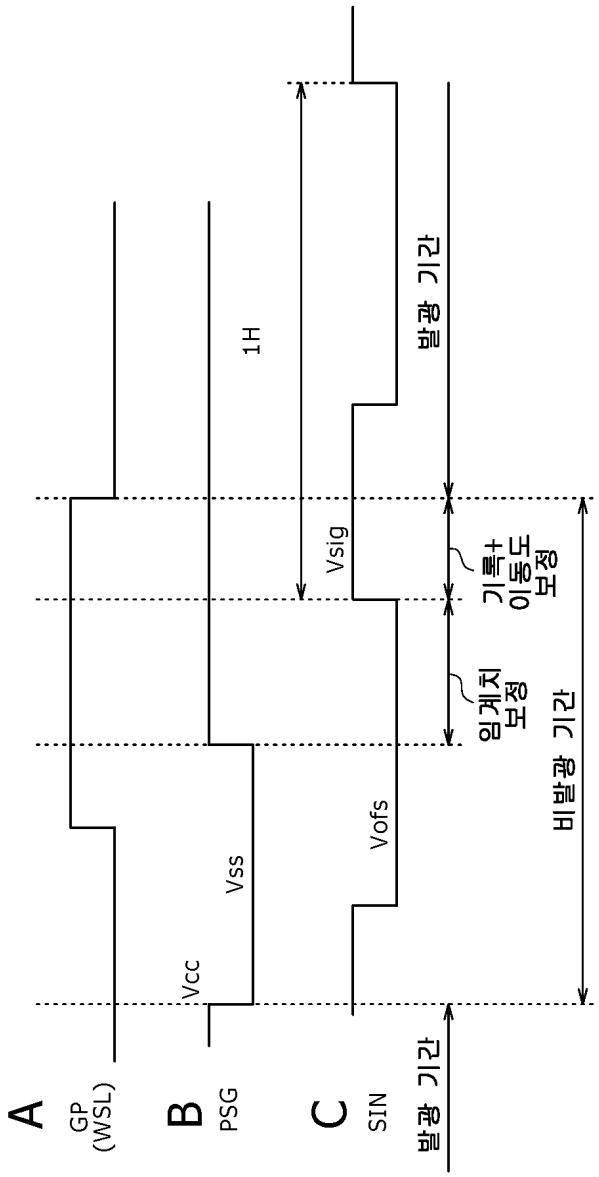
도면7


100
WSL 101
WSL 10m
WSCN
104
PDSCN
105
PSL 101
PSL 10m
103
HSEL
SGL10n
SGL102
SGL101
PXLC
101
102

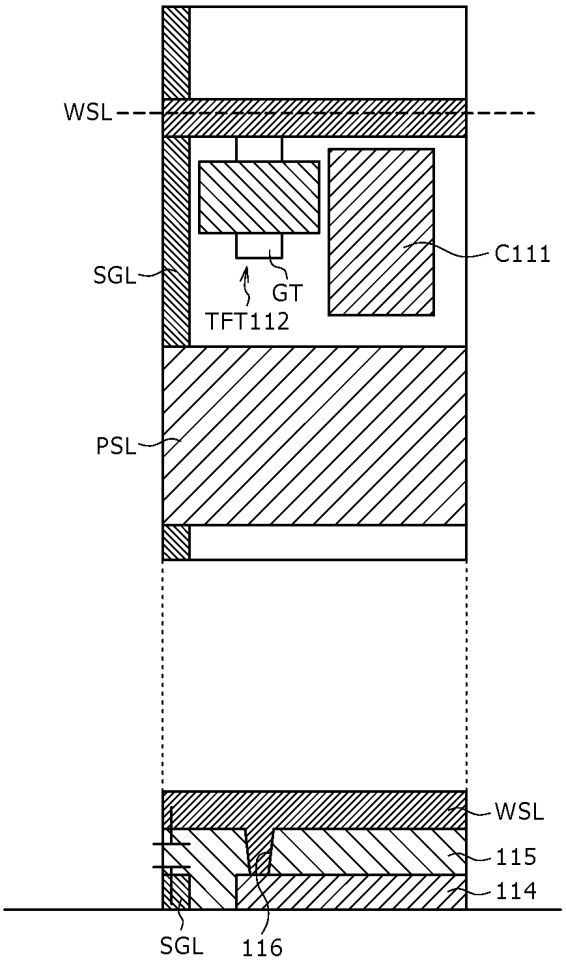
도면8


100
104
WSCN
105
PDSCN
103
HSEL
SIN(Vsig/Vofs)
SGL
GP
WSL
GP
전원 (Vcc,Vss)PSG
PSL
111
ND112
112
C111
ND111
113
Vcat

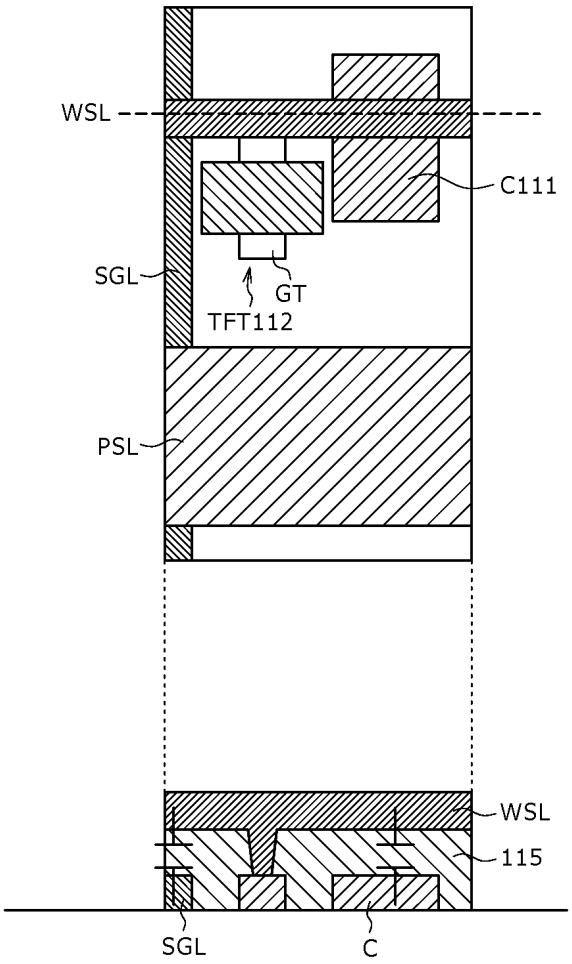
도면9


A
GP
(WSL)
B
PSG
C
SIN
Vcc
Vss
Vofs
Vsig
1H
발광 기간
기록+
이동도
보정
임계치
보정
비발광 기간
발광 기간

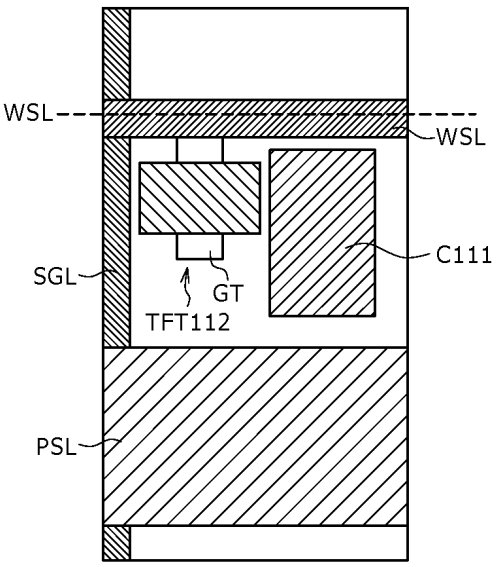
도면10



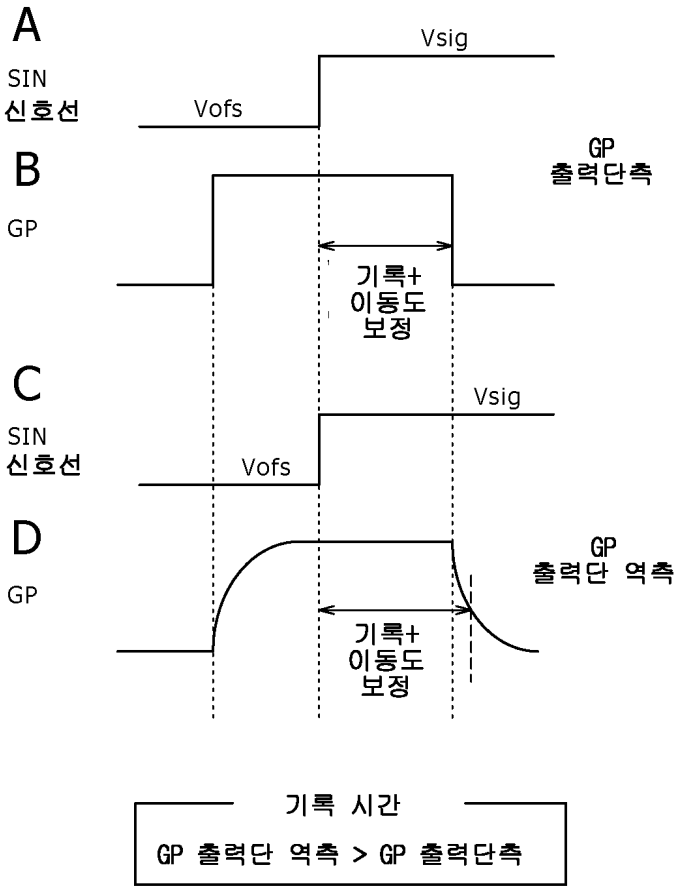
도면11


WSL
C111
SGL
GT
TFT112
PSL
WSL
115
SGL
C

도면12


WSL
WSL
C111
SGL
GT
TFT112
PSL

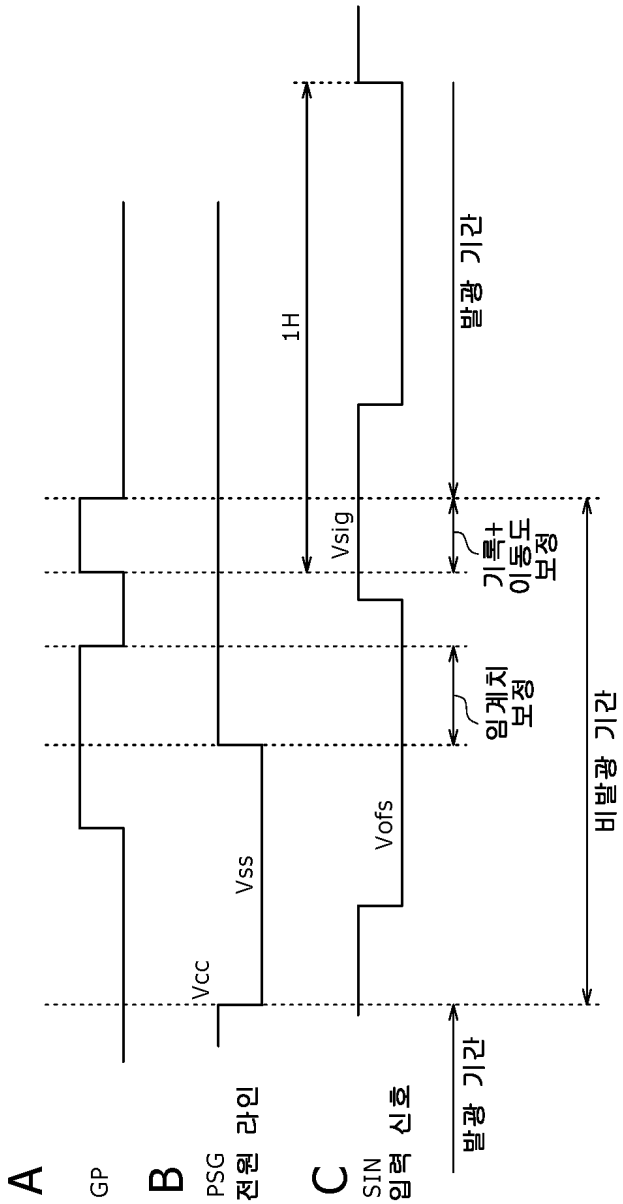
도면13



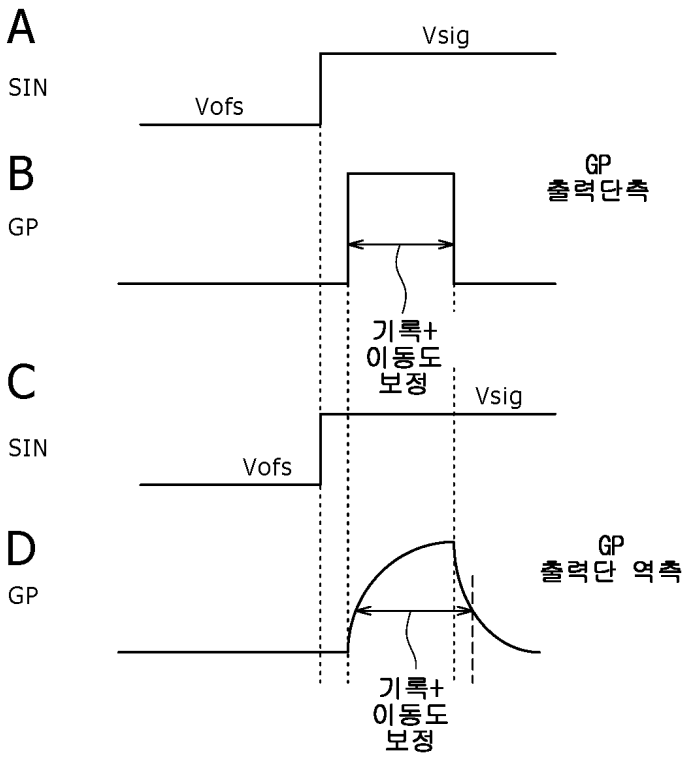
기록 시간

GP 출력단 역측 > GP 출력단측

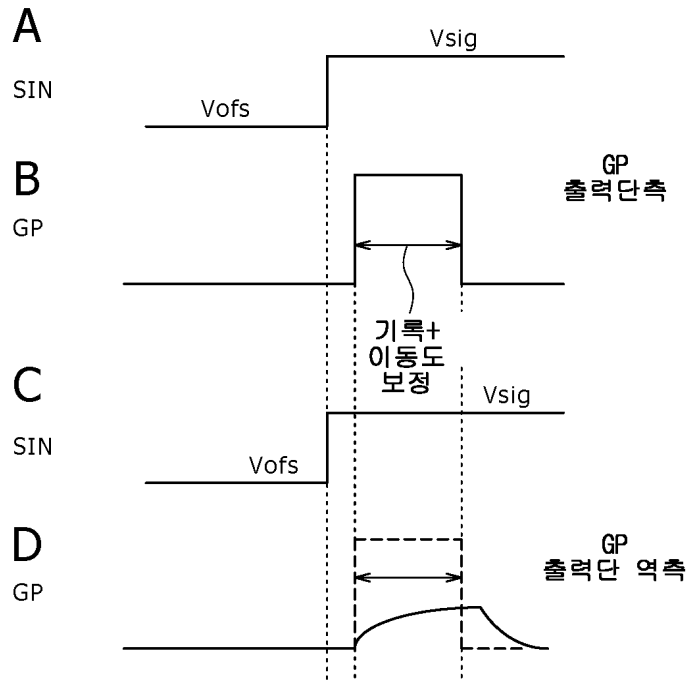
도면14


A
GP
B
PSG
전원 라인
C
SIN
입력 신호
Vcc
Vss
Vofs
Vsig
1H
발광 기간
기록+
이동도
보정
임계치
보정
비발광 기간
발광 기간

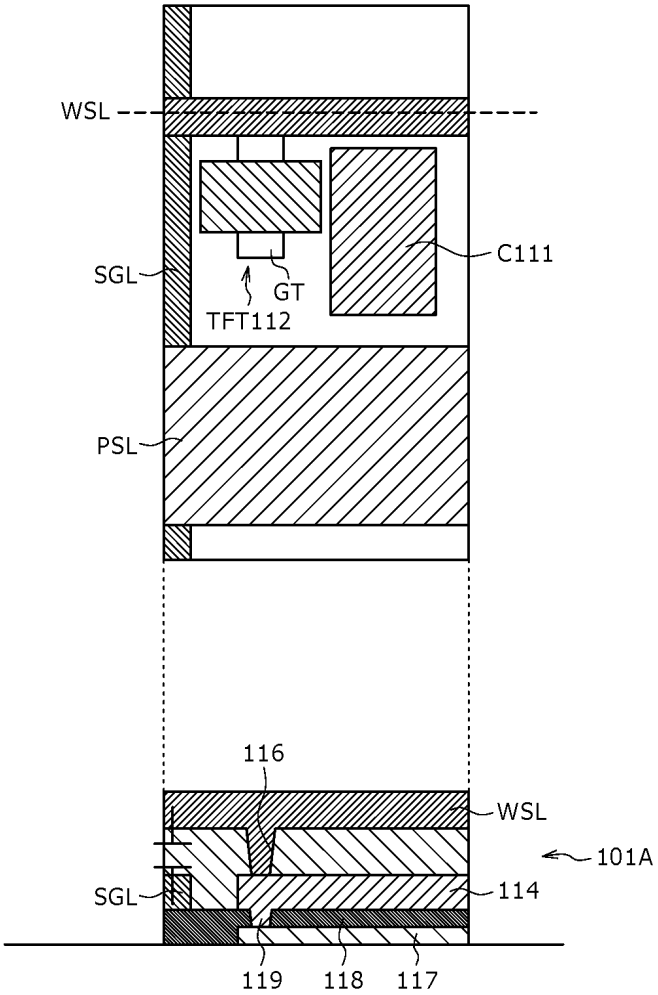
도면15


A
SIN
Vsig
Vofs
B
GP
GP
출력단측
기록+
이동도
보정
C
SIN
Vsig
Vofs
D
GP
GP
출력단 역측
기록+
이동도
보정

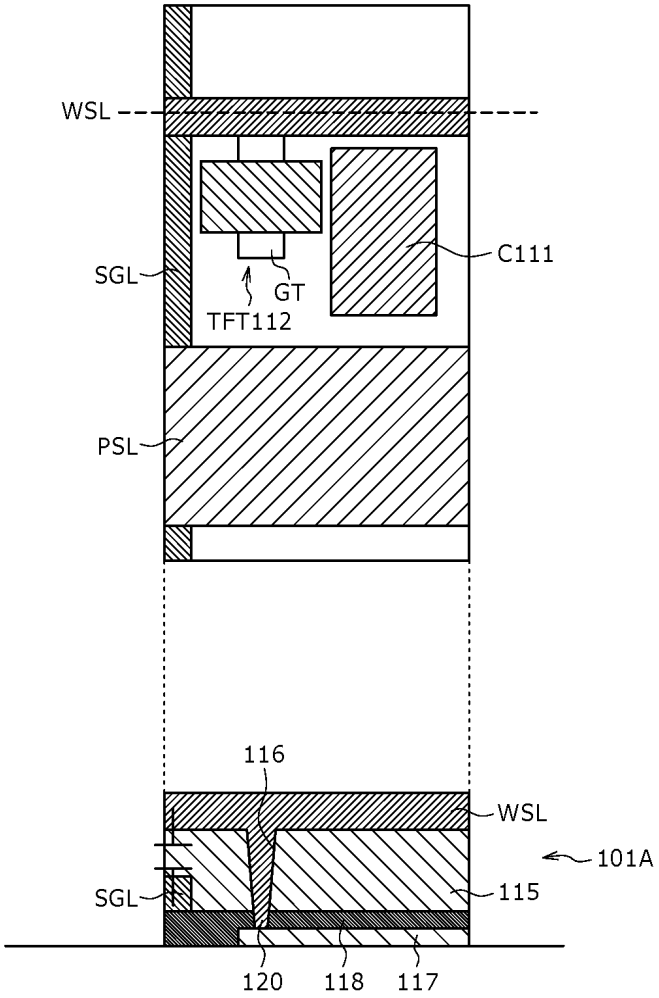
도면16


A
SIN
Vsig
Vofs
B
GP
GP
출력단측
기록+
이동도
보정
C
SIN
Vsig
Vofs
D
GP
GP
출력단 역측

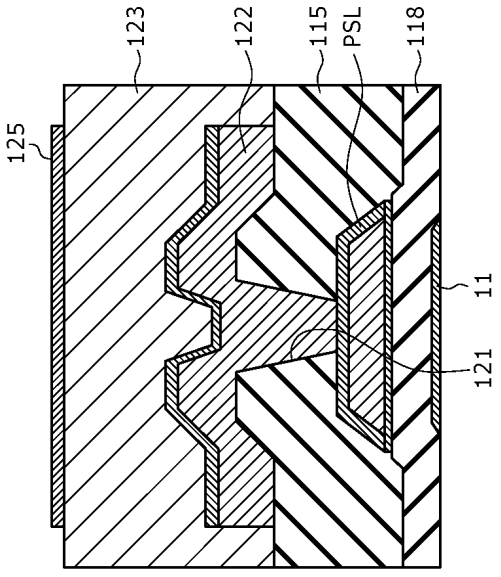
도면17



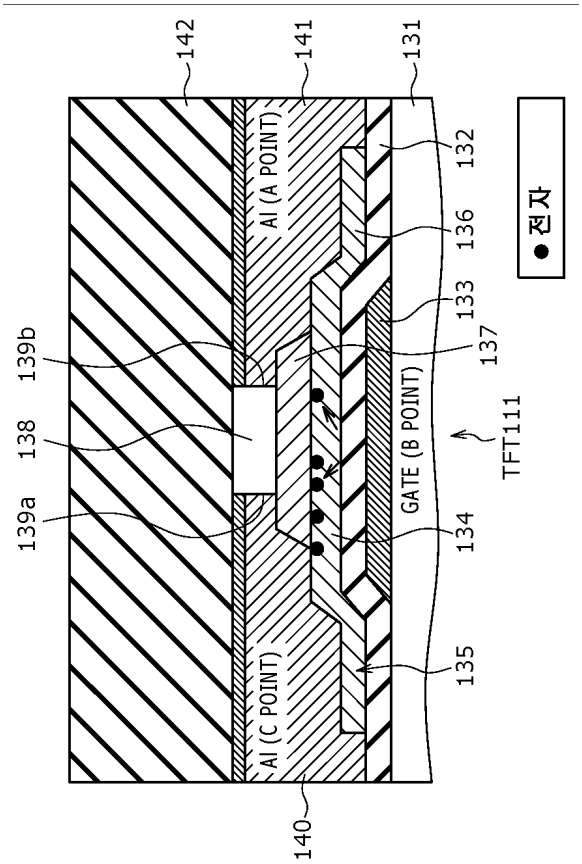
도면18


WSL
SGL
GT
TFT112
C111
PSL
116
WSL
101A
SGL
115
120
118
117

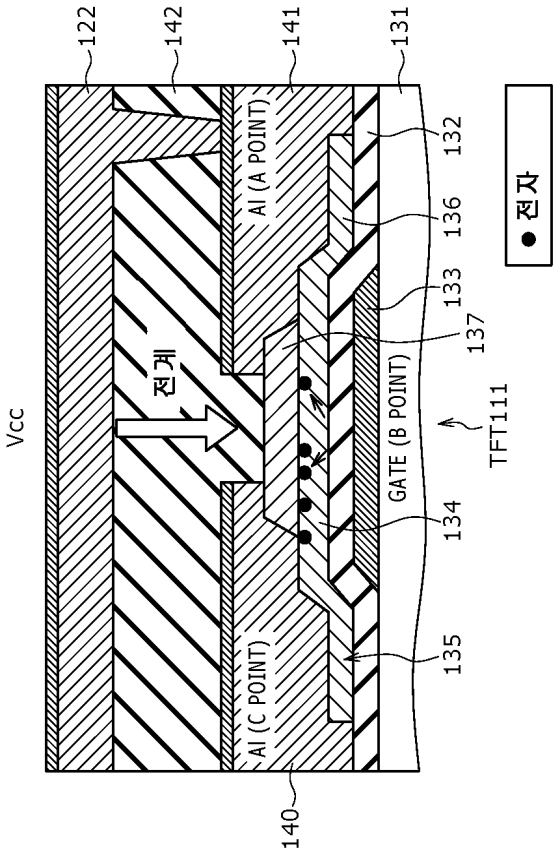
도면19


123
122
115
PSL
118
125
11
121

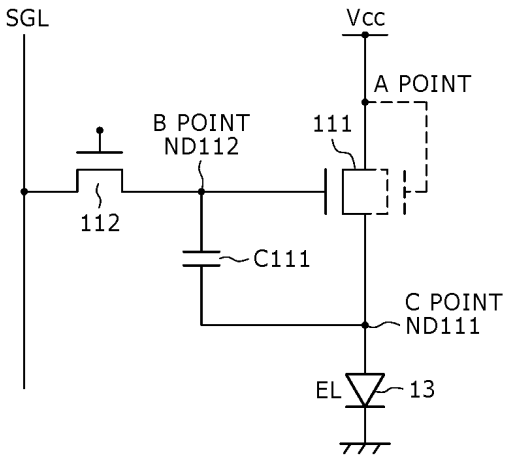
도면20


142
141
131
Al (A POINT)
132
136
133
137
139b
138
GATE (B POINT)
TFT111
139a
134
135
Al (C POINT)
140
● 전자

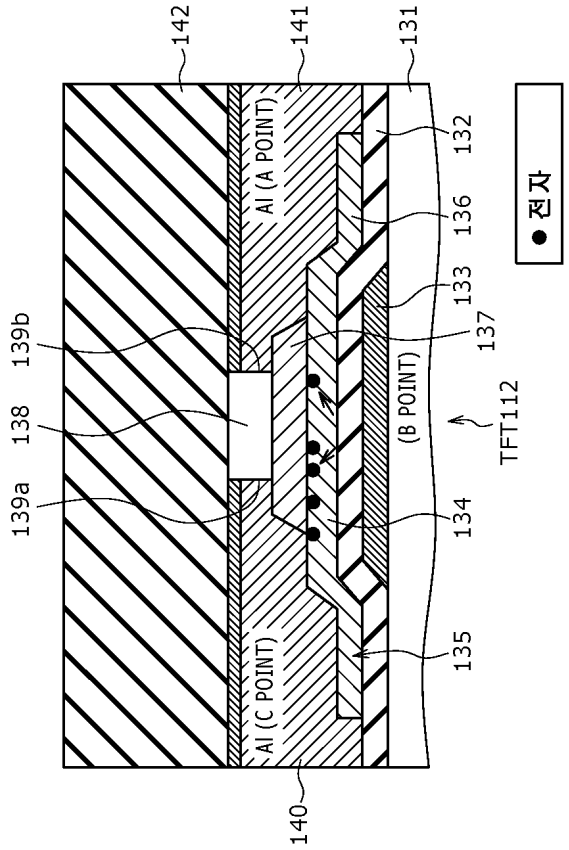
도면21


122
142
141
131
132
136
133
137
134
135
140
Al (A POINT)
Al (C POINT)
GATE (B POINT)
TFT111
전계
Vcc
● 전자

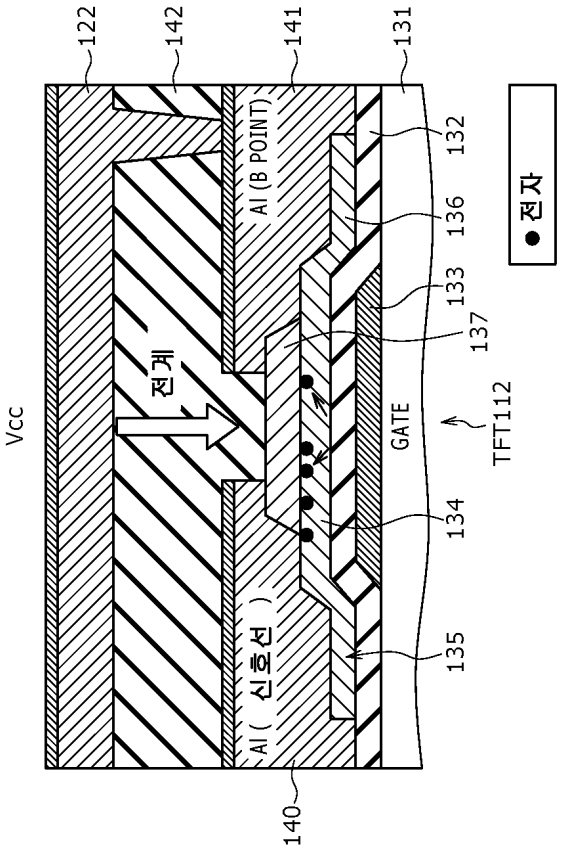
도면22


SGL
Vcc
A POINT
B POINT
ND112
111
112
C111
C POINT
ND111
EL
13

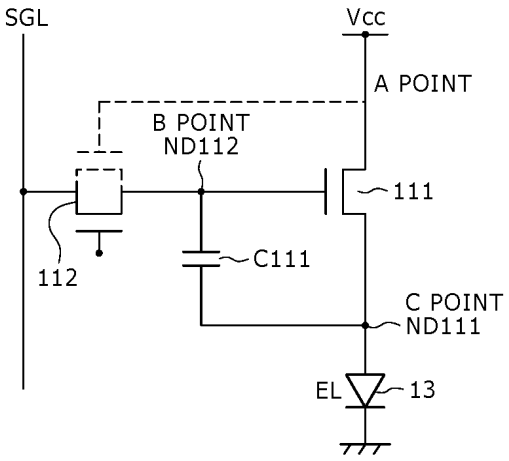
도면23


142
141
131
132
136
133
137
139b
138
139a
134
135
140
Al (A POINT)
Al (C POINT)
(B POINT)
TFT112
● 전자

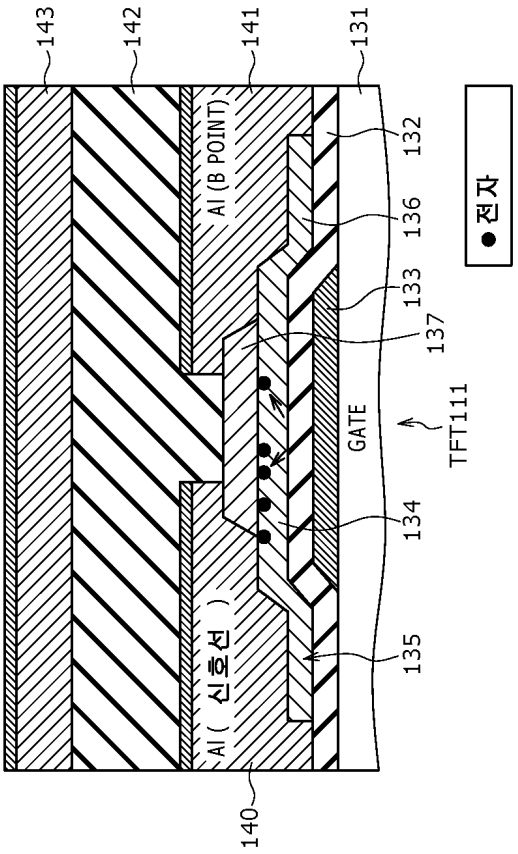
도면24


122
142
141
131
132
136
133
137
134
135
140
Al (B POINT)
Al (신호선)
전계
Vcc
GATE
TFT112
● 전자

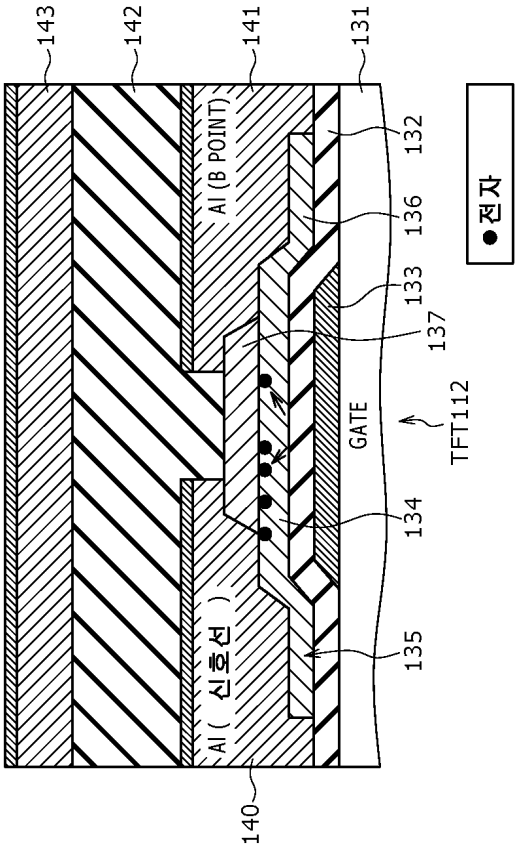
도면25


SGL
Vcc
A POINT
B POINT
ND112
111
112
C111
C POINT
ND111
EL
13

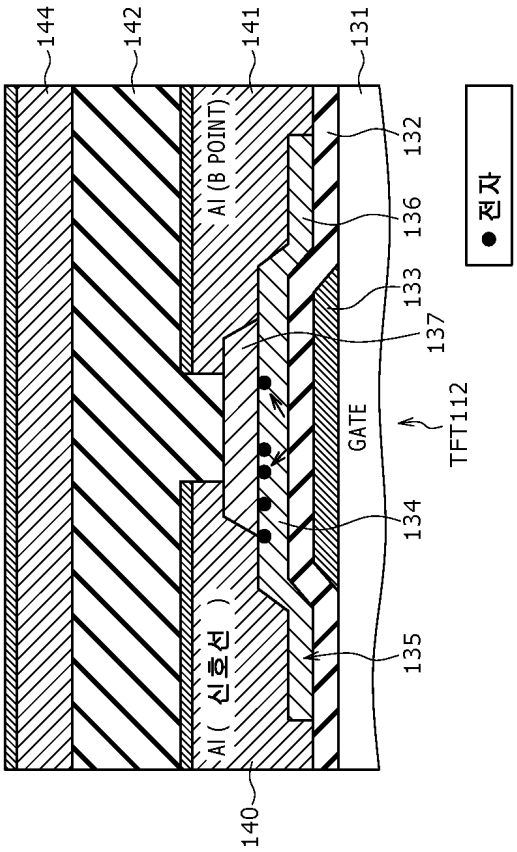
도면26


143
142
141
131
132
136
133
137
TFT111
GATE
134
135
140
Al (신호선)
Al (B POINT)
● 전자

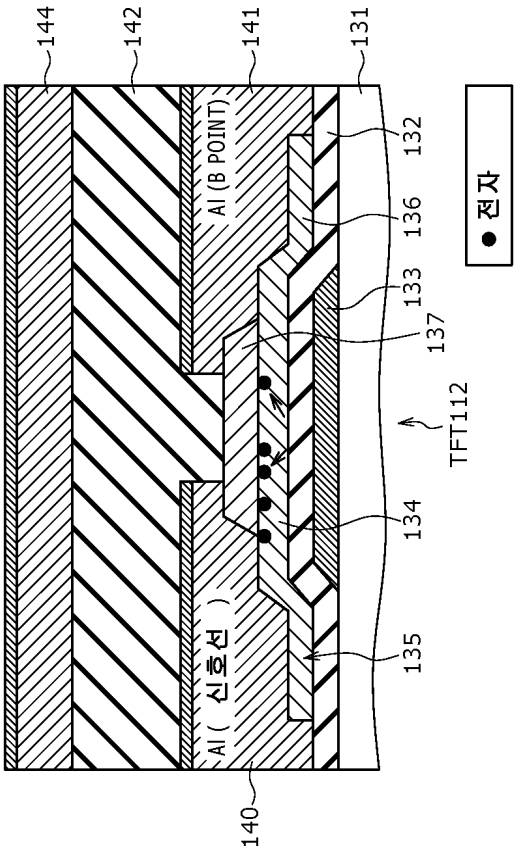
도면27


143
142
141
131
132
136
133
137
TFT112
GATE
134
135
140
Al (B POINT)
Al (신호선)
●전자

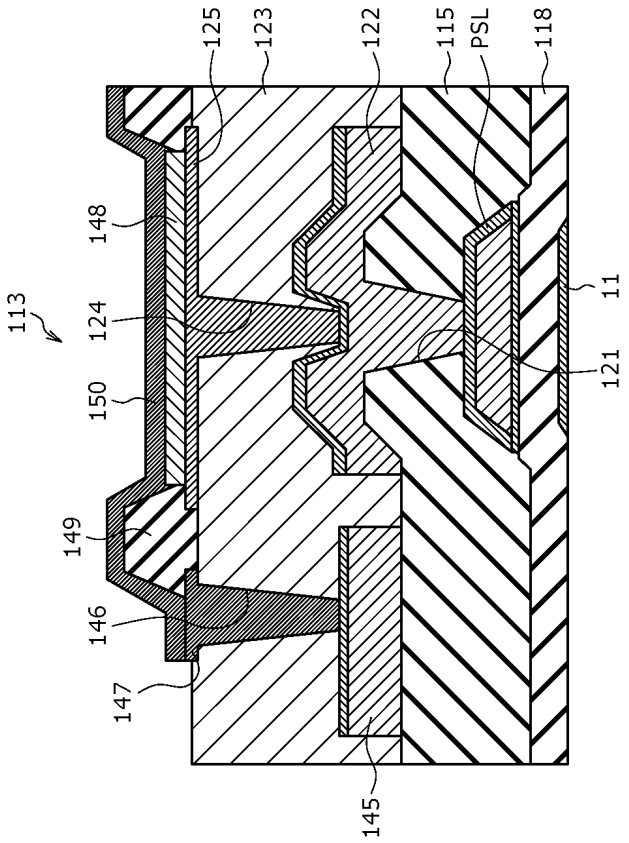
도면28


144
142
141
131
132
136
133
137
134
135
140
Al (B POINT)
Al (신호선)
GATE
TFT112
● 전자

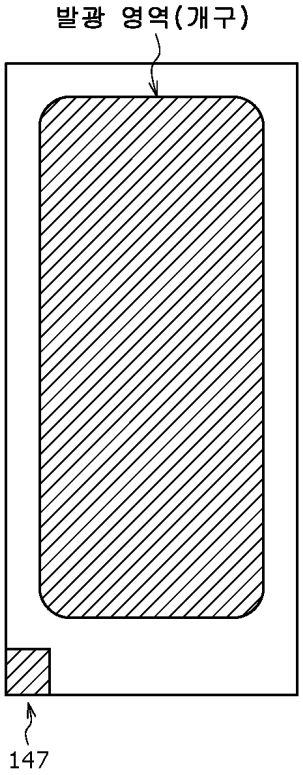
도면29


144
142
141
131
132
136
133
137
TFT112
134
135
140
Al (신호선)
Al (B POINT)
● 전자

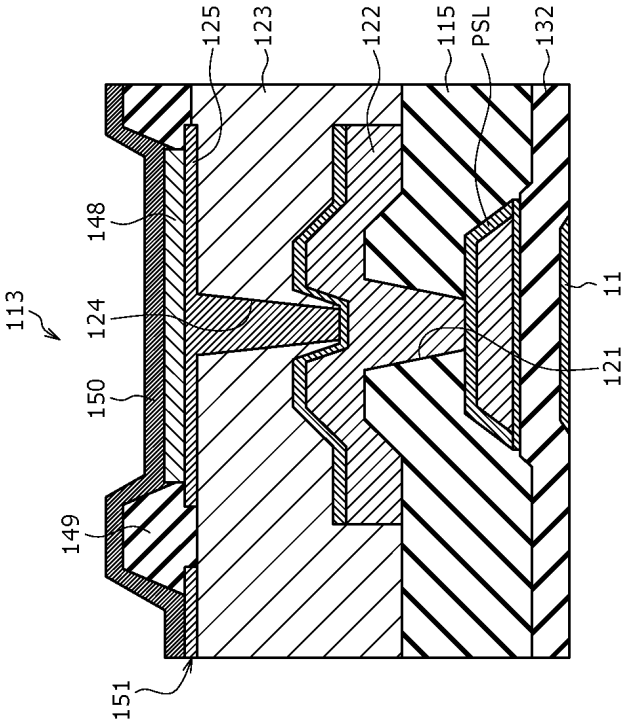
도면30


125
123
122
115
PSL
118
148
113
124
150
149
146
147
145
11
121

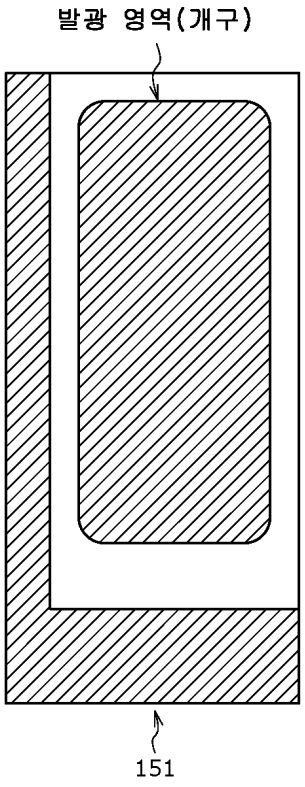
도면31


발광 영역(개구)
147

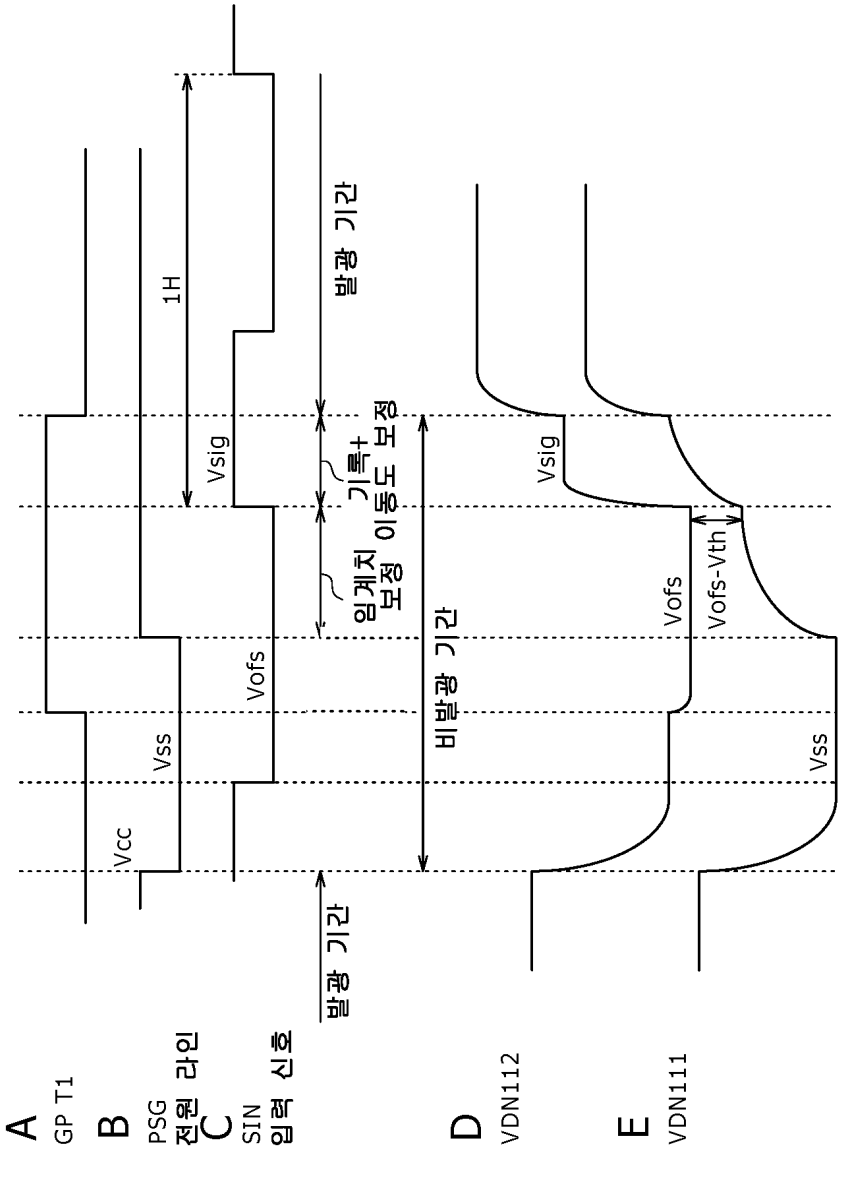
도면32


125
123
122
115
PSL
132
148
113
124
11
121
150
149
151

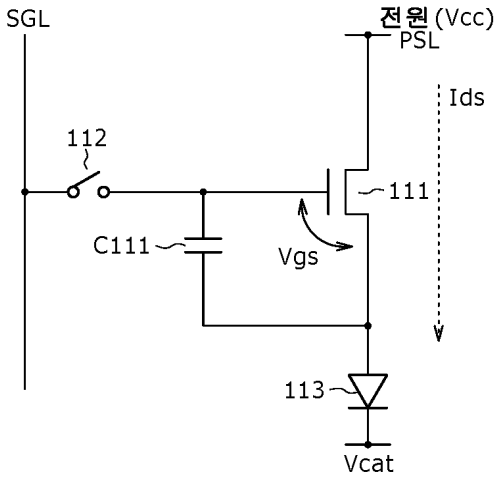
도면33


발광 영역(개구)
151

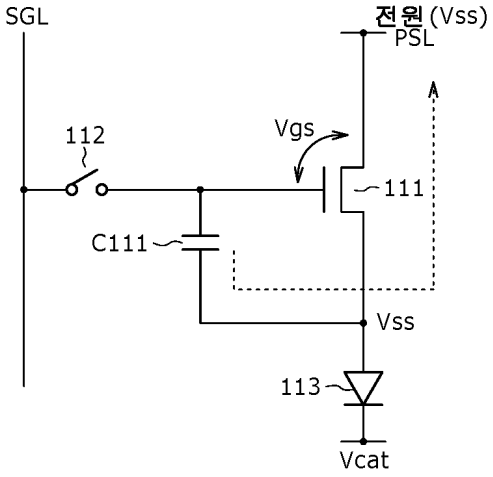
도면34


A
GP T1
B
PSG
전원 라인
C
SIN
입력 신호
D
VDN112
E
VDN111
1H
Vsig
Vofs
Vss
Vcc
발광 기간
기록+ 이동도 보정
임계치 보정
비발광 기간
Vofs-Vth

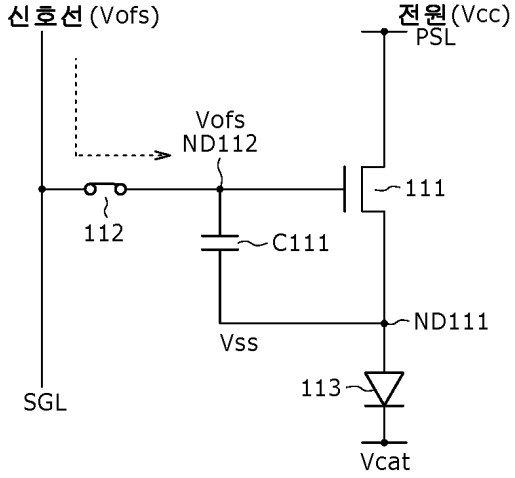
도면35


SGL
전원 (Vcc)
PSL
Ids
112
111
C111
Vgs
113
Vcat

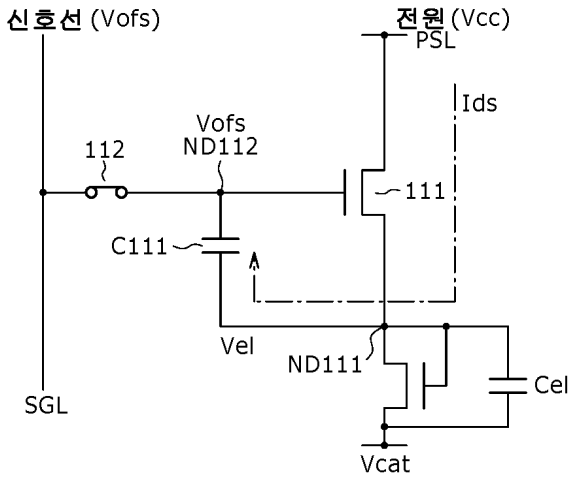
도면36


SGL
전원(Vss)
PSL
112
Vgs
111
C111
Vss
113
Vcat

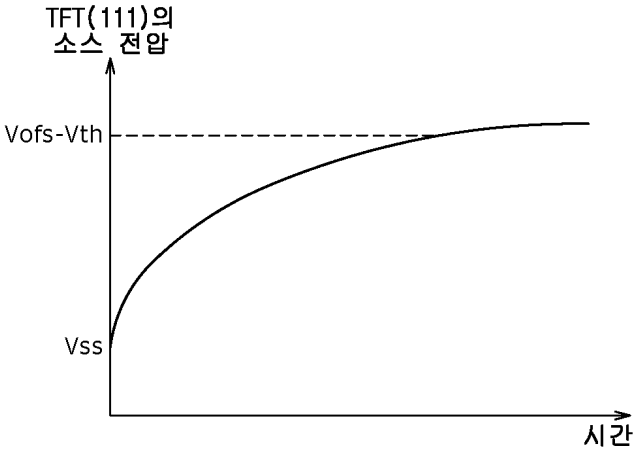
도면37


신호선(Vofs)
전원(Vcc)
PSL
Vofs
ND112
111
112
C111
ND111
Vss
113
SGL
Vcat

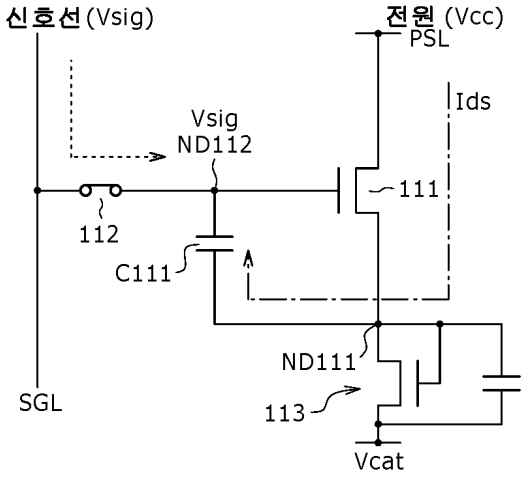
도면38



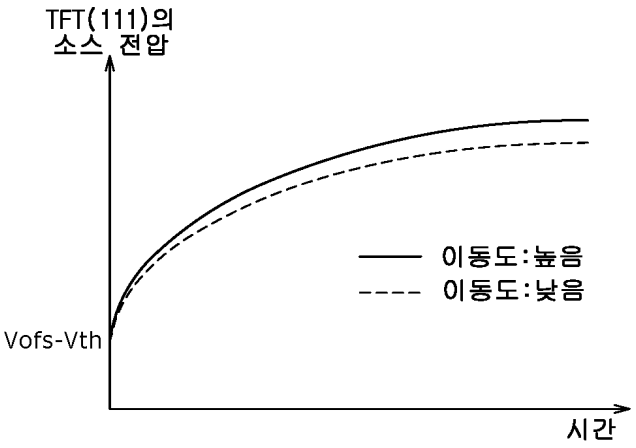
도면39



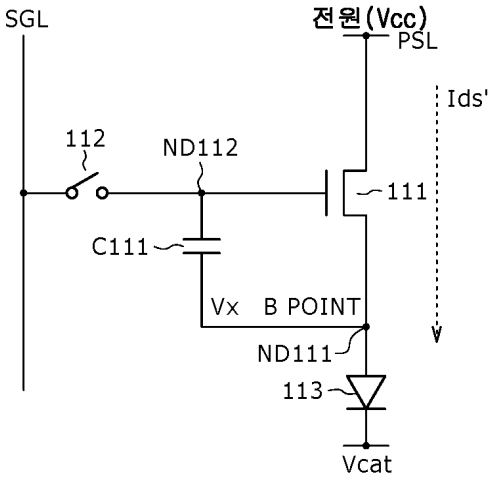
도면40



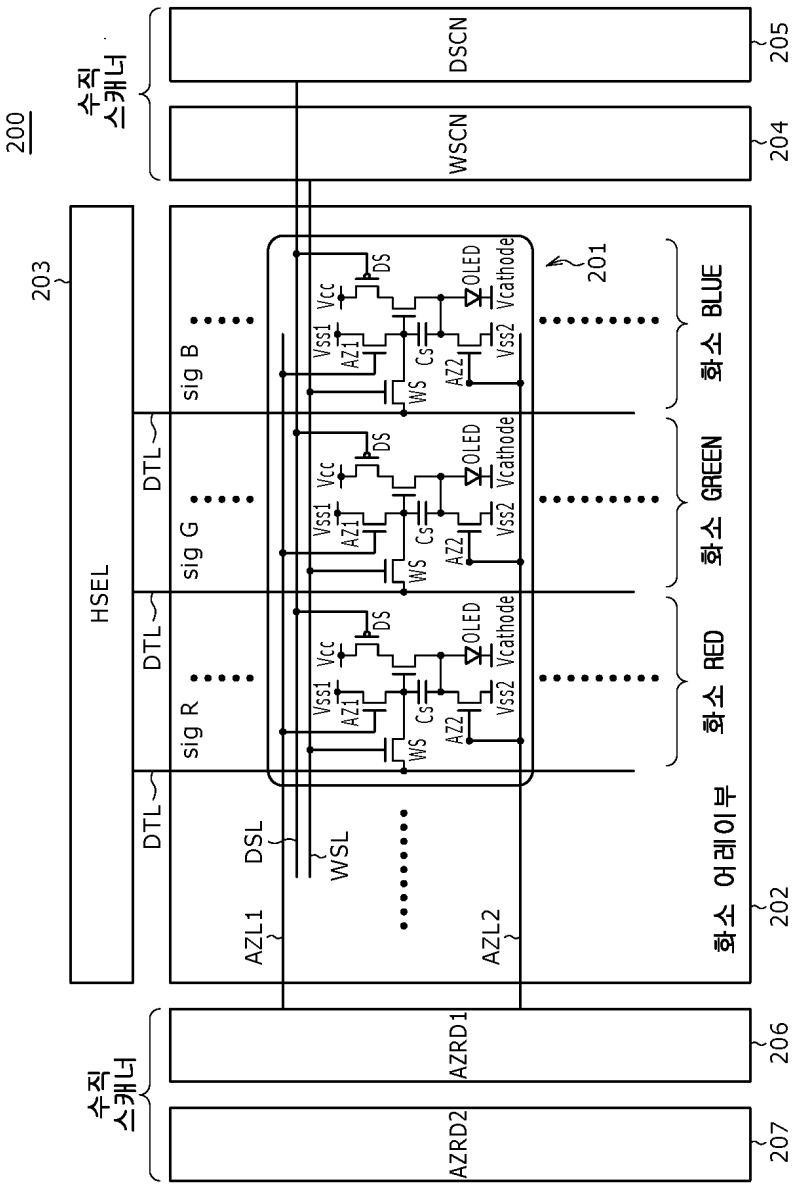
도면41


TFT(111)의
소스 전압
이동도:높음
이동도:낮음
Vofs-Vth
시간

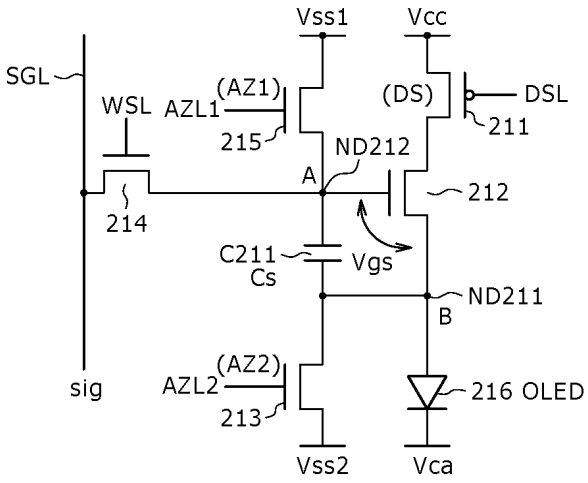
도면42


SGL
전원(Vcc)
PSL
Ids'
112
ND112
111
C111
Vx
B POINT
ND111
113
Vcat

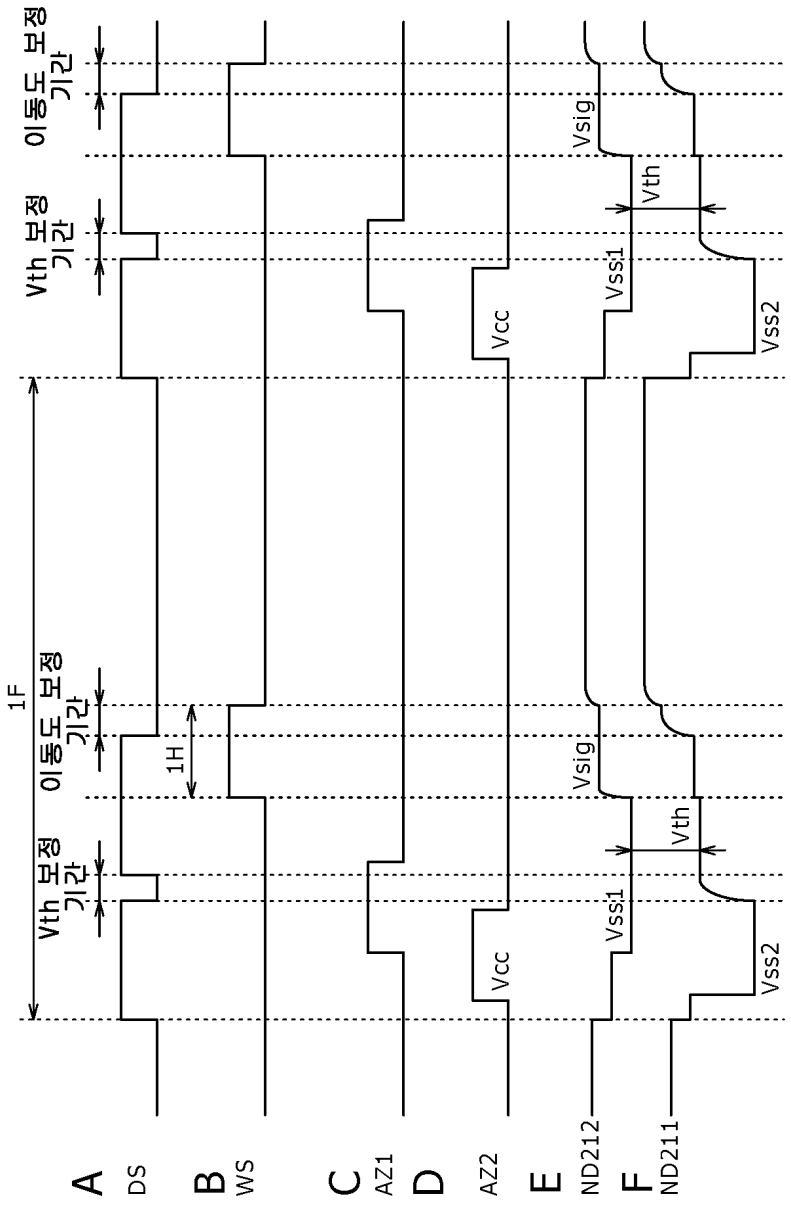
도면43


200
수직 스캐너
DSCN
205
WSCN
204
203
HSEL
DTL
sig B
sig G
sig R
201
화소 BLUE
화소 GREEN
화소 RED
화소 어레이부
202
DSL
WSL
AZL1
AZL2
Vcc
Vss1
AZ1
WS
Cs
AZ2
DS
OLED
Vcathode
Vss2
수직 스캐너
AZRD1
206
AZRD2
207

도면44


Vss1
Vcc
SGL
WSL
AZL1
(AZ1)
215
(DS)
DSL
211
ND212
A
212
214
C211
Cs
Vgs
ND211
B
sig
AZL2
(AZ2)
213
216 OLED
Vss2
Vca

도면45


A
DS
B
WS
C
AZ1
D
AZ2
E
ND212
F
ND211
1F
Vth 보정 기간
이동도 보정 기간
1H
Vcc
Vsig
Vss1
Vth
Vss2