

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5264018号
(P5264018)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.	F 1
HO 1 L 21/02	(2006.01)
HO 1 L 27/12	(2006.01)
HO 1 L 21/76	(2006.01)
HO 1 L 21/336	(2006.01)
HO 1 L 29/786	(2006.01)
HO 1 L 27/12	HO 1 L 27/12
HO 1 L 21/76	HO 1 L 21/76
HO 1 L 29/786	HO 1 L 29/78 627D

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2008-103146 (P2008-103146)
(22) 出願日	平成20年4月11日 (2008.4.11)
(65) 公開番号	特開2009-253240 (P2009-253240A)
(43) 公開日	平成21年10月29日 (2009.10.29)
審査請求日	平成23年2月14日 (2011.2.14)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	秋元 健吾 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体基板の作製方法

(57) 【特許請求の範囲】

【請求項 1】

単結晶半導体基板の第一の面に、前記第一の面に対向する第二の面が凸型に反るように引張り応力を有する保護層を形成する工程と、

前記第二の面からイオンを注入して、前記単結晶半導体基板の所定の深さに脆化領域を形成する工程と、

前記単結晶半導体基板の前記第二の面と、支持基板と、を貼りあわせる工程と、

前記脆化領域内にて、前記支持基板と、前記単結晶半導体基板とを分離し、前記支持基板上に単結晶半導体層を形成する工程と、

前記保護層が形成された状態で、前記単結晶半導体基板の表面を酸化し、酸化膜を形成する工程と、

前記保護層が形成された状態で、前記酸化膜を除去する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項1において、

前記保護層は導電性薄膜であることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項1において、

前記保護層は複数の層から成り、前記保護層の表面は導電性を有することを特徴とする半導体装置の作製方法。

10

20

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記支持基板はガラス基板、セラミック基板、石英基板、サファイア基板、導電性基板、または半導体基板であることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記イオンは H^+ 、 H_2^+ 、 H_3^+ 、またはこれらの組み合わせであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、絶縁表面上に半導体層を有する半導体基板の作製方法に関する。

【背景技術】

【0002】

近年、ガラス等の絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは集積回路や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

単結晶半導体のインゴットを薄く切断して作製されるシリコンウエハに代わり、絶縁層の上に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ（Silicon on Insulator：SOI）と呼ばれる半導体基板（SOI基板）が開発されており、マイクロプロセッサなどを製造する際の基板として普及しつつある。SOI基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させ、低消費電力化を図るものとして注目されている。

20

【0004】

SOI基板を製造する方法としては、水素イオン注入剥離法が知られている（例えば、特許文献1参照）。例えば表面に酸化シリコン膜が形成されたシリコンウエハに水素等のイオンを注入することによって表面から所定の深さに微小気泡層を形成し劈開面とし、別のウエハに薄膜単結晶シリコン層（SOI層）を接合する。さらに熱処理を施すことによりSOI層を劈開面から剥離（分離）することでSOI基板を形成するという技術である。なお、水素イオン注入剥離法は、スマートカット法と呼ぶこともある。

30

【0005】

一方、ガラスなどの絶縁基板にSOI層を形成しようとする試みもなされている。ガラス基板上にSOI層を形成したSOI基板の一例として、水素イオン注入剥離法を用いて、コーティング膜を有するガラス基板上に薄膜の単結晶シリコン層を形成したものが知られている（例えば、特許文献1参照）。この場合にも、シリコンウエハに水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、ガラス基板とシリコンウエハを貼り合わせ後に、微小気泡層を劈開面としてシリコンウエハを分離することで、ガラス基板上に薄い単結晶シリコン層（SOI層）を形成している。

40

【0006】

上記シリコンウエハを貼り合せた後、再生し、効率的かつ経済的な活用を図る技術も知られている（例えば、特許文献2参照）。

【特許文献1】特開2004-134675号公報

【特許文献2】特開2000-349266号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

水素イオン注入剥離法によって、例えばシリコンウエハ等の単結晶半導体基板よりも大面積であるガラス基板を用いたアクティブマトリクス型の表示装置を作製する場合、1枚の

50

ガラス基板に対してシリコンウエハから分離された薄膜の単結晶シリコン層を複数枚貼り合わせる必要がある。そのため、一枚のシリコンウエハに対して複数回水素イオン注入剥離法を繰り返し、一枚のシリコンウエハから複数枚の薄膜の単結晶シリコン層をガラス基板上に形成することができれば、より効率的なS O I基板の作製が可能となる。

【0008】

しかし、水素イオン注入剥離法によって薄膜の単結晶シリコン層を分離した後の単結晶半導体基板は、表面の層に水素を多く含んでいる。したがって、一枚の単結晶半導体基板から水素イオン注入剥離法にて複数回薄膜の単結晶シリコン層を得るためには、新たに微小気泡層を形成するためには水素を多く含んだ表面の層を除去する必要がある。この様な表面の層を除去する方法として、熱酸化膜を形成した後、フッ化水素酸（フッ酸）を例とした、熱酸化膜を除去する薬液に、基板全体を浸す方法が挙げられる。このような基板全体を薬液に浸す方法は生産性が良いものの、基板表面と裏面との両面に作用するため、裏面も表面同様に膜減りする。前記単結晶半導体基板を繰り返し利用できる回数は、単結晶半導体基板の厚さにより制限されることから、裏面の膜減り量は繰り返し利用できる回数に影響する。

【0009】

本発明の課題の一は、単結晶半導体層を支持基板上に形成後、使用した単結晶半導体基板の、繰り返し再生回数を増やすことである。

【課題を解決するための手段】

【0010】

本発明の半導体基板の作製方法の一は、まず、単結晶半導体基板の第一の面に、保護層となる引っ張り応力の薄膜を形成し、第二の面が凸型に反るようにする。次いで、単結晶半導体基板の第二の面にイオン種を注入することにより、単結晶半導体基板の第二の面から所定の深さの領域に脆化層を形成する。次いで、単結晶半導体基板の第二の面上に接合層を形成し、接合層を介して、単結晶半導体基板と支持基板とを接合することで、単結晶半導体基板と支持基板を貼り合わせ、単結晶半導体基板の加熱によって、脆化層を劈開面として単結晶半導体基板を分離することにより、単結晶半導体基板から分離された単結晶半導体層を支持基板上に固定して、半導体基板を作製する。一方、半導体層が分離された単結晶半導体基板の第二の面は、平坦性が損なわれている、あるいは不純物量が増大しているため、再生処理を施す。上記再生処理後、再び単結晶半導体基板の第二の面にイオン種を注入する工程より行い、次の半導体基板を作製する。

【0011】

上記単結晶半導体基板の再生処理を行うためには、水素等が拡散した第二の面の表面層を除去するため、熱酸化処理にてシリコン酸化膜を形成し、該シリコン酸化膜をフッ酸等で除去処理を行う。このとき、第二の面すなわち単結晶半導体基板は脆化層が形成された面は、シリコン酸化膜が除去された分だけ膜減りする。一方、第一の面すなわち上記半導体層を分離した面とは反対の面には、上記引っ張り応力の保護層が形成されているため、フッ酸等での除去処理の際でも溶解せず、膜減り量は小さい。この膜減り量を抑えることでの、単結晶半導体基板の再生回数を増やすことができる。尚、本明細書中では、第二の面を表面とし、第一の面を裏面とする。

【0012】

また、上記単結晶半導体基板の再生処理を行う過程で、熱処理を行うことから、上記保護層として金属膜を用いる場合は、該熱処理にて半導体層への拡散が小さく、シリサイドを形成しにくい材料を用いる。

【0013】

上記の目的を達するためであれば、保護層の材料としては窒化珪素を代表する絶縁膜でも良いが、保護層に引っ張り応力の膜、あるいは導電膜、あるいはこれらの組み合わせを満たす層とし、単層もしくは積層構造とすることができる。このような保護層を単結晶半導体基板に設けることで、本発明の半導体基板の作製方法は、付加的に以下の効果も得られる。

10

20

30

40

50

【0014】

効果の一としては、単結晶半導体層を支持基板上に形成する際、支持基板表面の損傷を低減することができる。支持基板と、単結晶半導体基板上の単結晶半導体層の表面同士を向かい合わせにして密着させ、熱処理し単結晶半導体層を転載する工程時、単結晶半導体基板のエッジ部分がガラスに触れると、支持基板表面が損傷する。本発明の半導体基板の作製方法では、引っ張り応力の薄膜が裏面に形成されていることから、単結晶半導体基板が表面を凸として反っているため、単結晶半導体基板の中央部分からガラスに触れることとなり、上記損傷を低減することができる。

【0015】

別の効果としては、単結晶半導体層の転載不良を低減することができる。単結晶半導体基板上の単結晶半導体層の表面同士を向かい合わせにして密着させる際、密着させる界面に気泡が存在すると、単結晶半導体層を転載する際にこの部分が転載されず不良となる。本発明の半導体基板の作製方法では、引っ張り応力の膜が裏面に形成されていることから、単結晶半導体基板が表面を凸として反っているため、単結晶半導体基板の中央部分からガラスに触れることとなり、密着させる界面の気泡は中央部から周辺部へと追い出すことができ、密着させる界面の気泡を低減することができる。

10

【0016】

別の効果としては、単結晶半導体基板が帯電し、単結晶半導体基板の搬送時に静電力で撓むことを防ぐことができる。単結晶半導体基板が帯電した場合、基板をカセット内に保管する際に静電力でゴミ等異物を表面に吸着する、または搬送時に基板が大きく撓み搬送不良が起きる。特に近年は単結晶半導体基板が大型化し、撓み量が小さいことが望まれる。本発明の半導体基板の作製方法では、単結晶半導体基板の裏面に導電性の薄膜が形成されているから、帯電を逃すことができる。

20

【0017】

このような効果を得るため、上記引っ張り応力の保護層は、単結晶半導体基板が表面を凸として反らすものであれば良い。基板を反らすための膜の力は、膜の全応力によるものであり、該全応力は、膜厚と応力の積となる。膜厚が小でも、応力が大であれば、単結晶半導体基板が表面を凸として反らすことができることから、単結晶半導体基板が表面を凸として反っていれば、引っ張り応力の導電性薄膜が形成されているものと判断できる。すなわち本発明の技術思想の一は、表面が凸として反っている単結晶半導体基板を用いて半導体基板を作製する、というところにある。尚、本発明において、上記効果を得るための、単結晶半導体基板の表面が凸として反っている状態の判断は、単結晶半導体基板を変形させずに該単結晶半導体基板の表面を、平面に接触させると、該単結晶半導体基板の周辺部以外から触れさせることができるかによる。すなわち反っている状態は歪んでいても良い。

30

【発明の効果】

【0018】

単結晶半導体基板の裏面に保護層を形成することで、単結晶半導体基板の平坦化する再生処理回数に作用し、半導体資源をより有効に活用することができる。

【発明を実施するための最良の形態】

40

【0019】

以下、本発明の実施の形態における半導体基板の作製方法の一例について、図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【0020】

(実施の形態1)

本発明は、水素イオン注入剥離法によって薄膜の単結晶半導体層を分離した後の、単結晶半導体基板の平坦化プロセスに関するものである。図1に、本発明による半導体基板の作

50

製工程を説明するフロー図の一例を示す。

【0021】

まず、単結晶半導体基板上に保護膜を形成し、該保護膜を介して単結晶半導体基板にイオンビームを注入して脆化層を形成する(51)。次に、単結晶半導体基板または支持基板上に接合層を形成し(52)、単結晶半導体基板と支持基板とを接合する(53)。次いで、熱処理を行い、脆化層を劈開面として、単結晶半導体基板を支持基板から分離して(54)、半導体基板を作製する(55)。また、分離後の単結晶半導体基板には、再生処理を行い(56)平坦性を回復した単結晶半導体基板(再生基板とも表記する)を作製する(57)。

【0022】

以下、本実施の形態において、図1に示した半導体基板の作製方法の一例を、図2乃至図4を用いて具体的に説明する。

【0023】

まず、単結晶半導体基板100を用意する。単結晶半導体基板としては、単結晶シリコンからなる基板、単結晶ガリウムヒ素基板等を用いることができる。また、必要に応じて、単結晶半導体基板の代わりに、シリコン、ゲルマニウムガリウムヒ素等の多結晶からなる半導体基板、若しくは、シリコン、ゲルマニウムガリウムヒ素等が形成された基板を用いることも可能である。なお、多結晶半導体基板を用いた場合は、分離後の半導体層は、劈開多結晶半導体層となる。本実施の形態では、単結晶半導体基板100として、厚さ0.7mmのシリコンウエハを用意する。

【0024】

次に、単結晶半導体基板100裏面を洗浄して清浄した後に、単結晶シリコン基板裏面に、引っ張り応力の膜である保護膜101を成膜する。上記引っ張り応力の膜は、絶縁性の膜と導電性の膜の積層構造、あるいは導電性膜の単層構造、あるいは絶縁性膜の単層構造でも良い。絶縁性の膜と導電性の膜の積層構造の場合、単結晶半導体基板100が熱処理されるにつれ、前記導電性膜が半導体層とシリサイド化するのを防ぐ作用がある。絶縁性の膜が無い場合において、使用回数(再生回数)と処理温度により、形成されるシリサイドが十分薄い場合は導電性膜の単層のみで良い。本実施の形態では、絶縁性の膜と導電性の膜の積層構造とする。具体的には、窒化珪素膜をシラン、アンモニアを含むガスにてプラズマCVD法にて100nm形成し、さらにタンタル膜を100nm形成する。タンタル膜はスパッタ法にて、305mmのタンタルターゲットにて、T-S=60mm、成膜電力1kW、アルゴンガスを用いて成膜ガス圧力を1.6Paとして成膜する。このとき耐酸化性を高めるため、成膜ガスに窒素を添加してもよい。このように引っ張り応力の膜が形成されると、単結晶半導体基板100は基板表面より見ると凸型に反ることになる。

【0025】

次に、単結晶半導体基板100表面を洗浄して清浄した後に、単結晶半導体基板100表面上に保護膜102を形成する。保護膜102は、必ずしも形成する必要はないが、次に行う脆化層を形成するためのイオン注入工程で単結晶半導体基板100が金属などの不純物に汚染されることを防止し、また、注入されるイオンの衝撃による表面の損傷を防止することができるため、保護膜を形成するのが好ましい(図2(A))。

【0026】

保護膜102は、CVD法等により、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜などの絶縁材料を堆積した単層膜または多層膜とすることができます。または、単結晶半導体基板100表面を熱酸化することによっても形成することができる。なお、本明細書において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。例えば、酸化窒化シリコンとは、酸素が55~65原子%、窒素が1~20原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれる物質とする。また、窒化酸化シリコンとは、酸素が15~30原子%、窒素が20~30

10

20

30

40

50

5原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれる物質とする。

【0027】

次に、保護膜102を介して、電界で加速されたイオンでなるイオンビーム103を単結晶半導体基板100に注入して、単結晶半導体基板100の表面から所定の深さの領域に、脆化層104を形成する(図2(B))。

【0028】

脆化層104を形成される領域の深さは、イオンビーム103の加速エネルギーとイオンビーム103の入射角によって制御することができる。イオンの平均進入深さとほぼ同じ深さ領域に、脆化層が形成される。また、イオンを注入する深さで、単結晶半導体基板100から分離される薄膜の単結晶半導体層の厚さが決定される。単結晶半導体基板100から分離される単結晶半導体層の厚さは5nm以上500nm以下であり、好ましい厚さの範囲は10nm以上200nm以下である。イオンを注入する深さを考慮して、イオンの加速電圧を調節する。

【0029】

このイオン注入工程のソースガスには、水素ガスを用いることができる。水素ガスH₂からは、質量数の異なる複数の水素イオン、すなわちH⁺、H₂⁺、H₃⁺が生成されるが、水素ガスをソースガスに用いる場合は、H₃⁺が最も多く注入されることが好ましい。H₃⁺イオンを注入することで、H⁺イオンまたはH₂⁺イオンを注入するよりもイオンの注入効率が向上し、かつ注入時間を短縮することができる。また、脆化層に亀裂が生じやすくなる。

【0030】

また、イオン注入工程のソースガスには、水素ガスの他、ヘリウム、アルゴンなどの希ガス、フッ素ガス、塩素ガスに代表されるハロゲンガス、フッ素化合物ガス(例えば、BF₃)などのハロゲン化合物ガスから選ばれた一種または複数種類のガスを用いることができる。ソースガスにヘリウムを用いる場合は、質量分離を行わないことで、He⁺イオンの割合が高いイオンビーム103を作り出すことができる。

【0031】

また、複数回のイオン注入工程を行うことで、脆化層104を形成することもできる。この場合、イオン注入工程ごとにプロセスガスを異なってても、同じでもよい。例えば、まず、ソースガスに希ガスを用いてイオン注入を行う。次に、水素ガスをプロセスガスに用いてイオン注入を行う。また、初めにハロゲンガス又はハロゲン化合物ガスを用いてイオン注入を行い、次に、水素ガスを用いてイオン注入を行うこともできる。

【0032】

脆化層104を形成した後、エッティングにより保護膜102を除去する。次に、単結晶半導体基板100の保護膜102が形成されていた面上に、接合層106を形成する(図2(C))。接合層106は、平滑で親水性の接合面を単結晶半導体基板100上に形成するため層である。このような接合層106には、化学的な反応により形成される絶縁膜が好ましく、特に酸化シリコン膜が好ましい。接合層に用いられる酸化シリコン膜の厚さは10nm以上200nm以下とすることができる。好ましい厚さは10nm以上100nm以下であり、より好ましくは20nm以上50nm以下である。なお、保護膜102を除去せず、保護膜102上に接合層106を形成することもできる。

【0033】

接合層106として、酸化シリコン膜を化学気相成長法(Chemical Vapor Deposition: CVD法)で形成する場合には、シリコンソースガスとして有機シランガスを用いることが好ましい。酸素ソースガスには酸素ガスを用いることができる。有機シランガスには、珪酸エチル(TEOS:化学式Si(OCH₃)₄)、トリメチルシラン(TMDS:(CH₃)₃SiH)、テトラメチルシラン(TMDS:化学式Si(CH₃)₄)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエ

10

20

30

40

50

トキシシラン (SiH(OCH₂H₅)₃)、又はトリスジメチルアミノシラン (SiH(N(CH₃)₂)₃)などを用いることができる。

【0034】

接合層106となる酸化シリコン膜は、熱CVD法で、加熱温度が500以下200以上で形成されるLTO (低温酸化物、low temperature oxide) で形成することができる。この場合、シリコンソースガスにシラン (SiH₄) またはジシラン (Si₂H₆)などを用い、酸素ソースガスに酸素 (O₂) 又は一酸化二窒素 (N₂O)などを用いることができる。

【0035】

次いで図3(A)に示すように、絶縁表面を有する支持基板108と、単結晶半導体基板100とを接合層106を介して貼り合わせる。支持基板108としては、液晶表示装置など電子工業用に使用されている透光性のガラス基板を用いることができる。ガラス基板には、熱膨張係数が 25×10^{-7} / 以上 50×10^{-7} / 以下 (好ましくは、 30×10^{-7} / 以上 40×10^{-7} / 以下) であって、歪み点が580以上680以下 (好ましくは、600以上680以下) である基板を用いることが、耐熱性、価格などの点から好ましい。また、ガラス基板は無アルカリガラス基板が好ましい。無アルカリガラス基板の材料には、例えば、アルミニノシリケートガラス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0036】

また、支持基板108には、ガラス基板の他、セラミック基板、石英基板やサファイア基板などの絶縁体でなる絶縁性基板、金属やステンレスなどの導電体でなる導電性基板、シリコンやガリウムヒ素など半導体でなる半導体基板などを用いることができる。

【0037】

また、洗浄した支持基板108の上面に10nm以上400nm以下の厚さの、単層構造または2層以上の多層構造からなる絶縁層を形成して、この絶縁層と接合層106とを貼り合わせてもよい。支持基板上に絶縁層を形成する場合、絶縁層を構成する膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化ゲルマニウム、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などのシリコンまたはゲルマニウムを組成に含む絶縁膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属の酸化物でなる絶縁膜、窒化アルミニウムなどの金属の窒化物でなる絶縁膜、酸化窒化アルミニウム膜などの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウム膜などの金属の窒化酸化物でなる絶縁膜を用いることもできる。

【0038】

支持基板108としてアルカリ金属若しくはアルカリ土類金属などの半導体装置の信頼性を低下させる不純物を含むような基板を用いた場合、このような不純物が支持基板108から、SOI基板の半導体層に拡散することを防止できるような膜を少なくとも1層以上設けることが好ましい。このような膜には、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などがある。このような膜を含ませることで、絶縁層をバリア層として機能させることができる。

【0039】

例えば、絶縁層を単層構造のバリア層として形成する場合、厚さ10nm以上200nm以下の窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜で形成することができる。また、絶縁層をバリア層として機能させ、2層構造とする場合は、例えば、次の2層構造の膜があげられる。窒化シリコン膜と酸化シリコン膜の積層膜、窒化シリコン膜と酸化窒化シリコン膜、窒化酸化シリコン膜と酸化シリコン膜の積層膜、窒化酸化シリコン膜と酸化窒化シリコン膜。なお、例示した2層構造の膜において、先に記載した膜が支持基板108上面に形成される膜である。2層構造の絶縁層において、上層は、下層のプロッキング効果の高い層の内部応力が半導体層に作用しないように、応力を緩和するような膜を選択することが好ましい。また上層の厚さは10nm以

10

20

30

40

50

上 200 nm 以下、下層の厚さは 10 nm 以上 200 nm 以下とすることができる。

【0040】

単結晶半導体基板 100 と、支持基板 108 との接合工程では、まず支持基板 108 の接合面側表面と単結晶半導体基板 100 上に形成された接合層 106 表面を超音波洗浄などの方法で洗浄する。支持基板 108 と接合層 106 とを密着させると、支持基板 108 と接合層 106 の界面にファン・デル・ワールス力が作用し、支持基板 108 と接合層 106 が接合する。支持基板 108 と単結晶半導体基板 100 とを密着させることで、接合層 106 と支持基板 108 の界面に水素結合ができる。図 3 (A) では単結晶半導体基板 100 と支持基板 108 とはまず中央部から密着し、該密着する領域は徐々に基板端部方向へと広がるように進むことを示す。すなわちこの接合工程では、最初に単結晶半導体基板 100 の角部が、支持基板 108 に接触することはないため、単結晶半導体基板 100 の角部の欠損や、支持基板 108 表面の損傷を防ぐことができる。

10

【0041】

またこのとき、中央部の接合部の気泡は、基板端部方向へ逃れる。しかも単結晶半導体基板 100 が表面からみて凸の形状であることから、単結晶半導体基板 100 と支持基板 108 との接触角は大きくなり、半導体中央部から基板端部方向に気泡がより逃れやすくなる。すなわち該気泡による転載不良を低減することができる。さらに単結晶半導体基板 100 は導電性が高められ、帯電量が低減されていることから、ゴミ等異物を接合界面の一である単結晶半導体基板 100 の表面に静電吸着することを避けることができる。すなわち該ゴミ等異物による転載不良を低減することができる。

20

【0042】

こうして単結晶半導体基板 100 と支持基板 108 との表面が全て密着すると、図 3 (B) に示すように接合される。接合層 106 に、有機シランを用いて CVD 法で形成した酸化シリコン膜を用いることで、支持基板 108 及び単結晶半導体基板 100 を加熱することなく、常温で接合することができる。

【0043】

なお、単結晶半導体基板 100 と支持基板 108 とを貼り合わせるための接合層は、支持基板 108 側に設けても良く、または支持基板 108 と単結晶半導体基板 100 の双方に設けても構わない。

30

【0044】

また、結合力がより強固な接合を形成するために、例えば支持基板 108 の表面を酸素プラズマ処理若しくはオゾン処理して、その表面に親水性を持たせる処理を施してもよいし、支持基板 108 と接合層 106 を密着させた後、加熱処理又は加圧処理を行ってもよい。加熱処理の温度は 400 以上 600 以下とすることができる。また、加圧処理は、接合界面に垂直な方向に力が加わるように行い、加える圧力は支持基板 108 及び単結晶半導体基板 100 の強度を考慮して決定する。

【0045】

次に、脆化層 104 を劈開面として単結晶半導体基板 100 を分離するために、支持基板 108 に接合層 106 を介して接合された単結晶半導体基板 100 に熱処理を施す。加熱温度は 400 以上 600 未満とすることができる。単結晶半導体基板 100 の加熱温度は接合層 106 を形成するときの単結晶半導体基板 100 の温度以上とすることが好ましい。

40

【0046】

400 以上 600 未満の温度範囲で熱処理を行うことで単結晶半導体基板 100 中の脆化層 104 に形成された微小な空孔に体積変化が起こり脆化層 104 に亀裂が生ずる。その結果、単結晶半導体基板 100 A が脆化層 104 に沿って分離される (図 3 (C))。この熱処理により、支持基板 108 上には単結晶半導体基板 100 から分離された薄膜の単結晶半導体層 110 が固定される。また、この熱処理で、支持基板 108 と接合層 106 との接合界面が加熱されるので、接合界面に水素結合よりも結合力が強い共有結合が形成され、接合界面での結合力を向上させることができる。

50

【0047】

以上の工程により、支持基板108に薄膜の単結晶半導体層110が設けられた半導体基板112が作製される。一方、分離後の単結晶半導体基板100Aは分離された単結晶半導体層110の膜厚分だけ薄くなり、分離された表面は平坦性が大きく損なわれ、凹凸が形成された状態となる。したがって、分離後の単結晶半導体基板100Aをそのままの状態で再度水素イオン注入剥離法を用いてガラス基板上に薄膜の単結晶シリコン層を形成することはできない。

【0048】

そこで、分離後の単結晶半導体基板100Aを再利用するための表面の再生処理を行う。
図4(A)～図4(D)は、単結晶半導体基板100Aの再生処理を説明する断面図である。支持基板と半導体基板との貼り合せ工程後の単結晶半導体基板100Aは、図4(A)のように、表面に凹凸を有している。

10

【0049】

単結晶半導体基板100Aの端部にて、接合層と半導体層とから成る残渣部分が形成されている場合(図示しない)、ここで、該残渣部分を除去する。該残渣部分は、ウェットエッティング処理を行うことにより除去することができる。具体的には、フッ化水素酸とフッ化アンモニウムと界面活性剤を含む混合溶液(例えば、ステラケミファ社製、商品名:LA L 500)をエッチャントとして用いてウェットエッティングを行う。また、水素イオンが導入された損傷層は、TMAH(Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド)に代表される有機アルカリ系水溶液を用いてウェットエッティングすることにより、除去することができる。このような処理を行うことにより、単結晶半導体基板100Aの端部における残渣部分による段差が緩和される。

20

【0050】

ここで、図4(B)のように、単結晶半導体基板100Aを熱処理装置にてハロゲン雰囲気中で酸化することにより、酸化膜114を形成し、その後酸化膜114を除去する。ハロゲンとしてはHClを用いることができる。このような処理により、付加的に、ハロゲン元素による金属不純物を除去するゲッタリング効果を得ることができる。すなわち、塩素の作用により、金属などの不純物が揮発性の塩化物となって気相中へ離脱して除去される。

30

【0051】

次いで、図4(C)のように、単結晶半導体基板100Aの表面平坦化処理を洗浄機付CMP装置にてCMP処理で行う。その結果、単結晶半導体基板100Aの表面を平坦にすることができる。その後、図4(D)のように得られた単結晶半導体基板100Bを再度利用する。単結晶半導体基板100Bは表面を清浄化し、図1のイオンビームを注入して脆化層を形成する(51)工程から用いることができる。

【0052】

本実施の形態で示したように、半導体基板の再生処理工程により半導体基板を繰り返し利用することによって、低コスト化を図ることができる。また、本実施の形態で示した半導体基板の再生処理工程を用いることにより、半導体基板を繰り返し利用した場合であっても、半導体基板の表面を十分に平坦化することができるため、半導体基板とベース基板との密着性を向上させ、貼り合わせ不良を低減することができる。

40

【0053】

また、単結晶半導体基板100Aと同様に、半導体基板112上に形成された単結晶半導体層110の上面も平坦性が損なわれていることがある。そのため、半導体装置を製造する前に、その表面を平坦化するため、化学的機械的研磨(CMP)を行うことが好ましい。単結晶半導体層110の平坦性を向上することにより、後に形成する半導体素子のばらつきを抑えることができる。なお、所望の特性が得られるようであれば、平坦化工程は省略してもかまわない。

【0054】

50

また、単結晶半導体層110の上層は、結晶欠陥が含まれることから、加熱やレーザ光の照射を行うことにより、単結晶半導体層110の結晶欠陥を修復しても良いし、これらの処理を組み合わせて行っても構わない。なお、加熱処理時の温度は、支持基板108の耐熱温度を目安とすることができる。支持基板108としてガラス基板を用いる場合には、ガラス基板の歪み点を目安とすればよい。具体的には、歪み点±50(580以上680以下)程度の温度にて加熱処理を行えばよい。

【0055】

本実施の形態で示す半導体基板の作製方法によって、分離後の単結晶半導体基板を効果的に再利用することが可能となり、資源を有効に活用することができる。すなわち、本発明に係る再生処理を適用することで、熱酸化工程と酸化膜除去工程を経ても、厚さの減少量の小さい再生基板を提供することが可能となる。

10

【0056】

また、この再生基板を用いて半導体基板を作製することで、半導体基板及びその基板から製造される半導体装置の製造コストを低減することができる。

【0057】

(実施の形態2)

図1乃至図4を用いて説明した半導体基板の作製方法では、ガラス基板等の耐熱温度が700以下の支持基板であっても、単結晶半導体基板との結合力を強固にすることができる。また、無アルカリガラス基板などの各種のガラス基板を支持基板に適用することができる。従って、支持基板にガラス基板を用いることで、一辺が1メートルを超える大面積な半導体基板を製造することができる。このような大面積な半導体製造基板に複数の半導体素子を形成することで、液晶ディスプレイ、エレクトロルミネッセンスディスプレイを作製することができる。また、このような表示装置だけでなく、半導体基板を用いて、太陽電池、フォトIC、半導体記憶装置など各種の半導体装置を製造することができる。

20

【0058】

以下、図5と図6を参照して、半導体基板で半導体装置を作製する方法を説明する。ここでは、図1の方法で作製された半導体基板を用いる。もちろん、他の構成の半導体基板を用いることもできる。

【0059】

30

図5(A)に示すように、支持基板108に接合層106を介して単結晶半導体層110が設けられている。まず、単結晶半導体層110上に、素子形成領域に合わせて窒化シリコン層155、酸化シリコン層156を形成する。酸化シリコン層156は、素子分離のために単結晶半導体層110をエッチングするときのハードマスクとして用いる。窒化シリコン層155は、単結晶半導体層110をエッチングするときのエッチングストップとして用いられる。次いで、しきい値電圧を制御するために、単結晶半導体層110に、硼素、アルミニウム、ガリウムなどのp型不純物、又はヒ素、リンなどのn型不純物を添加する。例えば、p型不純物として硼素を用いた場合、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加すればよい。

【0060】

40

次いで、図5(B)に示すように、酸化シリコン層156をマスクとして単結晶半導体層110及び接合層106をエッチングする。そして、エッチングにより露出した単結晶半導体層110及び接合層106の端面に対してプラズマ処理により窒化し、窒化物層157を形成する。この窒化処理により、少なくとも単結晶半導体層110の周辺端部には窒化シリコン層が形成される。窒化シリコンは絶縁性であり、耐酸化性がある。そのため、窒化シリコン層を形成することで、単結晶半導体層110の端面から電流が漏れることを防止でき、単結晶半導体層110と接合層106との間に、端面から酸化膜が成長してバーゼビーグが形成されるのを防止できる。

【0061】

図5(C)は、素子分離絶縁層158を堆積する工程を説明するための断面図である。素

50

子分離絶縁層 158 は TEOS と酸素を用いて酸化シリコン膜を CVD 法で堆積することで形成する。図 5 (C) に示すように、単結晶半導体層 110 と単結晶半導体層 110 の隙間を埋めるように、素子分離絶縁層 158 は厚く堆積する。

【0062】

図 5 (D) は窒化シリコン層 155 が露出するまで素子分離絶縁層 158 を除去する工程を示している。この除去工程は、ドライエッチングで行うことができる。このとき窒化シリコン層 155 はエッチングストップとなる。素子分離絶縁層 158 は単結晶半導体層 110 の間に埋め込まれるように残存する。窒化シリコン層 155 はその後除去する。なお、この除去工程は化学的機械研磨によって行うこともできる。

【0063】

次に、図 5 (E) に示すように、ゲート絶縁層 159、2 層構造のゲート電極 160、サイドウォール絶縁層 161、第 1 不純物領域 162、第 2 不純物領域 163、絶縁層 164 を形成する。第 1 不純物領域 162、第 2 不純物領域 163 を単結晶半導体層 110 に形成することで、チャネル形成領域 165 が形成される。絶縁層 164 は窒化シリコンで形成し、ゲート電極 160 をエッチングするときのハードマスクとして用いる。

10

【0064】

図 6 (A) に示すように、層間絶縁層 166 を形成する。層間絶縁層 166 は BPSG (Boron Phosphorus Silicon Glass) 膜を形成してリフローにより平坦化させる。また、TEOS を用いて酸化シリコン膜を形成し化学的機械研磨処理によって平坦化してもよい。平坦化処理においてゲート電極 160 上の絶縁層 164 はエッチングストップとして機能する。層間絶縁層 166 にはコンタクトホール 167 を形成する。コンタクトホール 167 は、サイドウォール絶縁層 161 を利用してセルフアラインコンタクトの構成となる。

20

【0065】

その後、図 6 (B) で示すように、六フッ化タンゲステンを用い、CVD 法でコンタクトプラグ 169 を形成する。さらに絶縁層 170 を形成し、コンタクトプラグ 169 に合わせて開口を形成して絶縁層 171 を設ける。絶縁層 171 はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属膜で形成する。

【0066】

30

このように、支持基板 108 に接合された単結晶半導体層 110 を用いて電界効果トランジスタを作製することができる。本形態に係る単結晶半導体層 110 は、結晶方位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

【0067】

半導体製造用基板に形成された電界効果トランジスタを用いて、様々な用途の半導体装置を作製することができる。以下、図面を用いて、半導体装置の具体的な態様を説明する。

【0068】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図 7 はマイクロプロセッサ 200 の構成例を示すブロック図である。

40

【0069】

マイクロプロセッサ 200 は、演算回路 201 (Arithmetic logic unit。ALU ともいう。)、演算回路制御部 202 (ALU Controller)、命令解析部 203 (Instruction Decoder)、割り込み制御部 204 (Interrupt Controller)、タイミング制御部 205 (Timing Controller)、レジスタ 206 (Register)、レジスタ制御部 207 (Register Controller)、バスインターフェース 208 (Bus I/F)、読み出し専用メモリ 209、及びメモリインターフェース 210 (ROM I/F) を有している。

50

【0070】

バスインターフェース208を介してマイクロプロセッサ200に入力された命令は、命令解析部203に入力され、デコードされた後、演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205に入力される。演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205は、デコードされた命令に基づき各種制御を行う。

【0071】

具体的に演算回路制御部202は、演算回路201の動作を制御するための信号を生成する。また、割り込み制御部204は、マイクロプロセッサ200のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部207は、レジスタ206のアドレスを生成し、マイクロプロセッサ200の状態に応じてレジスタ206の読み出しや書き込みを行う。タイミング制御部205は、演算回路201、演算回路制御部202、命令解析部203、割り込み制御部204、レジスタ制御部207の動作のタイミングを制御する信号を生成する。

10

【0072】

例えばタイミング制御部205は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。なお、図7に示すマイクロプロセッサ200は、その構成を簡略化して示した一例にすぎず、実際にはその用途によって多種多様な構成を備えることができる。

20

【0073】

このようなマイクロプロセッサ200は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層(SOI層)によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。

【0074】

次に、非接触でデータの送受信を行う機能、及び演算機能を備えた半導体装置の一例を説明する。図8は、このような半導体装置の構成例を示すブロック図である。図8に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RFCPU」という)と呼ぶことができる。

【0075】

図8に示すように、RFCPU211は、アナログ回路部212とデジタル回路部213を有している。アナログ回路部212として、共振容量を有する共振回路214、整流回路215、定電圧回路216、リセット回路217、発振回路218、復調回路219と、変調回路220を有している。デジタル回路部213は、RFCインターフェース221、制御レジスタ222、クロックコントローラ223、インターフェース224、中央処理ユニット225、ランダムアクセスメモリ226、読み出し専用メモリ227を有している。

30

【0076】

RFCPU211の動作の概要は以下の通りである。アンテナ228が受信した信号は共振回路214により誘導起電力を生じる。誘導起電力は、整流回路215を経て容量部229に充電される。この容量部229はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部229はRFCPU211と一体形成されている必要はなく、別部品としてRFCPU211を構成する絶縁表面を有する基板に取り付けることもできる。

40

【0077】

リセット回路217は、デジタル回路部213をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路218は、定電圧回路216により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。復調回路219は、受信信号を復調する回路であり、変調回路220は、送信するデータを変調する回路である。

【0078】

50

例えば、復調回路 219 はローパスフィルタで形成され、振幅変調（ASK）方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調（ASK）方式の送信信号の振幅を変動させて送信するため、変調回路 220 は、共振回路 214 の共振点を変化させることで通信信号の振幅を変化させている。

【0079】

クロックコントローラ 223 は、電源電圧又は中央処理ユニット 225 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 230 が行っている。

【0080】

アンテナ 228 から RFCPU 211 に入力された信号は復調回路 219 で復調された後、RFインターフェース 221 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 222 に格納される。制御コマンドには、読み出し専用メモリ 227 に記憶されているデータの読み出し、ランダムアクセスメモリ 226 へのデータの書き込み、中央処理ユニット 225 への演算命令などが含まれている。

10

【0081】

中央処理ユニット 225 は、インターフェース 224 を介して読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 にアクセスする。インターフェース 224 は、中央処理ユニット 225 が要求するアドレスより、読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 のいずれかに対するアクセス信号を生成する機能を有している。

20

【0082】

中央処理ユニット 225 の演算方式は、読み出し専用メモリ 227 にOS（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、プログラムを使って、残りの演算を中央処理ユニット 225 が実行する方式を適用することができる。

【0083】

このような RFCPU 211 は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の半導体層（によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部 229 を小型化しても長時間の動作を保証することができる。

30

【図面の簡単な説明】

【0084】

【図1】本発明の半導体基板の作製方法の一例を示すフロー図。

【図2】本発明の半導体基板の作製方法の一例を示す断面図。

【図3】本発明の半導体基板の作製方法の一例を示す断面図。

【図4】本発明の半導体基板の作製方法の一例を示す断面図。

【図5】半導体基板から半導体装置の製造方法を説明する断面図。

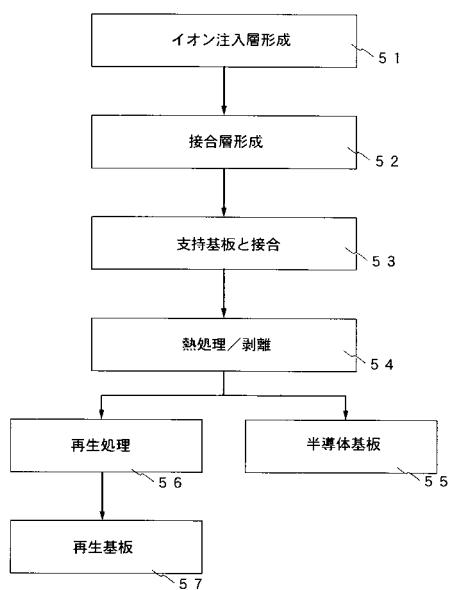
【図6】半導体基板から半導体装置の製造方法を説明する断面図。

40

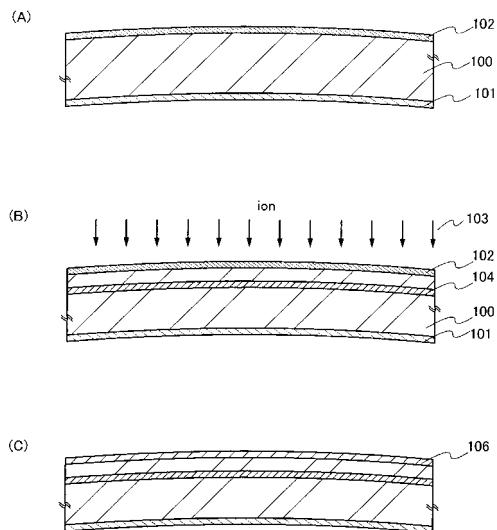
【図7】半導体基板から得られるマイクロプロセッサの構成を示すブロック図。

【図8】半導体基板から得られる RFCPU の構成を示すブロック図。

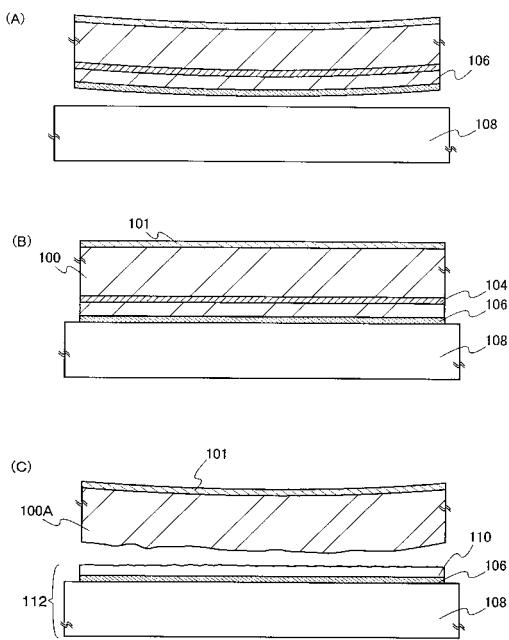
【図1】



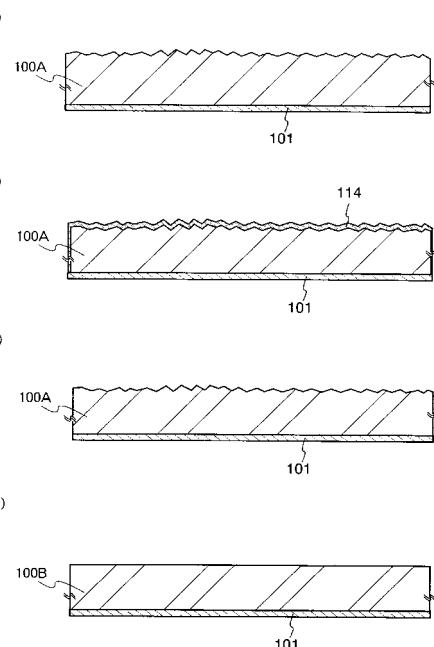
【図2】



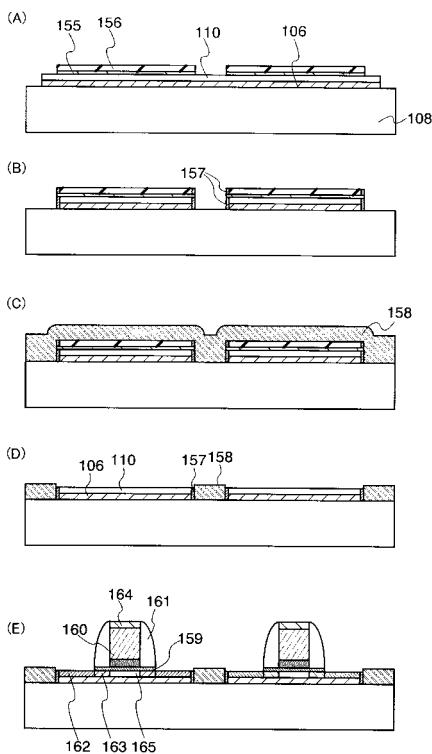
【図3】



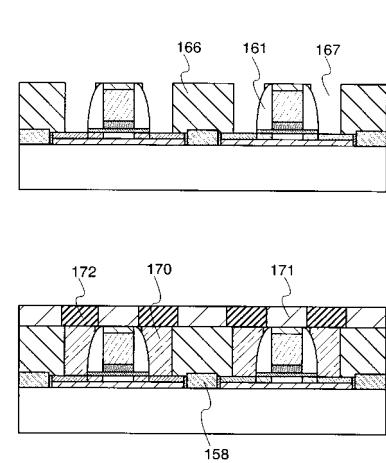
【図4】



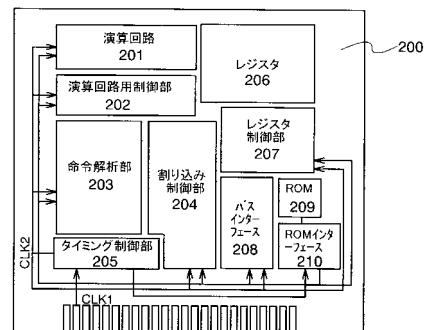
【図5】



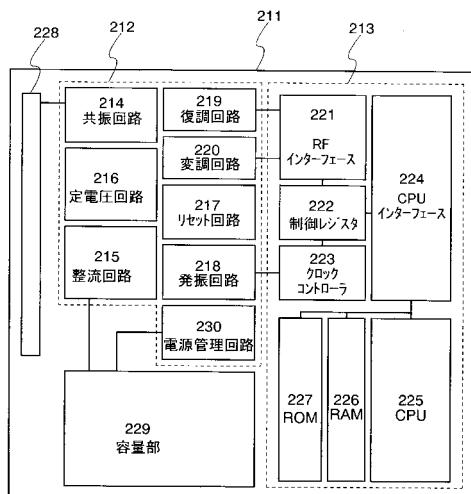
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開2001-155978(JP,A)
特開2006-237074(JP,A)
特開2004-047378(JP,A)
特開平02-135722(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02
H01L 21/336
H01L 21/76
H01L 27/12
H01L 29/786