



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0108942  
(43) 공개일자 2016년09월21일

(51) 국제특허분류(Int. Cl.)  
H01L 23/495 (2006.01) H01L 23/00 (2006.01)  
H01L 23/28 (2006.01)

(52) CPC특허분류  
H01L 23/49541 (2013.01)  
H01L 23/28 (2013.01)

(21) 출원번호 10-2015-0032423  
(22) 출원일자 2015년03월09일  
심사청구일자 2015년03월09일

(71) 출원인  
엠코 테크놀로지 코리아 주식회사  
광주광역시 북구 엠코로 100 (대촌동)

(72) 발명자  
한동훈  
서울특별시 송파구 백제고분로39길 10-16 (석촌동)

이지창  
광주광역시 광산구 월계로 59, 203동 109호 (월계동, 호반2차아파트)

조현  
전라남도 여수시 여서로 134, 112동 1103 (여서동, 현대건설아파트)

(74) 대리인  
제일특허법인

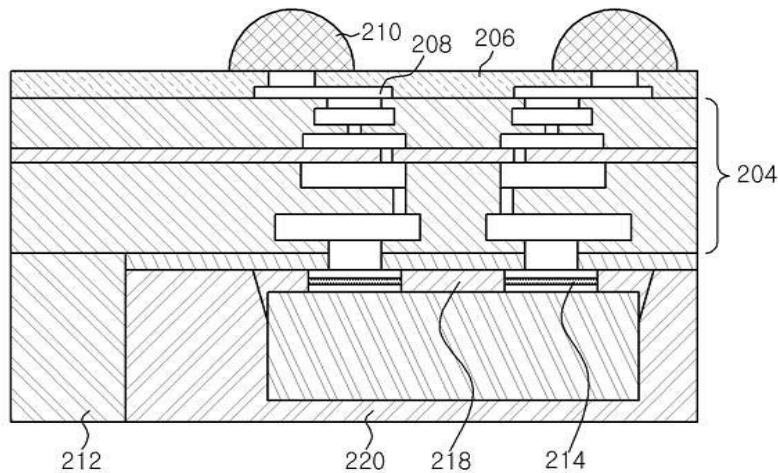
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 패키지 구조 및 제조 방법

**(57) 요약**

본 발명에 따르면, 반도체 패키지의 구조에서 상부 반도체 다이가 접착되는 하부 기판의 백사이드상 실리콘 웨이퍼에 대해 상부 반도체 다이가 접착되는 영역외에 나머지 영역에 대해서는 실리콘 웨이퍼를 제거하지 않고 남겨 두어 실리콘 프레임을 형성시킴으로써 하부 기판이 실리콘 프레임에 의해 지지되도록 하여 하부 기판과 상부 반도체 다이간 두께의 불균형으로 인한 워페이징 발생을 방지시킬 수 있다.

**대표도** - 도2d



(52) CPC특허분류  
*H01L 24/97* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

하부 기판과,  
상기 하부 기판의 백사이드를 기설정된 깊이의 특정 모양으로 식각하여 형성한 프레임과,  
상기 실리콘 웨이퍼를 특정 모양으로 식각하여 형성한 프레임과,  
상기 프레임의 사이에 안착되어 상기 하부 기판과 전기적으로 연결되는 상부 반도체 다이와,  
상기 상부 반도체 다이를 덮도록 상기 하부 기판의 백사이드의 전면에 형성되는 몰드  
를 포함하는 반도체 패키지 구조.

#### 청구항 2

제 1 항에 있어서,  
상기 하부 기판은,  
상기 상부 반도체 다이와 전기적으로 연결되는 인터포저와,  
상기 인터포저상 상기 상부 반도체 다이가 부착된 반대면에 형성되는 재배선층  
을 포함하는 것을 특징으로 하는 반도체 패키지 구조.

#### 청구항 3

제 2 항에 있어서,  
상기 재배선층의 상부에는, 상기 재배선층과 전기적으로 연결되는 도전성 범프가 형성되는 것을 특징으로 하는  
반도체 패키지 구조.

#### 청구항 4

제 1 항에 있어서,  
상기 프레임은,  
상기 상부 반도체 다이의 부착 위치에 대응되게 여러 가지 모양으로 형성되는 것을 특징으로 하는 반도체 패키  
지 구조.

#### 청구항 5

제 1 항에 있어서,  
상기 프레임은,  
실리콘 웨이퍼로 형성되는 것을 특징으로 하는 반도체 패키지 구조.

**청구항 6**

제 1 항에 있어서,  
 상기 몰드는,  
 상기 프레임과 동일한 높이로 형성되는 것을 특징으로 하는 반도체 패키지 구조.

**청구항 7**

하부 기판상 프론트사이드에 재배선층을 형성하는 단계와,  
 상기 재배선층과 전기적으로 연결되도록 도전성 범프를 형성시키는 단계와,  
 상기 하부 기판의 백사이드를 기설정된 깊이의 특정 모양으로 식각하여 프레임을 형성시키는 단계와,  
 상기 프레임의 사이에 상기 하부 기판과 전기적으로 연결되도록 상부 반도체 다이를 부착시키는 단계와,  
 상기 상부 반도체 다이를 덮도록 상기 하부 기판의 백사이드의 전면에 몰드를 형성시키는 단계  
 를 포함하는 반도체 패키지 제조 방법.

**청구항 8**

제 7 항에 있어서,  
 상기 상부 반도체 다이는,  
 상기 하부 기판상 형성된 인터포저를 통해 상기 하부 기판에 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 9**

제 7 항에 있어서,  
 상기 프레임은,  
 상기 상부 반도체 다이의 부착 위치에 대응되게 여러 가지 모양으로 형성되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 10**

제 7 항에 있어서,  
 상기 프레임은,  
 실리콘 웨이퍼로 형성되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 패키지에 관한 것으로, 특히 반도체 패키지의 구조에서 상부 반도체 다이(die)가 접촉되는 하부 기판의 백사이드(back side)상 실리콘 웨이퍼(Si wafer)에 대해 상부 반도체 다이가 접촉되는 영역외에 나머지 영역에 대해서는 실리콘 웨이퍼를 제거하지 않고 남겨두어 실리콘 프레임(frame)을 형성시킴으로써 하부 기판이 실리콘 프레임에 의해 지지되도록 하여 하부 기판과 상부 반도체 다이간 두께의 불균형으로 인해 발생하는

위페이지가 방지되도록 하는 반도체 패키지 구조 및 제조 방법에 관한 것이다.

### 배경 기술

- [0002] 근래에 들어, 각종 전자기기 제품의 경량화, 소형화, 고속화, 다기능화, 고성능화 등 복합화 추세에 따라, 전자 기기내 탑재되는 반도체 소자들에 대한 높은 신뢰성을 요구하고 있으며, 복합화 추세를 충족하기 위한 중요한 기술 중의 하나가 바로 반도체 패키지 조립 기술이다.
- [0003] 이에 따라 패키지의 크기 및 두께가 칩 크기에 가깝게 제조되는 웨이퍼 레벨의 칩 스케일 패키지, 칩 사이즈 패키지(Chip Size Package), 칩 적층형 패키지 등이 개발되고 있으며, 이러한 패키지의 종류로는 SIP(System In Package), MCP(Multi Chip Package), POP(Package On Package) 등이 있다.
- [0004] 도 1a 내지 도 1d는 위에 설명된 다양한 반도체 패키지 중 POP의 일반적인 제조 공정 단면도를 도시한 것이다. 이하에서는 위 도 1a 내지 도 1d를 참조하여 POP의 제조 공정을 간단히 설명하기로 한다.
- [0005] 먼저, 도 1a에서 도시된 바와 같이 실리콘 웨이퍼(102)와 실리콘 웨이퍼(102)의 상부에 형성되는 인터포저(interposer)(104) 등을 포함하는 하부 기판(100)을 형성시킨다.
- [0006] 이어, 도 1b에서 보여지는 바와 같이 하부 기판(100)의 프론트사이드(front side)에 형성된 인터포저(interposer)(104)에 금속 패드(metal pad)(106)를 형성하고 금속 패드(106) 상에 상부 반도체 다이(108)를 부착하여 전기적으로 연결시킨 후, 상부 반도체 다이(108)와 금속 패드(106) 사이의 공간에 절연물질(109)을 언더필(under fill)시킨다. 이어, 상부 반도체 다이(108)가 부착된 하부 기판(100)의 상부에 에폭시(epoxy) 등의 몰드 컴파운드(mold compound)를 채우는 등의 몰딩 공정을 수행하여 상부 반도체 다이(108)를 포함한 하부 기판(100)의 프론트사이드가 몰드(110)에 의해 덮여지도록 한다.
- [0007] 이어, 도 1c에서 보여지는 바와 같이 하부 기판(100)의 백사이드(back side)의 실리콘 웨이퍼(Si wafer)(102)를 백그라인딩(back grinding) 등을 통해 제거하여 하부 기판(100)을 얇게 함으로써 반도체 패키지의 두께를 줄이도록 하며, 그런 후 도 1d에서와 같이 하부 기판(100)의 백사이드상 인터포저(104)에 재배선층(ReDistribution Layer : RDL)(112)을 형성하고 재배선층(112)의 금속 패드(113)에 도전성 범프(114) 등을 형성시켜 반도체 패키지를 완성시키게 된다.
- [0008] 그러나, 위와 같은 종래 반도체 패키지 구조에서는 반도체 패키지의 크기를 줄이기 위해 하부 기판이 실리콘 기판을 제거하게 됨으로써 하부 기판의 두께가 상부 반도체 다이의 두께에 비해 상대적으로 얇게 되며, 이와 같은 하부 기판과 상부 반도체 다이간 두께의 불균형으로 인해 위페이지가 발생하는 등의 문제점이 있었다.

### 선행기술문헌

- [0009] (특허문헌)
- [0010] 대한민국 등록특허번호 10-1247986호(등록일자 2013년 03월 21일)

### 발명의 내용

#### 해결하려는 과제

- [0011] 따라서, 본 발명에서는 반도체 패키지의 구조에서 상부 반도체 다이가 접촉되는 하부 기판의 백사이드상 실리콘 웨이퍼에 대해 상부 반도체 다이가 접촉되는 영역외에 나머지 영역에 대해서는 실리콘 웨이퍼를 제거하지 않고 남겨두어 실리콘 프레임의 형성시킴으로써 하부 기판이 실리콘 프레임에 의해 지지되도록 하여 하부 기판과 상부 반도체 다이간 두께의 불균형으로 인해 발생하는 위페이지가 방지되도록 하는 반도체 패키지 구조 및 제조 방법을 제공하고자 한다.

#### 과제의 해결 수단

- [0012] 상술한 본 발명은 반도체 패키지 구조로서, 하부 기판과, 상기 하부 기판의 백사이드를 기설정된 깊이의 특정 모양으로 식각하여 형성한 프레임과, 상 실리콘 웨이퍼를 특정 모양으로 식각하여 형성한 프레임과, 상기 프레임의 사이에 안착되어 상기 하부 기판과 전기적으로 연결되는 상부 반도체 다이와, 상기 상부 반도체 다이를 덮도록 상기 하부 기판의 백사이드의 전면에 형성되는 몰드를 포함한다.
- [0013] 또한, 상기 하부 기판은, 상기 상부 반도체 다이와 전기적으로 연결되는 인터포저와, 상기 인터포저상 상기 상부 반도체 다이가 부착된 반대면에 형성되는 재배선층을 포함하는 것을 특징으로 한다.
- [0014] 또한, 상기 재배선층의 상부에는, 상기 재배선층과 전기적으로 연결되는 도전성 범프가 형성되는 것을 특징으로 한다.
- [0015] 또한, 상기 프레임은, 상기 상부 반도체 다이의 부착 위치에 대응되게 여러 가지 모양으로 형성되는 것을 특징으로 한다.
- [0016] 또한, 상기 프레임은, 실리콘 웨이퍼로 형성되는 것을 특징으로 한다.
- [0017] 또한, 상기 몰드는, 상기 프레임과 동일한 높이로 형성되는 것을 특징으로 한다.
- [0018] 또한, 본 발명은 반도체 패키지 제조 방법으로서, 하부 기판상 프론트사이드에 재배선층을 형성하는 단계와, 상기 재배선층과 전기적으로 연결되도록 도전성 범프를 형성시키는 단계와, 상기 하부 기판의 백사이드를 기설정된 깊이의 특정 모양으로 식각하여 프레임을 형성시키는 단계와, 상기 프레임의 사이에 상기 하부 기판과 전기적으로 연결되도록 상부 반도체 다이를 부착시키는 단계와, 상기 상부 반도체 다이를 덮도록 상기 하부 기판의 백사이드의 전면에 몰드를 형성시키는 단계를 포함한다.
- [0019] 또한, 상기 상부 반도체 다이는, 상기 하부 기판상 형성된 인터포저를 통해 상기 하부 기판에 전기적으로 연결되는 것을 특징으로 한다.
- [0020] 또한, 상기 프레임은, 상기 상부 반도체 다이의 부착 위치에 대응되게 여러 가지 모양으로 형성되는 것을 특징으로 한다.
- [0021] 또한, 상기 프레임은, 실리콘 웨이퍼로 형성되는 것을 특징으로 한다.

**발명의 효과**

- [0022] 본 발명에 따르면, 반도체 패키지의 구조에서 상부 반도체 다이가 접촉되는 하부 기판의 백사이드상 실리콘 웨이퍼에 대해 상부 반도체 다이가 접촉되는 영역외에 나머지 영역에 대해서는 실리콘 웨이퍼를 제거하지 않고 남겨두어 실리콘 프레임을 형성시킴으로써 하부 기판이 실리콘 프레임에 의해 지지되도록 하여 하부 기판과 상부 반도체 다이간 두께의 불균형으로 인한 워페이징 발생을 방지시킬 수 있는 이점이 있다.

**도면의 간단한 설명**

- [0023] 도 1a 내지 도 1d는 종래 POP의 일반적인 제조 공정 단면도,  
 도 2a 내지 도 2d는 본 발명의 실시예에 따른 POP의 제조 공정 단면도,  
 도 3은 종래 POP의 제조 공정별 구조에 대한 사시도,  
 도 4는 본 발명의 실시예에 따른 POP의 제조 공정별 구조에 대한 사시도,  
 도 5는 본 발명의 다른 실시예에 따른 POP의 제조 공정별 구조에 대한 사시도.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 동작 원리를 상세히 설명한다. 하기에서 본 발명을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친

내용을 토대로 내려져야 할 것이다.

- [0025] 도 2a 내지 도 2d는 본 발명의 실시예에 따른 POP의 제조 공정 단면도를 도시한 것이다. 이하에서는 위 도 2a 내지 도 2d를 참조하여 POP의 제조 공정을 상세히 설명하기로 한다.
- [0026] 먼저, 도 2a에서 도시된 바와 같이 실리콘 웨이퍼(202)와 실리콘 웨이퍼(202)의 상부에 형성되는 인터포저(204) 등을 포함하는 하부 기판(200)을 형성시킨다.
- [0027] 이어, 도 2b에서 보여지는 바와 같이 하부 기판(202)의 프론트 사이드(front side)에 형성된 인터포저(204)에 재배선층(206)을 형성하고, 재배선층(206)의 금속패드(208)에 도전성 범프(210) 등을 형성시킨다. 이때, 이러한 도전성 범프(210)는 예를 들어 솔더볼(solder ball) 등이 될 수 있다. 또한 이와 같은 도 2b의 공정은 종래 반도체 패키지 제조 공정의 도 1b에서 하부 기판(100)의 프론트 사이드에 상부 반도체 다이(108)를 접촉시키는 공정과 대비되는 것으로, 본 발명에서는 후술되는 도 2d에서와 같이 상부 반도체 다이(216)를 하부 기판(200)의 백사이드상 실리콘 웨이퍼(202)을 식각한 영역에 형성시켜 반도체 패키지의 두께를 얇게 하면서도 후술되는 프레임(frame)에 의해 인터포저(204)와 재배선층(206)을 포함하는 하부 기판(200)이 힘을 받을 수 있도록 하게 된다. 이에 대해서는 도 2c와 도 2d의 공정 설명에서 상세히 후술하기로 한다.
- [0028] 다음으로 도 2c에서 보여지는 바와 같이 하부 기판(200)의 백사이드의 실리콘 웨이퍼(202)를 백그라운드(back grinding) 등을 통해 제거하되, 상부 반도체 다이(216)가 접촉될 영역외의 영역에 위치한 실리콘 웨이퍼(202)는 제거하지 않고 남겨두어 프레임(212)으로 형성시킨다.
- [0029] 이러한 프레임(212)은 상부 반도체 다이(216)의 두께와 비교하여 상대적으로 얇게 형성되는 하부 기판(200)의 인터포저(204)와 재배선층(206)을 지지하기 위한 것으로, 이러한 프레임(212)을 통해 인터포저(204)와 재배선층(206)을 포함하는 하부 기판(200)이 힘을 받게 되어 반도체 패키지의 완성 후, 하부 기판(200)과 상부 반도체 다이(216)간 두께의 불균형으로 인한 워페이지(warpage) 발생 등의 문제점이 개선될 수 있게 된다.
- [0030] 이어, 도 2d에서와 같이 하부 기판(200)의 백사이드의 인터포저(204) 상에 금속패드(214)를 형성하고 금속 패드(214) 상에 상부 반도체 다이(216)를 접촉하여 전기적으로 연결시킨 후, 상부 반도체 다이(216)와 금속 패드(214) 사이의 공간에 절연물질(218)을 언더필시킨다. 이어, 상부 반도체 다이(216)가 부착된 하부 기판(200)의 백사이드에 에폭시 등의 몰드 컴파운드(mold compound)를 채우는 등의 몰딩 공정을 수행하여 상부 반도체 다이(216)를 포함한 하부 기판(200)의 백사이드가 몰드(220)에 의해 덮여지도록 한다.
- [0031] 이때, 상부 반도체 다이(216)를 덮도록 형성되는 몰드(220)는 예를 들어 도 2d에서와 같이 프레임(212)의 높이와 동일하게 형성되는 것이 바람직하나, 이에 한정되는 것은 아니다. 즉 예를 들어 몰드(220)가 상부 반도체 다이(216)와 프레임(212)을 모두 덮도록 형성될 수도 있다.
- [0032] 도 3은 종래 POP의 제조 공정별 구조에 대한 사시도를 개략적으로 도시한 것이다.
- [0033] 위 도 3을 참조하면, 종래에는 도 3의 (a)에 도시된 바와 같은 인터포저(302)와 실리콘 웨이퍼(304)를 포함하는 하부 기판(300)에 대해, 도 3의 (b)에서와 같이 하부 기판(300)의 백사이드상 실리콘 웨이퍼(304)를 제거하여 웨이퍼의 두께를 얇게 형성시킨다.
- [0034] 이어, 도 3의 (c)에서 보여지는 바와 같이 하부 기판(300)의 인터포저(302)상에 상부 반도체 다이(306)를 접촉시킨 후 상부 반도체 다이(306)를 덮도록 몰드(308)를 형성시켜 반도체 패키지를 완성시키게 된다.
- [0035] 이때, 위와 같은 종래 반도체 패키지 구조에서는 도 3의 (c)에서 보여지는 바와 같이 하부 기판(300) 중 잔존하는 인터포저(302)와 상부 반도체 다이(306)간 두께 차이가 상대적으로 크게 발생하게 됨을 알 수 있으며, 이와 같은 인터포저(302)와 상부 반도체 다이(306)간 두께의 불균형으로 인해 워페이지가 발생할 수 있는 것을 알 수 있다.
- [0036] 도 4는 본 발명의 실시예에 따른 POP의 제조 공정별 구조에 대한 사시도를 개략적으로 도시한 것이다.
- [0037] 위 도 4를 참조하면, 본 발명에서는 도 4의 (a)에 도시된 바와 같은 인터포저(402)와 실리콘 웨이퍼(404)를 포함하는 하부 기판(400)에 대해, 도 4의 (b)에서와 같이 하부 기판(400)의 백사이드의 실리콘 웨이퍼(404)를 백그라운드 등을 통해 제거하되, 상부 반도체 다이(408)가 접촉될 영역외의 영역에 위치한 실리콘 웨이퍼(404)는 제거하지 않고 남겨두어 프레임(406)으로 형성시킨다. 이때, 이러한 프레임(406)은 예를 들어 "X"자 형태로 형성되는 것을 예시하였으나 이에 한정되는 것은 아니다.
- [0038] 이어, 도 4의 (c)에서 보여지는 바와 같이 하부 기판(400)의 백사이드상 실리콘 웨이퍼(404)가 제거된 영역에

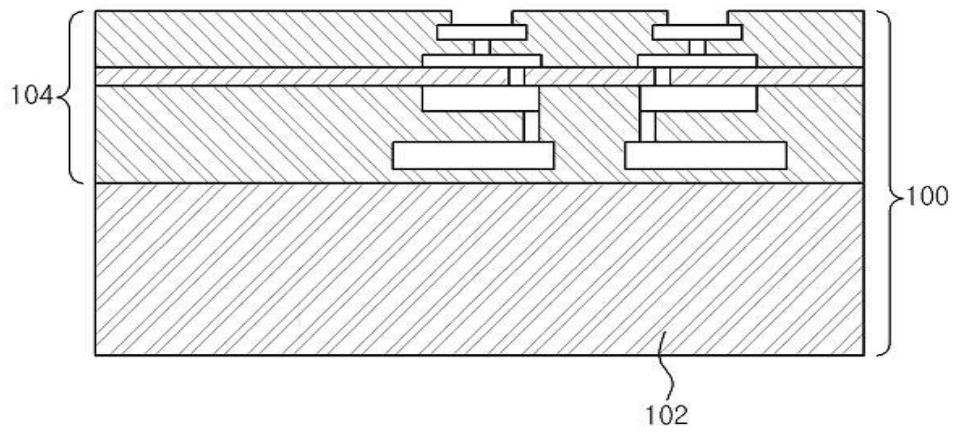




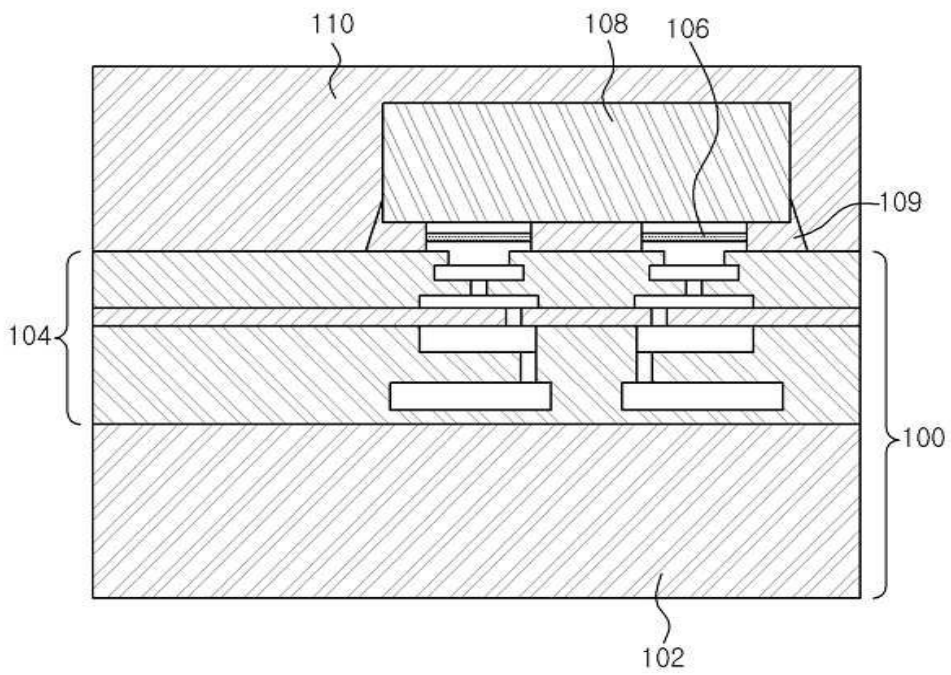


도면

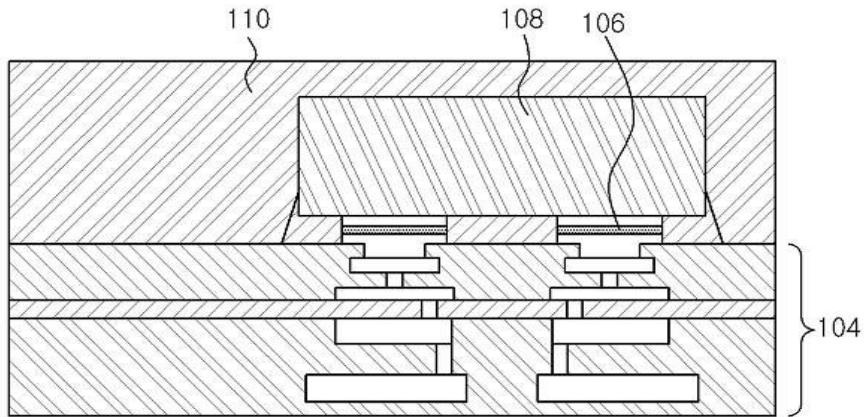
도면1a



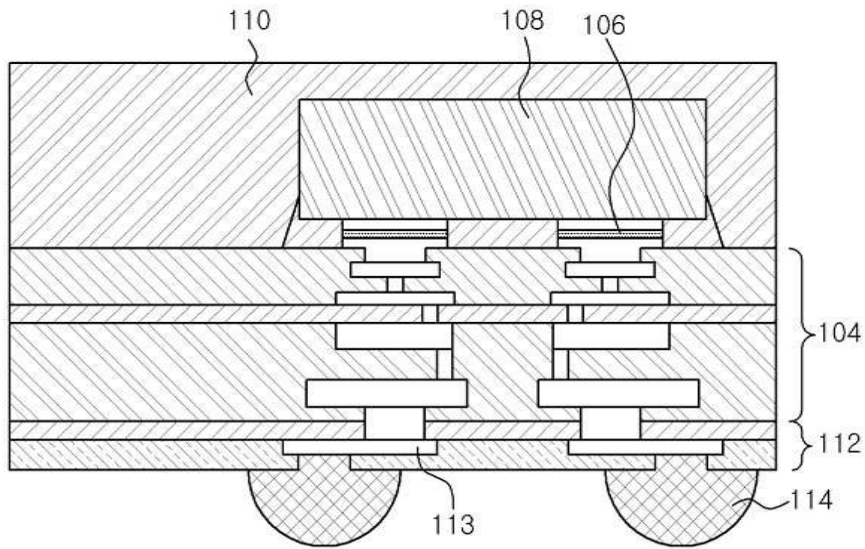
도면1b



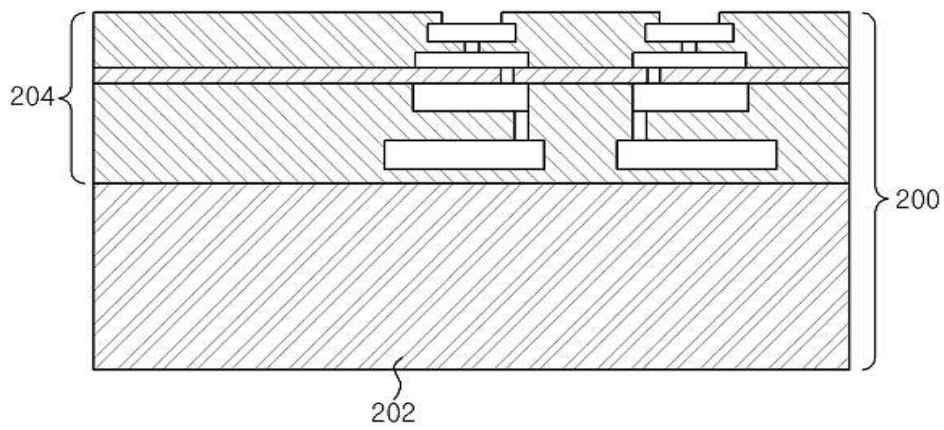
도면1c



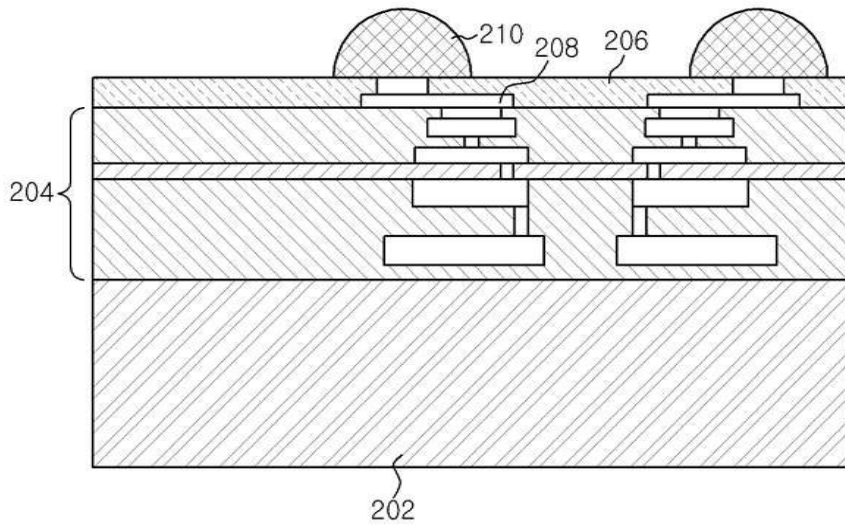
도면1d



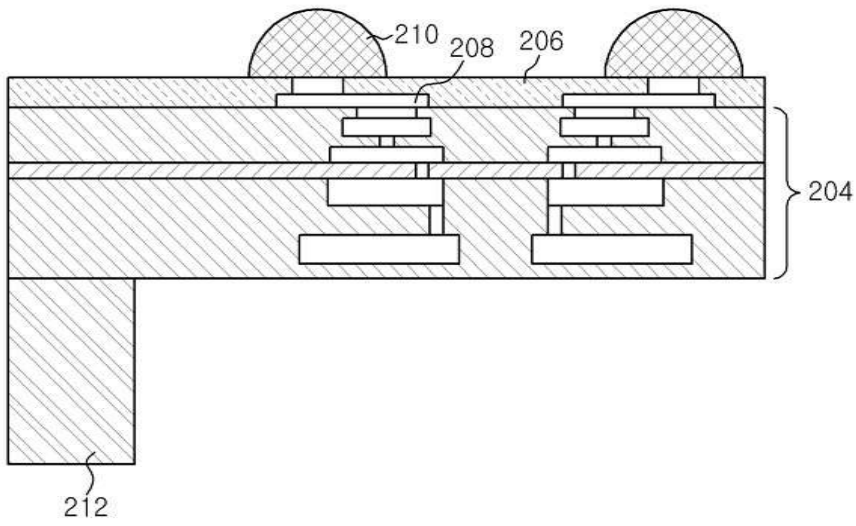
도면2a



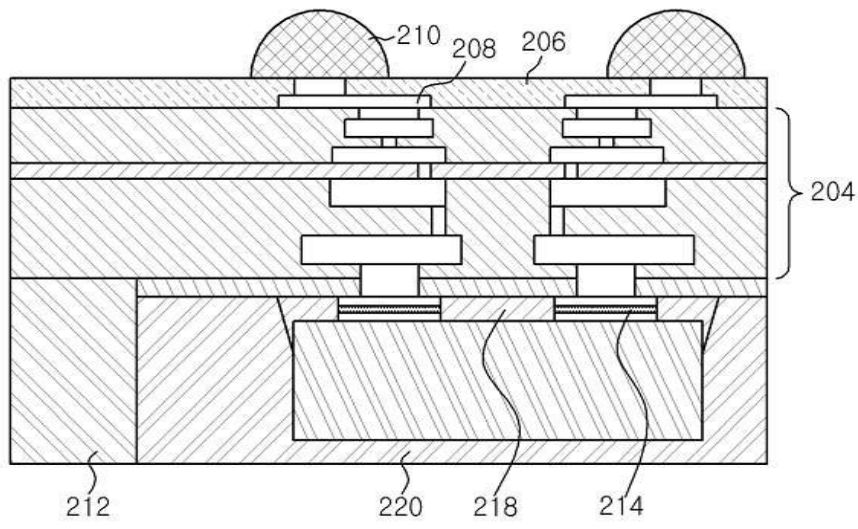
도면2b



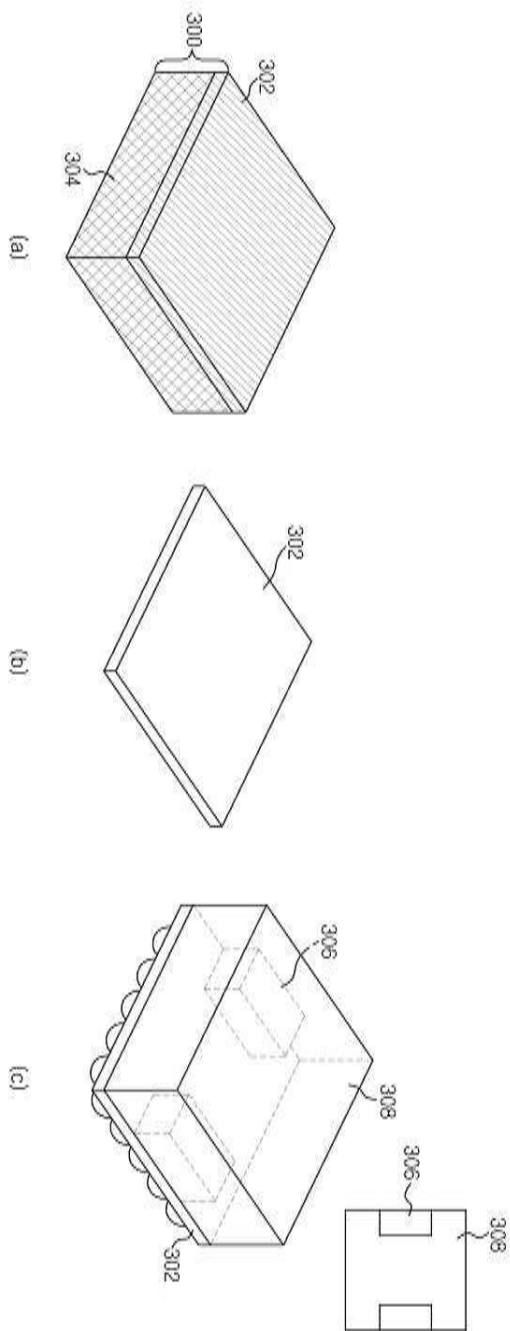
도면2c



도면2d

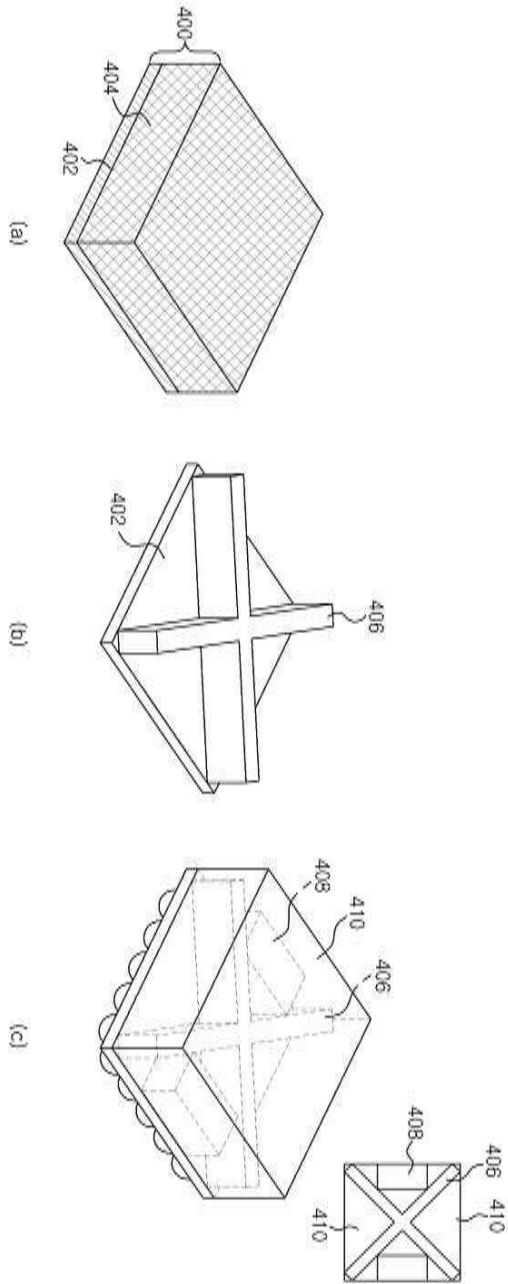


도면3





도면4



도면5

