



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 40 468 B4 2006.01.05**

(12)

Patentschrift

(21) Aktenzeichen: **101 40 468.9**
 (22) Anmeldetag: **17.08.2001**
 (43) Offenlegungstag: **13.03.2003**
 (45) Veröffentlichungstag
 der Patenterteilung: **05.01.2006**

(51) Int Cl.⁸: **H01L 21/768 (2006.01)**
H01L 21/308 (2006.01)
H01L 21/311 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Epping Hermann Fischer,
Patentanwaltsgesellschaft mbH, 80339 München

(72) Erfinder:

Höhnsdorf, Falko, Dr., 01109 Dresden, DE

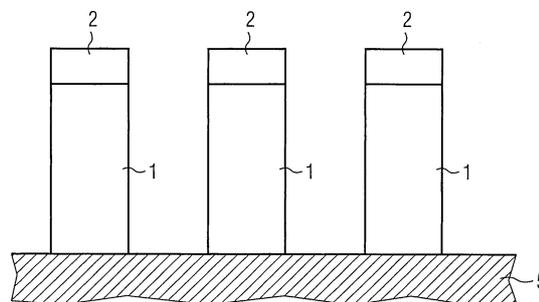
(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US 62 07 554 B1
US 61 74 800 B1
US 60 15 751 A
US 59 35 868 A
US 57 00 737 A
US 54 51 543 A
US 49 43 539
JP 08-23 028 A

(54) Bezeichnung: **Verfahren zur Erzeugung von Kontaktlöchern auf einer Metallisierungsstruktur**

(57) Hauptanspruch: Verfahren zur Erzeugung von Kontaktlöchern (4) auf einer Metallisierungsstruktur (1) mit den Schritten:

- Bereitstellen einer Metallisierungsstruktur mit mindestens einer Leiterbahn (1), deren Oberfläche mit einem Abschnitt einer Hartmasken-Schicht (2) bedeckt ist, auf einer Substratoberfläche (5),
- Aufbringen einer dielektrischen Schicht (3), so daß zumindest die Oberfläche des einen Abschnitts der Hartmasken-Schicht von der dielektrischen Schicht (3) umgeben ist, wobei die dielektrische Schicht (3) Kohlenstoff enthält und ein anderes Material umfaßt als die Hartmasken-Schicht (2),
- Ätzen von Kontaktlöchern (4) durch die dielektrische Schicht (3) hindurch, während eines ersten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer ersten Konzentration enthält,
- Feststellen, daß die Hartmasken-Schicht (2) erreicht ist, und Beenden des ersten Ätzschritts, sobald die Hartmasken-Schicht (2) erreicht ist,
- nachfolgend Durchführen eines zweiten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer zweiten Konzentration enthält,
- selektives...



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Erzeugung von Kontaktlöchern auf einer Metallisierungsstruktur, das beispielsweise zur Herstellung von elektrischen Kontakten zwischen benachbarten Metallisierungsebenen vorteilhaft eingesetzt werden kann.

[0002] Bei der Herstellung von integrierten Schaltungen werden in der Regel die elektrischen Leitungen in mehreren Metallisierungsebenen untergebracht, wobei die Metallisierungsebenen durch ein dielektrisches Material ("inter layer dielectric", "ILD") voneinander isoliert werden. Zur Bereitstellung von elektrischen Kontakten zwischen den einzelnen Metallisierungsebenen werden Kontaktlöcher in dem dielektrischen Material geöffnet und mit einem elektrisch leitenden Material gefüllt.

Stand der Technik

[0003] Die US 6 207 554 B1 zeigt in den **Fig. 3** und **4** ein Verfahren zur Erzeugung einer dielektrischen Schicht mit niedriger Dielektrizitätskonstante und nachfolgend zum Ätzen eines vollständig landenden Kontaktlochs auf die Leiterbahnen, welche mit Abschnitten einer ein- oder mehrschichtigen Hartmaske bedeckt sind. Das Verfahren zum Ätzen des Kontaktlochs verläuft zweistufig, wobei die angegebenen Ätzgasmischungen offenbar auch die jeweils andere Schicht ätzen. Aus **Fig. 4b** ist ersichtlich, daß die Kontaktlöcher über die Oberkante der Leiterbahnen hinausgehend geätzt worden sind. Es wird nicht festgestellt, ob die Hartmasken-Schicht erreicht ist, um den ersten Ätzschritt daraufhin zu beenden.

[0004] In der US 6 174 800 B1 wird ein zweistufiges Ätzverfahren beschrieben, bei dem während der ersten Ätzstufe das Kontaktloche durch die dielektrische Schicht geätzt wird und bei der zweiten Ätzstufe eine auf der Leiterbahn als Ätzstoppschicht aufgebrachte Abdeckschicht geätzt wird. Für die zweite Stufe wird Sputtern mit Argon, also kein selektives Ätzverfahren, angegeben. Das Erreichen der Ätzstoppschicht wird nicht festgestellt.

[0005] In der US 5 700 737 A wird ein zweistufiges Verfahren zum Ätzen eines Kontaktlochs angegeben. Dabei erfolgt die erste Ätzstufe selektiv zu der darunterliegenden Ätzstopp-Schicht, so daß die Ätzzeit nicht kritisch ist. Das Erreichen der Hartmaskenschicht wird nicht festgestellt.

[0006] In der US 4 943 539 wird ein Verfahren zum zweistufigen Ätzen von Kontaktlöchern beschrieben. Bei diesem Verfahren wird zusätzlich eine auch als Ätzstoppschicht dienende Opferschicht über den Leiterbahnen angeordnet, die selektiv zu den Leiterbahnen und isotrop geätzt wird, um die Landefläche der

Kontaktlöcher zu vergrößern. Der zweite Ätzschritt erfolgt nicht selektiv zur dielektrischen Schicht, wie in den **Fig. 3** und **4** gezeigt ist, da auch rückgesputtertes Material von der Kontaktlochinnenfläche in der dielektrischen Schicht entfernt wird.

[0007] In der JP 08-023028 A wird ein isotropes Ätzen einer auf einer Leiterbahn aufgebrachten TiN-Schicht zum Vergrößern der Landefläche beschrieben. Es wird nicht festgestellt, daß die TiN-Schicht erreicht ist.

[0008] Bei einer zunehmenden Miniaturisierung der Strukturgrößen und der integrierten Schaltungen ergibt sich in der Regel das Problem, daß nachfolgende Metallisierungsebenen immer präziser zueinander ausgerichtet werden müssen. Bei der lithographischen Abbildung einer Ebene auf eine andere läßt sich jedoch eine bestimmte intrinsische Fehl-Ausrichtung nicht vermeiden. Daher müssen vom Design her bestimmte Toleranzen eingebaut werden, durch die sichergestellt wird, daß die Kontakte einer Kontaktlochebene sicher auf den jeweiligen Leiterbahnen der darunterliegenden Metallisierungsebene landen können.

[0009] Ein herkömmliches Verfahren zur Herstellung eines Kontaktlochs auf eine Metallisierungsstruktur ist beispielsweise in den **Fig. 2A** und **2B** gezeigt.

[0010] In **Fig. 2A** bezeichnet Bezugszeichen **1** eine Leiterbahn einer Metallisierungsstruktur, Bezugszeichen **2** Reste der Hartmaske, die zur Strukturierung der Leiterbahn verwendet wurde, Bezugszeichen **3** das dielektrische Material zur Isolierung benachbarter Metallisierungsebenen und benachbarter Leiterbahnen, Bezugszeichen **4** ein Kontaktloch und Bezugszeichen **5** eine Substratoberfläche, beispielsweise einen prozessierten Halbleiter-Wafer mit Bauelement- und Metallisierungsebenen, die voneinander durch Isolationsschichten getrennt sind.

[0011] Wie in **Fig. 2A** gezeigt, landen die Kontaktlöcher **4** aufgrund der Fehlansrichtung der Ätzmaske zum Ätzen des Kontaktlochs nicht genau auf den Leiterbahnen, sondern es findet eine Versetzung statt. Nach heutigem Stand der Lithographie findet in der Regel eine Versetzung im Bereich von 40 nm und im ungünstigsten Fall eine Versetzung von mehr als 100 nm statt.

[0012] Wird, wie in **Fig. 2B** gezeigt, das Kontaktloch **4** mit einem elektrisch leitenden Material **6** gefüllt, so besteht die Gefahr von Kurzschlüssen zwischen benachbarten Leiterbahnen.

[0013] Dieser Nachteil wurde bislang dadurch minimiert, daß die erreichbare Überlappung zwischen zwei Lithographie-Ebenen empirisch ermittelt wurde

und beim Layout von Schaltungsstrukturen in der Weise berücksichtigt wurde, daß ein entsprechender Metall-Überlapp bei einer Leiterbahn-Landefläche eines Kontakts eingehalten wurde. Bei einer vorgegebenen Größe des Kontaktlochs mußte bislang die Fläche der darunterliegenden Leiterbahn nach allen Seiten um einen bestimmten Wert größer als der landende Kontakt sein.

[0014] Dieser Lösungsansatz ist jedoch mit einer weiteren Miniaturisierung der Strukturgrößen nicht vereinbar, da durch ihn insbesondere ein minimaler Abstand zwischen benachbarten Leiterbahnen vorgegeben wird und das sogenannte Routing-Pitch größer wird. Genauer gesagt, muß, damit ein vorgegebener Abstand zwischen den Leiterbahn-Landeflächen nicht unterschritten wird, ein beträchtlicher Mindestabstand zwischen benachbarten Leiterbahnen eingehalten werden.

[0015] Die US 6 015 751 A bezieht sich auf das Problem nicht landender Kontaktlöcher. Eine mit einer zweiten dielektrischen Schicht bedeckte metallische Schicht wird zu Leiterbahnen strukturiert und mit einer konform abgeschiedenen dritten dielektrischen Schicht bedeckt. Anschließend wird eine vierte dielektrische Schicht aufgebracht. Das Ätzen des Kontaktlochs erfolgt dreistufig durch jede einzelne der dielektrischen Schichten, wobei jede der dielektrischen Schichten selektiv zu den angrenzenden geätzt wird. Dieses Verfahren ist dahingehend nachteilig, daß zusätzlich die konform abgeschiedene dritte dielektrische Schicht erforderlich ist, um zu vermeiden, daß das Kontaktloch auf der ersten dielektrischen Schicht landet oder daß das Kontaktloch benachbarte Leiterbahnen berührt.

[0016] Auch in der US 5 451 543 wird das Problem nicht landender Kontakte angesprochen. Bei dieser Druckschrift ist eine konforme oder nicht-konforme Ätzstopp-Schicht vorgesehen, die wie vorstehend erwähnt nachteilig ist. Auch in dieser Druckschrift findet sich kein Hinweis auf einen Schritt zum Erkennen, daß die Hartmasken-Schicht erreicht ist, und Beenden der ersten Ätzstufe.

[0017] Das Dokument US 5 935 868 beschreibt ebenfalls ein Verfahren zum Ätzen von nicht vollständig auf den Leiterbahnen landenden Kontaktlöchern.

[0018] Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein verbessertes Verfahren zur Erzeugung von Kontaktlöchern auf eine Metallisierungsstruktur anzugeben.

Aufgabenstellung

[0019] Gemäß der vorliegenden Erfindung wird die Aufgabe durch ein Verfahren zur Erzeugung von Kontaktlöchern auf eine Metallisierungsstruktur mit

den Schritten:

- Bereitstellen einer Metallisierungsstruktur mit mindestens einer Leiterbahn, deren Oberfläche mit einem Abschnitt einer Hartmasken-Schicht bedeckt ist, auf einer Substratoberfläche,
- Aufbringen einer dielektrischen Schicht, so daß zumindest die Oberfläche des einen Abschnitts der Hartmasken-Schicht von der dielektrischen Schicht umgeben ist, wobei die dielektrische Schicht Kohlenstoff enthält und ein anderes Material umfaßt als die Hartmasken-Schicht,
- Ätzen von Kontaktlöchern durch die dielektrische Schicht hindurch, während eines ersten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer ersten Konzentration enthält,
- Feststellen, daß die Hartmasken-Schicht erreicht ist, und Beenden des ersten Ätzschritts, sobald die Hartmasken-Schicht erreicht ist,
- nachfolgend Durchführen eines zweiten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer zweiten Konzentration enthält,
- selektives Ätzen der Hartmasken-Schicht in Bezug auf die dielektrische Schicht,
- wobei die zweite Konzentration von Sauerstoff so gewählt wird, daß die Selektivität des Ätzens der Hartmasken-Schicht in Bezug auf die dielektrische Schicht erhöht wird. Der schematische Ablauf des erfindungsgemäßen Verfahrens ist in den [Fig. 1A](#) bis [Fig. 1D](#) veranschaulicht.

[0020] In [Fig. 1A](#) bezeichnet Bezugszeichen **5** eine Substratoberfläche, beispielsweise einen prozessierten Halbleiter-Wafer mit üblicherweise verwendeten Bauelement- und Metallisierungsebenen. Es ist aber offensichtlich, daß die Substratoberfläche auch die Oberfläche eines beliebigen Substrats, beispielsweise eines Glas- oder sonstigen Isolatorsubstrats oder eines elektrisch leitenden Substrats mit aufgebrachteter Isolierschicht sein kann.

[0021] In [Fig. 1A](#) sind die Leiterbahnen **1** mit dem Hartmaskenmaterial **2** auf der Oberfläche der Leiterbahnen **1** auf der Substratoberfläche **5** gezeigt, wobei die Leiterbahnen in der Regel von den darunterliegenden Schichten durch eine Isolationsschicht elektrisch isoliert sind. Unterhalb bestimmter Strukturgrößen erfolgt die Strukturierung der Metallbahnen unter Verwendung einer Hartmaske, die beispielsweise aus Siliziumdioxid bestehen kann. Eine Hartmasken-Schicht ist aus einem Material aufgebaut, das selektiv zu der für die Metallisierung verwendeten Metallschicht geätzt werden kann und das kein Photoresist-Material ist, also keine photoaktive Komponente aufweist und vorzugsweise anorganisch ist. Das Hartmasken-Material kann dabei dielektrisch sein, es kann aber auch leitend sein, beispielsweise kann auch TiN als Hartmasken-Material verwendet werden.

[0022] Je nach Ausgangsdicke der Maske und verwendetem Ätzprozeß bleibt nach der Metallstrukturierung ein Rest dieser Hartmaske als "Abdeckung" der Leiterbahnen übrig und wird bei Abscheidung der nachfolgenden dielektrischen Schicht in diese integriert. Eine Abdeckung der Leiterbahnen kann gemäß der vorliegenden Erfindung jedoch auch durch alternative Verfahren erfolgen.

[0023] Darauf folgend wird, wie in [Fig. 1B](#) gezeigt, eine dielektrische Schicht **3** auf der Metallisierungsstruktur **1** mit der Hartmasken-Schicht **2** aufgebracht, wobei die dielektrische Schicht **3** aus einem anderen Material als die Hartmasken-Schicht **2** besteht, so daß die Oberflächen der Abschnitte der Hartmasken-Schicht **2** vollständig von der dielektrischen Schicht **3** bedeckt werden.

[0024] Anschließend wird ein zweistufiges Verfahren zum Ätzen der Kontaktlöcher **4** durchgeführt. Zunächst werden die Kontaktlöcher **4** in dem dielektrischen Material **3** geätzt, wobei dieser Schritt beendet wird, sobald die Hartmasken-Schicht **2** erreicht ist. Dies kann beispielsweise durch eine Zeitsteuerung oder durch eine automatische Endpunkterkennung erfolgen. Sodann wird die Hartmasken-Schicht **2** selektiv in Bezug auf die dielektrische Schicht **3** geätzt. Das heißt, es wird ein Ätzverfahren angewendet, das nur die Hartmasken-Schicht **2**, nicht aber die dielektrische Schicht **3** ätzt. Dadurch wird ein Ausbrechen des Kontaktlochs in Richtung der benachbarten Leiterbahn wie in [Fig. 2A](#) dargestellt, vermieden, und es ergibt sich der in [Fig. 1C](#) dargestellte Verlauf des Kontaktlochs. Dadurch, daß die zweite Stufe des Ätzverfahrens vorzugsweise teilweise isotrop erfolgt, wird zudem der Querschnitt des Kontaktlochs im Vergleich zu dem Querschnitt nach Beendigung der ersten Stufe vergrößert, so daß der elektrische Widerstand des fertiggestellten Kontakts niedrig bleibt.

[0025] Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung erfolgt die zweite Stufe des Ätzverfahrens teilweise isotrop, das heißt, nicht mit exakt gleicher Ätzrate in allen Raumrichtungen, sondern mit einer größeren Ätzrate in einer Richtung senkrecht zur Substratoberfläche als in einer Richtung parallel zur Substratoberfläche, wobei die relative Ätzrate in Richtung parallel zur Substratoberfläche größer als bei der ersten Stufe des Ätzverfahrens ist. Als Folge vergrößert sich der Querschnitt der Kontaktlöcher in Richtung der Substratoberfläche.

[0026] Wie in [Fig. 1D](#) gezeigt ist, wird nachfolgend das Kontaktloch mit einem elektrisch leitenden Material **6**, insbesondere Metall, gefüllt. Es ist deutlich zu sehen, daß aufgrund des zweistufigen Ätzverfahrens, bei dem während des zweiten Ätzschritts selektiv geätzt wird, die Gefahr von Kurzschlüssen drastisch verringert ist.

[0027] Das der vorliegenden Erfindung zugrunde liegende Konzept kann in vielen Verfahrensvarianten verwirklicht werden. Wichtig ist dabei, daß direkt auf den Leiterbahnen Abschnitte eines Hartmasken-Materials angeordnet sind, das von dem dielektrischen Material, welches zumindest die Oberflächen des Hartmaskenmaterials vollständig bedeckt, verschieden ist, so daß das zweistufige Ätzverfahren wie vorstehend erläutert durchgeführt werden kann.

[0028] Beispielsweise können die Leiterbahnen durch ein Verfahren strukturiert werden, nach dem eine Metallschicht ganzflächig aufgebracht wird, anschließend ein Hartmaskenmaterial **2** aufgebracht und photolithographisch strukturiert wird und schließlich die Metallschicht beispielsweise durch ein reaktives Ionenätzverfahren geätzt wird, so daß sich der in [Fig. 1A](#) gezeigte Aufbau ergibt. Nach Aufbringen der dielektrischen Schicht ergibt sich ebenfalls die in [Fig. 1B](#) gezeigte Schichtstruktur.

[0029] Gemäß der vorliegenden Erfindung kann die dielektrische Schicht aus einem sogenannten low-k Material aufgebaut sein, das heißt aus einem Material mit einer niedrigen Dielektrizitätskonstante, beispielsweise niedriger als 4. Beispiele für derartige Materialien umfassen mit Kohlenstoff dotiertes Siliziumoxid (SiCOH), das beispielsweise durch ein CVD-Verfahren abgeschieden wird, mit Halogenen wie beispielsweise Fluor dotiertes Siliziumoxid, Spin-on Polymerfilme und weitere, die allgemein bekannt sind.

[0030] Die Verwendung derartiger Materialien mit niedriger Dielektrizitätskonstante ist insbesondere dahingehend vorteilhaft, daß man damit die gegenseitige kapazitive Kopplung der Leiterbahnen minimieren kann.

[0031] Als Hartmasken-Schicht kommen insbesondere dielektrische Materialien wie beispielsweise SiO_2 , Si_3N_4 , SiON und weitere in Betracht. Es können aber auch leitende Schichten wie beispielsweise TiN verwendet werden.

[0032] Es ist jedoch offensichtlich, daß die vorliegende Erfindung mit einer beliebigen Kombination aus Hartmasken- und dielektrischer Schicht ausgeführt werden kann, solange die Hartmasken- und dielektrische Schicht voneinander verschieden sind und die Hartmasken-Schicht selektiv in Bezug auf die dielektrische Schicht geätzt werden kann.

[0033] Insgesamt werden durch das erfindungsgemäße Verfahren die folgenden Vorteile bereitgestellt:

- Dadurch, daß während des zweiten Ätzschritts die Hartmasken-Schicht selektiv zur dielektrischen Schicht geätzt wird, wird ein Ausbrechen des Kontaktlochs in die dielektrische Schicht verhindert; Kurzschlüsse zwischen benachbarten

Leiterbahnen oder Kontaktlöchern werden vermieden.

– Als Folge können Leiterbahnen dichter angeordnet werden, ohne die Leistungsfähigkeit und Zuverlässigkeit zu beeinträchtigen.

– Wenn der zweite Ätzschritt teilweise isotrop erfolgt, ist es möglich, einen Kontaktlochdurchmesser am Boden des Kontaktlochs zu erreichen, der ungefähr dem ursprünglich lithographisch definierten entspricht. Somit wird die Fehlausrichtung der Lithographiemaske ausgeglichen. Des Weiteren ist die Kontaktfläche zwischen Kontaktloch und Leiterbahn gegenüber nichtlandenden Kontakten, bei denen ein horizontaler Anteil des Kontaktlochs nicht auf einer Leiterbahn landet, vergrößert, wodurch der Anschlußwiderstand verringert wird und die Keimbildung beim Aufbringen des elektrisch leitenden Verbindungsmaterials erleichtert wird.

– Die Fehlausrichtung der Lithographiemaske wird aber im wesentlichen auch kompensiert, wenn der zweite Ätzschritt nicht isotrop erfolgt, da in diesem Fall eine fehlerfreie Kontaktierung der Leiterbahnen erfolgt.

– Entsprechend ist es möglich, die Anforderungen hinsichtlich des Overlays zu entspannen, wodurch weniger Nacharbeitung der Lithographie erforderlich ist und letztendlich die Herstellungskosten gesenkt werden.

– Des Weiteren können die Abstände der Leiterbahnen zueinander verringert werden, ohne daß Kurzschlüsse zu befürchten sind.

Ausführungsbeispiel

[0034] Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert werden.

[0035] [Fig. 1A](#) bis [Fig. 1D](#) veranschaulichen schematisch die Schritte des erfindungsgemäßen Verfahrens zur Erzeugung von Kontaktlöchern;

[0036] [Fig. 2A](#) und [Fig. 2B](#) veranschaulichen schematisch die Schritte des herkömmlichen Verfahrens zur Erzeugung von Kontaktlöchern; und

[0037] [Fig. 3A](#) bis [Fig. 3D](#) veranschaulichen schematisch ein Ausführungsbeispiel der vorliegenden Erfindung.

[0038] Auf einer Substratoberfläche **5** wird zunächst eine Metallisierungsstruktur aus einer Aluminium-Kupfer-Legierung gebildet, indem zunächst durch bekannte Verfahren eine AlCu-Schicht mit einem geringfügigen Kupferzusatz von ca. 0,5 % ganzflächig abgeschieden wird. Sodann wird als Hartmaskenmaterial eine SiO₂-Schicht ganzflächig abgeschieden. Nach Aufbringen einer Photoresistschicht wird diese photolithographisch unter Verwendung ei-

ner Maske strukturiert, sodann wird nach bekannten Verfahren zunächst die Hartmaskenschicht **2** anhand der sich ergebenden Lackmaske geätzt, anschließend die Photoresistschicht wieder entfernt, und anschließend ein reaktives Ionenätzverfahren zum Ätzen der AlCu-Schicht an den freiliegenden Bereichen sowie eine Passivierungsbehandlung der erzeugten Leiterbahnen durchgeführt, so daß sich schließlich der in [Fig. 1A](#) gezeigte Aufbau ergibt. Dabei verbleibt eine Schichtdicke des Hartmaskenmaterials von circa 100 bis 150 nm (Nanometer).

[0039] Darauf folgend wird das erfindungsgemäße Verfahren zur Erzeugung von Kontaktlöchern auf die soeben erzeugte Metallisierungsstruktur durchgeführt. Zunächst wird durch ein CVD-Verfahren als dielektrische Schicht **3** zur Isolierung benachbarter Metallisierungsebenen mit Kohlenstoff dotiertes SiO₂ abgeschieden, welches aufgrund seiner niedrigen Dielektrizitätskonstante ein sogenanntes low-k-Dielektrikum ist. Die Verwendung von diesem Dielektrikum ist besonders vorteilhaft, da es leicht zu integrieren ist und hohe Gapfill-Eigenschaften aufweist. Die dielektrische Schicht **3** wird so aufgebracht, daß die Zwischenräume zwischen benachbarten Leiterbahnen vollständig aufgefüllt werden und schließlich die Leiterbahnen mit den Resten des Hartmaskenmaterials **2** mit der dielektrischen Schicht **3** bedeckt sind, so daß benachbarte Metallisierungsebenen voneinander elektrisch isoliert sind, wie in [Fig. 3A](#) gezeigt ist.

[0040] Typischerweise wird nun mittels chemisch-mechanischem Polieren (CMP) die sich ergebende Oberfläche poliert, um Topographie-Unterschiede auszugleichen und die Oberfläche der dielektrischen Schicht **3** einzuebnen.

[0041] Anschließend wird zur Definition der Kontaktlöcher zunächst ein Photoresistmaterial **7** ganzflächig aufgebracht, das darauffolgend unter Verwendung einer Maske photolithographisch strukturiert wird, wie in [Fig. 3B](#) gezeigt ist. Dabei ist eine Fehlausrichtung der Maske im allgemeinen nicht zu vermeiden, so daß die in dem Photoresistmaterial **7** erzeugten Kontaktlöcher gegenüber den Leiterbahnen lateral auch leicht verschoben sein können. Die Fehlausrichtung beträgt dabei typischerweise etwa 30 bis 80 nm. Sodann wird der Schritt zum Ätzen von Kontaktlöchern **4** durch die dielektrische Schicht **3** durchgeführt, wie in [Fig. 3C](#) gezeigt ist. Dieser Schritt wird beendet, sobald das Hartmaskenmaterial erreicht ist; es wird aber nicht notwendigerweise selektiv zu dem Hartmaskenmaterial geätzt. Üblicherweise wird durch ein Trockenätzverfahren, beispielsweise mit C₄F₈ in einem Ar/O₂/C₄F₈/N₂-Plasma, entweder mit automatischer Endpunkterkennung oder auch nach voreingestellter Ätzzeit geätzt. Bei Verwendung dieser Ätzgasmischung kann die Selektivität der Ätzung über den Sauerstoffgehalt der Ätzprodukte eingestellt werden. Je größer der Sauerstoffgehalt desto

größer die Ätzrate für das C-dotierte SiO_2 .

[0042] Das Ätzverfahren kann dabei isotrop oder anisotrop erfolgen, wobei ein anisotropes Ätzverfahren, bei dem sich im wesentlichen senkrecht verlaufende Kontaktlochwände oder aber ein sich geringfügig verjüngender Kontaktlochdurchmesser mit einer Differenz der Durchmesser zwischen oberem und unterem Durchmesser von ungefähr 30 nm ergeben, bevorzugt ist. Typischerweise beträgt der Kontaktlochdurchmesser am Boden je nach Metallisierungsebene und Technologiegeneration etwa 150 bis 300 nm.

[0043] Sodann wird ein Ätzverfahren, das die Hartmaskenschicht **2** selektiv in Bezug auf die dielektrische Schicht **3** ätzt, durchgeführt, wie in [Fig. 3D](#) gezeigt ist. Beispielsweise kann SiO_2 als Hartmaskenmaterial unter Verwendung des vorstehenden verwendeten Ätzgasgemisches von C_4F_8 in einem $\text{Ar}/\text{O}_2/\text{C}_4\text{F}_8/\text{N}_2$ -Plasma selektiv in Bezug auf Kohlenstoff-dotiertes SiO_2 geätzt werden. Die Selektivität der Ätzung beträgt dabei beispielsweise 4:1, d.h. auf Blankscheiben wurde eine Ätzrate von SiO_2 von ungefähr 360 nm/min gemessen, während die Ätzrate von Kohlenstoff-dotiertem SiO_2 ungefähr 80 nm/min beträgt. Die Selektivität der Ätzung kann dabei über den O_2 -Gehalt im Ätzgas gesteuert werden und ist für einen O_2 -Anteil von 0 am größten.

[0044] Zur selektiven Ätzung können jedoch auch andere fluorhaltige Ätzgase verwendet werden.

[0045] Dieser selektive Ätzschritt erfolgt vorzugsweise teilweise isotrop, damit die Landefläche auf den Leiterbahnen vergrößert wird, wodurch der Kontaktwiderstand verringert wird und je nach verwendetem elektrisch leitendem Verbindungsmaterial die Keimbildung erleichtert wird. Nach vollständigem Ätzen der Kontaktlöcher wird die verbleibende Photoreistmaske **7** von der Oberfläche entfernt.

[0046] Die Kontaktierung wird dadurch beendet, daß ein elektrisch leitendes Material, beispielsweise Wolfram, nach bekannten Verfahren in die geätzten Kontaktlöcher eingefüllt wird. Dazu wird zunächst durch Sputtern ein Ti/TiN-Liner als Haftvermittler abgeschieden. Anschließend wird Wolfram durch ein CVD-Verfahren abgeschieden, und das überschüssige Kontaktlochmaterial aus Wolfram und Ti/TiN wird abpoliert, so daß nur in den Kontaktlöchern leitendes Material verbleibt.

Patentansprüche

1. Verfahren zur Erzeugung von Kontaktlöchern (**4**) auf einer Metallisierungsstruktur (**1**) mit den Schritten:
– Bereitstellen einer Metallisierungsstruktur mit mindestens einer Leiterbahn (**1**), deren Oberfläche mit

einem Abschnitt einer Hartmasken-Schicht (**2**) bedeckt ist, auf einer Substratoberfläche (**5**),
– Aufbringen einer dielektrischen Schicht (**3**), so daß zumindest die Oberfläche des einen Abschnitts der Hartmasken-Schicht von der dielektrischen Schicht (**3**) umgeben ist, wobei die dielektrische Schicht (**3**) Kohlenstoff enthält und ein anderes Material umfaßt als die Hartmasken-Schicht (**2**),
– Ätzen von Kontaktlöchern (**4**) durch die dielektrische Schicht (**3**) hindurch, während eines ersten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer ersten Konzentration enthält,
– Feststellen, daß die Hartmasken-Schicht (**2**) erreicht ist, und Beenden des ersten Ätzschritts, sobald die Hartmasken-Schicht (**2**) erreicht ist,
– nachfolgend Durchführen eines zweiten Ätzschritts unter Verwendung eines Ätzgasgemisches, das C_4F_8 enthält und Sauerstoff mit einer zweiten Konzentration enthält,
– selektives Ätzen der Hartmasken-Schicht (**2**) in Bezug auf die dielektrische Schicht (**3**),
– wobei die zweite Konzentration von Sauerstoff so gewählt wird, daß die Selektivität des Ätzens der Hartmasken-Schicht (**2**) in Bezug auf die dielektrische Schicht (**3**) erhöht wird.

2. Verfahren nach Anspruch 1, bei dem der Schritt zum Bereitstellen der Metallisierungsstruktur die Schritte umfaßt:

– ganzflächiges Aufbringen einer Metallschicht;
– ganzflächiges Aufbringen der Hartmasken-Schicht (**2**);
– Strukturieren der Hartmasken-Schicht (**2**), so daß die mindestens eine zu bildende Leiterbahn (**1**) von der Hartmasken-Schicht (**2**) abgedeckt ist; und
– Ätzen der Metallschicht.

3. Verfahren nach Anspruch 1 oder 2, bei dem die dielektrische Schicht (**3**) ein Material mit einer Dielektrizitätskonstanten kleiner als 4 umfaßt.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem der Schritt zum Ätzen von Kontaktlöchern (**4**) durch die dielektrische Schicht (**3**) anisotrop erfolgt.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem der Schritt zum selektiven Ätzen der Hartmasken-Schicht (**2**) teilweise isotrop erfolgt.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die dielektrische Schicht (**3**) mit Kohlenstoff dotiertes Siliziumoxid oder mit einem Halogen dotiertes Siliziumoxid oder einen Polymerfilm umfaßt.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem der Schritt des Ätzens von Kontaktlöchern (**4**) durch die dielektrische Schicht (**3**) in Abhängigkeit von einer Bestimmung des Sauerstoffgehalts in den Ätzprodukten beendet wird.

8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem im Anschluß an das selektive Ätzen der Hartmasken-Schicht **(2)** elektrisch leitendes Material **(6)** abgeschieden wird.

Es folgen 5 Blatt Zeichnungen

FIG 1A

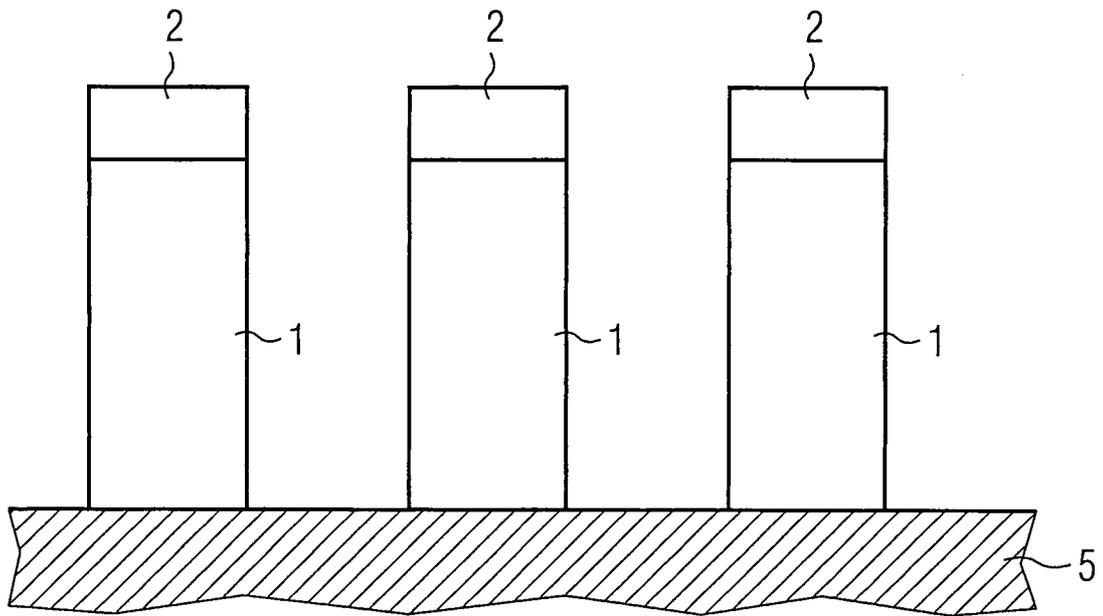


FIG 1B

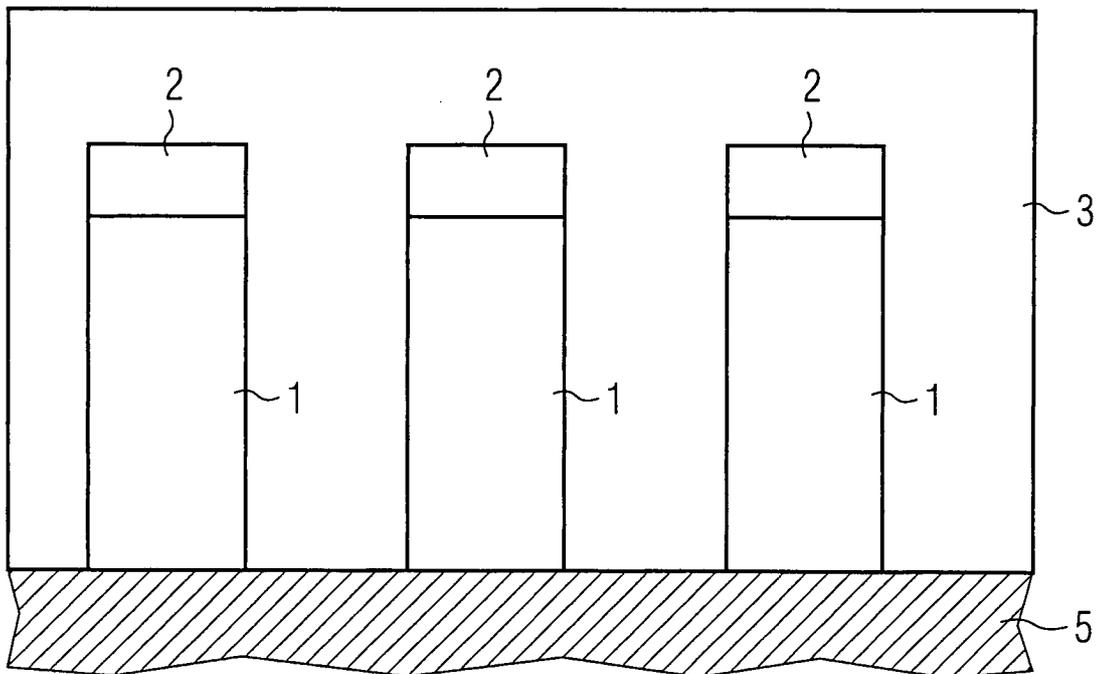


FIG 1C

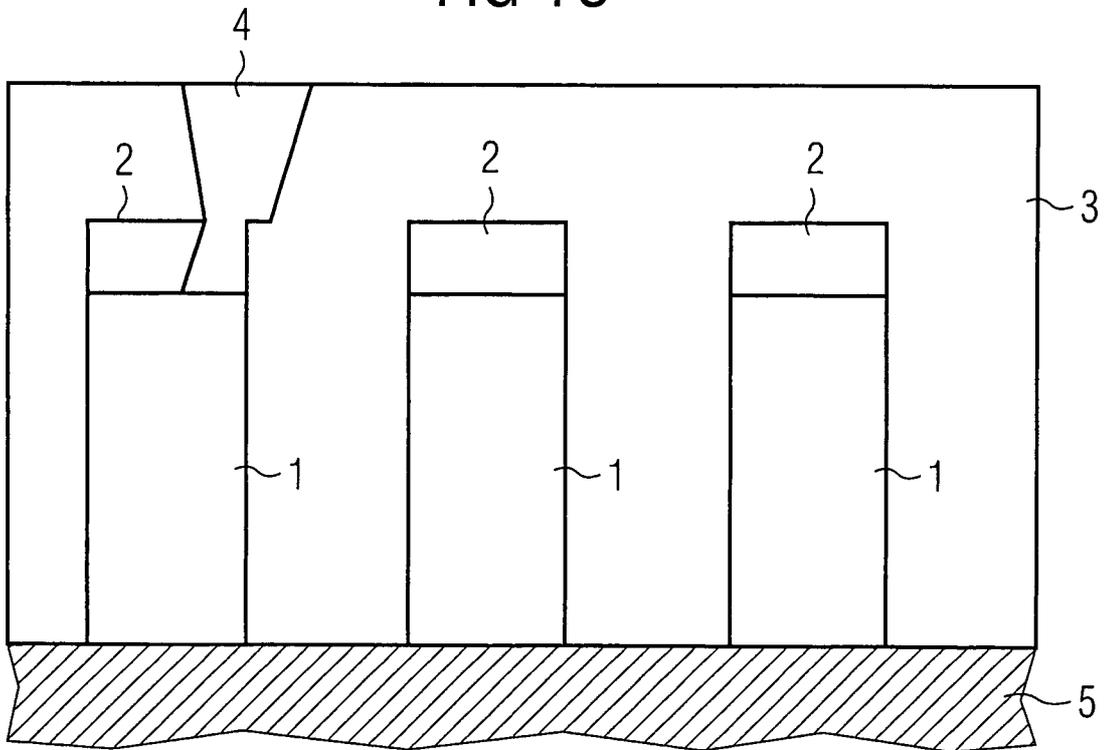


FIG 1D

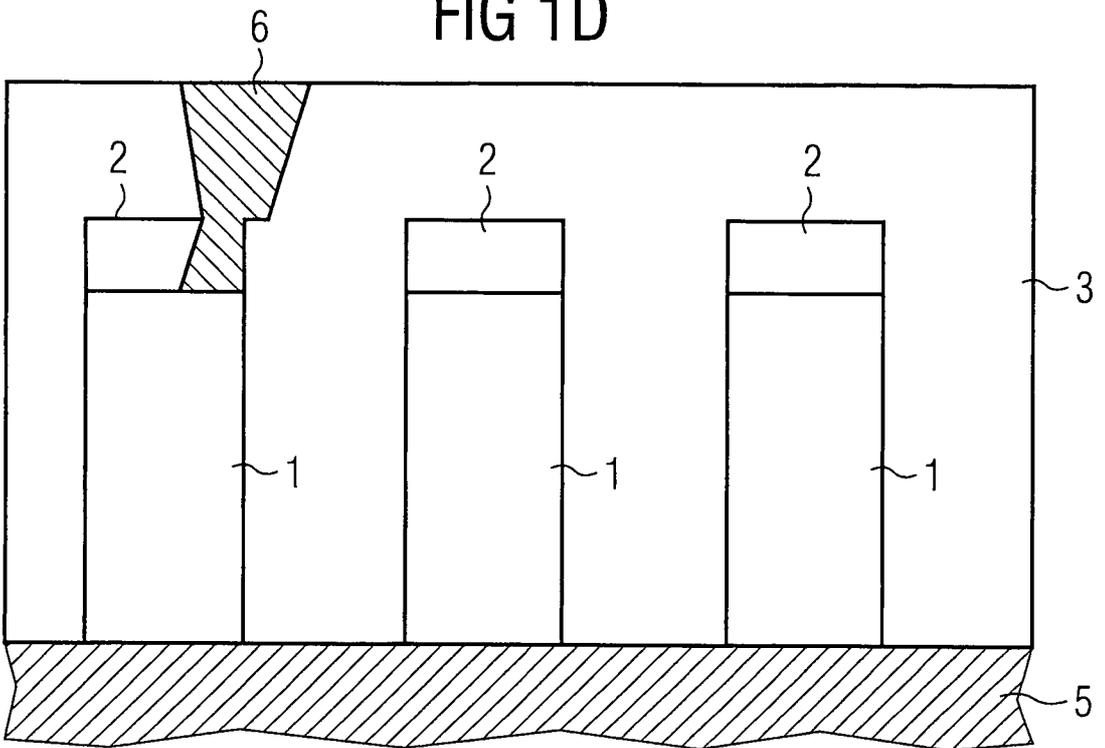


FIG 2A

Stand der Technik

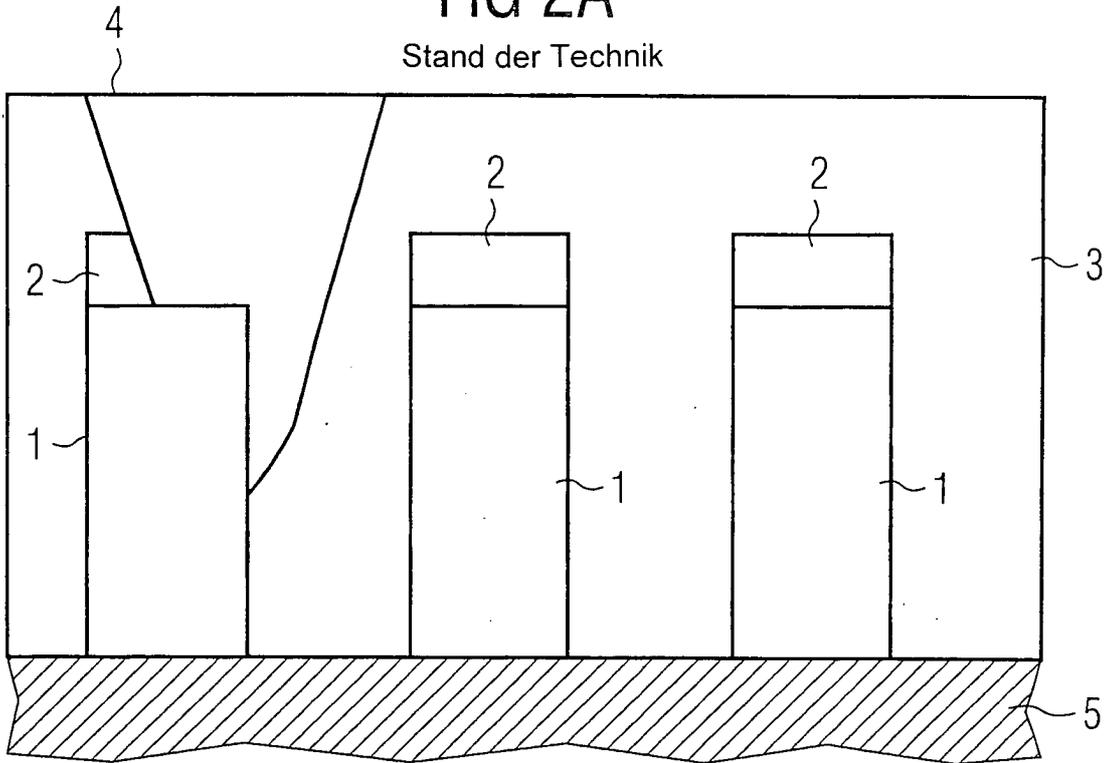


FIG 2B

Stand der Technik

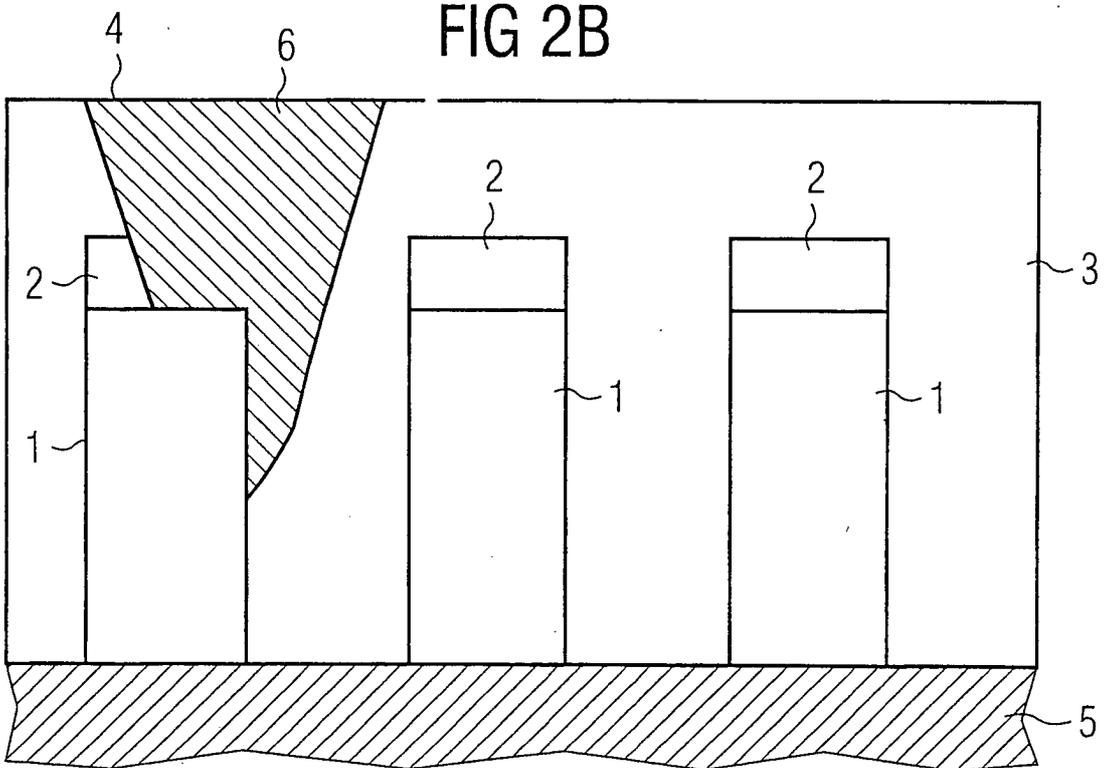


FIG 3A

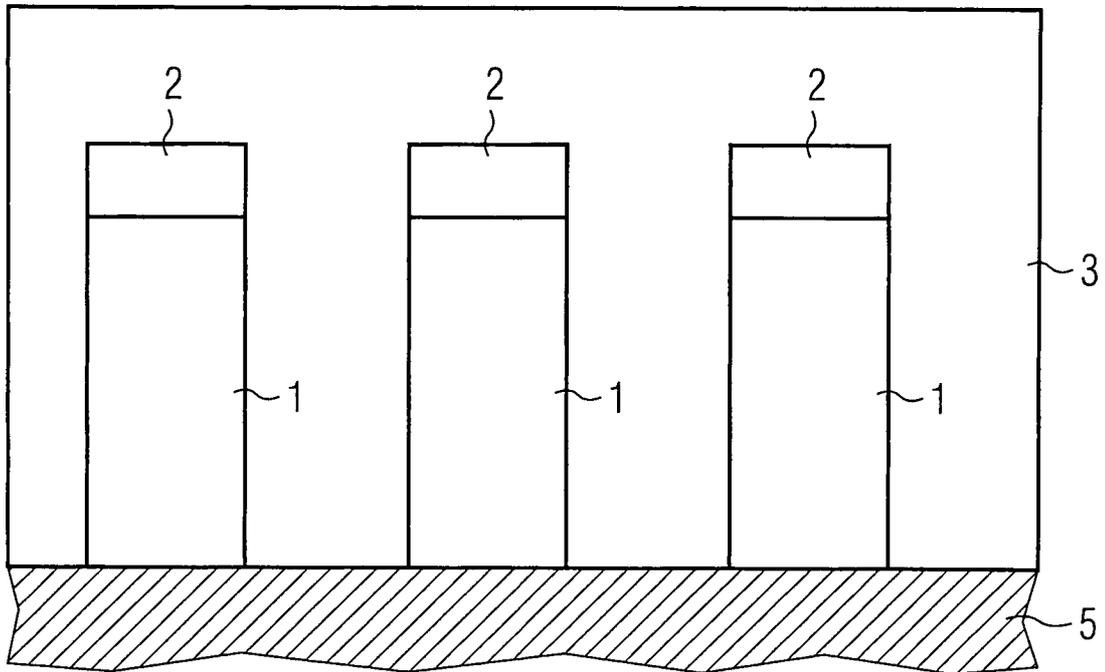


FIG 3B

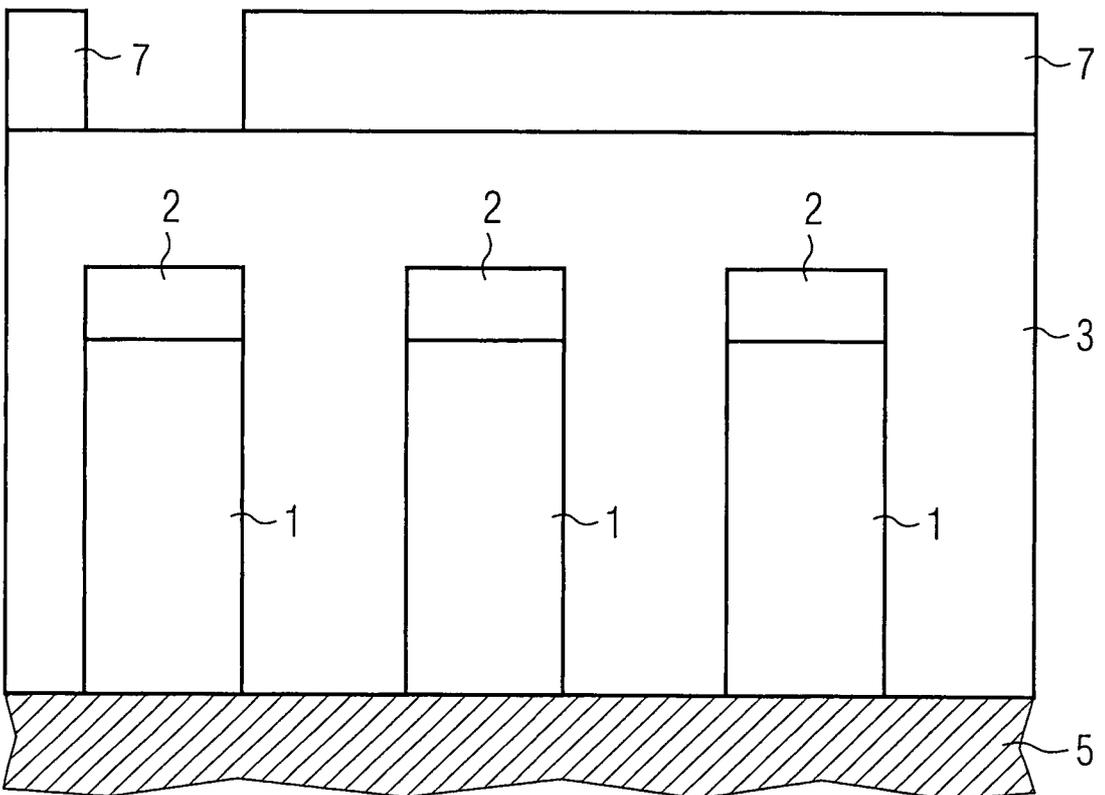


FIG 3C

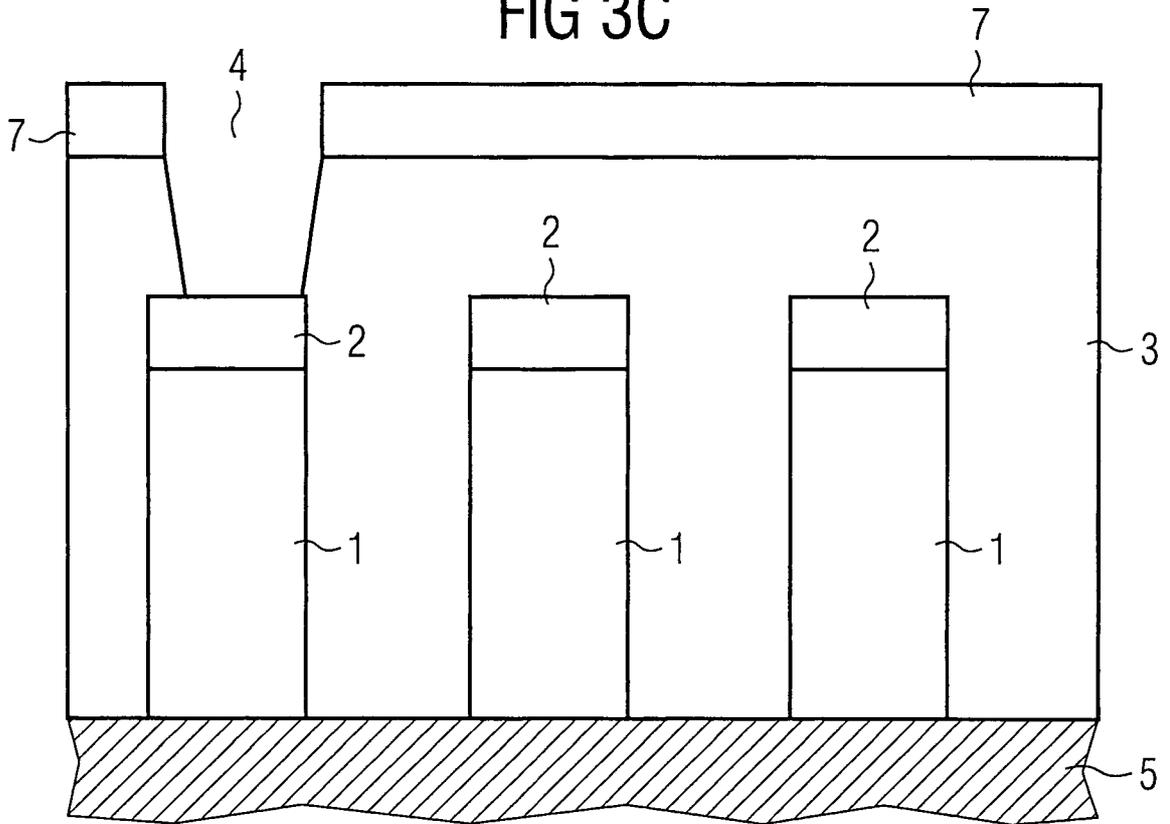


FIG 3D

