

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 9 月 10 日 (10.09.2004)

PCT

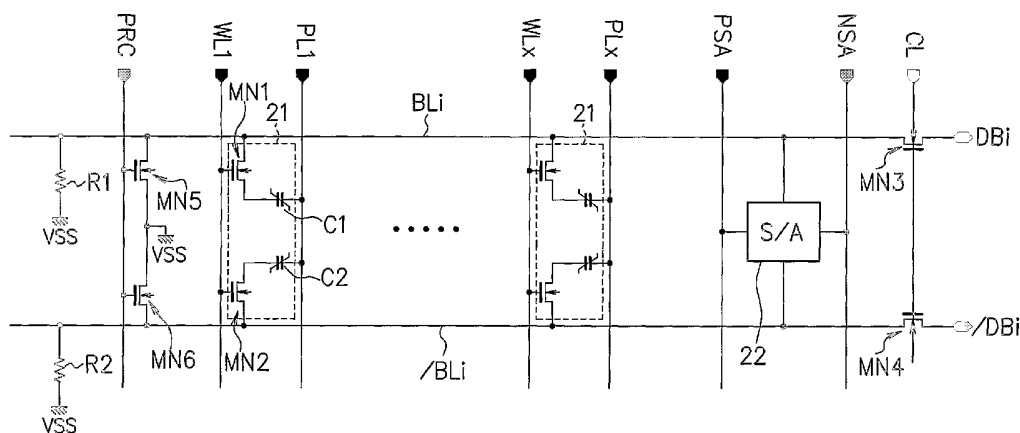
(10) 国際公開番号
WO 2004/077441 A1

- (51) 国際特許分類: G11C 11/22 市中原区 上小田中 4 丁目 1 番 1 号 富士通株式会社 内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2003/002210
- (22) 国際出願日: 2003 年 2 月 27 日 (27.02.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市 市中原区 上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒170-0013 東京都 豊島区 東池袋 1 丁目 1 7 番 8 号 池袋 T G ホーメストビル 5 階 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 英明 (SUZUKI, Hideaki) [JP/JP]; 〒211-8588 神奈川県 川崎
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体記憶装置

13



(57) Abstract: A semiconductor memory comprising memory cells each having a ferroelectric capacitor arranged at the intersections of sets of a plurality of word lines and plate lines contiguous thereto, with bit lines. A clamp circuit is connected between the bit line and a node being supplied with a reference potential and charges supplied from the ferroelectric capacitor to the bit line are extracted by the clamp circuit so that the capacity of the bit line is increased artificially thus, during data reading operation, improving potential variation of the bit line depending on the data stored in the ferroelectric capacitor and obtaining a large potential difference between the bit lines.

(57) 要約: 強誘電体キャパシタを有するメモリセルが複数のワード線及びそれに隣接するプレート線の組とビット線との交差部に設けられた半導体記憶装置にて、上記ビット線と基準電位が供給されるノードとの間にクランプ回路をそれぞれ接続することで、強誘電体キャパシタからビット線に供給された電荷をクランプ回路により引き抜き、ビット線の容量が擬似的に大きくなるようにして、データの読み出し動作において、強誘電体キャパシタが記憶しているデータに応じたビット線の電位変化量を改善し、ビット線間で大きな電位差が得られるようにする。



WO 2004/077441 A1

明 細 書

半導体記憶装置

技術分野

本発明は、半導体記憶装置に関し、特に、メモリセルに強誘電体キャパシタを用いた強誘電体メモリに用いて好適なものである。

背景技術

近年、携帯機器の普及に伴い、電源を供給し続けないとメモリに記憶したデータが消失してしまうD R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory)等の揮発性メモリに代わり、電源を供給しなくとも記憶したデータを保持可能な不揮発性メモリが注目されている。不揮発性メモリとしては、E P R O M (Erasable and Programmable Read Only Memory)やフラッシュメモリ等が既に広く利用されているが、いずれもデータの書き込みに多大な時間を要するため、データの読み出し及び書き込みが可能なメモリとして使用するには用途が限定されていた。

それに対して、メモリセルに強誘電体を使用した強誘電体メモリは、従来のS R A Mと同等の速さでデータの読み出し及び書き込みを行うことができるとともに、記憶したデータの不揮発性を有する。強誘電体メモリのメモリセルは、D R A Mと同様の構造であり、データを保持するためのキャパシタ部分に強誘電体(強誘電体キャパシタ)を用いる。具体的には、強誘電体キャパシタの一方の電極が、ゲートをワード線に接続したM O S トランジスタを介してビット線に接続され、他方の電極がプレート線に接続される。

図17は、強誘電体キャパシタのヒステリシス特性を示す図である。横軸は強誘電体キャパシタに印加される電圧(以下、単に「印加電圧」とも称す。)であり、プレート線側の電極電位がビット線側の電極電位よりも高い場合を正とする(以下についても同様)。また、縦軸は分極電荷量であり、印加電圧の変化に伴ってヒステリシス曲線上を移動したときの始点と終点との差分が、強誘電体キャパシタから供給される電荷量となる。

図 1 7 において、印加電圧が $0\text{ V} \rightarrow +V_{DD}$ (電源電圧) $\rightarrow 0\text{ V} \rightarrow -V_{DD} \rightarrow 0\text{ V}$ と変化すると、分極電荷は点 P 1 $\rightarrow$ 点 P 2 $\rightarrow$ 点 P 3 $\rightarrow$ 点 P 4 $\rightarrow$ 点 P 1 と変化する。図 1 7 に示すようにヒステリシス曲線上には、印加電圧が 0 V であっても、残留分極を有し分極方向が異なる 2 つの安定した点 P 1、P 3 が存在する。強誘電体メモリは、この点 P 1、P 3 に “1”、“0” のデータをそれぞれ対応させることで、データを記憶するとともに記憶したデータの不揮発性を可能としている。

強誘電体メモリは、図 1 7 に示した強誘電体の特性に基づいて強誘電体キャパシタに所定の電圧を印加し、メモリセルに対するデータの書き込み及び読み出しを行う。

メモリセルへのデータの書き込みは、“1” データを書込む場合には、例えばビット線の電位を $+V_{DD}$ 、プレート線の電位を 0 V にすることにより、強誘電体キャパシタに $-V_{DD}$ の電圧を印加する。また、“0” データを書込む場合には、例えばビット線の電位を 0 V 、プレート線の電位を $+V_{DD}$ にすることにより、強誘電体キャパシタに $+V_{DD}$ の電圧を印加する。

記憶した (書き込んだ) データをメモリセルから読み出す際、強誘電体キャパシタに電圧を印加する方法には様々な方法がある。現在、メモリセルからのデータの読み出しは、例えばビット線を 0 V にした後ハイインピーダンス (フローティング) 状態にして、プレート線の電位を $+V_{DD}$ にすることで、プレート線側からビット線側の方向に強誘電体キャパシタに電圧を与える方法が一般に用いられている。

このようにして、メモリセルから読み出されたデータは、あるレベルの電位としてビット線に現れ、センスアンプ等により増幅され出力される。読み出されたデータに応じてビット線に現れる電位について、図 1 8 を用いて説明する。図 1 8 において、横軸は強誘電体キャパシタに印加される電圧であり、縦軸は分極電荷量である。

ビット線をハイインピーダンス状態にして、プレート線の電位を $+V_{DD}$ にすると、プレート線の電位とビット線の電位との電位差が強誘電体キャパシタに印加される。これにより、各データ点は、図 1 8 に矢印で示すようにヒステリシス

曲線上を印加電圧値が増加する方向（図 18 において右方向）に移動していき、強誘電体キャパシタに最終的に印加される電圧値に対応した位置で停止する。この停止した位置での分極電荷量と電圧が印加される前の分極電荷量との差が、読み出し動作において強誘電体キャパシタ（メモリセル）から供給される（流れ込む）電荷量である。

読み出し動作時にビット線に現れる電位は、強誘電体キャパシタから供給される電荷を、ビット線の容量と強誘電体キャパシタの容量との割合に応じて分割した結果として得られる。図 18 から明らかなように、“1”データの方が強誘電体キャパシタから供給される電荷量が多く、ビット線の電位変化は大きくなる。

また、図 18 において、ヒステリシス曲線上の点 P5、P6 は、それぞれ“1”、“0”データを読み出す時の動作点であり、点 P5、P6 に対応する電圧値の差が“1”データと“0”データとのデータマージン（センスマージン）DMC になる。点 P5 は、点 P1 での分極電荷量かつプレート線に印加した電圧 + VDD に対応する点 P7 を基準点にしてビット線の容量を負荷容量とした線（負荷曲線）LC1 と、ヒステリシス曲線との交点である。同様に、点 P6 は、点 P3 での分極電荷量かつプレート線に印加した電圧 + VDD に対応する点 P8 を基準点にしてビット線の容量を負荷容量とした線 LC2 と、ヒステリシス曲線との交点である。

上述したように従来の強誘電体メモリにおいて、データの読み出し動作にて強誘電体キャパシタに印加される電圧やビット線に現れる電位等は、ビット線の容量と強誘電体キャパシタの容量との割合や強誘電体キャパシタから供給される電荷量に応じて決定される。

そのため、強誘電体メモリにおけるメモリセル構成等は自由度が低く、設計仕様により決まるワード線の数、つまり 1 つのビット線に接続されるメモリセルの数に対して、ビット線の容量と強誘電体キャパシタの容量とが適切な割合にならないことがあった。その結果、データの読み出し時に強誘電体キャパシタに十分な電圧が印加されない状態が発生し、強誘電体キャパシタからの電荷の供給が十分に行われないうえにビット線の電位変化が小さく、読み出しデータの誤センシング等が発生したりすることがあった。

また、強誘電体メモリは、書き換え回数の増加に伴い分極電荷量が減少（劣化）して、データマージンが小さくなっていく。したがって、従来の強誘電体メモリは、ビット線の容量と強誘電体キャパシタの容量との割合が適切でないとデータマージンが小さくなり、デバイス寿命が短くなる傾向がある。

上述のような誤センシング等を抑制してデータの読み出しを正確に行うために、読み出し時にセンスアンプ内の回路を制御して駆動させることによりビット線に現れる電位を改善する方法が、特開 2002-74939 号公報に開示されている。

また、上記図 17、図 18 に示した強誘電体キャパシタのヒステリシス曲線から明らかなように、強誘電体キャパシタから供給される電荷量は、強誘電体キャパシタに印加される電圧に依存する。したがって、メモリセルからデータを読み出す際には、強誘電体キャパシタに可能な限り大きな電圧を印加することが好ましい。

例えば、ビット線をグラウンドに対して接続してビット線の電位をグラウンドレベル（0 V）に保持し続けるようにし、ワード線の電位を +VDD にすることで強誘電体キャパシタから完全に電荷を引き出す（供給させる）ことは可能である。しかしながら、強誘電体キャパシタから供給される電荷がすべてグラウンドに対して流れ込んでしまうので、強誘電体キャパシタが記憶していたデータ（情報）を出力することは不可能である。

そこで、強誘電体キャパシタに大きい電圧を印加するには、ビット線の容量を大きくしなければならない。しかしながら、ビット線の容量を増加させるために例えばダミーキャパシタをビット線に付加すると、読み出し時に強誘電体キャパシタに十分大きな電圧が印加され、強誘電体キャパシタから供給される電荷量が多くなるが、ビット線の容量も大きくなっているためにビット線の電位を上げる（データマージンを改善する）効果はほとんど得られなかった。

さらに、ダミーキャパシタをビット線に付加すると、センスアンプによるビット線の電位の増幅時やライトアンプによるメモリセルへのデータ書込み時に、ダミーキャパシタの容量についても充放電を行うことになり消費電力が増加してしまう。

特許文献 1

特開 2 0 0 2 - 7 4 9 3 9 号公報

発明の開示

本発明は、このような問題に鑑みてなされたものであり、データの読み出し動作にて、強誘電体キャパシタが記憶しているデータに応じたビット線の電位変化量を改善し、ビット線間で大きな電位差が得られるようにすることを目的とする。

本発明の半導体記憶装置は、複数のワード線とプレート線との組と、複数のビット線と、上記ワード線及びプレート線の組と上記ビット線との交差部に設けられ、強誘電体キャパシタを有するメモリセルと、クランプ回路とを備え、上記ビット線を上記クランプ回路を介して基準電位が供給されるノードに接続する。

以上のように構成した本発明によれば、データを読み出す際、強誘電体キャパシタからビット線に供給された電荷がクランプ回路により引き抜かれ、擬似的にビット線の容量が大きくなる。これにより、従来と比較して高い電圧が強誘電体キャパシタに印加されることで強誘電体キャパシタから効率良く電荷が供給され、データに応じたビット線の電位変化を改善することができるようになる。

図面の簡単な説明

図 1 は、本発明の第 1 の実施形態による半導体記憶装置を適用した強誘電体メモリの一構成例を示すブロック図である。

図 2 は、第 1 の実施形態における強誘電体メモリのコラム部の一例を示す回路図である。

図 3 は、第 1 の実施形態における強誘電体メモリでのデータ読み出し動作を示すタイミングチャートである。

図 4 は、従来の強誘電体メモリでのデータ読み出し動作を示すタイミングチャートである。

図 5 A、図 5 B は、第 1 の実施形態における強誘電体メモリ及び従来の強誘電体メモリでのビット線の電位変化をそれぞれ示す図である。

図 6 は、第 1 の実施形態における強誘電体メモリのデータ読み出し動作での強

誘電体キャパシタの分極電荷量の変化を示す図である。

図 7 は、第 1 の実施形態における強誘電体メモリのコラム部の他の例を示す回路図である。

図 8 は、図 7 に示す強誘電体メモリでのデータ読み出し動作を示すタイミングチャートである。

図 9 は、本発明の第 2 の実施形態における強誘電体メモリのコラム部の一例を示す回路図である。

図 10 は、第 2 の実施形態におけるクランプ回路の他の例を示す回路図である。

図 11 は、クランプ制御信号生成回路の一例を示す回路図である。

図 12 は、図 11 に示すクランプ制御信号生成回路を備えた強誘電体メモリでのデータ読み出し動作を示すタイミングチャートである。

図 13 は、クランプ制御信号生成回路の他の例を示す回路図である。

図 14 は、図 13 に示すクランプ制御信号生成回路を備えた強誘電体メモリでのデータ読み出し動作を示すタイミングチャートである。

図 15 A は、クランプ制御信号生成回路のその他の例を示す回路図である。

図 15 B、図 15 C は、図 15 A に示すクランプ制御信号生成回路により生成されるクランプ信号を示す図である。

図 16 は、本発明の第 3 の実施形態における強誘電体メモリのコラム部の一例を示す回路図である。

図 17 は、強誘電体キャパシタのヒステリシス特性を示す図である。

図 18 は、従来の強誘電体メモリにおけるデータ読み出し動作での強誘電体キャパシタの分極電荷量の変化を示す図である。

発明を実施するための最良の形態

以下、本発明の一実施形態を図面に基づいて説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態による半導体記憶装置を適用した強誘電体メモリの一構成例を示すブロック図である。第 1 の実施形態における強誘電体メモリは、入力されるアドレス信号をデコードするアドレスデコーダやデータバスを

介してデータを入力及び出力するための入出力バッファや各制御回路等を含む周辺回路 10 と複数のメモリブロック 11 とを有する。

各メモリブロック 11 は、複数（例えば 2 つ）のバンク 12_{-A}、12_{-B}、アドレス信号のデコード結果等に応じてワード線 WL を選択的に活性化するワード線駆動回路 14、及びメモリブロック 11 に付随する制御回路等を含む周辺回路 17 で構成される。バンク 12_{-A}、12_{-B} は、アドレス信号のデコード結果等に応じてプレート線 PL_{-A}、PL_{-B} を選択的に活性化するプレート線駆動回路 15_{-A}、15_{-B} と複数のコラム部（以下、「コラム単位」とも称す。）13 とをそれぞれ有する。コラム部 13 は、図 1 においては図示していないが、ワード線 WL 及びプレート線 PL に直交する方向に設けられた 2 本のビット線を有する。16_{-A}、16_{-B} は、各コラム部 13 がそれぞれ有するセンスアンプ（S/A）により構成されるセンスアンプ列である。

ここで、ワード線 WL はメモリブロック 11 内のすべてのバンク 12_{-A}、12_{-B} にて共有しメモリブロック 11 毎に設けられ、プレート線 PL_{-A}、PL_{-B} はバンク 12_{-A}、12_{-B} 毎に設けられる。なお、図 1 においては、説明の便宜上、ワード線 WL 及びプレート線 PL_{-A}、PL_{-B} はそれぞれ 1 つのみ図示しているが、ワード線 WL 及びプレート線 PL は、それぞれメモリブロック 11 内、バンク 12 内に複数設けられている。

図 2 は、コラム部 13 の一例を示す回路図であり、1 つのメモリセル（データ記憶の最小単位）が 2 つのトランジスタと 2 つの強誘電体キャパシタとで構成される 2 トランジスタ / 2 キャパシタ（2T / 2C）型メモリセルの場合を一例として示している。

図 2 において、BL_i、/BL_i はビット線（ビット線 BL_i、/BL_i は、相補データの関係）、WL_j はワード線、PL_j はプレート線、PRC はプリチャージ信号線、CL はコラム信号線、DB_i、/DB_i はデータバスに接続されるデータ信号線である。PSA、NSA は、センスアンプ 22 に接続され、センスアンプ 22 が有する P チャネル MOS トランジスタ（プルアップ・トランジスタ）、N チャネル MOS トランジスタ（プルダウン・トランジスタ）に駆動電圧を供給するための制御信号線である。なお、ワード線 WL_j、プレート線 PL_j

において、 j は添え字であり、 $j = 1 \sim x$ の任意の自然数である。

コラム部 13 は、複数のメモリセル 21 とビット線 BL_i 、 $\overline{BL}_i$ 間の電位を増幅するセンスアンプ 22 とを有する。メモリセル 21 及びセンスアンプ 22 は、2 本のビット線 BL_i 、 $\overline{BL}_i$ にそれぞれ接続される。各メモリセル 21 は同じ構成であるので、以下ではワード線 WL_1 、プレート線 PL_1 に接続されたメモリセル 21 を参照して構成を説明する。

メモリセル 21 は、2 つのセルトランスファとしての N チャネル MOS トランジスタ MN_1 、 MN_2 と、2 つの強誘電体キャパシタ C_1 、 C_2 とで構成される。トランジスタ MN_1 のソースはビット線 BL_i に接続され、ゲートはワード線 WL_1 に接続される。強誘電体キャパシタ C_1 の一方の電極は、トランジスタ MN_1 のドレインに接続され、他方の電極はプレート線 PL_1 に接続される。同様に、トランジスタ MN_2 のソースはビット線 $\overline{BL}_i$ に接続され、ゲートはワード線 WL_1 に接続される。強誘電体キャパシタ C_2 の一方の電極は、トランジスタ MN_2 のドレインに接続され、他方の電極はプレート線 PL_1 に接続される。メモリセル 21 は、トランジスタ MN_1 と強誘電体キャパシタ C_1 との組、及びトランジスタ MN_2 と強誘電体キャパシタ C_2 との組の組み合わせにより相補データの関係で 1 つのデータを記憶する。

MN_3 、 MN_4 は、いわゆるコラムゲートとしての N チャネル MOS トランジスタである。トランジスタ MN_3 、 MN_4 のドレインは、ビット線 BL_i 、 $\overline{BL}_i$ にそれぞれ接続され、ソースはデータ信号線 DB_i 、 $\overline{DB}_i$ にそれぞれ接続される。トランジスタ MN_3 、 MN_4 のゲートはコラム信号線 CL に接続される。

MN_5 、 MN_6 は、N チャネル MOS トランジスタであり、トランジスタ MN_5 、 MN_6 のドレインは、ビット線 BL_i 、 $\overline{BL}_i$ にそれぞれ接続される。トランジスタ MN_5 、 MN_6 のソースは基準電位 V_{SS} （例えば、グランド（ GND ））が供給されるノードに接続され、トランジスタ MN_5 、 MN_6 のゲートはプリチャージ信号線 PRC に接続される。なお、以下の説明では、説明の便宜上、「基準電位 V_{SS} が供給されるノードに接続される」ことを「基準電位 V_{SS} に対して接続される」と記す。

R 1、R 2 は、等しい抵抗値を有する抵抗であり、抵抗 R 1、R 2 の一端がビット線 B L i、 $\neg$ B L i にそれぞれ接続され、他端が基準電位 V S S に対して接続される。抵抗 R 1、R 2 は、ビット線 B L i、 $\neg$ B L i から電荷（電流）を引き込み、ビット線 B L i、 $\neg$ B L i の電位を基準電位 V S S に近づけるように作用するクランプ回路をそれぞれ構成する。すなわち、抵抗 R 1、R 2 は、メモリセル 2 1 からデータを読み出す際に、ビット線 B L i、 $\neg$ B L i の電位の上昇に伴う強誘電体キャパシタ C 1、C 2 に印加される電圧の低下を抑制するためのものである。

ここで、抵抗 R 1、R 2 は、メモリセル 2 1 内の強誘電体キャパシタ C 1、C 2 から供給される電荷を過度に引き込まないように抵抗値が大きい方が望ましく、数キロオーム（例えば 1 k Ω ）程度の抵抗値がより望ましい。また、抵抗 R 1、R 2 は、任意の位置でビット線 B L i、 $\neg$ B L i に接続すれば良いが、ビット線 B L i、 $\neg$ B L i における抵抗 R 1、R 2 とセンスアンプ 2 2 との距離（配線長）が長い方が好ましい。

次に、動作について説明する。

第 1 の実施形態における強誘電体メモリでのデータの書き込み動作は従来の強誘電体メモリとほぼ同様であるので説明は省略し、データの読み出し動作のみについて説明する。

図 3 は、第 1 の実施形態における強誘電体メモリでのデータの読み出し動作を示すタイミングチャートである。なお、図 3 は、ワード線 W L 1、プレート線 P L 1 に接続されたメモリセル 2 1 からデータを読み出す際の動作を一例として示しており、当該メモリセル 2 1 は“1”データを記憶している（強誘電体キャパシタ C 1、C 2 が“1”、“0”データをそれぞれ記憶している）ものとする。また、以下の説明では、基準電位 V S S をグラウンドレベル（GND：0 V）とする。

まず、図示しないチップセレクト信号が活性化されるのに応じて、プリチャージ信号線 P R C の電位（プリチャージ信号）がハイレベル（電圧 + V D D、以下、“H”と記す。）に活性化される。これにより、トランジスタ M N 5、M N 6 が導通状態（オン（ON）状態）になり、ビット線 B L i、 $\neg$ B L i のプリチャージ

ジが行われ、ビット線 BL_i 、 $\overline{BL_i}$ の電位がグラウンドレベルになる。

次に、プリチャージ信号線 PRC の電位がロウレベル（グラウンドレベル、以下、“L”と記す。）に不活性化され、トランジスタ MN_5 、 MN_6 が絶縁状態（オフ（OFF）状態）になる。この状態で、ワード線 WL_1 の電位を“H”にしてメモリセル21内のトランジスタ MN_1 、 MN_2 をオン状態にした後、プレート線 PL_1 の電位を“H”にする。なお、ワード線 WL_1 、プレート線 PL_1 以外のワード線 WL_j 、プレート線 PL_j （図3においては、ワード線 WL_x 、プレート線 PL_x を例示。）の電位は、“L”である。

これにより、メモリセル21内の強誘電体キャパシタ C_1 、 C_2 は、プレート線 PL_1 側からビット線 BL_i 、 $\overline{BL_i}$ 側の方向に電圧が印加され、メモリセル21から記憶しているデータが読み出される。つまり、データ（分極状態）に応じた量の電荷が強誘電体キャパシタ C_1 、 C_2 からビット線 BL_i 、 $\overline{BL_i}$ にそれぞれ供給され、ビット線 BL_i 、 $\overline{BL_i}$ が充電（チャージアップ）され電位が上昇する（期間 T_p ）。

ここで、上述したようにビット線 BL_i 、 $\overline{BL_i}$ に対してそれぞれ接続された強誘電体キャパシタ C_1 、 C_2 は、“1”、“0”データをそれぞれ記憶している（対応する分極状態である）。したがって、強誘電体キャパシタ C_1 からビット線 BL_i に供給される電荷量は、強誘電体キャパシタ C_2 からビット線 $\overline{BL_i}$ に供給される電荷量より多く、ビット線 BL_i は、ビット線 $\overline{BL_i}$ より電位が大きく上昇する。

また、このとき、強誘電体キャパシタ C_1 、 C_2 からビット線 BL_i 、 $\overline{BL_i}$ に供給される電荷の一部が、抵抗 R_1 、 R_2 を介してグラウンドに対して流れ込むことで、ビット線 BL_i 、 $\overline{BL_i}$ の容量が擬似的に大きくなる。これにより、第1の実施形態における強誘電体メモリでは、ビット線 BL_i 、 $\overline{BL_i}$ の電位上昇に伴う強誘電体キャパシタ C_1 、 C_2 に印加される電圧の低下が抑制され、従来の強誘電体メモリと比較して、高い電圧が強誘電体キャパシタ C_1 、 C_2 に印加され、ビット線 BL_i 、 $\overline{BL_i}$ に供給される電荷量は多くなる。

その後、センスアンプ信号 SAE が“H”に活性化されるのに応じて制御信号線 PSA 、 NSA の電位（制御信号 PSA 、 NSA ）がそれぞれ“L”、“H”

になり、センスアンプ 22 が活性化される。ビット線 BL_i 、 $/BL_i$ 間の微小な電位差は、活性化されたセンスアンプ 22 により増幅され、ビット線 BL_i 、 $/BL_i$ の電位はそれぞれ “H”、“L” になる。

さらに、コラム信号線 CL の電位（コラム信号）が “H” に活性化されることでトランジスタ MN_3 、 MN_4 がオン状態になり、センスアンプ 22 にて増幅して得られたビット線 BL_i 、 $/BL_i$ の電位がデータ信号線 DB_i 、 $/DB_i$ にそれぞれ伝達され出力される。その後、コラム信号線 CL の電位が “L” になり、トランジスタ MN_3 、 MN_4 がオフ状態になる。

コラム信号線 CL の電位が “L” になった後、リストア動作と呼ばれる動作が行われる。ここで、リストア動作は、強誘電体メモリにおけるデータの読み出し動作が破壊読み出しであり、メモリセル（強誘電体キャパシタ）に記憶しているデータが読み出しにより消失されるので、読み出し後にデータを書き戻す動作である。例えば、データの読み出し時に分極状態が反転してしまう “1” データの書き戻しは、ビット線 BL_i 、 $/BL_i$ の電位をデータ出力時の電位に保持し、プレート線 PL_1 の電位を “L” にすることにより行われる。

リストア動作が終了すると、センスアンプ信号 SAE が “L” になるのに応じて制御信号線 PSA 、 NSA の電位をそれぞれ “H”、“L” にし、センスアンプ 22 を不活性化状態にする。さらに、プリチャージ信号線 PRC の電位を “H” にすることによりビット線 BL_i 、 $/BL_i$ の電位をグラウンドレベルにして、ワード線 WL_1 の電位を “L”、つまりすべてのワード線 WL_j の電位を “L” にして読み出し動作を終了する。

上記図 3 に示した第 1 の実施形態における強誘電体メモリでのデータの読み出し動作と、従来の強誘電体メモリでのデータの読み出し動作とを比較する。図 4 は、従来の強誘電体メモリでのデータの読み出し動作を示すタイミングチャートであり、上記図 3 に示した第 1 の実施形態における強誘電体メモリでのデータの読み出し動作とは、ビット線 BL 、 $/BL$ の電位変化が異なる。より具体的には、図 3 及び図 4 に示すタイミングチャートは、プレート線 PL_1 を “H” にした後、センスアンプ信号 SAE が “H” になりセンスアンプ 22 が活性化されるまでの期間 T_p （図 3 参照）、 T_c （図 4 参照）におけるビット線 BL 、 $/BL$ の電位

変化が異なる。

図 5 A、図 5 B は、上記図 4 及び図 3 に示した期間 T_c 、 T_p におけるビット線 B_L 、 $\neg B_L$ の電位変化を詳細に示す図である。

図 5 A に示すように従来の強誘電体メモリでのデータの読み出し動作では、ビット線 B_L 、 $\neg B_L$ の電位上昇に伴って強誘電体キャパシタ C_1 、 C_2 に印加される電圧は低下し、強誘電体キャパシタ C_1 、 C_2 から供給される電荷によるビット線 B_L 、 $\neg B_L$ の電位は、電位 ΔH_c 、 ΔL_c になる。したがって、“1” データと “0” データとのデータマージンは電位差 ΔV_c となる。

一方、図 5 B に示すように第 1 の実施形態における強誘電体メモリでのデータの読み出し動作では、ビット線 B_L 、 $\neg B_L$ の電荷が抵抗 R_1 、 R_2 を介してグラウンドに対して流れ込むことにより、ビット線 B_L 、 $\neg B_L$ の容量が擬似的に大きくなり、従来に比べて強誘電体キャパシタ C_1 、 C_2 に印加される電圧の低下が抑制される。つまり、抵抗 R_1 、 R_2 により構成されるクランプ回路でビット線 B_L 、 $\neg B_L$ をクランプすることにより、強誘電体キャパシタ C_1 、 C_2 に印加される電圧が高くなり、強誘電体キャパシタ C_1 、 C_2 からビット線 B_L 、 $\neg B_L$ に電荷を供給する効率が良くなる。

これにより、第 1 の実施形態における強誘電体メモリでは、強誘電体キャパシタ C_1 から供給される電荷によるビット線 B_L の電位は電位 ΔH_c より高くなり、強誘電体キャパシタ C_2 から供給される電荷によるビット線 $\neg B_L$ の電位は電位 ΔL_c より低くなる。したがって、“1” データと “0” データとのデータマージンは、電位差 ΔV_p となり従来の電位差 ΔV_c より大きくなる。

図 6 は、上記図 3 に示した第 1 の実施形態における強誘電体メモリのデータ読み出し動作での強誘電体キャパシタ C_1 、 C_2 の分極電荷量の変化を示す図である。図 6 において、横軸は強誘電体キャパシタに印加される電圧であり、縦軸は分極電荷量である。

なお、図 6 では、比較を行うために従来の強誘電体メモリのデータ読み出し動作での強誘電体キャパシタの分極電荷量の変化も図 1 及び図 2 にて付した符号と同一の符号を付し図示している。

データ読み出し動作において、ワード線 $W_L 1$ の電位を “H” にするとともに

プレート線 P L 1 の電位を “H” (+VDD) にすると、プレート線 P L 1 の電位とビット線 B L、 $\overline{B L}$ の電位との電位差が強誘電体キャパシタ C 1、C 2 にそれぞれ印加される。これにより、各データ点は、図 6 に矢印で示すようにヒステリシス曲線上を印加電圧値が増加する方向に移動し、強誘電体キャパシタ C 1、C 2 から印加電圧に応じて電荷が供給される。

ここで、第 1 の実施形態における強誘電体メモリにおいては、ビット線 B L、 $\overline{B L}$ の電荷がグランドに対して接続された抵抗 R 1、R 2 を介して引き抜かれることで、ビット線 B L、 $\overline{B L}$ の容量が擬似的に大きくなる。ビット線 B L の擬似的な容量を負荷容量とする線 L P 1、L P 2 は、線 L C 1、L C 2 より傾きの絶対値がそれぞれ大きくなる。これにより、線 L P 1 (基準点は点 P 7) とヒステリシス曲線との交点である “1” データを読み出す時の動作点 P 9、及び線 L P 2 (基準点は点 P 8) とヒステリシス曲線との交点である “0” データを読み出す時の動作点 P 10 は、従来の動作点 P 5、P 6 に比べて印加電圧が増加する側に変化する。

つまり、“1” データが記憶されている強誘電体キャパシタ C 1 からはさらに電荷を引き出せるようになる。一方、図 6 からわかるように、“0” データが記憶されている強誘電体キャパシタ C 2 は既に十分な電圧が印加されており、ビット線 $\overline{B L}$ から電荷を引き抜くことにより強誘電体キャパシタ C 2 からさらに引き出せる電荷量は、強誘電体キャパシタ C 1 に比較して少ない。しかし、動作点 P 9、P 10 に示される変化によるビット線 B L、 $\overline{B L}$ の電位変化は、図 5.B に示したように “1” データに対応したビット線 B L の電位が増加し、“0” データに対応したビット線 $\overline{B L}$ の電位が減少する傾向を示すので、“1” データと “0” データとのデータマージン DMP は、従来のデータマージン DMC に比べて大きくなる。

なお、上述した説明では、2 トランジスタ / 2 キャパシタ (2 T / 2 C) 型メモリセルにより構成されたコラム部 13 を有する強誘電体メモリを一例として説明したが、本発明は図 7 に示すように 1 トランジスタ / 1 キャパシタ (1 T / 1 C) 型メモリセルにより構成されたコラム部を有する強誘電体メモリにも適用可能である。1 T / 1 C 型メモリセルは、1 つのトランジスタと 1 つの強誘電体キ

ャパシタとで1つのメモリセルが構成される。

図7は、第1の実施形態における強誘電体メモリのコラム部13の他の例を示す回路図である。

図7において、BLA、BLBは第1及び第2のビット線、WLjA、WLjBは第1及び第2のワード線、PLjはプレート線（jは添え字であり、j=1～xの任意の自然数）、RWLA、RWLBは第1及び第2のリファレンスワード線、RPLはリファレンスプレート線、DBA、DBBは第1及び第2のデータ信号線である。PRC、CL、PSA、NSAは、上記図2に示したプリチャージ信号線、コラム信号線、制御信号線に対応する。

図7に示すコラム部13は、複数のメモリセル71、71'、リファレンス電位を出力するためのリファレンスセル72、72'、及びビット線BLA、BLB間の電位差を増幅するセンスアンプ73を有する。メモリセル71（71'）は、ビット線BLA（BLB）、ワード線WLjA（WLjB）及びプレート線PLjに接続され、リファレンスセル72（72'）は、ビット線BLA（BLB）、リファレンスワード線RWLA（RWLB）及びリファレンスプレート線RPLに接続される。

メモリセル71、71'の構成について説明する。以下では、第1のワード線WL1A、プレート線PL1に接続されたメモリセル71、及び第2のワード線WL1B、プレート線PL1に接続されたメモリセル71'を参照して構成を説明するが、他のメモリセル71、71'についても構成はそれぞれ同様である。

メモリセル71は、セルトランスファとしてのNチャネルMOSトランジスタMN71と、強誘電体キャパシタC71とで構成される。トランジスタMN71のソースは第1のビット線BLAに接続され、ゲートは第1のワード線WL1Aに接続される。強誘電体キャパシタC71の一方の電極は、トランジスタMN71のドレインに接続され、他方の電極はプレート線PL1に接続される。メモリセル71'は、NチャネルMOSトランジスタMN72と強誘電体キャパシタC72とで構成され、第2のビット線BLB及び第2のワード線WL1Bに接続される点のみ異なるだけでメモリセル71と同様である。

次に、リファレンスセル72、72'の構成について説明する。

リファレンスセル72、72'は、セルトランスファとしての1つのNチャネルMOSトランジスタMN73、MN74と、1つの強誘電体キャパシタC73、C74とでそれぞれ構成される。トランジスタMN73のソースは第1のビット線BLAに接続され、ゲートは第1のリファレンスワード線RWLAに接続される。強誘電体キャパシタC73の一方の電極は、トランジスタMN73のドレインに接続され、他方の電極はリファレンスプレート線RPLに接続される。メモリセル72'は、第2のビット線BLB及び第2のリファレンスワード線RWLBに接続される点のみ異なるだけでリファレンスセル72と同様である。

NチャネルMOSトランジスタMN75、MN76、MN77、MN78、及び抵抗R71、R72は、図2に示したトランジスタMN3、MN4、MN5、MN6、及び抵抗R1、R2にそれぞれ対応するものであるので説明は省略する。

図8は、図7に示した強誘電体メモリでのデータの読み出し動作を示すタイミングチャートである。図7に示したような1T/1C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作は、以下に説明する相違点（読み出し動作時に駆動制御するワード線（リファレンスワード線）及びプレート線（リファレンスプレート線））について異なるだけで、上記図4に示した2T/2C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作と動作及び原理は同様であるので説明は省略する。

2T/2C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作と、1T/1C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作との相違点について説明する。上記図4に示した2T/2C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作では、1組のワード線WLjとプレート線PLjとを駆動制御していた。それに対して、図7に示したような1T/1C型メモリセルにより構成された強誘電体メモリでのデータの読み出し動作では、図8に示すように1組のワード線WLjA、WLjBとプレート線PLj、リファレンスワード線RWLA、RWLBとリファレンスプレート線RPLとを駆動制御する。具体的には、1組のワード線WLjAとプレート線PLjとを駆動制御するときには、リファレンスワード線RWLBとリファレンスプレート線RPLとを駆動制御し、1組のワード線WLjBとプレ

ート線 PL_j とを駆動制御するときには、リファレンスワード線 RWL_A とリファレンスプレート線 RPL とを駆動制御する。

以上、詳しく説明したように第1の実施形態によれば、強誘電体メモリにて、基準電位 V_{SS} に対して一端が接続された抵抗 R_1 、 R_2 により構成されるクランプ回路をビット線 BL_i 、 $\neg BL_i$ (BL_A 、 BL_B) に接続ことで、データの読み出し動作において、強誘電体キャパシタ C_1 、 C_2 からビット線 BL_i 、 $\neg BL_i$ (BL_A 、 BL_B) に供給された電荷の一部が抵抗 R_1 、 R_2 を介して基準電位が供給されるノードに対して流れ込む。これにより、ビット線の容量が擬似的に大きくなり、強誘電体キャパシタ C_1 、 C_2 から効率よく電荷を引き出してビット線の電位を生成することができ、従来と比較して“1”データに対応するビット線の電位が高くなり、“0”データに対応するビット線の電位が低くなるのでビット線間で大きな電位差を得ることができる。したがって、従来と比較してデータマージンが大きくなり、データの誤センシング等の発生を抑制するとともに、デバイスの寿命を長くすることができる。

また、第1の実施形態によれば、データの読み出し動作時に、ビット線の容量と強誘電体キャパシタの容量との割合がビット線 BL_i 、 $\neg BL_i$ (BL_A 、 BL_B) に現れる電位に対して与える影響は小さくなるので、1つのビット線に接続されるメモリセルの数、ワード線のことを任意に選択することができ、強誘電体メモリにおけるブロック構成（メモリセル構成等）の自由度が高くなる。

さらに、“0”データに対応するビット線は、クランプ回路により常に基準電位 V_{SS} 側に放電されているので、センスアンプ22のセンス動作中に起こる基準電位 V_{SS} 側への電荷の集中によるセンスアンプ22の電源ラインの影響による回路動作の不安定性を抑制することができる。

（第2の実施形態）

次に、第2の実施形態について説明する。

上述した第1の実施形態における強誘電体メモリは、ビット線 BL_i 、 $\neg BL_i$ (BL_A 、 BL_B) と基準電位 V_{SS} との間がクランプ回路を介して定常的に導通状態になり、ビット線 BL_i 、 $\neg BL_i$ (BL_A 、 BL_B) の電位を常に基準電位 V_{SS} に近づけるように構成している。したがって、例えばデータの読み

出し動作におけるセンスアンプの活性時やデータの書き込み動作時等においても、ビット線 BL_i 、 $\neg BL_i$ (BLA 、 BLB) の電位が基準電位 V_{SS} とは異なるためにクランプ回路を介して電流が流れてしまい、電力を浪費してしまう。

そこで、以下に説明する本発明の第2の実施形態による半導体記憶装置を適用した強誘電体メモリは、強誘電体メモリにおける動作状態に応じてクランプ回路の動作を制御して不要な電流が供給されるのを防止し、消費電力の増加を抑制するものである。

本発明の第2の実施形態による半導体記憶装置を適用した強誘電体メモリの全体構成は、上記図1に示した第1の実施形態における強誘電体メモリと同様であるので説明は省略する。

図9は、第2の実施形態における強誘電体メモリのコラム部13'の一例を示す回路図である。なお、この図9において、図2に示した回路構成要素等と同一の機能を有する回路構成要素等には同一の符号を付し、重複する説明は省略する。

図9において、MN7、MN8はNチャネルMOSトランジスタであり、トランジスタMN7、MN8のドレインは、ビット線 BL_i 、 $\neg BL_i$ にそれぞれ接続される。また、トランジスタMN7、MN8のソースは、基準電位 V_{SS} (例えば、グランド (GND)) に対して接続され、ゲートはクランプ制御信号線 $CLAMP$ に接続される。

また、トランジスタMN7、MN8は、他のトランジスタMN1～MN6等とは構造が異なり、例えばチャネル長 (ゲート長) を大きくしたり、チャネル幅 (ゲート幅) を小さくしたりすることにより、上記図2に示した抵抗 R_1 、 R_2 の抵抗値に相当するオン抵抗を有する。つまり、トランジスタMN7、MN8は、オン・オフ制御可能なスイッチング機能を有するクランプ回路を構成する。

なお、上記図9においては、1つのトランジスタMN7、MN8によりスイッチング機能を有するクランプ回路をそれぞれ構成しているが、例えば図10に示すようにスイッチ回路としての1つのNチャネルMOSトランジスタMN9と、クランプ回路としての1つの抵抗 R_3 との組によりスイッチング機能を有するクランプ回路を構成しても良い。

トランジスタMN9のドレインは、ビット線 BL_i ($\neg BL_i$) に接続され、

ゲートはクランプ制御信号線CLAMPに接続される。抵抗R3は図2に示した抵抗R1(R2)に対応するものであり、一端がトランジスタMN9のソースに接続され、他端が基準電位VSSに対して接続される。上記図10に示すように構成した場合には、トランジスタMN9は、例えば他のトランジスタMN1～MN6と同じ構造のトランジスタを用いることができる。

次に、図9、図10に示したスイッチング機能を有するクランプ回路の制御及び第2の実施形態における強誘電体メモリの動作について説明する。なお、以下の説明では、センスアンプ活性時にクランプ回路の動作を停止する場合、データの書き込み動作時にクランプ回路の動作を停止する場合、及びセンスアンプ活性時とデータの書き込み動作時との双方でクランプ回路の動作を停止する場合について説明する。また、説明の便宜上、図9を参照して動作を説明する。

＜センスアンプ活性時にクランプ回路の動作を停止する場合＞

図11は、センスアンプ活性時にクランプ回路の動作を停止させるためのクランプ制御信号生成回路の一例を示す回路図である。

図11において、111～116は入力された信号を反転して出力するインバータである。インバータ111、112、113は縦続接続され、センスアンプ信号SAEがインバータ111に入力され、演算結果が制御信号PSAとしてインバータ113から出力される。同様に、インバータ114、115は縦続接続され、センスアンプ信号SAEがインバータ114に入力され、演算結果が制御信号NSAとしてインバータ115から出力される。インバータ116は、センスアンプ信号SAEが入力され、演算結果をクランプ制御信号CLAMPとして出力する。

すなわち、図11に示したクランプ制御信号生成回路は、センスアンプ信号SAEと同相である制御信号PSA及びクランプ制御信号CLAMPを出力し、センスアンプ信号SAEに対して逆相である制御信号NSAを出力する。

図12は、図11に示したクランプ制御信号生成回路を備えた強誘電体メモリでのデータの読み出し動作を示すタイミングチャートであり、クランプ回路の制御（クランプ制御信号線CLAMPの電位：クランプ制御信号）を除き、上記図3に示した第1の実施形態における強誘電体メモリでのデータの読み出し動作と

同じである。

図 1 2 に示すようにデータの読み出し動作において、読み出し動作を開始した後、センスアンプ信号 S A E が “H” に活性化されセンスアンプ 2 2 が活性化されるまではクランプ制御信号線 C L A M P の電位は “H” である。したがって、クランプ回路が有するトランジスタ M N 7、M N 8 はそれぞれオン状態であり、クランプ回路はビット線 B L、 $\overline{B L}$ の電位を基準電位 V S S に近づけるように作用する。

その後、センスアンプ信号 S A E が “H” に活性化されると、クランプ制御信号線 C L A M P の電位は “L” に変化する。クランプ制御信号線 C L A M P の電位が “L” になることでトランジスタ M N 7、M N 8 はオフ状態になり、クランプ回路を介したビット線 B L、 $\overline{B L}$ と基準電位 V S S との間での電流経路が遮断される（クランプ回路の動作停止）。

これにより、センスアンプ 2 2 の活性時には、クランプ回路を介して不要な電流が供給されることを防止し、センスアンプ 2 2 内の P チャネル M O S トランジスタから基準電位 V S S に電流が貫通する（電荷がリークする）ことを防止することができる。また、ビット線 B L、 $\overline{B L}$ の電位を電圧 V D D に到達させることが可能になり、強誘電体キャパシタに対して十分な電圧を印加することができる。

＜データの書き込み動作時にクランプ回路の動作を停止する場合＞

図 1 3 は、データの書き込み動作時（図示しないライトアンプの活性時）にクランプ回路の動作を停止させるためのクランプ制御信号生成回路の一例を示す回路図である。

図 1 3 において、1 3 1、1 3 2 はインバータである。インバータ 1 3 1、1 3 2 は縦続接続され、ライトイネーブル信号 W E がインバータ 1 3 1 に入力され、演算結果がクランプ制御信号 C L A M P としてインバータ 1 3 2 から出力される。つまり、図 1 3 に示したクランプ制御信号生成回路は、ライトイネーブル信号 W E と同相であるクランプ制御信号 C L A M P を出力する。

図 1 4 は、図 1 3 に示したクランプ制御信号生成回路を備えた強誘電体メモリでのデータの書き込み動作を示すタイミングチャートである。

外部からのデータの書き込み要求により、図示しないチップセレクト信号が活性化されるのに応じて、ライトイネーブル信号WEが“L”に活性化される。これにより、クランプ制御信号線CLAMPの電位は“H”から“L”に変化し、トランジスタMN7、MN8はオフ状態になり、クランプ回路を介したビット線BL、／BLと基準電位VSSとの間での電流経路が遮断される（クランプ回路の動作停止）。

続いて、プリチャージ信号線PRCの電位が“L”に不活性化され、データの書き込みが実行される。なお、データの書き込みについては、図14に示すように従来 of 強誘電体メモリと同様であるので説明は省略する。

その後、データの書き込みが終了し、ライトイネーブル信号WEが“L”から“H”に不活性化されると、クランプ制御信号線CLAMPの電位は“L”から“H”に変化する。これにより、トランジスタMN7、MN8はオン状態になり、ビット線BL、／BLと基準電位VSSとの間がクランプ回路を介して導通状態になる。

このようにして、データの書き込み動作時には、クランプ回路を介して不要な電流が供給されることを防止し、図示しないライトアンプが有するPチャネルMOSトランジスタから基準電位VSSに電流が貫通する（電荷がリークする）ことを防止することができる。

<センスアンプ活性時及びデータの書き込み動作時にクランプ回路の動作を停止する場合>

図15Aは、センスアンプ活性時及びデータの書き込み動作時にクランプ回路の動作を停止させるためのクランプ制御信号生成回路の一例を示す回路図である。

図15Aにおいて、151～156、158はインバータであり、157は否定論理積演算回路（NAND）回路である。図11に示したクランプ制御信号生成回路と同様に、インバータ151、152、153は縦続接続され、入力されるセンスアンプ信号SAEと逆相の信号を制御信号PSAとして出力し、またインバータ154、155は縦続接続され、入力されるセンスアンプ信号SAEと同相の信号を制御信号NSAとして出力する。

NAND回路157の一方の入力には、センスアンプ信号SAEが入力される

インバータ 156 の出力が入力され、他方の入力にはライトイネーブル信号 WE が入力される。また、NAND 回路 157 での演算結果である NAND 回路 157 の出力がインバータ 158 に入力され、演算結果がクランプ制御信号 CLAMP としてインバータ 158 から出力される。

したがって、図 15B に示すようにセンスアンプ活性時（センスアンプ信号 SAE が “H” のとき）には、インバータ 156 の出力が “L” になることで NAND 回路 157 の出力が “H” になる。これにより、インバータ 158 から出力されるクランプ制御信号 CLAMP は “L” になる。

また、図 15C に示すようにデータの書き込み動作時（ライトイネーブル信号 WE が “L” のとき）には、NAND 回路 157 の一方の入力が “L” であるので出力は “H” になり、インバータ 158 から出力されるクランプ制御信号 CLAMP は “L” になる。

これにより、センスアンプ 22 の活性時及びデータの書き込み動作時には、クランプ回路を介して不要な電流が供給されることを防止することができる。したがって、センスアンプ 22 の活性時にセンスアンプ 22 内の P チャネル MOS トランジスタから基準電位 VSS に電流が貫通することを防止することができるとともに、図示しないライトアンプが有する P チャネル MOS トランジスタから基準電位 VSS に電流が貫通することを防止することができる。

なお、上述した第 2 の実施形態については、2T/2C 型メモリセルにより構成されたコラム部を有する強誘電体メモリを一例として説明したが、上述した第 1 の実施形態と同様に 1T/1C 型メモリセルにより構成されたコラム部を有する強誘電体メモリにも適用可能である。

また、上記図 11、図 13 及び図 15A に示したクランプ制御信号生成回路の構成は一例であり、同様のクランプ制御信号を生成可能であれば良く、異なる論理回路を用いて構成しても良い。

以上、説明したように第 2 の実施形態によれば、上述した第 1 の実施形態により得られる効果に加え、クランプ回路の動作を制御して、例えばデータの読み出し動作でのセンスアンプ活性時やデータの書き込み動作時等には、クランプ回路の動作を停止し、ビット線 BLi、/BLi と基準電位 VSS との間での電流経路

を遮断することで、クランプ回路を介して不要な電流が流れることを防止し、消費電力の増加を抑制することができる。また、クランプ回路の動作を停止させることでノイズの発生等を抑制して信頼性を向上させることができる。

(第3の実施形態)

次に、第3の実施形態について説明する。

上述した第1及び第2の実施形態における強誘電体メモリでは、ビット線の電位を基準電位 V_{SS} に近づけるようにするためのクランプ回路は、1つの抵抗、あるいは1つのトランジスタを用いて構成していたが、クランプ回路を構成する抵抗あるいはトランジスタにはプロセスばらつき等による配置位置に依存した特性ばらつきが生じる場合がある。そこで、第3の実施形態による半導体記憶装置を適用した強誘電体メモリは、上述した第1及び第2の実施形態でのクランプ回路を複数の素子により構成することで、特性ばらつきによる影響を緩和するものである。

本発明の第3の実施形態による半導体記憶装置を適用した強誘電体メモリの全体構成は、上記図1に示した第1の実施形態における強誘電体メモリと同様であるので説明は省略する。

図16は、第3の実施形態における強誘電体メモリのコラム部の一例を示す回路図である。なお、この図16において、図2に示した回路構成要素等と同一の機能を有する回路構成要素等には同一の符号を付し、重複する説明は省略する。

図16において、 R_4 、 R_5 、 R_6 、 R_7 は抵抗であり、抵抗 R_6 は抵抗 R_4 の近傍位置（例えば、隣接する位置）に配置され、抵抗 R_7 は抵抗 R_5 の近傍位置（例えば、隣接する位置）に配置される。抵抗 R_4 の一端はビット線 BL_i に接続され、他端は抵抗 R_7 の一端に接続される。同様に、抵抗 R_5 の一端はビット線/ BL_i に接続され、他端は抵抗 R_6 の一端に接続される。また、抵抗 R_6 、 R_7 の他端は、基準電位 V_{SS} に対して接続される。ここで、抵抗 R_4 と抵抗 R_6 とによる抵抗値、及び抵抗 R_5 と抵抗 R_7 とによる抵抗値は、図2に示した抵抗 R_1 、 R_2 の抵抗値に相当する。

なお、上述した説明では、クランプ素子として抵抗を用いる場合を一例として示したが、クランプ素子にトランジスタを用いた場合であっても同様である。ま

た、上述した説明では、2つのクランプ素子を用いた場合について説明したが、クランプ素子の数は任意である。また、2T/2C型メモリセルに限らず1T/1C型メモリセルにより構成されたコラム部を有する強誘電体メモリにも同様に適用可能である。

以上、説明したように第3の実施形態によれば、近傍位置に複数のクランプ素子を配置し、図16に示すように複数のクランプ素子を交差するように接続する。これにより、上述した第1の実施形態により得られる効果に加え、位置に依存したクランプ素子の特性ばらつきが生じた場合であっても、クランプ素子の特性を平均化し特性ばらつきの影響を緩和することができ、クランプ回路を介したビット線BL_i、/BL_iと基準電位VSSとの間の抵抗値をビット線BL_i、/BL_iによらずほぼ等しくすることができる。

なお、上述した第1及び第2の実施形態では、クランプ回路を抵抗、トランジスタ、あるいは抵抗とトランジスタとにより構成したが、クランプ回路として定電流源を用いても良く、コラム部の2本のビット線から等しい量の電荷をそれぞれ引くことができ、上述した第1及び第2の実施形態と同様の効果を得ることができる。また、上述した第1～第3の実施形態では、トランジスタはすべてNチャンネルMOSトランジスタを用いていたが本発明はこれに限定されるものではない。

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

産業上の利用可能性

以上のように、本発明によれば、強誘電体キャパシタを有するメモリセルが複数のワード線及びそれに隣接するプレート線の組とビット線との交差部に設けられた半導体記憶装置にて、上記ビット線と基準電位が供給されるノードとの間にクランプ回路をそれぞれ接続する。これにより、強誘電体キャパシタからビット線に供給された電荷がクランプ回路により引き抜かれ、ビット線の容量が擬似的

に大きくなり、強誘電体キャパシタからビット線に効率良く電荷を供給することができる。したがって、データの読み出し動作にて、大きなビット線間の電位差が得ることができ、従来と比較してデータマージンが大きくなり、データの誤センシング等の発生を抑制するとともに、デバイスの寿命を長くすることができる。

請 求 の 範 囲

1. 複数のワード線と、

上記ワード線にそれぞれ隣接して設けたプレート線と、

上記ワード線及びプレート線に対して直交する方向に設けた複数のビット線と、

上記ワード線及びプレート線の組と上記ビット線との交差部に設けられ、強誘電体キャパシタを有するメモリセルと、

上記ビット線と基準電位が供給されるノードとの間にそれぞれ接続されたクランプ回路とを備えたことを特徴とする半導体記憶装置。

2. 上記メモリセルは、1つのトランジスタと1つの強誘電体キャパシタとをそれぞれ有することを特徴とする請求項1に記載の半導体記憶装置。

3. 上記メモリセルは、2つのトランジスタと2つの強誘電体キャパシタとをそれぞれ有し、上記ワード線及びプレート線の組と1対の上記ビット線との交差部に設けられることを特徴とする請求項1に記載の半導体記憶装置。

4. 上記クランプ回路は、一端が上記ビット線に接続され、他端が上記基準電位が供給されるノードに接続された抵抗であることを特徴とする請求項1に記載の半導体記憶装置。

5. 上記クランプ回路は、上記ビット線と上記基準電位が供給されるノードとの間を電氣的に接続するか否かを制御するスイッチング機能を有することを特徴とする請求項1に記載の半導体記憶装置。

6. 上記クランプ回路は、ドレインが上記ビット線に接続され、ソースが上記基準電位が供給されるノードに接続され、ゲートが制御信号線に接続されたオン抵抗が上記メモリセルを構成するトランジスタよりも大きいトランジスタであることを特徴とする請求項5に記載の半導体記憶装置。

7. 上記クランプ回路は、ドレインが上記ビット線に接続され、ゲートが制御信号線に接続されたトランジスタと、当該トランジスタのソースに一端が接続され、他端が上記基準電位が供給されるノードに接続された抵抗とを有することを特徴とする請求項5に記載の半導体記憶装置。

8. 上記クランプ回路は、上記ビット線間の電位差を増幅するためのセンスアンプが活性化しているときには、上記ビット線と上記基準電位が供給されるノードとの間を絶縁することを特徴とする請求項5に記載の半導体記憶装置。

9. 上記クランプ回路は、データの書込み動作時には、上記ビット線と上記基準電位が供給されるノードとの間を絶縁することを特徴とする請求項5に記載の半導体記憶装置。

10. 上記クランプ回路は、上記ビット線間の電位差を増幅するためのセンスアンプが活性化しているとき及びデータの書込み動作時には、上記ビット線と上記基準電位が供給されるノードとの間を絶縁することを特徴とする請求項5に記載の半導体記憶装置。

11. 上記基準電位はグラウンドレベルであることを特徴とする請求項1に記載の半導体記憶装置。

12. 上記クランプ回路は、複数のクランプ素子をそれぞれ有し、1対の上記ビット線に対応するクランプ回路間で、上記複数のクランプ素子を交差するように接続することを特徴とする請求項1に記載の半導体記憶装置。

13. 上記クランプ回路は、2つのクランプ素子をそれぞれ有し、1対のビット線にそれぞれ接続された第1のクランプ回路及び第2のクランプ回路にて、上記第1のクランプ回路の第1のクランプ素子と上記第2のクランプ回路の第2のク

ランプ素子とを接続し、第２のクランプ回路の第１のクランプ素子と上記第１のクランプ回路の第２のクランプ素子とを接続することを特徴とする請求項１に記載の半導体記憶装置。

１４．上記クランプ回路は、定電流源回路であることを特徴とする請求項１に記載の半導体記憶装置。

図 1

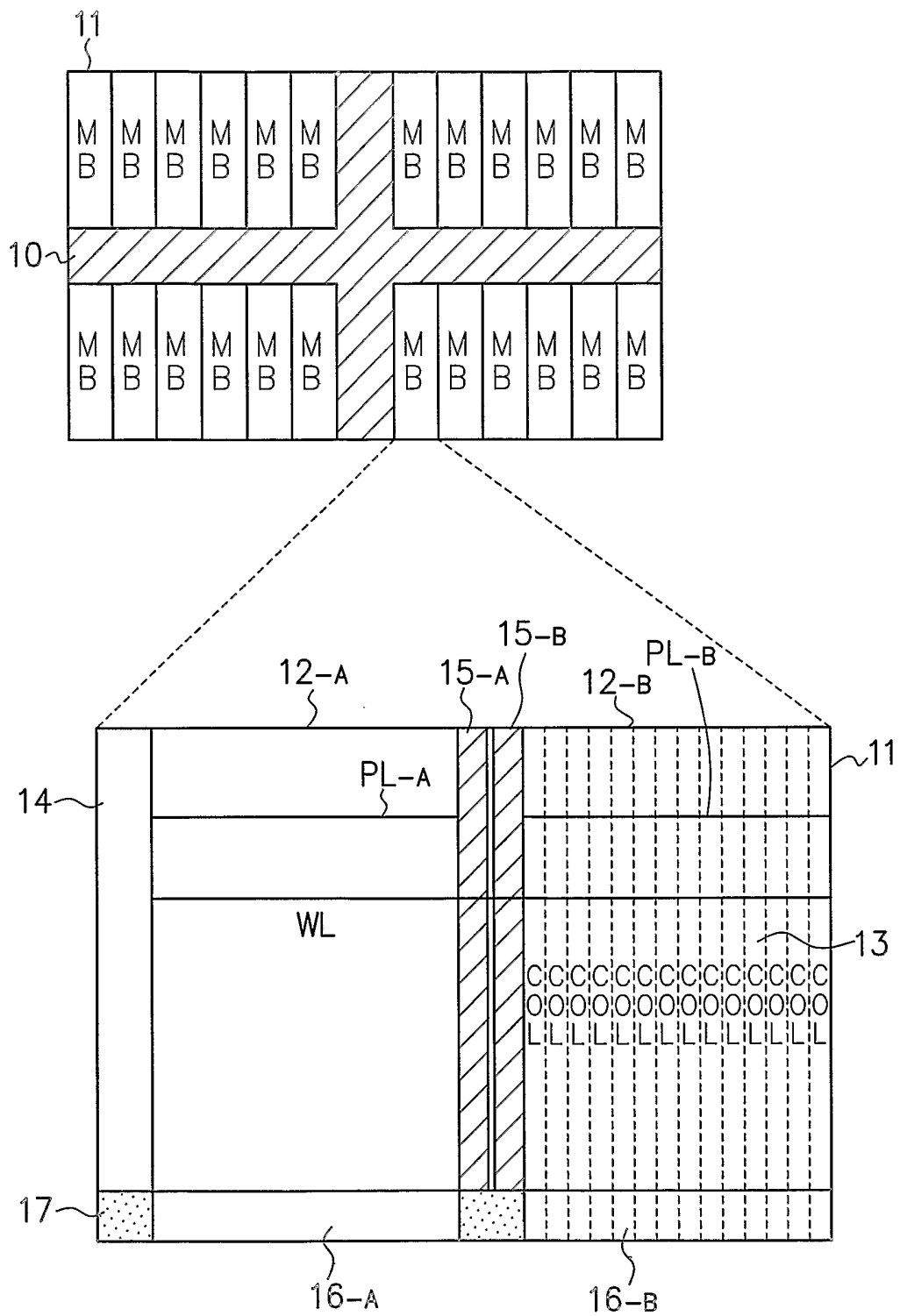


図 2

13

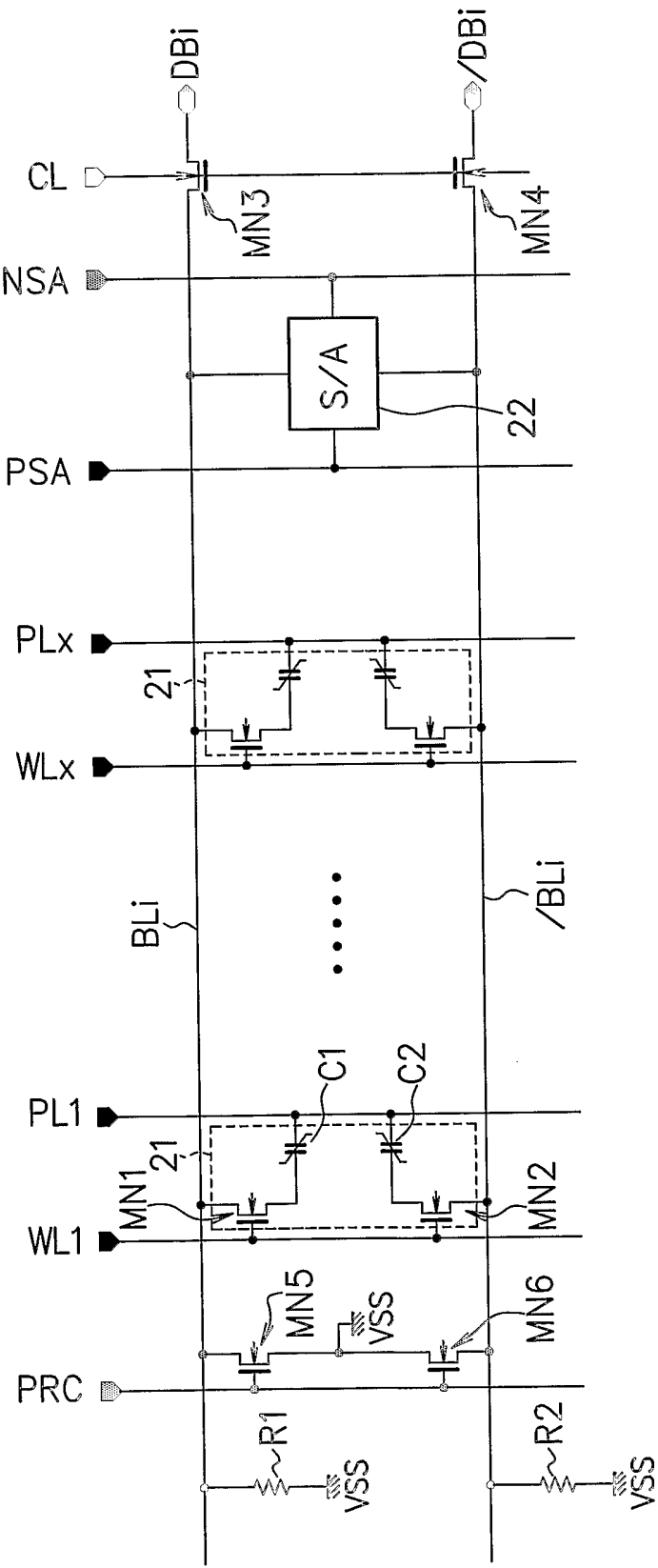


図 3

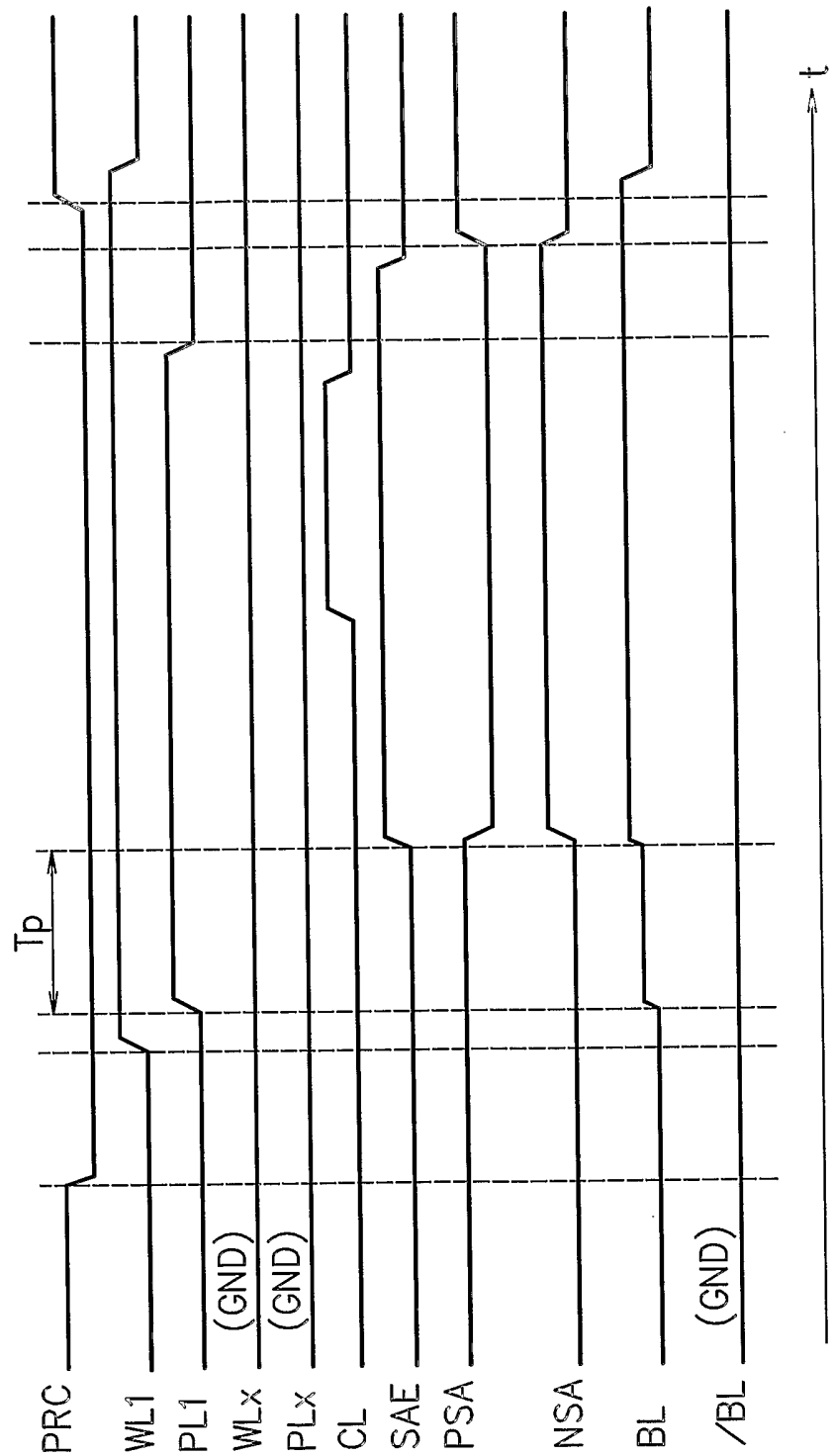


図 4

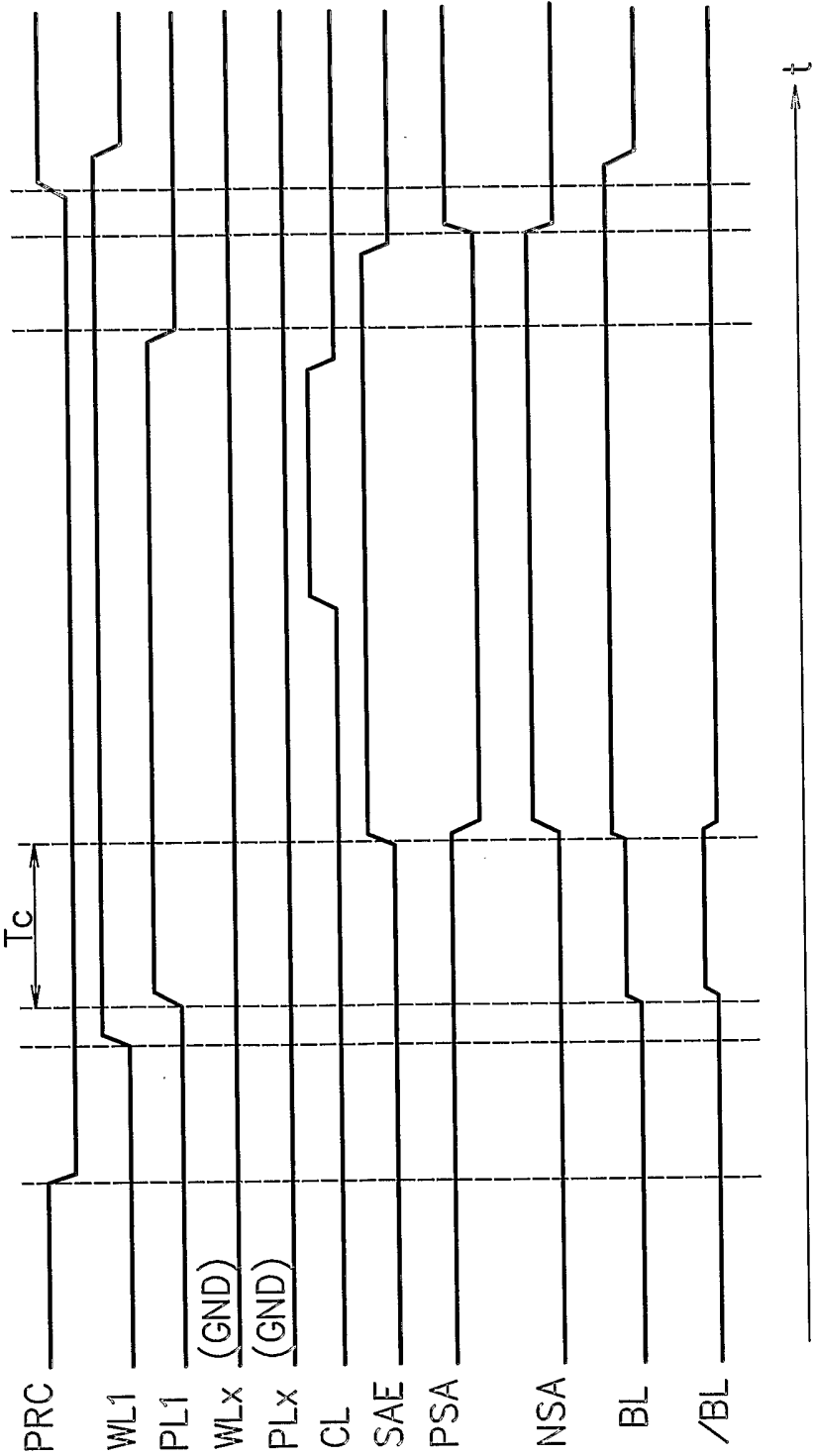


図 6

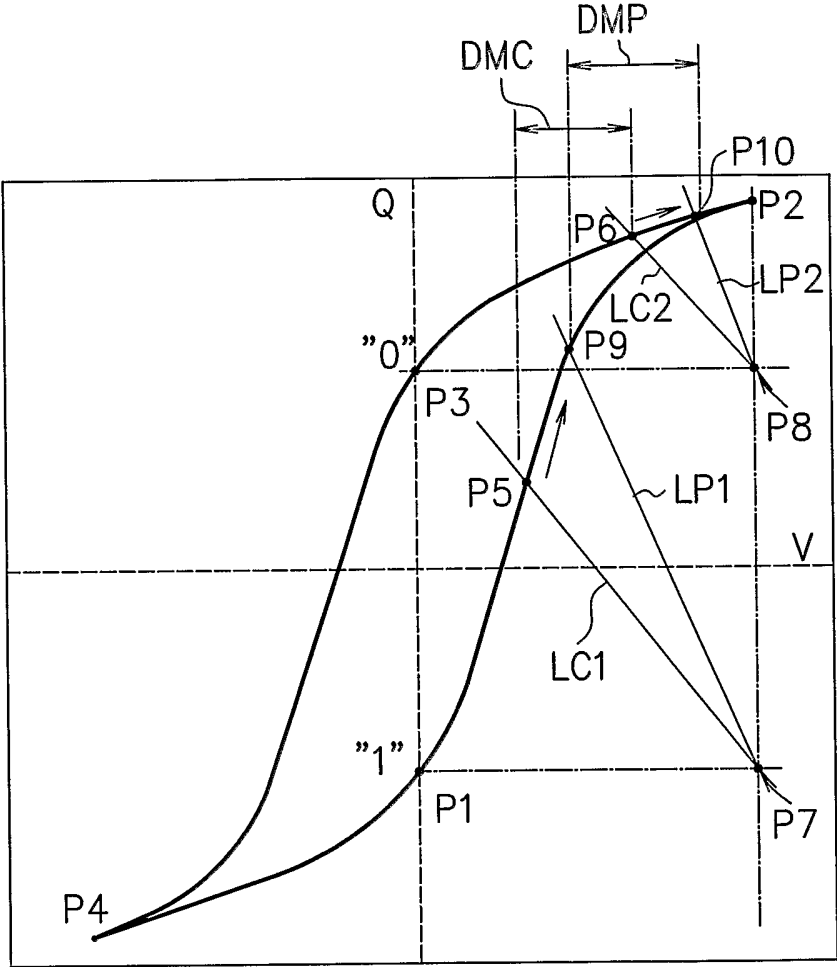
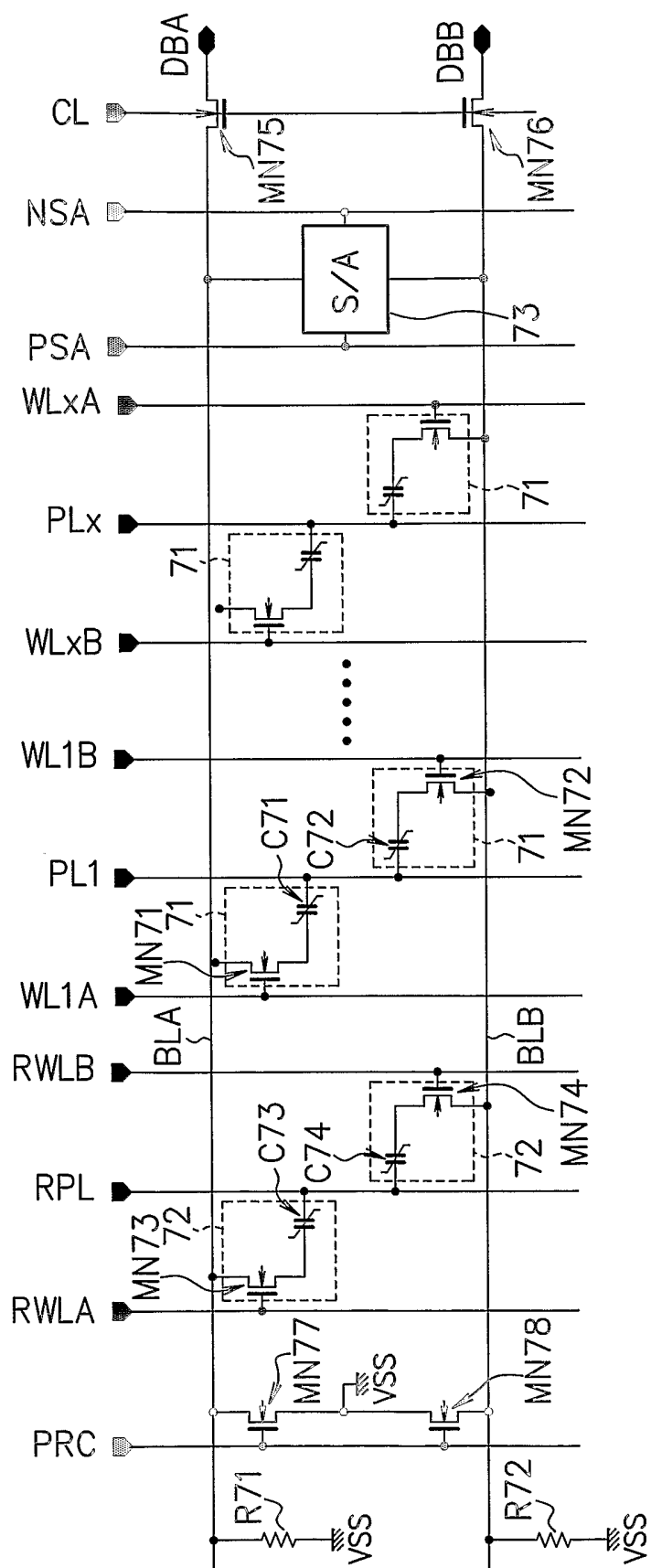


图 7





13'

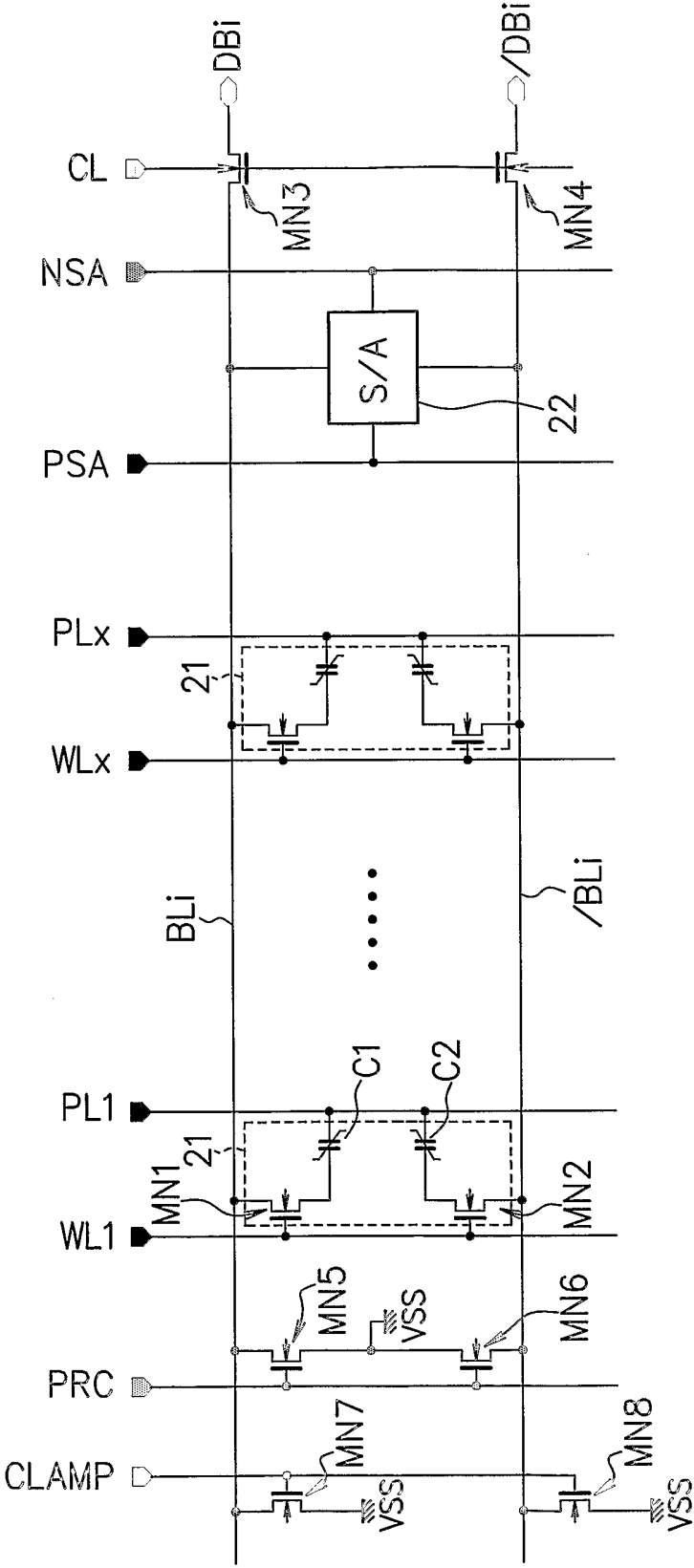


図 10

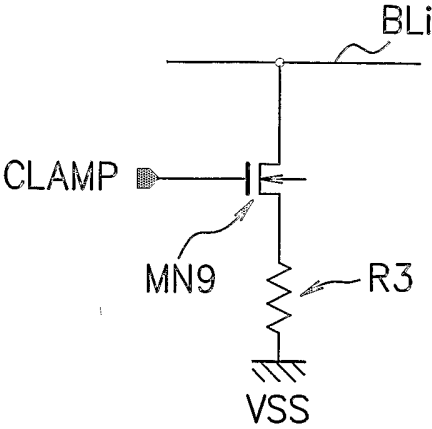


図 11

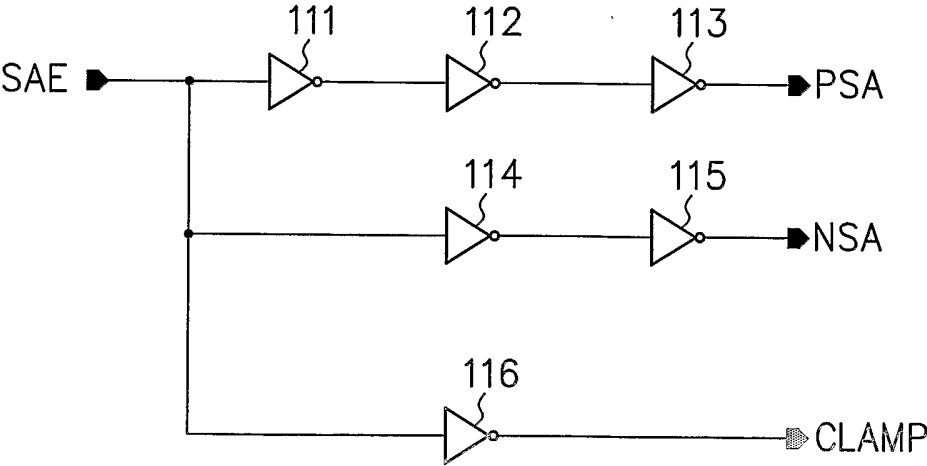


図 12

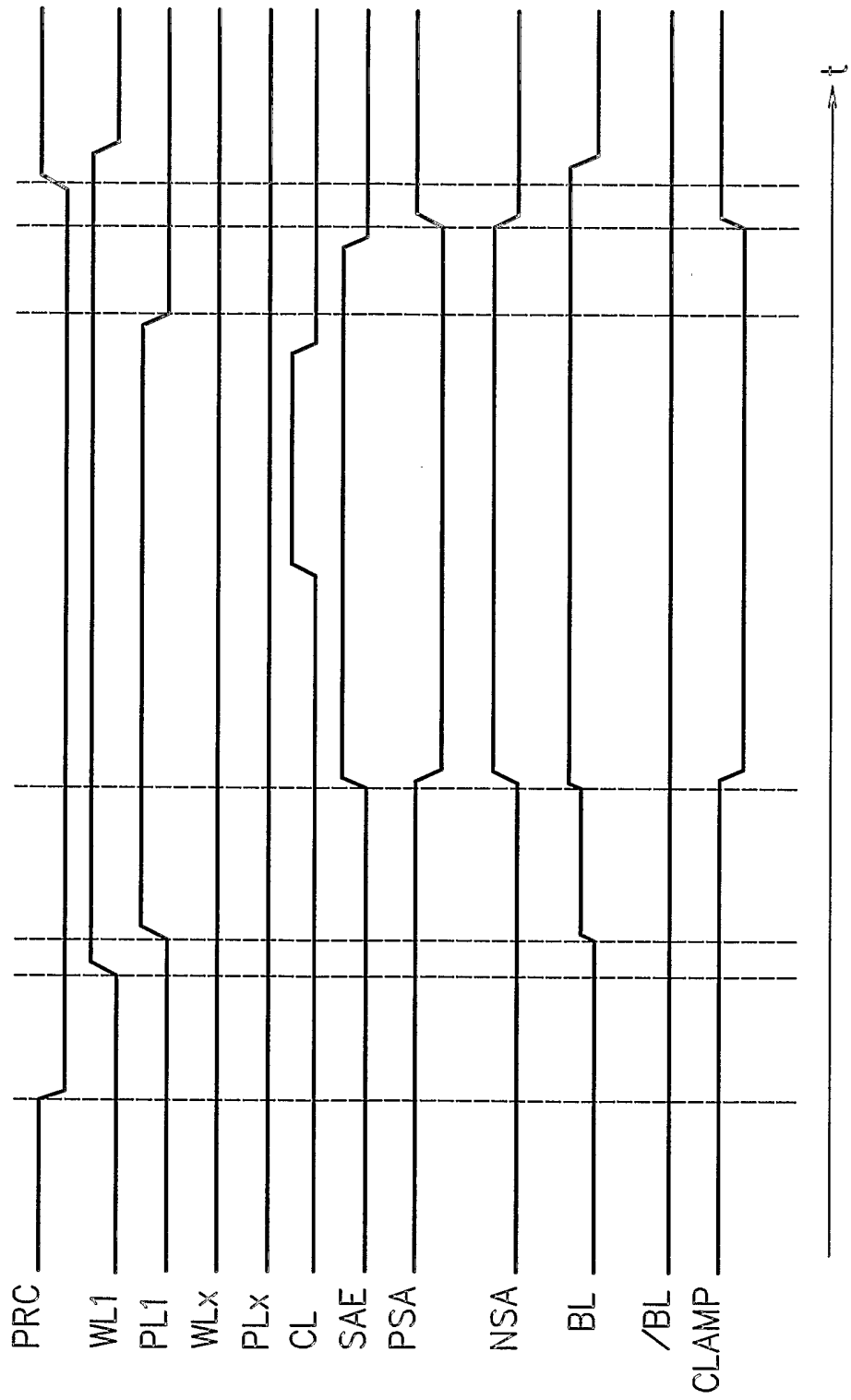


図 13

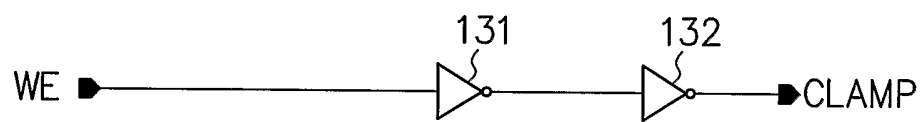
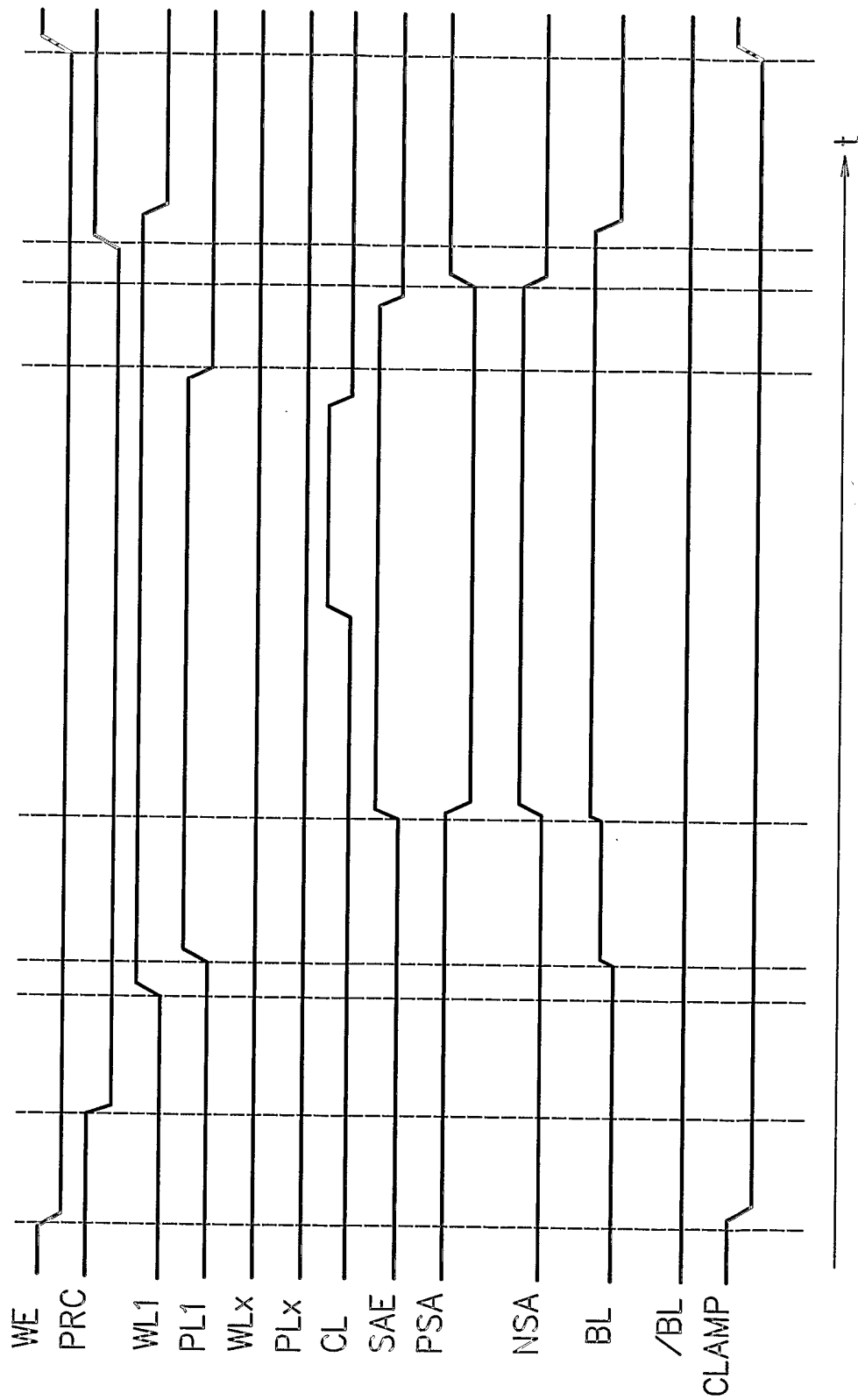
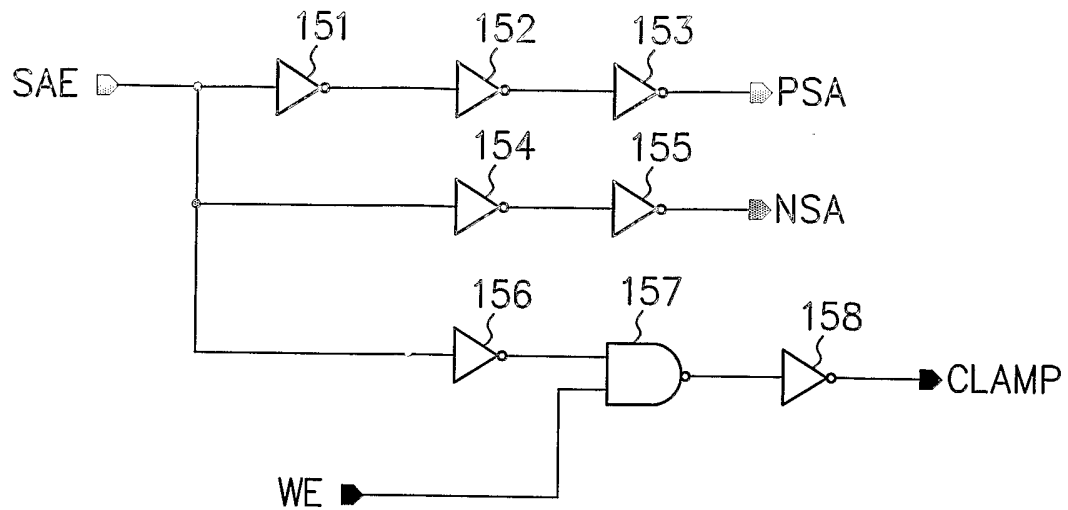


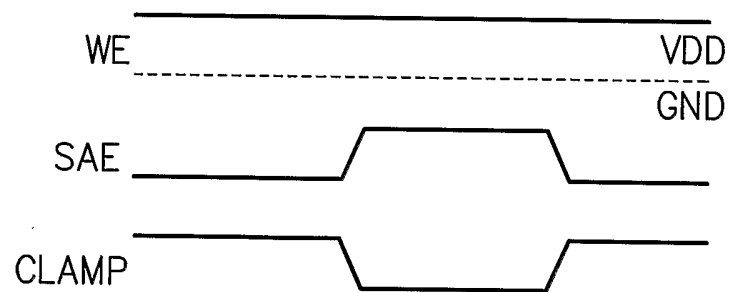
図 14



15A



15B



15C

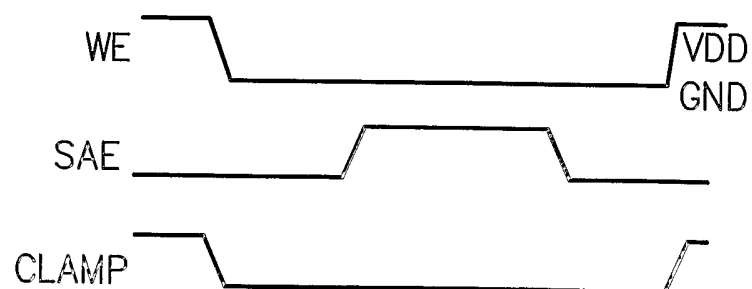


図 16

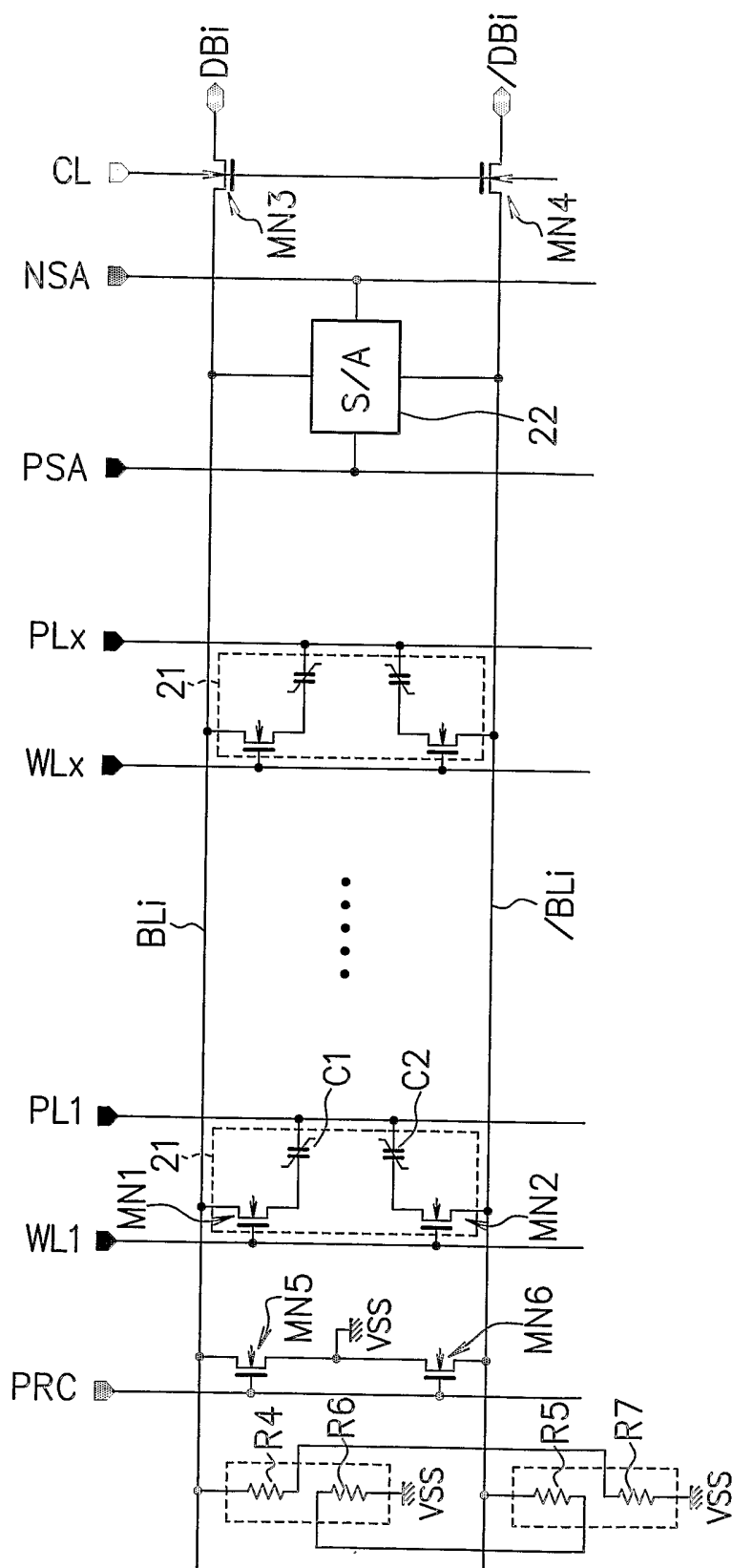


図 17

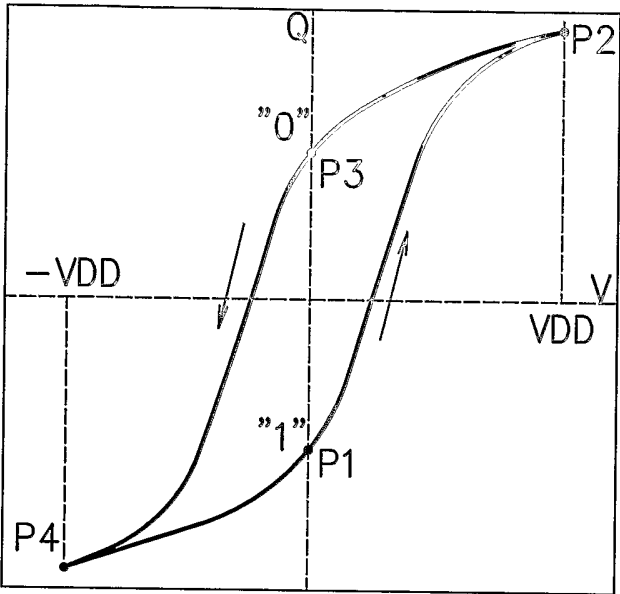
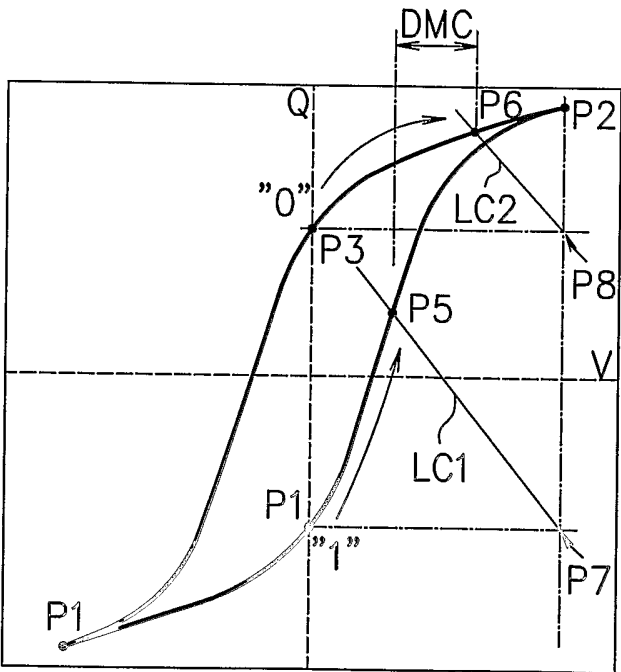


図 18



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02210

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C11/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-319472 A (Toshiba Corp.), 16 November, 2001 (16.11.01), Full text; all drawings & US 2001/40814 A1	1-3, 5, 6, 8-11 4, 7, 12-14
A	JP 6-342597 A (Matsushita Electric Industrial Co., Ltd.), 13 December, 1994 (13.12.94), Full text; all drawings & TW 405120 B & EP 627741 A2 & US 5430671 A & KR 220840 B & EP 1162625 A	1-14
A	JP 2002-93155 A (Rohm Co., Ltd.), 29 March, 2002 (29.03.02), Full text; all drawings & US 2002/44490 A1	1-14

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search
08 May, 2003 (08.05.03)

Date of mailing of the international search report
20 May, 2003 (20.05.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/22

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2001-319472 A(株式会社東芝) 2001. 11. 16, 全文, 全図 & US 2001/40814 A1	1-3, 5, 6, 8-11 4, 7, 12-14
A	JP 6-342597 A(松下電器産業株式会社) 1994. 12. 13, 全文, 全図 & TW 405120 B & EP 627741 A2 & US 5430671 A & KR 220840 B & EP 1162625 A	1-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
08.05.03

国際調査報告の発送日
20.05.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
須原 宏光 印
5N 9057
電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-93155 A(ローム株式会社) 2002. 03. 29, 全文, 全図 & US 2002/44490 A1	1-14