(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월09일
(11) 등록번호 10-0862183
(24) 등록일자 2008년10월01일

(51) Int. Cl.
H01L 27/105 (2006.01)
(21) 출원번호 10-2007-0065460
(22) 출원일자 2007년06월29일
심사청구일자 2007년06월29일
(56) 선행기술조사문헌
JP2003091986 A*
JP2001256773 A*
JP2001067862 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
이상훈
서울 노원구 월계3동 그랑빌아파트 105동 705호
신동윤
서울 노원구 하계동 청솔아파트 702동 911호
(74) 대리인
김인한, 김희곤

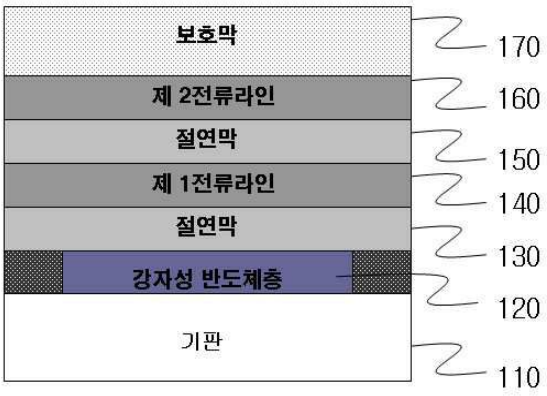
전체 청구항 수 : 총 8 항 심사관 : 이우식

(54) 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기기억 소자

(57) 요 약

본 발명은 강자성의 특성을 갖는 반도체 물질의 다중도메인 상태를 이용한 기억 소자에 관한 것으로, 더욱 상세하게는 자기 정보가 기록되는 강자성 반도체 층(Magnetic Semiconductors, MS) 자체를 센서 층으로 동시에 이용함으로써 자기 기록 소자 구조를 간단히 하여 공정을 단축하고 생산 단가를 절감할 수 있을 뿐만 아니라, 다중도메인 상태를 이용한 거대 평면 홀 효과(Planar Hall Effect) 또는 자기 저항(Magnetoresistance)을 측정하여 다중 상태의 정보 기록이 가능한 기억 소자에 관한 것이다.

대 표 도 - 도2



특허청구의 범위

청구항 1

기판과;

상기 기판 상에 형성되고, 쓰기(write) 동작시 제 1 전류라인과 제 2 전류라인이 교차하는 셀 안에 펄스 형태로 전류를 인가하여 유도 자기장을 형성하고 자기장의 방향(Ø)과 세기(M)를 조절하여 자기 이방성을 갖는 강자성 재료를 단일 도메인 상태 또는 다중 도메인 상태로 만들고,

상기 단일 도메인 상태 또는 다중 도메인 상태에 따라 달라지는 다중 상태에 대한 평면 홀 저항 값 또는 자기 저항 값을 기록하여 다중의 정보를 저장하는 강자성 반도체층과;

상기 강자성 반도체층 상에 형성된 절연막과;

상기 절연막 상에 형성된 제 1전류라인과;

상기 제 1전류라인 상에 형성된 절연막 및;

상기 절연막 상에 형성된 제 2전류라인을 포함하는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

청구항 2

기판과;

상기 기판 상에 형성된 제 1전류라인과;

상기 제 1전류라인 상에 형성된 절연막과;

상기 절연막 상에 형성되고, 단일 또는 다중 도메인 상태를 이용하여 다중의 정보를 평면홀 효과 또는 자기 저항을 통해 저장하고 센싱하는 강자성 반도체층과;

상기 강자성 반도체층 상에 형성된 절연막과;

상기 절연막 상에 형성된 제 2전류라인을 포함하는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

청구항 3

제 2항에 있어서,

상기 강자성 반도체층은

쓰기(write) 동작시 상기 제 1 전류라인과 제 2 전류라인이 교차하는 셀 안에 펄스 형태로 전류를 인가하여 유도 자기장을 형성하고 자기장의 방향(Ø)과 세기(M)를 조절하여 자기 이방성을 갖는 강자성 재료를 단일 도메인 상태 또는 다중 도메인 상태로 만들고,

상기 단일 도메인 상태 또는 다중 도메인 상태에 따라 달라지는 다중 상태에 대한 평면 홀 저항 값 또는 자기 저항 값을 기록하여 다중의 정보를 저장하는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

청구항 4

제 3항에 있어서,

상기 다중 도메인 상태는

자기장의 방향과 세기에 따라 다중 도메인의 깨어진 정도를 조절할 수 있으며, 평면 홀 저항값 또는 자기 저항 값을 이용하여 도메인이 어느 정도 깨어져 있는지 확인할 수 있는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 강자성 반도체층은

읽기(Read) 동작시 전류라인에 센싱 전류를 흘려보내서 저장된 평면 홀 저항 또는 자기 저항 값을 읽는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

청구항 6

제 5항에 있어서,

상기 평면 홀 저항 값은 하기의 수학식

$$R_{xy} = \frac{k}{t} M^2 \sin 2\phi$$

에 의해 측정되는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

여기서, k는 전류의 방향이 자화방향과 수직일 때와 평행일 때 비저항 값의 차이 이며, t는 시료의 두께 이다.

청구항 7

제 5항에 있어서,

상기 자기 저항 값은 하기의 수학식

$$R_{xx} = R_{\perp} + (R_{\parallel} - R_{\perp})\cos^2\phi$$

에 의해 측정되는 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

여기서, $R_{\perp}$ 은 외부 자기장이 전류방향과 수직일 때, 강자성 재료의 저항 값이고, $R_{\parallel}$은 외부 자기장이 전류방향과 평행일 때의 저항 값이고, Ø는 자화방향이다.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 강자성 반도체층은

GaMnAs로 구성된 것을 특징으로 하는 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 강자성의 특성을 갖는 반도체 물질의 다중도메인 상태를 이용한 기억 소자에 관한 것으로, 더욱 상세하게는 자기 정보가 기록되는 강자성 반도체 층(Magnetic Semiconductors, MS) 자체를 센서 층으로 동시에 이용함으로써 자기 기록 소자 구조를 간단히 하여 공정을 단축하고 생산 단가를 절감할 수 있을 뿐만 아니라, 다중 도메인 상태를 이용한 거대 평면 홀 효과(Planar Hall Effect) 또는 자기 저항(Magnetoresistance)을 측정하여 다중 상태의 정보 기록이 가능한 기억 소자에 관한 것이다.

<13> 일반적으로 자기 기억 소자는 현재 사용되고 있는 디램(Dinamic-RAM), 에스램(Static-RAM), 플래시 메모리(Flesh memory) 등을 대체할 기억 소자로 인식되고 있으며, 컴퓨터 뿐만 아니라 스마트카드, 이동 단말기, 휴대폰 등 모바일 기기들에 널리 이용될 전망이다.

<14> 현재 가장 널리 사용되고 있는 디램은 전원이 꺼졌을 경우, 저장된 정보를 모두 잃는 휘발성이 강하며, 이로 인

하여 기기의 초기 동작시 작동까지 오랜 시간이 걸리는 단점이 있다. 상기와 같은 단점을 해결하기 위한 방법으로 제시되고 있는 Fe 램은 현재 상용화 단계까지 와 있으나, 아직도 초기 동작시 고전압을 필요로하고 구조적으로 복잡한 여러 단점을 안고 있는 실정이다.

<15> 자기 기억 소자(Magnetic-RAM, MRAM)는 상기와 같은 단점들을 해결하여 저전압에서 빠른 동작 속도가 가능하므로 연구가 활발히 진행 중이다.

<16> 도 1은 종래의 MRAM 소자를 개략적으로 도시한 구조도이다.

<17> 도 1을 참조하면, 종래의 MRAM 소자는 비 자성층을 사이에 둔 두 자성층의 스핀 방향이 같은 경우 보다 다른 경우의 저항이 크게 달라지는 거대 자기저항(GMR) 현상을 이용한 것으로 스핀밸브 구조를 기본으로 함으로써 다중 자성층으로 구성된 복합된 구조를 갖는다.

<18> 종래의 MRAM 소자는 스페이스 층을 기준으로 하층에 형성되어 센싱 역할을 수행하는 하드 자성층과 상승에 형성되어 저장 역할을 수행하는 소프트 자성층을 포함하여 구성된다.

<19> 여기서, 상기 소프트 자성층의 자화방향을 워드라인에 전류를 흘림으로서 기록하고 두 자성층의 자화방향에 따른 저항 변화를 감지함으로써 기록된 자화방향을 읽게 된다.

<20> 그러나, 상기와 같은 종래의 MRAM 소자는 스핀밸브를 구성하는 여러 자성층과 쓰고(word line), 읽는(read line) 역할을 수행하는 층이 더해져서 다중층의 복잡한 구조를 가짐으로써 공정상의 어려움과 생산성이 떨어지는 문제가 있었다.

<21> 또한, 하나의 셀안에 저장할 수 있는 정보는 "0"과 "1"을 나타내는 1비트 데이터로 복잡한 구조에 비하여 저장된 정보량이 적은 문제가 있었다.

발명이 이루고자 하는 기술적 과제

<22> 상기와 같은 문제점을 해결하기 위해 안출된 것으로써, 본 발명의 목적은 안정한 다중 도메인 상태를 가지는 자성반도체(MS)를 이용하여 소자의 두께를 줄일 수 있으며 제조 공정을 단축시켜 공정 효율성을 높일 수 있는 자기 기억 소자를 제공하는 데 있다.

<23> 본 발명의 또 다른 목적은 자성반도체(MS)의 안정한 다중 도메인 상태를 이용하여 하나의 셀안에 4상태 이상의 정보를 저장할 수 있으므로 기억소자의 저장 용량을 증가시키고 처리 속도를 증가시킬 수 있는 자기 기억 소자를 제공하는 데 있다.

<24>

발명의 구성 및 작용

<25> 상기와 같은 목적을 달성하기 위해, 본 발명의 제 1실시예에 따른 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자는 기판과 상기 기판 상에 형성되고, 다중 도메인 상태를 이용하여 다중의 상태를 평면홀 효과 또는 자기 저항 값을 통해 저장하고 센싱하는 강자성 반도체층과 상기 강자성 반도체층 상에 형성된 절연막과 상기 절연막 상에 형성된 제 1전류라인과 상기 제 1전류라인 상에 형성된 절연막 및 상기 절연막 상에 형성된 제 2전류라인을 포함하는 것을 특징으로 한다.

<26> 그리고, 본 발명의 제 2실시예에 따른 강자성 물질의 도메인 구조 및 다중 상태를 이용한 자기 기억 소자는 기판과 상기 기판 상에 형성된 제 1전류라인과 상기 제 1전류라인 상에 형성된 절연막과 상기 절연막 상에 형성되고, 단일 또는 다중 도메인 상태를 이용하여 다중의 정보를 평면홀 효과 또는 자기 저항을 통해 저장하고 센싱하는 강자성 반도체층과 상기 강자성 반도체층 상에 형성된 절연막과 상기 절연막 상에 형성된 제 2전류라인을 포함하는 것을 특징으로 한다.

<27> 여기서, 상기 강자성 반도체층은 쓰기(write) 동작시 상기 제 1 전류라인과 제 2 전류라인이 교차하는 셀 안에 펄스 형태로 전류를 인가하여 유도 자기장을 형성하고 자기장의 방향(Ø)과 세기(M)를 조절하여 자기 이방성을 갖는 강자성 재료를 단일 도메인 상태 또는 다중 도메인 상태로 만들고, 상기 단일 도메인 상태 또는 다중 도메인 상태에 따라 달라지는 다중 상태에 대한 평면 홀 저항 값 또는 자기 저항 값을 기록하여 다중의 정보를 저장하는 것을 특징으로 한다.

<28> 그리고, 상기 다중 도메인 상태는 자기장의 방향과 세기에 따라 다중 도메인의 깨어진 정도를 조절할 수

있으며, 평면 홀 저항값 또는 자기 저항 값을 이용하여 도메인이 어느 정도 깨어져 있는지 확인할 수 있는 것을 특징으로 한다.

<29> 또한, 상기 강자성 반도체층은 읽기(Read) 동작시 전류라인에 센싱 전류를 흘려보내서 저장된 평면 홀 저항 또는 자기 저항 값을 읽는 것을 특징으로 한다.

<30> 그리고, 상기 평면 홀 저항 값은 하기의 수학식

<31> $$R_{xy} = \frac{k}{t} M^2 \sin 2\phi$$

에 의해 측정되는 것을 특징으로 한다.

<32> 여기서, k는 전류의 방향이 자화방향과 수직일 때와 평행일 때 비저항 값의 차이 이며, t는 시료의 두께 이다.

<33> 또한, 상기 자기 저항 값은 하기의 수학식

<34> $$R_{xx} = R_{\perp} + (R_{\parallel} - R_{\perp})\cos^2\phi$$

에 의해 측정되는 것을 특징으로 한다.

<35> 여기서, $R_{\perp}$ 은 외부 자기장이 전류방향과 수직일 때, 강자성 재료의 저항 값이고, $R_{\parallel}$은 외부 자기장이 전류방향과 평행일 때의 저항 값이고, Ø는 자화방향이다.

<36> 그리고, 상기 강자성 반도체층은 GaMnAs로 구성된 것을 특징으로 한다.

<37> 이하, 본 발명의 구체적인 구성 및 작용에 대하여 도면 및 실시예를 참조하여 상세하게 설명하기로 한다.

<38> 도 2는 본 발명의 제 1실시예에 따른 자기 기억 소자를 개략적으로 도시한 단면도이고, 도 3은 본 발명의 제 2 실시예에 따른 자기 기억 소자를 개략적으로 도시한 단면도이다.

<39> 도 2을 참조하면, 본 발명의 제 1 실시예에 따른 자기 기억 소자는 기판(11-0)과 상기 기판(110) 상에 형성된 강자성 반도체층(MS, 120)과 상기 강자성 반도체층(120) 상에 형성된 절연막(130)과 상기 절연막(130) 상에 형성된 제 1전류라인(140)과 상기 제 1전류라인(140) 상에 형성된 절연막(150)과 상기 절연막(150) 상에 형성된 제 2전류라인(160)과 상기 제 2전류라인(160) 상에 형성된 보호막(170)을 포함하여 구성될 수 있다.

<40> 도 3을 참조하면, 본 발명의 제 2 실시예에 따른 자기 기억 소자는 기판(210)과 상기 기판(210) 상에 형성된 제 1전류라인(220)과 상기 제 1전류라인(220) 상에 형성된 절연막(230)과 상기 절연막(230) 상에 형성된 강자성 반도체층(MS, 240)과 상기 강자성 반도체층(240) 상에 형성된 절연막(250)과 상기 절연막(250) 상에 형성된 제 2전류라인(260)과 상기 제 2전류라인(260) 상에 형성된 보호막(270)을 포함하여 구성될 수 있다.

<41> 여기서, 상기 강자성 반도체층(120, 240)은 단일 또는 다중 도메인 상태를 이용하여 다중의 정보를 평면홀 효과 또는 자기 저항을 통해 저장하고 센싱하는 역할을 담당한다.

<42> 상기 강자성 반도체층(120, 240)은 자기 이방성 특성이 강한 자성물질인 Ⅲ-Ⅴ 자성 반도체로 구성될 수 있으며, 바람직하게는 갈륨망간아세네이드(GaMnAs)로 구성될 수 있다.

<43> 이하, 자기 기억 소자의 구조는 당업자에게 자명하므로 일반적인 자기 기억 소자 구성에 대한 설명은 생략하고 본 발명의 핵심에 해당하는 강자성 반도체층의 구성 및 작용에 대해 중점적으로 설명하기로 한다.

<44> 본 발명은 다중층의 복잡한 MRAM 구조를 개선하는 방안으로 스핀밸브 구조의 GMR 효과를 대신하여, 다중 도메인 구조에서 나타나는 평면홀효과(PHE) 또는 자기 저항을 이용한다.

<45> 보다 구체적으로, 단일 도메인 상태는 강자성 재료의 자화가 모두 같은 방향을 향하고 있는 상태를 나타내며, 대부분의 강자성 재료는 이러한 상태를 가질 수 있다.

<46> 다중 도메인 상태는 도메인 경계(Domain wall)를 가지는 강자성 재료의 상태를 나타내며, 이 경우 자화 방향은 각 도메인 마다 다르게 나타난다.

<47> 특히, 강자성 반도체인 경우에는 큰 자기 이방성(magnetic anisotreopy)을 갖는 물질로서 평면에서 4방향의 자화 방향을 가질 수 있다.

<48> 도 4는 강자성 반도체가 자기에너지가 최소가 되는 각도에서 네개의 자화 방향을 나타내는 것을 도시한 것이고, 도 5는 단일 도메인 상태에서 외부 자기장 스캔시 자화방향에 따라 평면홀 저항 값이 변하는 이력 곡선을 개략

적으로 도시한 것이다. 여기서, 도 5의 화살표 번호(1,2,3,4)는 자기장 스캔 방향을 나타내며, 굵은 화살표는 저항 상태에 대응되는 자화 방향을 나타낸다.

<49> 도 4 및 도 5를 참조하면, 높은 저항의 두 자화 상태(즉, [010]↗, $[0\bar{1}0]$↙)와 저항값이 작은 두 자화 상태(즉, $[\bar{1}00]$↖, [100]↘)에 정보를 저장할 수 있어서 4가지 정보를 저장할 수 있다.

<50> 이는, 종래의 자성체 삼중층 구조로 이루어진 스핀밸브 구조에서 얻을 수 있는 4개의 조합 {예를 들어, 높은 저항 상태 $\rightleftarrows (10)$ 과 $\leftrightarrows (01)$, 낮은 저항 상태 $\Leftarrow (00)$, $\Rightarrow (11)$ }에 대응되는 상태를 단일의 강자성 반도체 층으로 구현할 수 있는 효과가 발생한다.

<51> 그러나, 상기 4가지 상태 중 두 자화 상태(즉, [010]↗, $[0\bar{1}0]$↙)의 저항값과 두 자화 상태(즉, $[\bar{1}00]$↖, [100]↘)의 저항 값이 같아 저장된 정보를 읽는 데 복잡한 과정을 거쳐야 하는 문제가 발생한다.

<52> 본 발명은 상기와 같은 문제점을 해결하기 위해 다중 도메인 구조를 이용한 4가지 상태를 기록하게 된다.

<53> 다중 도메인 상태는 단일 도메인 상태에서 90도 회전한 다른 도메인 상태로 회전할 때 서로 다른 자화 방향을 갖는 단일 도메인 상태 중간 부분에서 외부 자기장의 인가가 없어지면 형성되며, 상기 도 5에서 2번 자화방향 스위칭의 경우 중간 평면홀 저항 값이 다중 도메인 상태에 해당한다.

<54> 다중 도메인 상태의 각 도메인은 4가지 자화방향 중 자화가 쉬운(magnetic easy axes) 방향으로 자화되며, 다중 도메인 상태의 전체 자화값은 이들 도메인의 벡터합으로 나타낼 수 있다.

<55> 예를 들어, 45도와 135도를 갖는 도메인의 자기 이방성을 갖는 강자성체의 경우 각 면적 비를 p 대 1-p로 정의하면, 이들의 벡터합으로 나타낸 전체 자화량 M은

<56> $$M = \sqrt{p^2 + (1-p)^2}\,|M_{total}|$$ 과 같고,

<57> 전체 자화 방향(Ø)은

<58> $$\phi = \tan^{-1}\left(\frac{1-p}{p}\right) + \frac{\pi}{4}$$ 과 같다.

<59> 도 6은 본 발명의 바람직한 실시예에 따른 다중 도메인 상태에 대한 자기 이력 곡선을 도시한 것이다.

<60> 다중 도메인 상태가 발생하였을 경우 평면 홀 저항 값 또는 자기 저항 값을 이용하여 도메인이 어느 정도 깨어져 있는지 알 수 있다.

<61> 도 6을 참조하면, 단일과 다중 도메인 상태 사이의 자화 전환이 일어나는 평면홀 효과의 이력 곡선을 통해 4개의 저항값(0,1,2,3 상태)이 각각 다른 상태에 있음을 알 수 있다.

<62> 여기서, 논리상태 "0", "1", "2", "3"은 자성체 스핀 밸브 구조의 $\rightleftarrows (10)$ 과 $\leftrightarrows (01)$그리고 $\Leftarrow (00)$ 과 $\Rightarrow (11)$ 논리 상태에 대응되는 값이다.

<63> 서로 다른 평면홀 저항 값 중 "0","3" 상태는 단일 도메인 상태를 나타내며, "1","2" 상태는 다중 도메인 상태를 나타낸다.

<64> 따라서, 외부 자기장의 방향(Ø)과 세기(M)를 조절함에 따라서 자기 이방성을 갖는 강자성 재료를 단일 도메인 상태 또는 다중 도메인 상태로 만들 수 있으며 상기 자화 전환에 따른 평면홀 저항 값 을 저장하여 4가지 상태의 다른 저항값을 저장할 수 있게 된다.

<65> 여기서, 상기 평면홀 저항 값은 하기의 식으로부터 계산될 수 있다.

<66> $$R_{xy} = \frac{k}{t} M^2 \sin 2\phi$$ 여기서, k는 전류의 방향이 자화방향과 수직일 때와 평행일 때 비저항 값의 차이 이며, t는 시료의 두께 이다.

<67> 결국, 강자성 반도체의 단일과 다중 도메인 상태를 이용하면 4개의 저항값이 각기 다른 상태를 구현할 수 있으며 저항값으로서 저장된 정보를 바로 읽을 수 있으므로 정보를 읽는 과정이 자성체 스핀 밸브 구조보다 훨씬 간단하게 구현할 수 있다.

<68> 상기 평면홀 저항을 기본으로 기술한 내용은 자기 저항을 이용해서도 가능하다.

<69> 자기 저항을 이용하는 경우 자기 저항 값은 하기의 식으로부터 계산될 수 있다.

<70> $$R_{xx} = R_{\perp} + (R_{\parallel} - R_{\perp})\cos^2\phi$$

<71> 여기서, $R_{\perp}$ 은 외부 자기장이 전류방향과 수직일 때, 강자성 재료의 저항 값이고, $R_{\parallel}$은 외부 자기장이 전류방향과 평행일 때의 저항 값이고, $(R_{\parallel} - R_{\perp})$은 자화 M의 함수이므로 평면홀 저항 값과 같이 단일 또는 다중 도메인 상태에 따라 자기 저항 값이 달라지게 된다.

<72> -실시예-

<73> 단일 또는 다중 도메인 상태를 만들기 위한 외부 자기장은 강자성 반도체 층 상에 전류라인을 형성하여 유도 자기장을 만들어 대체할 수 있으며, 도 7은 본 발명에 따른 유도 자기장 형성을 위한 구조를 개략적으로 도시한 구조도이고, 도 8은 본 발명의 바람직한 실시예에 따른 자기 기억 소자의 유도 자기장 형성을 개략적으로 도시한 예시도이다.

<74> 도 7 및 도 8을 참조하면, 정보 저장용 셀 안에 절연층으로 구별된 전류라인이 형성되고, 전류라인이 교차하는 셀 안에 펄스 형태의 전류가 흘러 유도 자기장이 형성되어 셀 안에 정보를 기록할 수 있다.

<75> 다시 말해, 전류를 펄스 형태로 조절하면 전류라인 주위에 유도 자기장을 형성할 수 있으며 평면홀 저항 값이 전류 펄스에 의해 조절되는 도메인 상태(단일 또는 다중 도메인)에 따라 달라짐을 알 수 있다.

<76> 도 9는 본 발명에 따른 평면홀 저항값 측정 방법을 도시한 것이고, 도 10은 본 발명에 따른 자기 저항값 측정 방법을 도시한 것이다.

<77> 도 9 및 10을 참조하면, 십자 모양의 강자성 반도체 층 상에 절연층이 있고 그 위에 제 1 전류라인이 형성되며, 다시 절연층 위에 제 2 전류라인이 형성되어 있다.

<78> 제 1 전류라인과 제 2 전류라인에 동시에 전류가 흐르는 십자 중앙의 강자성 반도체 층 영역에 강한 유도 자기장이 형성되어 강자성 재료의 도메인 상태를 바꿀 수 있으며, 상기와 같은 방법으로 강자성 반도체 층에 정보(4상태)를 저장할 수 있다.

<79> 상기와 같이 저장된 정보는 센싱 전류를 통해 평면홀 저항 값 또는 자기 저항 값을 크기를 측정하여 읽을 수 있다. 따라서, 단일의 강자성 반도체 층이 센싱 역할과 저장 역할을 동시에 수행할 수 있다.

발명의 효과

<80> 상기에서 살펴본 바와 같이, 본 발명에 따른 강자성 물질의 다중 도메인 상태를 이용한 자기 기억 소자는 자성반도체(MS)의 우수한 자기 이방성을 이용하여 다중의 저항값을 하나의 셀 안에 저장할 수 있으므로 기억 소자의 저장 용량을 증가시킬 수 있을 뿐만 아니라, 삼중층이 필요한 스핀 밸브 기억 소자와 비교하여 단일층의 자성반도체층 만으로 구현이 가능하므로 전체 기억 소자의 구조를 간단히함으로써 공정의 효율성을 높일 수 있으며 고 집적화가 가능한 탁월한 효과가 발생한다.

<81> 또한, 정보를 쓰고 읽는 절차가 간소화되어 기억 소자의 동작 속도를 크게 향상시킬 수 있는 탁월한 효과가 발생한다.

<82> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 보호범위는 상기 실시예에 한정되는 것이 아니며, 해당 기술분야의 통상의 지식을 갖는 자라면 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 종래의 MRAM 소자를 개략적으로 도시한 구조도이다.

<2> 도 2는 본 발명의 제 1실시예에 따른 자기 기억 소자를 개략적으로 도시한 단면도이고, 도 3은 본 발명의 제 2 실시예에 따른 자기 기억 소자를 개략적으로 도시한 단면도이다.

<3> 도 4는 강자성 반도체가 자기에너지가 최소가 되는 각도에서 네개의 자화 방향을 나타내는 것을 도시한 것이고, 도 5는 단일 도메인 상태에서 외부 자기장 스캔시 자화방향에 따라 평면홀 저항 값이 변하는 이력 곡선을 개략적으로 도시한 것이다.

<4> 도 6은 본 발명의 바람직한 실시예에 따른 다중 도메인 상태에 대한 자기 이력 곡선을 도시한 것이다.

<5> 도 7은 본 발명에 따른 유도 자기장 형성을 위한 구조를 개략적으로 도시한 구조도이고, 도 8은 본 발명의 바람직한 실시예에 따른 자기 기억 소자의 유도 자기장 형성을 개략적으로 도시한 예시도이다.

<6> 도 9는 본 발명에 따른 평면홀 저항값 측정 방법을 도시한 것이고, 도 10은 본 발명에 따른 자기 저항값 측정 방법을 도시한 것이다.

<7> *도면의 주요부분에 대한 부호의 설명*

<8> 110 : 기판 120 : 강자성 반도체층

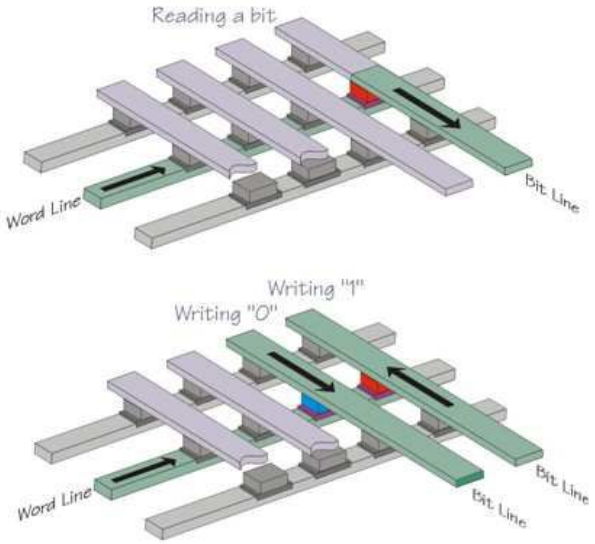
<9> 130 : 절연막 140 : 제 1 전류라인

<10> 150 : 절연막 160 : 제 2 전류라인

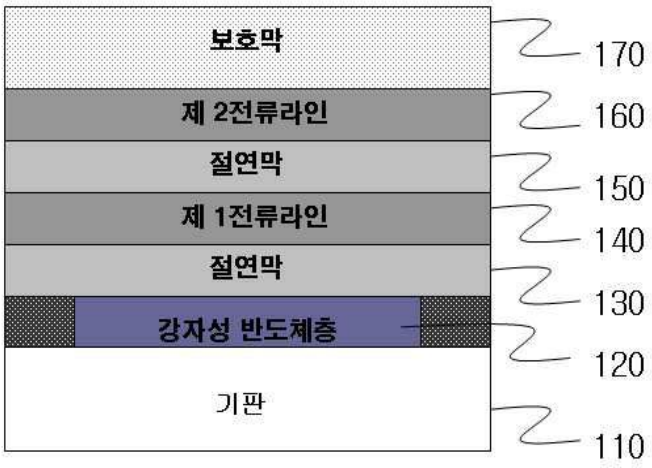
<11> 170 : 보호막

도면

도면1



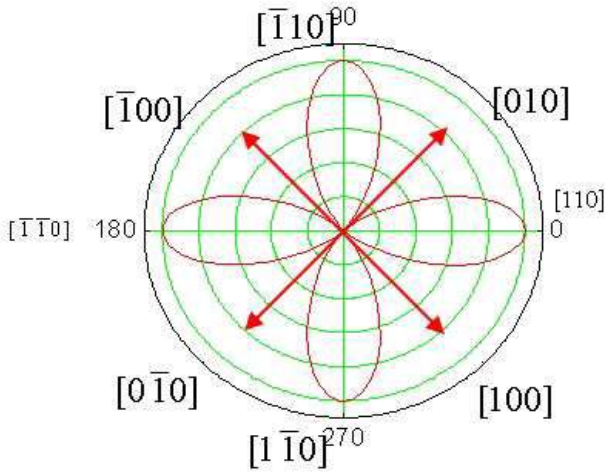
도면2


보호막
제 2전류라인
절연막
제 1전류라인
절연막
강자성 반도체층
기판
170
160
150
140
130
120
110

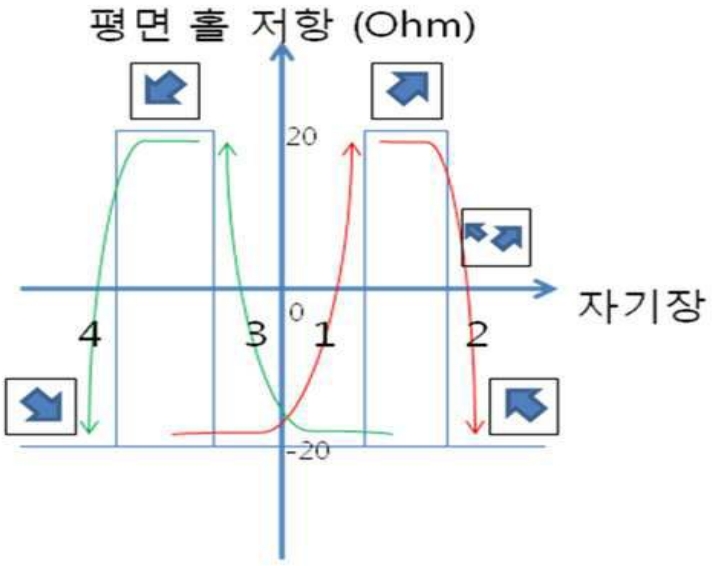
도면3


보호막
제 2전류라인
절연막
강자성 반도체층
절연막
제 1전류라인
기판
270
260
250
240
230
220
210

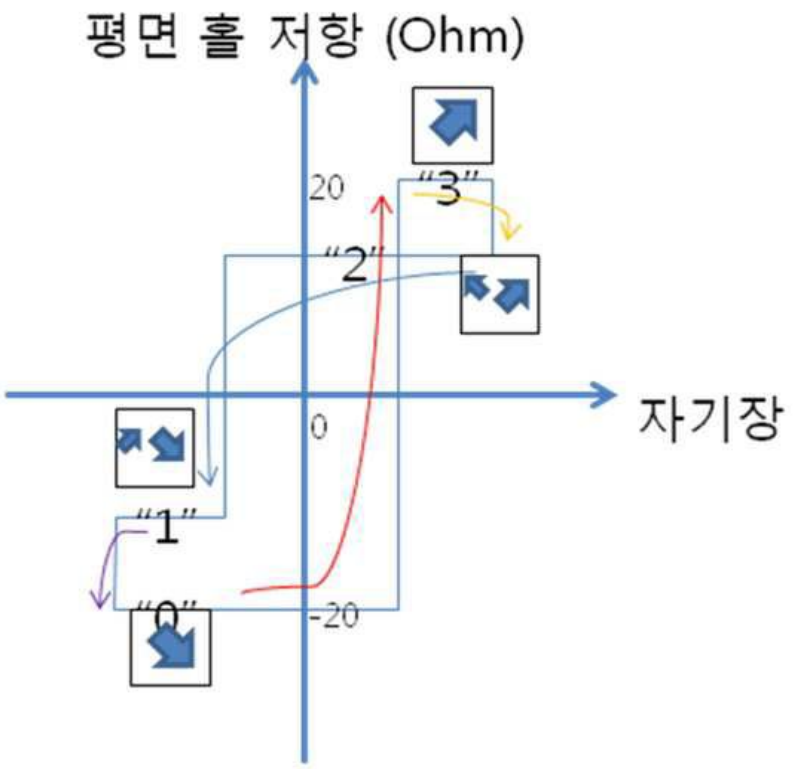
도면4


[$\bar{1}$10]
90
[$\bar{1}$00]
[010]
[110]
[$\bar{1}\bar{1}$0]
180
0
[0$\bar{1}$0]
[100]
[1$\bar{1}$0]
270

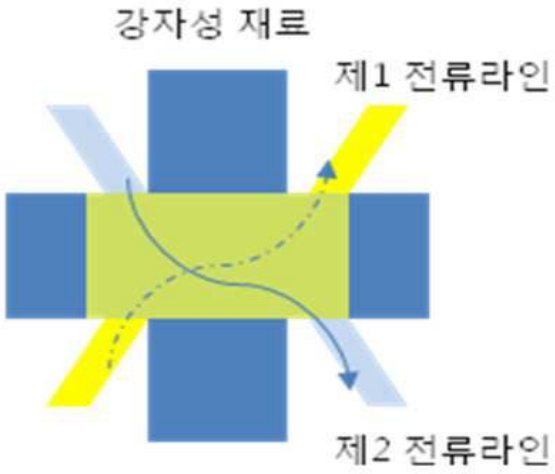
도면5


평면 홀 저항 (Ohm)
20
0
-20
자기장
4
3
1
2

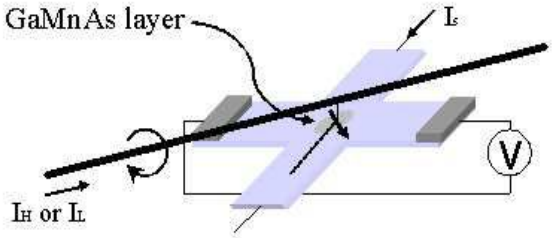
도면6



도면7

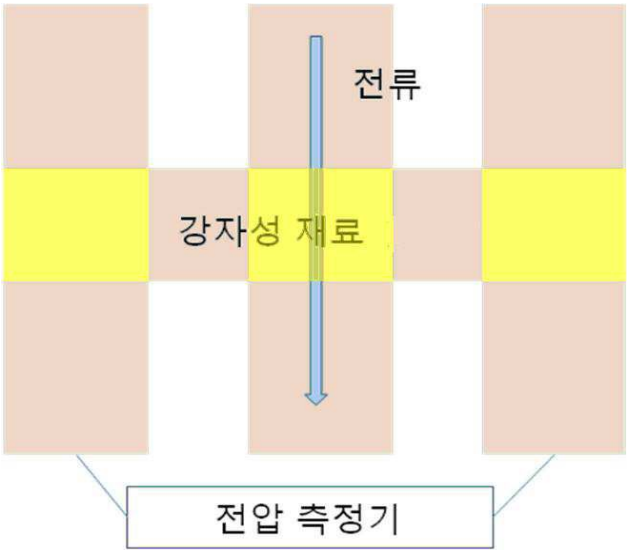


도면8



Input pulses			PHE	Logic States
I_H	I_L	Sequences	V_{xy}/I_s	V_{xy}/I_s
+1	-1	$+I_H$ 0 $-I_L$ t	R_4	"3"
-1	+1	$+I_L$ 0 $-I_H$ t	R_2	"1"
+1	0	$+I_H$ 0 t	R_3	"2"
-1	0	0 $-I_H$ t	R_1	"0"

도면9



도면10

