

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-201704  
(P2007-201704A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl. F I テーマコード (参考)  
H03K 19/0185 (2006.01) H03K 19/00 1 O 1 D 5 J 0 5 6

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2006-16482 (P2006-16482)  
(22) 出願日 平成18年1月25日 (2006.1.25)

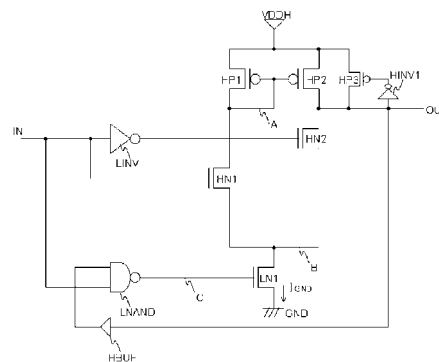
(71) 出願人 302062931  
NECエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 100080816  
弁理士 加藤 朝道  
(72) 発明者 神山 典明  
神奈川県川崎市中原区小杉町1丁目403  
番53 NECマイクロシステム株式会社  
内  
Fターム(参考) 5J056 AA11 BB02 BB17 CC00 CC02  
CC14 CC21 DD13 DD28 DD55  
EE11 FF08 GG06 KK01

(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】低消費電力のレベルシフト回路の提供。

【解決手段】カレントミラー(H P 1、H P 2)を負荷とする差動対(H N 1、H N 2)は、入力信号I Nのローレベルおよびハイレベルにそれぞれ対応してローレベルおよびレベルシフトされたハイレベル(第2のハイレベル)となる出力信号O U Tを非反転出力端子から出力する。非反転出力端子に接続されるプルアップ回路(H I N V 1、H P 3)は、非反転出力信号が第2のハイレベルとなった場合に非反転出力端子をプルアップし、入力信号がローレベルである場合には開放となる。電流源制御回路(L N A N D、H B U F)は、非反転出力信号が第2のハイレベルとなってから所定の時間経過後に差動対への動作電流を切断し、入力信号がローレベルになった時点で差動対への動作電流を供給するように、差動対と接地間に接続される電流源回路(L N 1)を制御する。



【選択図】 図 1

## 【特許請求の範囲】

## 【請求項 1】

カレントミラーを負荷とする差動対を含み、入力信号の第 1 のレベルおよび第 2 のレベルにそれぞれ対応して第 1 のレベルおよび第 3 のレベルとなる出力信号を非反転出力端子から出力するレベルシフト回路であって、

前記非反転出力端子に接続されると共に、前記非反転出力信号が第 3 のレベルとなった場合に前記非反転出力端子を前記差動対の電源と短絡し、前記入力信号が第 1 のレベルである場合には開放となる第 1 のプルアップ回路と、

前記差動対と接地間に接続されると共に、前記差動対への動作電流を供給する電流源回路と、

前記非反転出力信号が第 3 のレベルとなってから所定の時間経過後に前記差動対への動作電流を切断し、前記入力信号が第 1 のレベルである場合には前記差動対への動作電流を供給するように前記電流源回路を制御する電流源制御回路と、

を備えることを特徴とするレベルシフト回路。

10

## 【請求項 2】

前記差動対と前記第 1 のプルアップ回路には、高電源電圧が供給され、前記電流源回路と前記電流源制御回路には、低電源電圧が供給されることを特徴とする請求項 1 記載のレベルシフト回路。

## 【請求項 3】

前記電流源回路は、ドレインが前記差動対と接続され、ソースが接地され、ゲートが前記電流源制御回路の出力に接続される第 1 導電型の MOS トランジスタで構成されることを特徴とする請求項 2 記載のレベルシフト回路。

20

## 【請求項 4】

前記電流源回路は、ドレインが前記第 1 導電型の MOS トランジスタのドレインと接続され、ソースに前記低電源電圧が供給され、ゲートが前記第 1 導電型の MOS トランジスタのゲートに接続される第 2 導電型の MOS トランジスタをさらに含むことを特徴とする請求項 3 記載のレベルシフト回路。

## 【請求項 5】

前記差動対の反転出力端子に接続されると共に、該反転出力端子が第 3 のレベルとなった場合に前記反転出力端子を前記差動対の電源と短絡し、前記入力信号が第 2 のレベルである場合には開放となる第 2 のプルアップ回路をさらに備え、

30

前記第 2 のプルアップ回路には、前記高電源電圧が供給されることを特徴とする請求項 2 ~ 4 のいずれかに記載のレベルシフト回路。

## 【請求項 6】

請求項 1 ~ 5 のいずれかに記載のレベルシフト回路を含むことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、レベルシフト回路に関して、特に電圧レベルの異なる二つのデジタル回路間で振幅レベルを変換するレベルシフト回路に関する。

40

## 【背景技術】

## 【0002】

LSI の内部における電源電圧と LSI 外部における電源電圧とが異なる場合、内部と外部との間で信号を伝達する上でそれぞれの電圧レベルに適した振幅レベルに変換するレベルシフト回路（レベルシフタ）が用いられる。例えば、出力バッファ回路において、内部から入力される信号が 1.2 V、外部に出力する信号が 3.3 V である場合に、1.2 V から 3.3 V にレベル変換するレベルシフト回路が必要となる。近年、チップ間の通信では、高速で信号本数の少ないシリアル転送が主流になるなど、インタフェース回路の高速化が進んでおり、レベルシフト回路も高速動作のニーズが高まっている。

50

## 【0003】

このような高速化に対応するレベルシフト回路は、カレントミラーを負荷とする差動対（カレントミラー型差動アンプ）（例えば非特許文献1参照）を用いることで構成可能である。

## 【0004】

図7にPchカレントミラー型の差動アンプ回路をレベルシフト回路として用いた回路例を示す。この回路は、入力信号INを反転するインバータ回路LINV、差動対となるNMOSトランジスタHN1、HN2、カレントミラー接続されるPMOSトランジスタHP1、HP2、電流源となるNMOSトランジスタLN1によって構成される。ここで、NMOSトランジスタHN1とNMOSトランジスタHN2とは、同一のサイズを有し、PMOSトランジスタHP1とPMOSトランジスタHP2とは、同一のサイズを有する。

10

## 【0005】

入力信号INは、NMOSトランジスタHN1のゲートに供給されると共に、インバータ回路LINVで反転されてNMOSトランジスタHN2のゲートに供給される。NMOSトランジスタHN1、HN2のソースは、それぞれNMOSトランジスタLN1のドレインに接続される。NMOSトランジスタLN1は、ソースを接地（GND）し、ゲートを低電圧側電源VDDLに接続する。PMOSトランジスタHP1、HP2のソースは、高電圧側電源VDHに接続される。PMOSトランジスタHP1のゲートとドレインは、PMOSトランジスタHP2のゲートおよびNMOSトランジスタHN1のドレインと接続される。また、PMOSトランジスタHP2のドレインとNMOSトランジスタHN2のドレインとが接続され、出力信号OUTを出力する。

20

## 【0006】

このように構成されるレベルシフト回路は、NMOSトランジスタHN1、HN2のゲートに入力される信号間に差電位が生じると、NMOSトランジスタHN1、HN2に流れる電流に差が生ずる。この差電流を負荷となるPchカレントミラーによって電圧に変換することで、小さな入力差電位から大きな出力振幅の電圧を得ることが可能となる。すなわち、レベルシフト回路は、小さなレベルの入力信号INからレベル変換された大きなレベルの出力信号OUTを出力することができる。

## 【0007】

ところで、図7に示すレベルシフト回路は、電流源となるNMOSトランジスタLN1によって差動アンプに電流が常時流れる構成となっているために消費電流が多くなってしまふ。

30

## 【0008】

そこで、消費電流を低減する方法として、特許文献1に高速サンプリングレシーバーが開示されている。このサンプリングレシーバーは、レベルを変換するデータ信号入力の他に、そのデータをサンプリングするためのクロック信号を入力する構成とされ、非サンプリング時の消費電流を削減する工夫がなされている。

## 【0009】

図9は、クロック信号によるサンプリング機能を追加した差動アンプを用いたレベルシフト回路である。図9に示す回路は、特許文献1に開示されるサンプリングレシーバーをレベルシフト回路に応用した回路に相当する。このレベルシフト回路は、入力信号を反転するインバータ回路LINV、クロック信号CLKを反転するインバータ回路HINV、差動アンプを構成するPchの差動対となるPMOSトランジスタHP11、HP12、Nchの差動対となるNMOSトランジスタHN11、HN12、差動対の電流供給・遮断を行うPMOSトランジスタHP13およびNMOSトランジスタHN13、電流遮断時に差動アンプ内のデータをラッチするラッチ回路HLAT及びSRフリップフロップ回路HSRFFを備える。ここで、NMOSトランジスタHN11とHN12とは、同一サイズであり、PMOSトランジスタHP11とHP12とは、同一サイズである。

40

## 【0010】

50

入力信号  $I_N$  は、 $NMOS$  トランジスタ  $H_{N11}$  のゲートと  $PMOS$  トランジスタ  $H_{P11}$  のゲートとに供給され、さらにインバータ回路  $LINV$  で反転されて  $NMOS$  トランジスタ  $H_{N12}$  のゲートと  $PMOS$  トランジスタ  $H_{P12}$  のゲートとに供給される。 $NMOS$  トランジスタ  $H_{N11}$ 、 $H_{N12}$  のソースは、 $NMOS$  トランジスタ  $H_{N13}$  のドレインと接続される。 $NMOS$  トランジスタ  $H_{N13}$  のソースは、接地 ( $GND$ ) され、ゲートにはクロック信号  $CLK$  が与えられる。また、クロック信号  $CLK$  は、ラッチ回路  $H_{LAT}$  の共通入力に供給されると共に、インバータ回路  $H_{INV}$  で反転されて  $PMOS$  トランジスタ  $H_{P13}$  のゲートとに供給される。 $PMOS$  トランジスタ  $H_{P11}$ 、 $H_{P12}$  のソースは、 $PMOS$  トランジスタ  $H_{P13}$  のドレインと接続される。 $PMOS$  トランジスタ  $H_{P13}$  のソースは、高電圧側電源  $V_{DDH}$  に接続される。

10

## 【0011】

また、 $NMOS$  トランジスタ  $H_{N11}$  のドレインと  $PMOS$  トランジスタ  $H_{P11}$  のドレインとは、ラッチ回路  $H_{LAT}$  の一方の出力端 ( $B1$ ) に接続され、 $NMOS$  トランジスタ  $H_{N12}$  のドレインと  $PMOS$  トランジスタ  $H_{P12}$  のドレインとは、ラッチ回路  $H_{LAT}$  の他方の出力端 ( $A1$ ) に接続される。さらに、ラッチ回路  $H_{LAT}$  の一方の出力端は、 $SR$  フリップフロップ回路  $HSRFF$  の一方の入力端に接続され、ラッチ回路  $H_{LAT}$  の他方の出力端は、 $SR$  フリップフロップ回路  $HSRFF$  の他方の入力端に接続される。

## 【0012】

このように構成されるレベルシフト回路は、貫通電流遮断用のトランジスタである  $PMOS$  トランジスタ  $H_{P13}$  および  $NMOS$  トランジスタ  $H_{N13}$  によってクロック信号  $CLK$  がローレベルの状態では貫通電流を遮断し、ラッチ回路  $H_{LAT}$  によって差動出力信号  $A1$ 、 $B1$  を各々の出力状態からハイレベル (電源  $V_{DDH}$  のレベル) にする。差動出力信号  $A1$ 、 $B1$  を入力とする  $SR$  フリップフロップ回路  $HSRFF$  の入力は、両入力共にハイレベルとなり、前状態を保持したままとなる。

20

## 【0013】

クロック信号  $CLK$  が立ち上がると、 $PMOS$  トランジスタ  $H_{P13}$  および  $NMOS$  トランジスタ  $H_{N13}$  がオンし、差動対  $H_{P11}$ 、 $H_{P12}$ 、 $H_{N11}$ 、 $H_{N12}$  のゲート入力の差電位によって、 $PMOS$  トランジスタ  $H_{P11}$  から  $NMOS$  トランジスタ  $H_{N11}$  へ流れる電流パスと、 $PMOS$  トランジスタ  $H_{P12}$  から  $NMOS$  トランジスタ  $H_{N12}$  へ流れる電流パスとの間で電流差が生じ、その差電流によって差動出力信号  $A1$  と  $B1$  間に差電位が発生する。この差電位をラッチ回路  $H_{LAT}$  によってさらに強調する。これらの動作によって差動出力信号  $A1$  もしくは  $B1$  が立下り、その立下りがトリガとなって  $SR$  フリップフロップ回路  $HSRFF$  の出力信号  $OUT$  が変化する。

30

## 【0014】

【特許文献1】特開2003-78407号公報

【非特許文献1】Behzad Razavi 著、黒田忠広監訳、アナログCMOS集積回路の設計 基礎編、丸善株式会社、平成15年3月30日発行、P.185

## 【発明の開示】

【発明が解決しようとする課題】

40

## 【0015】

図7に示すレベルシフト回路は、入力信号  $I_N$  の信号レベルがハイレベル (電圧値  $V_{DDL}$ ) の場合、 $NMOS$  トランジスタ  $H_{N1}$  がオンとなり、常時オンしている  $NMOS$  トランジスタ  $L_{N1}$ 、ダイオード接続されている  $PMOS$  トランジスタ  $H_{P1}$  により、高電圧側電源  $V_{DDH}$  から  $GND$  へ常に貫通電流が発生する。したがって、定常電流が発生し消費電力が一般的な  $CMOS$  回路に比べて数桁増加してしまう。

## 【0016】

図8は、図7に示すレベルシフト回路の入力信号  $I_N$  の電圧波形、出力信号  $OUT$  の電圧波形、回路全体の  $GND$  に流れる  $I_{GND}$  の電流波形を示す図である。図8に示すように、入力信号  $I_N$  がハイレベルのときに常に電流  $I_{GND}$  が流れ続ける状態となる。

50

## 【 0 0 1 7 】

一方、図 9 に示すレベルシフト回路は、クロック信号 CLK がローレベルのときには PMOS トランジスタ HP 1 3 および NMOS トランジスタ HN 1 3 によって貫通電流が遮断される。しかし、クロック信号 CLK がハイレベルの状態では、Pch の差動対である PMOS トランジスタ HP 1 1、HP 1 2 のゲート入力最大でも低電圧側電源 VDDL の電位までしか引き上がらず、どちらも完全にカットオフしない。このため、高電圧側電源 VDDH から GND への貫通電流が生じる。

## 【 0 0 1 8 】

例えば入力信号 IN がローレベル、クロック信号 CLK がハイレベルの場合、差動出力 A 1 がローレベル、差動出力 B 1 がハイレベルとなる。このとき、NMOS トランジスタ HN 1 1 は完全にオフ状態となり、ラッチ回路 HLAT によって差動出力 B 1 は高電圧側電源 VDDH の電位まで引き上がる。このため PMOS トランジスタ HP 1 1 には電流が流れない。逆に差動出力 A 1 はラッチ回路 HLAT 及び NMOS トランジスタ HN 1 2、HN 1 3 によってローレベルとなる。しかし、PMOS トランジスタ HP 1 2 のゲート入力が低電圧側電源 VDDL の電位であるため、完全にはオフ状態とならない。したがって、PMOS トランジスタ HP 1 3 から PMOS トランジスタ HP 1 2 を経由し、ラッチ回路 HLAT、及び NMOS トランジスタ HN 1 2 から NMOS トランジスタ HN 1 3 へ貫通電流が流れ続ける。

10

## 【 0 0 1 9 】

図 10 は、図 9 に示すレベルシフト回路の入力信号 IN の電圧波形、クロック信号 CLK 電圧波形、出力信号 OUT の電圧波形、回路全体の GND に流れる I\_GND の電流波形を示す図である。図 10 に示すように、クロック信号 CLK がハイレベルのときに常に電流 I\_GND が流れ続ける状態となる。

20

## 【 0 0 2 0 】

従って、図 9 に示すレベルシフト回路においても消費電力が大きくなってしまふ。なお、図 9 に示すレベルシフト回路は、クロック信号 CLK を入力する必要があり、クロック信号が存在しない非同期回路には使用することは困難である。

## 【 課題を解決するための手段 】

## 【 0 0 2 1 】

本発明の 1 つのアスペクトに係るレベルシフト回路は、カレントミラーを負荷とする差動対を含み、入力信号の第 1 のレベルおよび第 2 のレベルにそれぞれ対応して第 1 のレベルおよび第 3 のレベルとなる出力信号を非反転出力端子から出力する。このレベルシフト回路は、非反転出力端子に接続されると共に、非反転出力信号が第 3 のレベルとなった場合に非反転出力端子を差動対の電源と短絡し、入力信号が第 1 のレベルである場合には開放となる第 1 のプルアップ回路と、差動対と接地間に接続されると共に、差動対への動作電流を供給する電流源回路と、非反転出力信号が第 3 のレベルとなってから所定の時間経過後に差動対への動作電流を切断し、入力信号が第 1 のレベルである場合には差動対への動作電流を供給するように電流源回路を制御する電流源制御回路と、を備える。

30

## 【 発明の効果 】

## 【 0 0 2 2 】

本発明によれば、クロック信号を用いることなく定常電流の発生しない構成とすることで、消費電力を低減することができる。

40

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 3 】

本発明の実施形態に係るレベルシフト回路は、カレントミラー（図 1 の HP 1、HP 2）を負荷とする差動対（図 1 の HN 1、HN 2）、プルアップ回路（図 1 の HP 3、HINV 1）、電流源回路（図 1 の LN 1）、電流源制御回路（図 1 の HBUF、LNAND）を備える。差動対は、入力信号（図 1 の IN）のローレベルおよびハイレベルにそれぞれ対応してローレベルおよびレベルシフトされたハイレベル（以下、第 2 のハイレベルという）となる出力信号（図 1 の OUT）を非反転出力端子から出力する。非反転出力端子

50

に接続されるプルアップ回路は、非反転出力信号が第2のハイレベルとなった時点で動作して非反転出力端子をプルアップし、入力信号がローレベルである場合には開放となる。差動対と接地間に接続される電流源回路、より具体的にはトランジスタ(図1のLN1)は、差動対への動作電流を供給する。電流源制御回路は、非反転出力信号が第2のハイレベルとなってから所定の時間経過後に差動対への動作電流を切断し、入力信号がローレベルである場合には差動対への動作電流を供給するように電流源回路を制御する。

#### 【0024】

このような構成のレベルシフト回路は、カレントミラー型であるので、高速に動作する。その上で、従来のカレントミラー型レベルシフト回路の欠点である定常電流の防止のため、定常電流が流れる電流源回路であるトランジスタのゲート端子を入力信号のレベルによって制御する構成とされる。また、ゲート端子の制御は、レベルを変換する入力データ信号そのもので行う。つまりゲート端子の制御のために新たな制御信号や制御機構を必要とせず、制御信号の切り替えによって大きな遅延劣化が生じない構成とされる。このような構成によって定常電流が発生せず、低消費電力化を実現することができる。以下、実施例に即し、図面を参照して詳細に説明する。

10

#### 【実施例1】

#### 【0025】

図1は、本発明の第1の実施例に係るレベルシフト回路の回路図である。図1において、図7と同一の符号は同一物を表す。図1に示すレベルシフト回路は、図7に示すレベルシフト回路に対し、NMOSTランジスタLN1のゲート電圧を制御する2入力のNAND回路LNAND、出力信号OUTを低電圧側電源VDDL(図示されない)のレベルに変換してフィードバックするバッファ回路HBUF、出力信号OUTをラッチするインバータ回路HINV1およびPMOSTランジスタHP3を追加した構成である。ここで、インバータ回路HINV、NAND回路LNAND、NMOSTランジスタLN1は、低電圧側電源VDDLで動作する低耐圧の素子あるいは回路である。また、バッファ回路HBUFは、低電圧側電源VDDLで動作し高耐圧の回路である。さらに、インバータ回路HINV1、NMOSTランジスタHN1、HN2、PMOSTランジスタHP1~HP3は、高電圧側電源VDDHで動作する高耐圧の素子あるいは回路である。

20

#### 【0026】

バッファ回路HBUFは、出力信号OUTを低電圧側電源VDDLの信号レベルに変換すると共に、所定の時間遅延してNAND回路LNANDの一つの入力端子に供給する。NAND回路LNANDの他の入力端子には、入力信号INが供給され、NAND回路LNANDの出力端子がNMOSTランジスタLN1のゲートに接続される。

30

#### 【0027】

インバータ回路HINV1は、入力端にPMOSTランジスタHP3のドレインを接続して出力信号OUTを与え、出力端をPMOSTランジスタHP3のゲート端子に接続する。PMOSTランジスタHP3は、ソースを高電圧側電源VDDHに接続し、ドレインをNMOSTランジスタHN2のドレインおよびPMOSTランジスタHP3のドレインに接続する。インバータ回路HINV1とPMOSTランジスタHP3とは、出力信号OUTがハイレベルとなった時に、ハイレベルを保持するためのラッチ回路を構成する。ここでPMOSTランジスタHP3の駆動能力は、カレントミラー回路そのものの動作を妨げないように十分小さなものとする。

40

#### 【0028】

図1に示すように、PMOSTランジスタHP1、HP2、NMOSTランジスタHN1、HN2、LN1で構成されるカレントミラー回路を負荷とする差動対におけるGNDへの電流パスは、必ずNMOSTランジスタLN1を通る。そこで、NAND回路LNANDとバッファ回路HBUFの動作によって、NMOSTランジスタLN1を制御することで定常電流を発生させない構成としている。

#### 【0029】

図2は、入力信号INと出力信号OUTのレベル状態に対応するNMOSTランジスタ

50

L N 1 のオンオフ状態を示す状態図である。入力信号 I N の変化時、つまり入力信号 I N と出力信号 O U T の状態が異なる場合には、N M O S トランジスタ L N 1 がオンしており、通常のカレントミラー回路に相当する動作となる。

【 0 0 3 0 】

入力信号 I N と出力信号 O U T が共にローレベルとなった場合にも、N M O S トランジスタ L N 1 はオンとなる。ただし、入力信号 I N がローレベルであることから N M O S トランジスタ H N 1 がオフとなりダイオード接続された P M O S トランジスタ H P 1 の電流経路がなくなり A 点の電圧が「 $V_{DDH} - V_{tp}$  ( $V_{tp}$  は P M O S トランジスタ H P 1 のしきい値電圧)」となる。したがって、P M O S トランジスタ H P 2 も完全にオフとなる。

10

【 0 0 3 1 】

また、P M O S トランジスタ H P 3 は一時的にオンしていても、P M O S トランジスタ H P 3 自体の駆動能力は、P M O S トランジスタ H P 2、N M O S トランジスタ H N 2、L N 1 に比べて非常に弱い駆動能力に設定されている。したがって、P M O S トランジスタ H P 2 がオフ、N M O S トランジスタ H N 2 と N M O S トランジスタ L N 1 がオンとなると、P M O S トランジスタ H P 3 のオン、オフに関わらず、出力信号 O U T は必ずローレベルとなり、P M O S トランジスタ H P 3 は最終的には完全にオフとなる。このように、カレントミラー内での高電圧側電源  $V_{DDH}$  から G N D への電流経路は、全て遮断される。したがって、入力信号 I N と出力信号 O U T がともにローレベルで静止した状態での貫通電流は発生しない。

20

【 0 0 3 2 】

入力信号 I N と出力信号 O U T がともにハイレベルとなった場合にのみ、N M O S トランジスタ L N 1 のゲート電位を G N D レベルに落としてオフとする。入力信号 I N と出力信号 O U T がローレベルのときと同様に P M O S トランジスタ H P 1 の電流経路がなくなり、A 点の電圧が「 $V_{DDH} - V_{tp}$ 」となって P M O S トランジスタ H P 2 も完全にオフとなっている。

【 0 0 3 3 】

図 3 に、図 1 の回路動作時の入力信号 I N と出力信号 O U T 及びカレントミラーゲート ( A 点 ) と N M O S トランジスタ L N 1 のドレイン ( B 点 ) の電圧波形を示す。A 点は、入力信号 I N がローレベルまたはハイレベルで静止している状態では、「 $V_{DDH} - V_{tp}$ 」 ( 図 3 では 2 . 8 V 付近 ) となっている。B 点は、入力信号 I N がローレベルで静止している状態ではローレベル、ハイレベルで静止している状態では、「 $V_{DDL} - V_{tn}$  ( $V_{tn}$  は N M O S トランジスタ L N 1 のしきい値電圧)」 ( 図 3 では 0 . 7 V 付近 ) となっている。

30

【 0 0 3 4 】

以上の説明において、もし P M O S トランジスタ H P 3 が存在しないとすると、出力信号 O U T は、フローティング状態となり、出力信号 O U T の電位が高電圧側電源  $V_{DDH}$  もしくは G N D レベル以外の中間電位になる。この場合、出力信号 O U T を入力とする C M O S 回路が外部に存在する場合に、この C M O S 回路に貫通電流が発生する虞がある。したがって、インバータ回路 H I N V 1 と P M O S トランジスタ H P 3 とで構成されるブルアップ回路によって出力信号 O U T を高電圧側電源  $V_{DDH}$  の電位に引き上げる。このように、カレントミラー内での高電圧側電源  $V_{DDH}$  から G N D への電流経路は、全て遮断されることから、入力信号 I N と出力信号 O U T がともにハイレベルで静止した状態であっても貫通電流は発生しない。

40

【 0 0 3 5 】

以上説明したように、図 1 に示すレベルシフト回路は、入力信号 I N がどのような静止状態においても、貫通電流が生じないような回路構成となっている。

【 0 0 3 6 】

次に、実際に流れる電流波形について説明する。図 4 は、図 1 のレベルシフト回路における動作時の入力信号 I N と出力信号 O U T 及び N M O S トランジスタ L N 1 のゲート (

50

C点)における各電圧波形と、回路全体のGNDに流れる電流波形IGNDとを示す図である。C点の電圧が低電圧側電源VDDLの電位(図4では1.2V)にある状態でNMOSTransistorLN1がオンとなるが、図2に示したように、入力信号INと出力信号OUTがハイレベルで静止した状態のみ、NMOSTransistorLN1がオフ、すなわちC点の電圧がGNDレベルとなっている。また、電流IGNDを見ると、入力信号INと出力信号OUTのスイッチング時に電流が発生しているが、入力信号INがローレベルまたはハイレベルで静止している状態では、電流が流れていないことがわかる。

**【0037】**

従来例のレベルシフト回路においては、図8及び図10に示すように電流IGNDを見ると、入力信号のスイッチング時以外にも静止状態の一部で電流が流れ続けている。これらに対して図1に示すレベルシフト回路は、静止状態で電流が流れず、消費電流の面で改善されていることがわかる。

10

**【0038】**

以上の通り、本発明のレベルシフト回路は、カレントミラー型の回路でありながら、定常電流が発生しない構成となっている。したがって、従来のカレントミラー型回路における消費電力が大きいという欠点を解決している。

**【0039】**

一方、定常電流を発生させない回路構成にしたことで、カレントミラー型の利点である高速性が失われては、カレントミラー型にした意味がない。従来のカレントミラー型の回路に対して、図1に示すレベルシフト回路において追加した回路による遅延劣化の可能性の要因は、2つ考えられる。第1は、PMOSTransistorHP3による出力信号OUT部分への負荷増加の影響である。第2は、入力信号INが立ち下がる時の初期状態においてNMOSTransistorLN1がオフになっており、それをオンするまでの遅延の影響である。

20

**【0040】**

まず、PMOSTransistorHP3による負荷増加の影響について説明する。入力信号INが立ち下がる際、初期状態でPMOSTransistorHP3はオンとなっている。そのため、出力信号OUTが立ち下がる際にPMOSTransistorHP3が逆方向に働き、カレントミラーの動作を妨げる形となる。しかし、PMOSTransistorHP3は、出力信号OUTがハイレベルになったときに、ハイレベルをラッチするためのものであって、出力信号OUTをスイッチングするためのものではない。したがって、PMOSTransistorHP3は、出力信号OUTを駆動するPMOSTransistorHP2、NMOSTransistorHN1、LN1に対して十分小さい駆動能力として問題がない。このため、PMOSTransistorHP3による遅延増加を十分小さくすることは可能である。

30

**【0041】**

次に、入力信号INが立ち下がる時のNMOSTransistorLN1がオフからオンになるまでの遅延の影響について説明する。入力信号INが立ち下がってからNMOSTransistorHN1がオンするまでの遅延に比べて、入力信号INが立ち下がってからNMOSTransistorLN1がオンしてNMOSTransistorLN1のドレインをGNDレベルまで引き下げる遅延の方が大きければ、その分入力信号INから出力信号OUTまでの遅延が増加することになる。しかしながら、入力信号INからNMOSTransistorLN1へのゲート段数は、NAND回路LNANDが一段しかないこと、NMOSTransistorLN1は耐圧が低電圧側電源VDDLの電位以上あればよいためにNMOSTransistorHN1に比べてNMOSTransistorLN1はゲート面積が小さく高速なトランジスタを用いることが可能であること、という理由によってNMOSTransistorLN1の制御による遅延増加を十分小さくすることが可能である。ただし、NMOSTransistorHN1には耐圧が高電圧側電源VDDHの電位以上となるトランジスタを用いる必要がある。

40

**【0042】**

以上のように本実施例のレベルシフト回路によれば、従来回路構成では成しえなかった高速動作と低消費電力の両立を、レベルシフト本来の機能として不要な制御信号や制御

50

機構を用いることなく実現することが可能となる。

【実施例 2】

【0043】

図 5 は、本発明の第 2 の実施例に係るレベルシフト回路の回路図である。図 5 において、図 1 と同一の符号は同一物を表す。図 5 に示すレベルシフト回路は、図 1 のレベルシフト回路に対し、インバータ回路 H I N V 2、P M O S トランジスタ H P 4、低電圧側電源 V D D L をソースとした P M O S トランジスタ L P 1 を追加した構成である。ここで、P M O S トランジスタ L P 1 は、低電圧側電源 V D D L で動作する低耐圧の素子である。また、インバータ回路 H I N V 2、P M O S トランジスタ H P 4 は、高電圧側電源 V D D H で動作する高耐圧の素子あるいは回路である。

10

【0044】

インバータ回路 H I N V 2 は、入力端に P M O S トランジスタ H P 1 のドレイン ( A 点 ) を接続し、出力端を P M O S トランジスタ H P 4 のゲート端子に接続する。P M O S トランジスタ H P 4 は、ソースを高電圧側電源 V D D H に接続し、ドレインを N M O S トランジスタ H N 1 のドレインおよび P M O S トランジスタ H P 1 のドレインに接続する。インバータ回路 H I N V 2 と P M O S トランジスタ H P 4 とは、A 点の電位がハイレベルとなった時に、ハイレベルを保持するためのラッチ回路を構成する。ここで P M O S トランジスタ H P 4 の駆動能力は、実施例 1 で説明した P M O S トランジスタ H P 3 と同様にカレントミラー回路そのものの動作を妨げないように十分小さなものとする。

【0045】

P M O S トランジスタ L P 1 は、ソースを低電圧側電源 V D D L に接続し、ドレインを N M O S トランジスタ L N 1 のドレインと接続し、ゲートを N M O S トランジスタ L N 1 のゲートと接続する。

20

【0046】

図 6 に、図 5 の回路動作時の入力信号 I N と出力信号 O U T 及びカレントミラーゲート ( A 点 ) と N M O S トランジスタ L N 1 のドレイン ( B 点 ) の電圧波形を示す。A 点は、入力信号 I N がローレベルまたはハイレベルで静止している状態では、「V D D H」( 図 6 では 3 . 3 V ) となっている。B 点は、入力信号 I N がローレベルで静止している状態ではローレベル、ハイレベルで静止している状態では、「V D D L」( 図 6 では 1 . 2 V ) となっている。

30

【0047】

図 1 に示すレベルシフト回路において、安定した状態では N M O S トランジスタ H N 1 あるいは N M O S トランジスタ L N 1 のどちらかが必ずオフしていることから、P c h カレントミラーのゲートにあたる A 点の電位は、「V D D H - V t p」となる。A 点が「V D D H - V t p」近辺になると P M O S トランジスタ H P 1 は、高インピーダンス状態となるため、入力信号が変化してから A 点が「V D D H - V t p」に完全に収束するまでに長時間かかることになる。

【0048】

図 1 のレベルシフト回路に対し、図 5 に示すようにインバータ回路 H I N V 2、P M O S トランジスタ H P 4 によるプルアップ回路を追加することで、P M O S トランジスタ H P 1 が高インピーダンス状態になっても P M O S トランジスタ H P 4 によって A 点の電位を高電圧側電源 V D D H まで引き上げることができる。したがって、A 点の電位が収束するまでの時間を短縮することが可能となる。

40

【0049】

また、図 1 に示すレベルシフト回路においては、入力信号が立ち上がりした後、P M O S トランジスタ H P 1 がダイオード接続、N M O S トランジスタ H N 1 がオン、N M O S トランジスタ L N 1 がオフとなっていることで、B 点の電位は、「V D D L - V t n」となる。しかし、「V D D L - V t n」近辺で N M O S トランジスタ H N 1 が高インピーダンス状態となるために完全に収束するまでに長時間かかる。

50

## 【0050】

これに対して図5に示すように、PMOSトランジスタLP1を追加することで、NMOSトランジスタHN1が高インピーダンス状態になってもPMOSトランジスタLP1によってB点の電位を電源VDDLの電位まで引き上げることができる。したがって、B点の電位が収束するまでの時間を短縮することが可能となる。

## 【0051】

また、インバータ回路HINV2、PMOSトランジスタHP4、PMOSトランジスタLP1を追加しても、図1と同様の静止状態での貫通電流は発生しない。

## 【0052】

図6に示す波形図と図3に示す波形図とにおけるA点、B点の波形を比較すると、A点は、図3では出力信号OUTが立ち上がりした後、A点の電位が「VDDH - Vtp」近辺から波形がなまりだし、入力信号INの変化から0.5ns経過しても電位が変動し続けている。これに対し、図6においては、INの変化から0.5ns経過した時点で高電圧側電源VDDHのレベルに安定している。B点も同様に、図3では、「VDDL - Vtn」近辺から電位が安定するまでに時間がかかっている。これに対し、図6では0.5ns経過後には低電圧側電源VDDLのレベルに安定している。

## 【0053】

図5において追加したインバータ回路HINV2、PMOSトランジスタHP4、PMOSトランジスタLP1の働きによって、入力信号の変化時にA点及びB点の電圧が収束するまでの時間を短縮することができる。この収束するまでの時間において、入力信号のパルス幅が小さい場合と大きい場合とでは、入力信号変化時のA点、B点電圧の初期値が異なるために信号遅延に差が生じる。入力信号の周波数によって遅延が異なることは、ランダムデータ信号が入力された時のジッタ増加に繋がる。従って、この収束時間を抑えることでジッタの増加を抑えることが可能となり、より高周波での動作が可能となる。

## 【0054】

また、図5に示すレベルシフト回路によれば、A点及びB点に対する充放電電流を高速に遮断するように動作するため、遮断による一層の低消費電力化が可能となる。

## 【0055】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

## 【図面の簡単な説明】

## 【0056】

【図1】本発明の第1の実施例に係るレベルシフト回路の回路図である。

【図2】本発明の第1の実施例に係るレベルシフト回路の入出力レベル状態を表す表である。

【図3】本発明の第1の実施例に係るレベルシフト回路の各部の電圧波形を示す図である。

【図4】本発明の第1の実施例に係るレベルシフト回路の電圧電流特性を示す波形図である。

【図5】本発明の第2の実施例に係るレベルシフト回路の回路図である。

【図6】本発明の第2の実施例に係るレベルシフト回路の各部の電圧波形を示す図である。

【図7】従来のレベルシフト回路の回路図である。

【図8】従来のレベルシフト回路の電圧電流特性を示す波形図である。

【図9】従来の他のレベルシフト回路の回路図である。

【図10】従来の他のレベルシフト回路の電圧電流特性を示す波形図である。

## 【符号の説明】

## 【0057】

HBUF バッファ回路

10

20

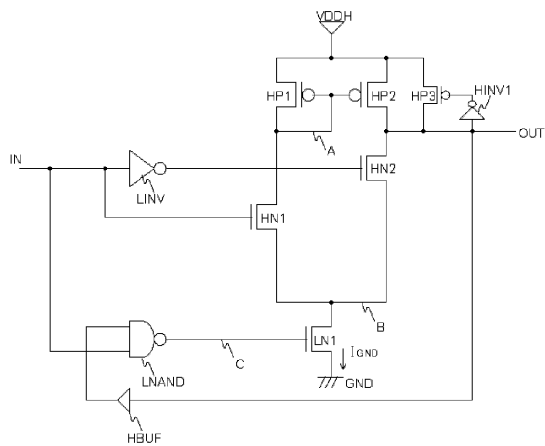
30

40

50

HINV1、HINV2、LINV インバータ回路  
 HN1、HN2、LN1 NMOSTランジスタ  
 HP1～HP4、LP1 PMOSTランジスタ  
 LNAND NAND回路  
 VDDH 高電圧側電源  
 VDDL 低電圧側電源

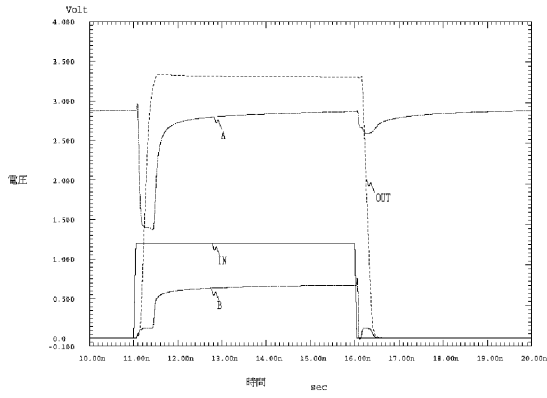
【図1】



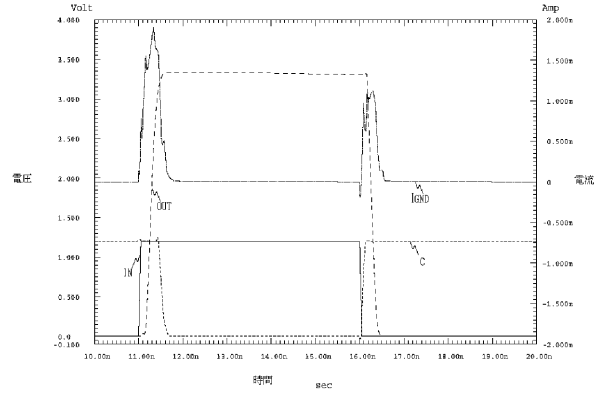
【図2】

IN	OUT	LN1
L	L	On
Rise(↑H)	L	On
H	H	Off
Fall(↓L)	H	On

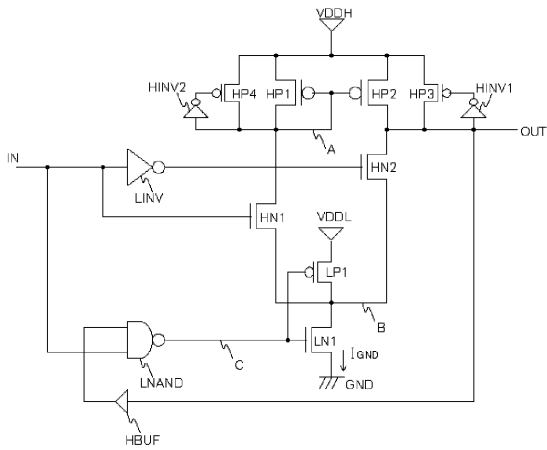
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

