(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월22일
(11) 등록번호 10-2125586
(24) 등록일자 2020년06월16일

(51) 국제특허분류(Int. Cl.)
G01N 21/956 (2006.01) *G01B 11/24* (2006.01)
H01L 21/66 (2006.01)
(21) 출원번호 10-2014-7019761
(22) 출원일자(국제) 2012년12월14일
심사청구일자 2017년12월04일
(85) 번역문제출일자 2014년07월16일
(65) 공개번호 10-2014-0093295
(43) 공개일자 2014년07월25일
(86) 국제출원번호 PCT/US2012/069906
(87) 국제공개번호 WO 2013/090815
국제공개일자 2013년06월20일
(30) 우선권주장
13/675,687 2012년11월13일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2006201044 A*
(뒷면에 계속)
전체 청구항 수 : 총 22 항 심사관 : 한별

(73) 특허권자
케이엘에이 코포레이션
미합중국, 캘리포니아 95035, 밀피타스, 원 테크놀로지 드라이브
(72) 발명자
울프 랄프
미국 캘리포니아주 94303 팔로 알토 버넘 웨이 2460
첸 그레이스
미국 캘리포니아주 95030 로스 가토스 세로 치코 220
(뒷면에 계속)
(74) 대리인
김진희, 김태홍

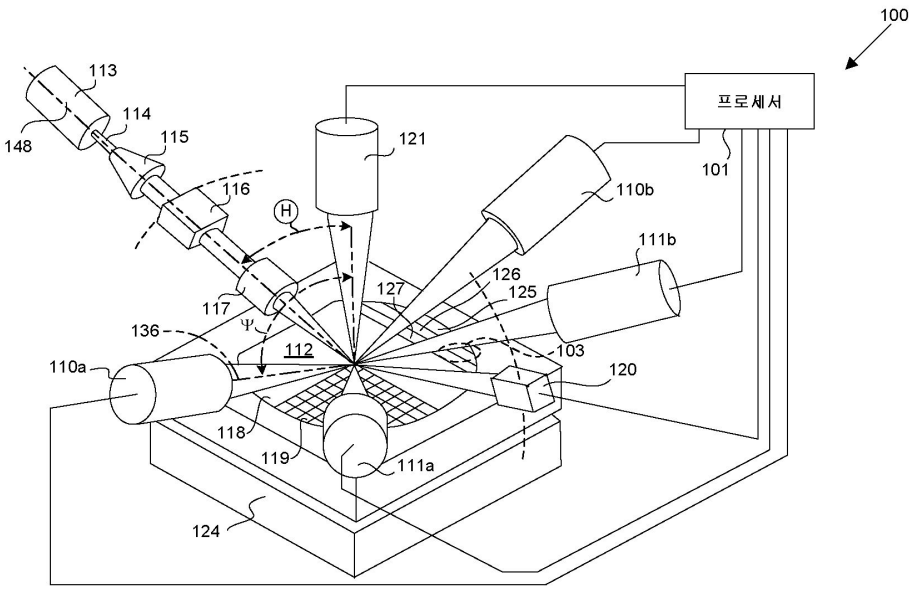
(54) 발명의 명칭 **스폿 스캐닝 시스템에 대한 강화된 고속 대수 광검출기**

(57) 요 약

견본을 검사 또는 측정하기 위한 장치 및 방법이 개시된다. 각각의 스캔 부분으로부터의 출력 빔 프로파일이 광전자 증배관(PMT)에 의해 연속하여 집광되도록, 견본의 복수의 연속 스캔 부분들에 걸쳐 입사 빔이 지향되고, 스캔 부분들은 적어도 하나 이상의 제1 스캔 부분들 및 하나 이상의 제1 스캔 부분들 후에 스캔되는 다음 스캔 부

(뒷면에 계속)

대 표 도



분을 포함한다. 입사 빔이 견본의 하나 이상의 제1 스캔 부분들로 지향된 후에 또는 그 동안, 각각의 제1 스캔 부분에 대하여 PMT에 의해 집광된 출력 빔 프로파일에 기초하여 각각의 제1 스캔 부분에 대한 출력 신호가 획득된다. 각각의 하나 이상의 제1 스캔 부분들에 대하여 획득되는 출력 신호에 기초하여 다음 스캔 부분에 대한 예상 출력 빔 프로파일이 결정된다. 입사 빔이 다음 스캔 부분을 향해 지향될 때, 예상 출력 빔 프로파일에 기초하여 다음 스캔 부분에 대한 PMT에의 이득 입력이 설정되며, 그리하여 이러한 다음 스캔 부분에 대한 이득의 결과로서 PMT에서의 측정 신호가 PMT 또는 PMT로부터 측정 신호를 수신하는 다른 하드웨어 컴포넌트의 미리 정의된 사양 내에 속하게 된다.

(72) 발명자

카오 카이

미국 캘리포니아주 94539 프리몬트 오카소 코르테 43503

설리번 제이미

미국 캘리포니아주 94086 서니베일 사우스 매리 애비뉴 410

돈더스 폴

미국 캘리포니아주 94538 프리몬트 오그던 드라이브 4420

맥케이 데릭

미국 캘리포니아주 94025 멘로 파크 아파트먼트 5 웨이벌리 스트리트 270

(56) 선행기술조사문헌

JP2011179947 A*

US06833913 B1*

KR100758460 B1

US20020161534 A1

JP2005526239 A

US6833913 B1

*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

61/576,702 2011년12월16일 미국(US)

61/700,527 2012년09월13일 미국(US)

명 세 서

청구범위

청구항 1

견본(specimen)을 검사 또는 측정하는 방법에 있어서,

각각의 스캔 라인으로부터의 출력 빔 프로파일이 광전자 증배관(PMT; photomultiplier tube)에 의해 연속하여 집광되도록 견본의 복수의 연속 스캔 라인들에 걸쳐 입사 빔을 지향시키는 단계 - 상기 스캔 라인들은 하나 이상의 제1 스캔 라인들 및 상기 하나 이상의 제1 스캔 라인들 후에 스캔되는 다음(next) 스캔 라인을 포함함 - ;

상기 입사 빔이 상기 견본의 하나 이상의 제1 스캔 라인들로 지향된 후에 또는 그 동안, 그리고 상기 입사 빔이 상기 다음 스캔 라인으로 지향되기 전에, 상기 하나 이상의 제1 스캔 라인들 전체에 대한 데이터를 보유(holding)하기 위한 라인 버퍼로, 상기 PMT 로부터 상기 하나 이상의 제1 스캔 라인들에 대한 하나 이상의 출력 빔 프로파일들에 대한 데이터를 수신하는 단계;

상기 입사 빔이 상기 다음 스캔 라인으로 지향되기 전에, 상기 하나 이상의 제1 스캔 라인들에 대해 상기 라인 버퍼로 수신된 상기 하나 이상의 출력 빔 프로파일들에 대한 데이터에 기초하여, 상기 다음 스캔 라인에 대한 예상 출력 빔 프로파일을 결정하는 단계 - 상기 예상 출력 빔 프로파일은 상기 하나 이상의 제1 스캔 라인들에 대한 상기 하나 이상의 출력 빔 프로파일들과 실질적으로 동일한 값을 가지거나 이득 증가 또는 감소의 동일한 비율을 가지는 것으로 결정됨 -; 및

상기 입사 빔이 상기 다음 스캔 라인을 향해 지향될 때, 상기 예상 출력 빔 프로파일에 기초하여 상기 다음 스캔 라인에 대한 상기 PMT에의 이득 입력을 설정하는 단계로서, 그리하여 이러한 다음 스캔 라인에 대한 이득의 결과로서 상기 PMT에서의 측정 신호가 상기 PMT 또는 상기 PMT로부터 측정 신호를 수신하는 다른 하드웨어 컴포넌트의 미리 정의된 사양(specification) 내에 속하도록 하는 것인, 상기 PMT에의 이득 입력을 설정하는 단계

를 포함하는, 견본을 검사 또는 측정하는 방법.

청구항 2

청구항 1에 있어서, 상기 하나 이상의 제1 스캔 라인들 각각은 제1 다이 위에 있고, 상기 다음 스캔 라인은 하나 이상의 제1 다이 각각과는 상이한 제2 다이 위에 있는 것인, 견본을 검사 또는 측정하는 방법.

청구항 3

청구항 1에 있어서, 상기 제1 스캔 라인들 각각은 복수의 제1 스캔 라인들을 포함하고, 상기 다음 스캔 라인은 상기 제1 스캔 라인들에 인접한 것인, 견본을 검사 또는 측정하는 방법.

청구항 4

청구항 1에 있어서, 이러한 하나 이상의 제1 스캔 라인들 내의 결함을 검출하도록 상기 하나 이상의 제1 스캔 라인들에 대한 상기 하나 이상의 출력 빔 프로파일들에 대한 데이터를 분석하는 단계를 더 포함하는, 견본을 검사 또는 측정하는 방법.

청구항 5

청구항 1에 있어서, 상기 입사 빔이 지향되는 스캔 라인들은 제1 다음 스캔 라인에 인접한 제2 다음 스캔 라인을 더 포함하고, 상기 방법은,

상기 입사 빔이 상기 견본의 상기 제1 다음 스캔 라인으로 지향된 후에 또는 그 동안, 상기 PMT 로부터 상기 라인 버퍼로 상기 제1 다음 스캔 라인에 대한 출력 프로파일에 대한 데이터를 수신하는 단계;

상기 제1 다음 스캔 라인에 대한 상기 라인 버퍼로 수신되는 상기 출력 빔 프로파일에 대한 데이터에 기초하여 상기 제2 다음 스캔 라인에 대한 예상 출력 빔 프로파일을 결정하는 단계; 및

상기 입사 빔이 상기 제2 다음 스캔 라인을 향해 지향될 때, 상기 제2 다음 스캔 라인에 대한 예상 출력 빔 프

로파일에 기초하여 상기 제2 다음 스캔 라인에 대한 상기 PMT에의 이득 입력을 설정하는 단계로서, 그리하여 이러한 제2 다음 스캔 라인에 대한 이득의 결과로서 상기 PMT에서의 측정 신호가 상기 PMT의 미리 정의된 사양 내에 속하도록 하는 것인, 상기 PMT에의 이득 입력을 설정하는 단계

를 더 포함하는, 견본을 검사 또는 측정하는 방법.

청구항 6

청구항 5에 있어서, 상기 제1 및 제2 다음 스캔 라인에 대한 상기 PMT에의 이득 입력은 특정 주파수 범위로 제한되도록 설정되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 7

청구항 1에 있어서, 상기 다음 스캔 라인에 대한 예상 출력 빔 프로파일은 상기 제1 스캔 라인들 중 가장 최근에 스캔된 것에 대한 출력 빔 프로파일 또는 상기 하나 이상의 제1 스캔 라인들에 대한 출력 빔 프로파일들의 평균과 실질적으로 동일한 것으로 예측되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 8

청구항 1에 있어서, 상기 이득 입력은 이득 제어 파형의 형태로 있고, 상기 하나 이상의 제1 스캔 라인들은 복수의 제1 스캔 라인들을 포함하고, 상기 다음 스캔 라인에 대한 예상 출력 빔 프로파일은, 상기 제1 스캔 라인들에 대한 이득 증가 또는 감소의 비율과 실질적으로 동일한, 상기 제1 스캔 라인들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 9

청구항 1에 있어서, 상기 하나 이상의 제1 스캔 라인들은 복수의 제1 스캔 라인들을 포함하고, 상기 예상 출력 빔 프로파일은, 상기 제1 스캔 라인들에 대한 이득 증가 또는 감소의 비율에 비례하는, 상기 제1 스캔 라인들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 10

청구항 1에 있어서, 상기 이득은 또한, 상기 다음 스캔 라인에 대하여 상기 PMT에 의해 출력되는 측정 신호로부터 발생된 이미지 내의 인공결함(artifact)을 최소화하도록, 이러한 이득이 상기 다음 스캔 라인의 스캔과 일치하도록 정렬되고 미리 결정된 값의 범위 내에 유지되도록 설정되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 11

청구항 1에 있어서, 상기 이득은, 크기가 실질적으로 동일하고 180도 위상차로 이루어진 2개의 이득 신호를 상기 PMT에 입력함으로써 상기 다음 스캔 라인에 대하여 상기 PMT에 입력되고, 상기 2개의 이득 신호 중의 하나는 상기 PMT의 다이노드의 첫 번째 절반(half)에 의해 수신되고, 상기 2개의 이득 신호 중의 다른 하나는 상기 PMT의 다이노드의 또다른 절반에 의해 수신되는 것인, 견본을 검사 또는 측정하는 방법.

청구항 12

견본을 검사 또는 측정하는 시스템에 있어서,

견본을 향해 지향되는 입사 빔에 응답하여 이러한 견본으로부터 나오는 광을 감지하는 광전자 증배관(PMT);

각각의 스캔 라인으로부터의 출력 빔 프로파일이 상기 PMT에 의해 연속하여 집광되도록 상기 견본의 복수의 연속 스캔 라인들에 걸쳐 상기 입사 빔을 지향시키는 빔 발생기 - 상기 스캔 라인들은 하나 이상의 제1 스캔 라인들 및 상기 하나 이상의 제1 스캔 라인들 후에 스캔되는 다음 스캔 라인을 포함함 - ;

상기 입사 빔이 이러한 스캔 라인들에 대해 스캔될 때 각각의 스캔 라인에 대하여 응답 신호를 발생하기 위해 상기 PMT 및 하나 이상의 검출 컴포넌트를 포함하는 검출 모듈; 및

상기 검출 모듈로부터 각각의 스캔 라인에 대한 응답 신호에 대한 데이터를 수신하기 위한 라인 버퍼를 포함하고, 이러한 응답 신호에 기초하여 상기 PMT의 이득을 설정하는 이득 예측 모듈 - 상기 견본의 각각의 스캔 라인에 대한 이득은, 상기 입사 빔에 의해 가장 최근에 스캔되었고 이러한 스캔 라인이 상기 입사 빔에 의해 스캔되

기 전에, 상기 견본의 하나 이상의 이전(previous) 스캔 라인들 모두에 대해 수신된 응답 신호에 대한 데이터에 기초하여 이러한 스캔 라인으로부터 나올 것으로 예상되는 광을 예측하는 것에 기초하여 설정됨 -

을 포함하는, 견본을 검사 또는 측정하는 시스템.

청구항 13

청구항 12에 있어서, 상기 각각의 스캔 라인에 대한 이득 입력은, 상기 PMT에서의 측정 신호가 상기 PMT 또는 상기 PMT로부터 측정 신호를 수신하는 상기 검출 모듈 또는 이득 예측 모듈의 다른 하드웨어 컴포넌트의 미리 정의된 사양 내에 속하도록, 이러한 스캔 라인에 대한 이득 제어 파형의 형태로 있는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 14

청구항 12에 있어서, 상기 각각의 스캔 라인 내의 결함을 검출하도록 이러한 스캔 라인에 대한 응답 신호를 분석하는 프로세서를 더 포함하는, 견본을 검사 또는 측정하는 시스템.

청구항 15

청구항 12에 있어서, 상기 각각의 스캔 라인에 대한 상기 PMT에의 이득 입력은 특정 주파수 범위로 제한되도록 설정되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 16

청구항 12에 있어서, 상기 각각의 스캔 라인으로부터의 광은, 상기 하나 이상의 이전 스캔 라인들로부터의 응답 신호로부터 결정되는, 이러한 하나 이상의 이전 스캔 라인들로부터의 광과 실질적으로 동일한 것으로 예측되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 17

청구항 12에 있어서, 상기 하나 이상의 이전 스캔 라인들은 복수의 이전 스캔 라인들을 포함하고, 각각의 스캔 라인으로부터의 광은, 상기 이전 스캔 라인들에 대한 이득 증가 또는 감소의 비율과 실질적으로 동일한, 상기 이전 스캔 라인들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 18

청구항 12에 있어서, 상기 하나 이상의 이전 스캔 라인들은 복수의 이전 스캔 라인들을 포함하고, 각각의 스캔 라인으로부터의 광은, 상기 이전 스캔 라인들에 대한 이득 증가 또는 감소의 비율에 비례하는, 상기 이전 스캔 라인들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 19

청구항 12에 있어서, 상기 각각의 스캔 라인에 대한 이득 입력은 또한, 이러한 스캔 라인에 대하여 상기 PMT에 의해 출력되는 측정 신호로부터 발생된 이미지 내의 인공결함을 최소화하도록, 이러한 이득 입력이 이러한 스캔 라인의 스캔과 일치하도록 정렬되고 미리 결정된 값의 범위 내에 유지되도록 설정되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 20

청구항 12에 있어서, 상기 각각의 스캔 라인에 대한 상기 PMT에의 이득 입력은, 크기가 실질적으로 동일하고 180도 위상차로 이루어진 2개의 이득 신호를 상기 PMT에 입력함으로써 달성되고, 상기 2개의 이득 신호 중의 하나는 상기 PMT의 다이노드의 첫 번째 절반에 의해 수신되고, 상기 2개의 이득 신호 중의 다른 하나는 상기 PMT의 다이노드의 또다른 절반에 의해 수신되는 것인, 견본을 검사 또는 측정하는 시스템.

청구항 21

검사 또는 계측 툴로 하여금 다음 동작들을 수행하게 하도록 구성되는 컴퓨터 프로그램 명령어가 저장되어 있는

적어도 하나의 컴퓨터 판독가능한 저장 매체에 있어서, 상기 동작들은,

각각의 스캔 라인으로부터의 출력 빔 프로파일이 광전자 증배관(PMT)에 의해 연속하여 집광되도록 견본의 복수의 연속 스캔 라인들에 걸쳐 입사 빔을 지향시키는 단계 - 상기 스캔 라인들은 하나 이상의 제1 스캔 라인들 및 상기 하나 이상의 제1 스캔 라인들 후에 스캔되는 다음 스캔 라인을 포함함 - ;

상기 입사 빔이 상기 견본의 하나 이상의 제1 스캔 라인들로 지향된 후에 또는 그 동안, 그리고 상기 입사 빔이 상기 다음 스캔 라인으로 지향되기 전에, 상기 하나 이상의 제1 스캔 라인들 전체에 대한 데이터를 보유(holding)하기 위한 라인 버퍼로, 상기 PMT 로부터 상기 하나 이상의 제1 스캔 라인들에 대한 하나 이상의 출력 빔 프로파일들에 대한 데이터를 수신하는 단계;

상기 입사 빔이 상기 다음 스캔 라인으로 지향되기 전에, 상기 하나 이상의 제1 스캔 라인들에 대해 상기 라인 버퍼로 수신된 상기 하나 이상의 출력 빔 프로파일들에 대한 데이터에 기초하여, 상기 다음 스캔 라인에 대한 예상 출력 빔 프로파일을 결정하는 단계 - 상기 예상 출력 빔 프로파일은 상기 하나 이상의 제1 스캔 라인들에 대한 상기 하나 이상의 출력 빔 프로파일들과 실질적으로 동일한 값을 가지거나 이득 증가 또는 감소의 동일한 비율을 가지는 것으로 결정됨 -; 및

상기 입사 빔이 상기 다음 스캔 라인을 향해 지향될 때, 상기 예상 출력 빔 프로파일에 기초하여 상기 다음 스캔 라인에 대한 상기 PMT에의 이득 입력을 설정하는 단계로서, 그리하여 이러한 다음 스캔 라인에 대한 이득의 결과로서 상기 PMT에서의 측정 신호가 상기 PMT 또는 상기 PMT로부터 측정 신호를 수신하는 다른 하드웨어 컴포넌트의 미리 정의된 사양 내에 속하도록 하는 것인, 상기 PMT에의 이득 입력을 설정하는 단계

를 포함하는 것인, 적어도 하나의 컴퓨터 판독가능한 저장 매체.

청구항 22

청구항 21에 있어서, 각각의 스캔 라인에 대한 상기 PMT에의 이득 입력은, 크기가 실질적으로 동일하고 180도 위상차로 이루어진 2개의 이득 신호를 상기 PMT에 입력함으로써 달성되고, 상기 2개의 이득 신호 중의 하나는 상기 PMT의 다이노드의 첫 번째 절반에 의해 수신되고, 상기 2개의 이득 신호 중의 다른 하나는 상기 PMT의 다이노드의 또다른 절반에 의해 수신되는 것인, 적어도 하나의 컴퓨터 판독가능한 저장 매체.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 Ralph C. Wolf 등에 의해 2011년 12월 16일 출원된 미국 가출원 번호 제61/576,702호 및 Ralph C. Wolf 등에 의해 2012년 9월 13일 출원된 출원 번호 제 61/700,527호의 우선권을 주장하며, 이들 출원은 모든 목적에 대하여 그 전체가 참조에 의해 여기에 포함된다.

[0003] 본 발명의 기술분야

[0004] 본 발명은 일반적으로 검사 및 계측 시스템에 관한 것이다. 보다 구체적으로, 본 발명은 반도체 웨이퍼 및 기타 유형의 패터닝된 샘플을 검사 및 측정하기 위한 집광 메커니즘에 관한 것이다.

배 경 기 술

[0005] 일부 종래의 광학 검사 툴은 타이트하게 포커싱된 레이저 스폿으로 웨이퍼의 표면을 스캔하고 웨이퍼 상의 조명된 스폿에 의해 산란된 광의 양을 측정함으로써 패터닝된 웨이퍼 상의 결함들의 위치를 찾는다. 인접한 다이들 내의 유사 위치들 간의 산란 강도의 차이가 잠재적인 결함 자리로서 기록된다.

[0006] 이 광 산란의 동적 범위는 통상적으로 상당하다. 단일 다이 내에서 백만 중의 일보다 더 큰 산란 강도의 변화는 드문 일이 아니다. 이 높은 동적 범위는 관심있는 결함 및 웨이퍼의 산란 특성 그리고 기구의 광학적 구성에 고유하다.

[0007] 광학적 감지(optical sensing)는 광학 신호(광자)를 전기적 신호(전자)로 변환하는 프로세스이다. 광학 신호가 흐릿하고 주파수가 높은 경우, 광전자 증배관(photomultiplier tube)이 통상적으로 사용된다. 광전자 증배관은 일반적으로, 포토캐소드(photocathode), 하나 이상의 다이노드(dynode), 및 애노드를 포함한다. 캐소드에 부딪

히는 개별 광자들은 전자를 몰아내는 특정 확률(예를 들어, 25%)을 갖는다. 그러면 이들 광전자는 전기장에 의해 제1 다이노드를 향해 가속된다. 전자가 다이노드에 부딪힐 때, 이들은 추가의 전자를 몰아냄으로써, 신호를 증폭한다. 그 다음, 이들 이차 전자가 다음 다이노드를 향해 캐스캐이드(cascade)되며, 여기에서 다시 증폭된다. 다이노드 체인의 끝에서, 전자들은 광전자 증배관 밖으로 이들을 수송하는 애노드에 의해 집광된다. 이 시점에서, 신호는 트랜스임피던스 증폭기 다음의 아날로그-디지털 컨버터와 같은 종래의 전자기기를 사용하여 쉽게 측정될 수 있을 정도로 충분히 크다.

[0008] 각각의 다이노드에서의 이득은 들어오는 전자의 에너지의 함수이며, 이는 그 다이노드와 이전(previous) 스테이지 간의 전기 전위에 비례한다. 관의 총 이득은 모든 다이노드로부터의 이득의 산물이다. 광전자 증배관 이득 제어를 개선하기 위한 지속적인 노력이 존재한다.

발명의 내용

[0009] 다음은 본 발명의 특정 실시예의 기본 이해를 제공하기 위하여 본 개시의 단순화된 요약을 제시한다. 이 요약은 본 개시의 집약적인 개요가 아니며, 본 발명의 핵심/중요 구성요소를 나타내는 것도 본 발명의 범위를 정하는 것도 아니다. 이의 유일한 목적은 나중에 제시되는 보다 상세한 설명에 대한 서론으로서, 여기에 개시된 일부 개념을 단순화된 형태로 제시하는 것이다.

[0010] 하나의 실시예에서, 견본(specimen)을 검사 또는 측정하는 방법이 개시된다. 각각의 스캔 부분으로부터의 출력 빔 프로파일이 광전자 증배관(PMT; photomultiplier tube)에 의해 연속하여 집광(collect)되도록 견본의 복수의 연속 스캔 부분들에 걸쳐 입사 빔이 지향되고, 스캔 부분들은 적어도 하나의 제1 스캔 부분들 및 하나 이상의 제1 스캔 부분들 후에 스캔되는 다음 스캔 부분을 포함한다. 입사 빔이 견본의 하나 이상의 제1 스캔 부분들로 지향된 후에 또는 그 동안, 각각의 제1 스캔 부분에 대하여 PMT에 의해 집광된 출력 빔 프로파일에 기초하여 각각의 제1 스캔 부분에 대한 출력 신호가 획득된다. 각각의 하나 이상의 제1 스캔 부분들에 대하여 획득되는 출력 신호에 기초하여 다음 스캔 부분에 대한 예상 출력 빔 프로파일이 결정된다. 입사 빔이 다음 스캔 부분을 향해 지향될 때, 예상 출력 빔 프로파일에 기초하여 다음 스캔 부분에 대한 PMT에의 이득 입력이 설정되며, 그리하여 이러한 다음 스캔 부분에 대한 이득의 결과로서 PMT에서의 측정 신호가 PMT 또는 PMT로부터 측정 신호를 수신하는 다른 하드웨어 컴포넌트의 미리 정의된 사양(specification) 내에 속하게 된다.

[0011] 특정 구현에서, 각각의 하나 이상의 제1 스캔 부분들은 제1 다이를 포함하고, 다음 스캔 부분은 각각의 하나 이상의 제1 다이와 상이한 제2 다이를 포함한다. 다른 구현에서, 각각의 하나 이상의 제1 스캔 부분들은 하나 이상의 제1 스캔 라인들을 포함하고, 다음 스캔 부분은 하나 이상의 제1 스캔 라인들에 인접한 제2 스캔 라인을 포함한다. 부가의 양상에서, 하나 이상의 제1 스캔 부분들에 대한 출력 신호는 또한 이러한 하나 이상의 제1 스캔 부분들 내의 결함을 검출하도록 분석된다. 다른 부가의 양상에서, 입사 빔이 지향되는 스캔 부분들은 제1 다음 스캔 부분에 인접한 제2 다음 스캔 부분을 더 포함하고, 방법은, (i) 입사 빔이 견본의 제1 다음 스캔 부분으로 지향된 후에 또는 그 동안, 이러한 제1 다음 스캔 부분에 대하여 PMT에 의해 집광된 출력 빔 프로파일에 기초하여 제1 다음 스캔 부분에 대한 출력 신호를 획득하고; (ii) 제1 다음 스캔 부분에 대하여 획득되는 출력 신호에 기초하여 제2 다음 스캔 부분에 대한 예상 출력 빔 프로파일을 결정하고; (iii) 입사 빔이 제2 다음 스캔 부분을 향해 지향될 때, 제2 다음 스캔 부분에 대한 이득의 결과로서 PMT에서의 측정 신호가 PMT의 미리 정의된 사양 내에 속하게 되도록, 이러한 제2 다음 스캔 부분에 대한 예상 출력 빔 프로파일에 기초하여 제2 다음 스캔 부분에 대한 PMT에의 이득 입력을 설정하는 것을 더 포함한다. 부가의 양상에서, 제1 및 제2 다음 스캔 부분에 대한 PMT에의 이득 입력은 특정 주파수 범위로 제한되도록 설정된다.

[0012] 다른 특정 구현에서, 다음 스캔 부분에 대한 예상 출력 빔 프로파일은, 제1 스캔 부분들 중 가장 최근에 스캔된 것에 대한 출력 빔 프로파일 또는 하나 이상의 제1 스캔 부분들에 대한 출력 빔 프로파일들의 평균과 실질적으로 동일한 것으로 예측된다. 다른 예에서, 하나 이상의 제1 스캔 부분들은 복수의 제1 스캔 부분들을 포함하고, 다음 스캔 부분에 대한 예상 출력 빔 프로파일은, 제1 스캔 부분들에 대한 이득 증가 또는 감소의 비율과 실질적으로 동일한, 제1 스캔 부분들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측된다. 또 다른 예에서, 하나 이상의 제1 스캔 부분들은 복수의 제1 스캔 부분들을 포함하고, 예상 출력 빔 프로파일은, 제1 스캔 부분들에 대한 이득 증가 또는 감소의 비율에 비례하는, 제1 스캔 부분들 중 바로 직전에 스캔된 것으로부터의 이득 증가 또는 감소의 비율을 갖는 것으로 예측된다.

[0013] 하나의 실시예에서, 이득은 또한, 다음 스캔 부분에 대하여 PMT에 의해 출력되는 측정 신호로부터 발생된 이미지 내의 인공결함(artifact)을 최소화하도록, 이러한 이득이 다음 스캔 부분의 스캔과 일치하도록 정렬되고 미리 결정된 값의 범위 내에 유지되도록 설정된다. 다른 양상에서, 이득은, 크기가 실질적으로 동일하고 180도

위상차로 이루어진 2개의 이득 신호를 PMT에 입력함으로써 다음 스캔 부분에 대하여 PMT에 입력되며, 2개의 이득 신호 중의 하나는 PMT의 다이노드의 첫 번째 절반(half)에 의해 수신되고, 2개의 이득 신호 중의 다른 하나는 PMT의 다이노드의 또다른 절반에 의해 수신된다.

[0014] 대안의 실시예에서, 본 발명은 견본을 검사 또는 측정하는 시스템에 관한 것이다. 이 시스템은 견본을 향해 지향되는 입사 빔에 응답하여 이러한 견본으로부터 나오는 광을 감지하는 광전자 증배관(PMT) 및 각각의 스캔 부분으로부터의 출력 빔 프로파일이 PMT에 의해 연속으로 집광되도록 견본의 복수의 연속 스캔 부분들에 걸쳐 입사 빔을 지향시키는 빔 발생기를 포함한다. 스캔 부분들은 하나 이상의 제1 스캔 부분들 및 하나 이상의 제1 스캔 부분들 후에 스캔되는 다음 스캔 부분을 포함한다. 시스템은 입사 빔이 이러한 스캔 부분에 대해 스캔될 때 각각의 스캔 부분에 대하여 응답 신호를 발생하기 위해 PMT 및 하나 이상의 검출 컴포넌트를 포함하는 검출 모듈, 그리고 검출 모듈로부터 각각의 스캔 부분에 대한 응답 신호를 수신하고 이러한 응답 신호에 기초하여 PMT의 이득을 설정하는 이득 예측 모듈을 더 포함한다. 견본의 각각의 스캔 부분에 대한 이득은, 입사 빔에 의해 가장 최근에 스캔되었던 견본의 하나 이상의 이전 스캔 부분들로부터 발생된 응답 신호에 기초하여 이러한 스캔 부분으로부터 나올 것으로 예상되는 광을 예측하는 것에 기초하여 설정된다.

[0015] 특정 양상에서, 각각의 스캔 부분에 대한 이득 입력은, 이러한 이득의 결과로서 PMT에서의 측정 신호가 PMT 또는 PMT로부터 측정 신호를 수신하는 검출 모듈 또는 이득 예측 모듈의 다른 하드웨어 컴포넌트의 미리 정의된 사양 내에 속하게 되도록 설정된다. 부가의 양상에서, 시스템은 각각의 스캔 부분들 내의 결함을 검출하도록 이러한 스캔 부분에 대한 응답 신호를 분석하는 프로세서를 포함한다. 부가의 실시예에서, 시스템은 상기 기재한 방법 동작들 중의 하나 이상의 동작을 구현한다.

[0016] 다른 실시예에서, 본 발명은 검사 또는 계측 툴로 하여금 상기 기재한 방법 동작들 중의 하나 이상의 동작을 수행하게 하도록 구성되는 컴퓨터 프로그램 명령어가 저장되어 있는 적어도 하나의 컴퓨터 판독가능한 저장 매체에 관한 것이다.

[0017] 본 발명의 이들 및 기타 양상들이 도면을 참조하여 아래에 더 기재된다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 하나의 실시예에 따른 광학 검사 시스템의 도면이다.

도 2는 본 발명의 하나의 실시예에 따른 도 1의 조명 및 집광 채널의 상부 평면도이다.

도 3은 본 발명의 하나의 실시예에 따라 웨이퍼 표면 상의 스폿의 스캔 경로를 도시한 상세도이다.

도 4는 본 발명의 하나의 실시예에 따른 고속 대수 광 검출기 시스템을 예시한 개략도이다.

도 5는 본 발명의 특정 구현에 따른 도 4의 이득 예측 및 조정 모듈의 도면이다.

도 6a는 광 대역폭이 검출 시스템의 능력을 넘어서는 특정 PMT 이득 조정 솔루션에 의해 생성된 결과를 도시한다.

도 6b는 본 발명의 특정 구현에 따라 웨이퍼 구조의 사전 지식으로부터 PMT 이득이 결정되는 "개방 루프" 솔루션에 의해 생성된 결과를 도시한다.

도 7은 본 발명의 하나의 실시예에 따른 이득 예측 및 조정 절차를 예시한 흐름도이다.

도 8a는 본 발명의 특정 실시예에 따른 광전자 증배관(PMT)에 대한 바이어싱 회로를 예시한 개략도이다.

도 8b는 본 발명의 하나의 실시예에 따른 도 8a의 정확한 매칭된 전류 소스를 예시한 개략도이다.

도 8c는 도 4 및 도 8a의 증폭기 회로의 하나의 구현을 도시하는 개략도이다.

도 9a는 본 발명의 대안의 실시예에 따라 2개의 이득 입력을 갖는 광전자 증배관(PMT)에 대한 바이어싱 회로를 예시한 개략도이다.

도 9b는 도 9a의 2개의 이득 증폭기 회로의 하나의 구현을 도시한 개략도이다.

도 10은 본 발명의 제2 실시예에 따라 2개의 PMT 이득 신호를 출력하기 위한 고속 대수 광검출기 시스템을 예시한 개략도이다.

도 11은 원형 케이지 타입 PMT의 도면이다.

도 12는 변조 전압에 대하여 그려진, 집광된 전자의 최대수(이득)에 대한 애노드에서의 집광된 전자의 비를 예시한다.

도 13은 상이한 다이노드 변조 방식에 대한 상이한 벤치 이득 데이터를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0019] 다음의 설명에서, 본 발명의 철저한 이해를 제공하기 위하여 다수의 구체적 세부사항들이 서술된다. 본 발명은 이들 구체적 세부사항의 일부 또는 전부 없이도 실시될 수 있다. 다른 경우로, 잘 알려져 있는 프로세스 동작은 본 발명을 불필요하게 모호하게 하지 않도록 상세하게 기재되지 않았다. 본 발명은 구체적 실시예에 관련하여 기재될 것이지만, 본 발명을 실시예에 한정하고자 하는 것이 아님을 이해할 것이다.

[0020] 고속 대수 광검출기 시스템(high-speed logarithmic photo-detector system)의 특정 실시예가 임의의 적합한 광학 검사 또는 계측 시스템에 이용될 수 있다. 하나의 일반적인 예에서, 시스템은 유효한 이미지 인공결함(artifact) 없이 반도체 웨이퍼와 같은 샘플로부터 나오는 빔(예를 들어, 산란 광, 반사 광, 또는 이차 전자)으로부터 비교적 넓은 동적 범위의 강도 값을 빠르게 검출하도록 구성된다. 그 다음, 검출된 출력 신호는 샘플상에 결함이 존재하는지 여부를 결정하도록 분석될 수 있다. 예를 들어, 타겟 다이로부터의 강도 값이 기준 다이의 대응하는 부분으로부터의 강도 값과 비교되며, 유효한 강도 차이는 결함으로서 정의될 수 있다. 이들 검사 시스템은 아래에 더 기재되는 신규의 검출기 메커니즘과 함께 임의의 적합한 검사 기술을 구현할 수 있다. 예로써, 명시야(brightfield) 및/또는 암시야(darkfield) 광학 검사 메커니즘이 이용될 수 있다. 본 발명의 메커니즘은 또한 주사 전자 현미경(SEM; scanning electron microscopy) 시스템 내에서 구현될 수 있다.

[0021] 도 1은 본 발명의 하나의 실시예에 따른 광학 시스템(100)의 도면이다. 광학 시스템은 반도체 표면과 같은 샘플로부터 방사된 광을 검출하기 위한 임의의 적합한 수의 검출기 또는 집광 채널을 포함한다. 검출기 또는 집광 채널은 검사 또는 계측 애플리케이션의 특정 요건에 따라 좌우되는 임의의 적합한 위치에 배열될 수 있다. 예시된 실시예는 웨이퍼 표면(112)에 대해 대칭으로 배치된 2개의 콜렉터 채널(collector channel)(110a-b 및 111a-b)의 2 그룹을 사용하며, 그리하여 한 쌍 내의 각각의 콜렉터 채널은 스캔 라인의 대향 측의 동일한 방위각에 위치된다. 이들 방위 콜렉터 채널은 산란 광을 검출한다.

[0022] 그 다음, 콜렉터 채널로부터의 출력은 데이터 분석 및/또는 이미지 생성을 위해 프로세서(101)에 보내질 수 있다. 채널로부터의 데이터는 다양한 알고리즘 및 논리 동작, 예를 들어 OR, AND 및 XOR을 수행함으로써 비교될 수 있다.

[0023] 광학 시스템은 또한 입사 빔을 발생하고 이를 샘플을 향해 지향시키기 위한 빔 발생기(예를 들어, 컴포넌트(113, 115, 116, 및 117))를 포함한다. 도 1에 도시된 바와 같이, 광원(113), 통상적으로 레이저는 빔(114)을 방사한다. 빔(114)은 프리디플렉터(pre-deflector) 광학기기(115)를 향해 지향되며, 프리디플렉터 광학기기(115)는 스캐너(116)와 양립가능한 원하는 편광으로 타원 빔을 생성하기 위하여 반파장판, 공간 필터 및 여러 개의 원통 렌즈로 구성될 수 있다. 프리디플렉터 광학기기(115)는 적합한 개구수(numerical aperture)를 얻기 위해 빔을 확대하도록 구성될 수 있다. 포스트디플렉터(post-deflector) 광학기기(117)는 여러 개의 원통 렌즈 및 공기 슬릿을 포함할 수 있다. 마지막으로, 빔(114)은 웨이퍼 표면(112)에 포커싱되게 되고 웨이퍼 표면(112)의 평면에 스캔될 수 있다. 장치에 채용된 디플렉터의 유형은 애플리케이션에 따라 좌우되고, 다면경 또는 검류계를 포함할 수 있다. 하나의 실시예에서, 디플렉터(116)는 음향 광학 디플렉터이다. 웨이퍼 표면(112)은 평평하거나(118) 패터닝될 수 있다(119). 상기 기재한 콜렉터 채널(110a-b 및 111a-b)에 더하여, 반사/오토포지션(autoposition) 채널(120) 및 수직 콜렉터 채널(121)을 포함하는 검출기 채널이 제공될 수 있다.

[0024] 빔(114)의 파장은 애플리케이션의 특정 요건에 따라 좌우된다. 예를 들어, 빔(114)은 약 488 nm의 파장을 가질 수 있고 아르곤 이온 레이저와 같은 임의의 적합한 광원에 의해 생성될 수 있다. 빔(114)의 광축(148)은 각도 Θ에서 웨이퍼 표면(112)으로 지향될 수 있다. 이 각도 Θ는, 애플리케이션에 따라, 웨이퍼 표면(112)에 대한 법선에 대하여 55-85도의 범위와 같은 임의의 적합한 각도일 수 있다.

[0025] 스캐닝 메커니즘은 디플렉터(116) 및 웨이퍼가 위에 놓이는 변형(translation) 스테이지(124)를 포함할 수 있다. 스테이지(124) 상의 웨이퍼의 위치는 임의의 편리한 방식으로, 예를 들어 진공 흡입을 통해 유지된다. 스테이지(124)는 줄무늬 영역들(striped region)의 폭에 걸쳐 빔을 이동시키는 디플렉터(116)를 이용해 표면(112)을 125, 126 및 127로 도시된 줄무늬 영역들로 분할하도록 이동할 수 있다.

[0026] 도 3을 참조하면, 빔(114)의 지표각(grazing angle)은 웨이퍼 표면(112) 상에 타원 스폿(323)을 생성하며, 이는

특정 구현에서 스캔 라인에 수직인 주축을 갖는다. 디플렉터(116)는 정반사로(specularly) 반사 및 산란된 광을 생성하도록 줄무늬 영역(125)의 폭과 길이가 동일한 짧은 스캔 라인에 걸쳐 스폿(323)을 스캔하도록 동작할 수 있다. 스테이지(124)가 스캔 라인에 수직으로 웨이퍼를 이동시킴에 따라 스폿(323)은 표시된 방향으로 스캔될 수 있다. 이 스캐닝으로써, 도 3에 도시된 바와 같이 스폿(323)이 줄무늬 영역(125) 내에서 이동하게 될 수 있다. 예시된 실시예에서, 스폿(323)은 스캔 경로(328)로 표시된 바와 같은 방향으로 스캔한다. 스캔 경로(328)는 329에서 유효 시작 위치를 가지며, 스폿(323)은 줄무늬 영역(125)의 경계(331)에 도달할 때까지 그로부터 오른쪽으로 이동한다. 경계(331)에 도달하면, 스폿(323)은 스캔 방향에 수직으로 스테이지(214)에 대하여 이동하고, 그러면 스폿은 새로운 시작 위치(330)에 위치되며 스캔 라인(332)을 따라 스캔 라인(328)에 평행하게 이동한다. 디플렉터(116)는 줄무늬 영역(125)의 전체 길이를 따라 이 방식으로 스폿(323)을 계속해서 스캔한다. 줄무늬 영역(125)의 스캔의 완료시, 스테이지(124)는 인접한 줄무늬 영역(126)의 스캐닝을 허용하도록 웨이퍼에 대하여 이동한다. 스테이지(124)가 줄무늬 영역(125)을 스캔할 때와 반대 방향으로 각각의 스캔 라인에 수직으로 이동함으로써 서펜타인(serpentine) 스캔을 형성하도록 유효 시작 위치(333)가 지정된다. 이는 스캔 경로(334 및 335)에 의해 입증된다. 반대 방향으로 인접한 줄무늬 영역을 스캔하도록 스테이지(124)를 이동하는 것은 시간당 스캔되는 웨이퍼의 수를 증가시키면서 스테이지의 기계적 이동의 양을 상당히 감소시킨다.

[0027] 도 1 및 도 2를 참조하면, 웨이퍼 표면(112)으로부터 산란된 광은 콜렉터 채널(110a-b 및 111a-b)과 같은 하나 이상의 검출기에 의해 검출될 수 있다. 콜렉터 채널은 그 중에서도 채널의 고도각(elevational angle) 및 방위각에 따라 고정된 입체각에 대해 광을 집광하도록 배치될 수 있다. 각각의 집광 채널의 광축은 표면(112)에의 법선에 대하여 0 내지 90도의 범위의 고도각 Ψ에 위치될 수 있다. 상기 설명한 바와 같이, 콜렉터 채널(110a 및 110b)은 스캔 라인의 반대측에 빔(114)에 대하여 동일한 방위각에 대칭으로 위치될 수 있다. 콜렉터 채널(110a 및 110b)은, 빔(114)에 대하여, 측방으로(laterally) 산란된 광을 집광하도록 약 75도 내지 약 105도 범위의 방위각 $\Psi 1$에 위치될 수 있다. 측방으로 산란된 광은 빔(114)에 대하여 약 75 내지 약 105도 범위의 방위각으로 산란된 광으로서 정의될 수 있다. 콜렉터 채널(110a 및 110b)과 마찬가지로, 채널(111a 및 111b)은 동일한 방위각으로 스캔 라인의 반대측에 위치될 수 있지만, 채널(111a 및 111b)의 방위각 Ψ_2은 전방으로 산란된 광을 집광하도록 30 내지 60도 범위일 수 있다. 전방으로 산란된 광은 30 내지 60도 범위의 방위각으로 산란된 광으로서 정의될 수 있다. 물론, 콜렉터 채널의 수 및 위치 및/또는 이들 집광 입체각은 다양한 대안의 실시예에서 본 발명의 범위에서 벗어나지 않고서 변경될 수 있다.

[0028] 명시야 반사/오토포지션 채널(120)은 정반사로 반사된 광을 집광하도록 빔(114) 앞에 위치될 수 있다. 이 채널로부터 유도된 명시야 신호는 패턴, 반사율의 국부적 편차 및 높이에 관한 정보를 반송한다. 이 채널은 표면상의 다양한 결함을 검출하는 데에 민감하다. 예를 들어, 명시야 신호는 막 두께 변동, 변색, 변형 및 유전 상수의 국부적 변화를 나타내는 것에 민감하다. 명시야 신호는 또한, 웨이퍼 높이의 편차에 대응하는 에러 높이 신호를 생성하도록 사용될 수 있으며, 이는 그에 따라 높이를 조정하도록 z 스테이지로 공급된다. 마지막으로, 명시야 신호는 표면의 반사율 맵을 구성하는데 사용될 수 있다. 이 채널은 조명 빔 및 반사 빔이 동일 선상에 있지 않도록 반사 모드로 동작하는 언폴디드(unfolded) 타입 I 공초점(confocal) 현미경으로서 배열될 수 있다. 대안으로서, 조명 빔과 반사 빔은 동일 선상에 있다.

[0029] 수직 콜렉터 채널(121)은 웨이퍼의 평면에 대략 수직인 영역 위의 고정 입체각에 걸쳐 광을 집광하도록 배열될 수 있다. 집광 입체각 외에, 수직 콜렉터 구현은 다른 콜렉터 채널(110ab 및 111ab)과 유사할 수 있다. 수직 콜렉터는, 웨이퍼 상의 의도적 패턴으로부터 산란된 광을 집광할 뿐만 아니라 위쪽 방향으로 광을 산란시키는 결함을 검출하는데 사용될 수 있다. 의도적 패턴으로부터 집광된 신호는 기구의 기계대의 좌표 시스템에 대한 웨이퍼 패턴의 정렬 및 등록을 용이하게 하는데 사용될 수 있다.

[0030] 콜렉터 채널 중의 하나 이상은 검출된 출력 신호의 동적 범위를 증가시키기 위한 고속 대수 광검출기 메커니즘을 포함한다. 이들 광검출기 메커니즘은 콜렉터 채널들(110ab, 111ab 및 121) 중의 하나 이상 내에서 제공될 수 있다. 일반적으로, 광 검출기 콜렉터는 검출된 광자로부터 신호를 발생하기 위한 광전자 증배관(PMT)와 같은 광 센서 및 광 신호를 디지털 광 신호로 변환하기 위한 아날로그 대 디지털 컨버터(ADC; analog to digital converter)를 포함한다. 물론, 광을 감지하고 아날로그 신호를 디지털 신호로 변환하기 위한 다른 적합한 메커니즘이 사용될 수 있다.

[0031] 광 검출기 콜렉터는 또한 PMT의 이득을 자동으로 조정하기 위한 메커니즘을 포함한다. PMT의 이득을 자동으로 조정하기 위한 여러 가지 실시예들은, 2004년 12월 21일 허여된 미국 특허 제6,833,913호 및 2001년 1월 23일

허여된 미국 특허 제6,177,665호에 더 기재되어 있으며, 이들 특허는 그 전체가 참조에 의해 여기에 포함된다. 하나의 기재한 접근에서, 콜렉터는 애노드의 전류 검출된 신호 강도에 응답하여 PMT의 이득을 연속적으로 변조하기 위한 고속 피드백 또는 제어 루프 메커니즘을 포함한다. 애노드 출력이 높을 경우, 제어 루프는 높은 강도의 광학 신호가 PMT를 포화시키지 않도록 PMT 이득을 낮춘다. 반대로, 애노드 출력이 낮을 경우, 제어 루프는 낮은 강도의 광학 신호의 감도를 증가시키도록 PMT 이득을 높인다. 이득 정보는 애노드 전류와 독립적으로 캡처되고, 2개의 데이터 스트림이 단일 광학 정보 데이터 스트림을 구성하도록 디지털적으로 재결합된다.

[0032] 기본적인 이득 조정 기술은 검사 시스템이 매우 큰 강도 범위에 걸쳐 광학 신호를 수신할 수 있게 할 수 있지만, 이러한 접근은 아날로그 이득 제어 루프에 있어서 고유의 시간 지연을 가질 수 있다. 빠르게 변하고 있는 신호에 대하여, 제어 루프의 전파 지연은 반응 시스템(reactive system)을 초래한다. 순수 웨이퍼(bare wafer) 상의 점 결함의 심한 경우에, 이 유형의 시스템은 신호의 가장 밝은 부분이 이미 통과한 후에만 반응한다. 그러면 시스템은 높은 이득으로 검사되어야 하는 영역에서 이득을 낮춘다. 제어 루프 접근에서, 특정 픽셀에 대한 PMT 이득은 시스템에 의해 마지막 스캔되었던 이전 픽셀의 애노드 전류의 진폭으로부터 결정된다. 이득은 동일한 스캔 라인에서 바로 직전의 것에 반응하는 것이므로, 이득 변화는 항상 실제 검출된 신호보다 뒤처진다.

[0033] 광학 신호 대역폭이 시스템의 능력을 넘어설 경우, 큰 애노드 전류 과도출력(excursion)은 재구성된 신호에서 인공결함을 초래할 수 있다. 도 6a는 광학 대역폭이 검출 시스템의 능력을 넘어서는 예를 도시한다. 이 예에서, 애노드 전류 출력(602), 이득 신호(604), 및 (견본의)재구성된 이미지 신호(606)가 시간(nS)에 대하여 그래프가 그려진다. 역이득은 실제로, 더 높은 값이 더 높은 광학 신호에 대응하도록 그래프에 나타남을 유의한다. 이득 신호(604)는 애노드 전류(602)로부터 지연된다는 것이 명백하다. 이득(604)은 피크가 지난 후에 계속해서 하강하고 있으며(반전된 상승 신호로서 예시됨) 애노드 전류(602)는 하강하기 시작한다. 이 지연은 대수 증폭기의 능력을 넘는 애노드 전류(602)의 슬루 레이트(slew rate)를 초래하며, 재구성된 신호(606)가 트레일링 측에 비대칭 테일을 나타내게 한다(그래프에서 "image artifact"로 표기됨). "눈물(tear drop) 형상"의 인공결함의 이미지가 또한 도 6a에서 2D 이미지(608)로서 도시되어 있다. 또한, 광학 신호의 가장 밝은 부분이 측정될 때 이득은 최대값 가까이 남아있으며(반전된 이득 신호(604)에서 반전된 최소 값으로서 도시됨), 최대 40 mA의 매우 큰 애노드 전류를 일으키고 이는 0.1 mA 사양을 갖는 PMT에 대한 통상의 최대 평균 애노드 전류 정격을 훨씬 넘는 것이다.

[0034] 본 발명의 특정 실시예는 하나 이상의 이전 스캔 라인들로부터의 측정에 기초하여 각각의 스캔 라인에 대해 필요한 이득을 예측하는 기술을 사용함으로써 이 눈물 형상의 인공결함을 실질적으로 제거한다. 이미지의 공간 해상도는 레이저 스폿의 PSF(point spread function)에 의해 제한된다는 것이 관찰되었다. 예를 들어, 한 유형의 검사 툴은 한 번에 3 1/2 스캔 라인을 커버하는 레이저 스폿을 가질 수 있고, 각각의 라인은 스폿의 전 출력(full power)에 바로 노출되지 않는다. 샘플의 밝은 부분에 대하여, 각각의 스캔된 라인에 대해 샘플로부터 검출된 광은 스폿이 샘플의 밝은 부분을 향해 이동함에 따라 느리게 증가한다. 즉, 하나의 스캔 라인은 충분히 어둡지 않을 것이고, 그 다음 다음의 인접한 라인은 충분히 밝아질 것이다. 추가적으로, 샘플 레이트는 $1/e^2$ 직경당 샘플 수에 대하여 X 및 Y 방향에서 동일하다는 것이 또한 관찰되었다. 이 관찰은, X 방향에서의 이전 픽셀이 y 방향의 이전 픽셀과 똑같이 측정되지 않은 픽셀의 대략적인 강도를 예측하는 것으로서 양호하다는 것을 의미한다. 이전 스캔 라인으로부터 모은 정보에 기초하여 특정 스캔 라인에 대한 이득 제어 파형을 구성함으로써, 시간 지연은 이득의 최소값이 애노드 전류의 최대값과 일치하도록 상당히 제거될 수 있다.

[0035] 본 발명의 특정 실시예는 이전의 스캔 라인을 저장 및 분석한 다음 예를 들어 고속 DAC를 통해 검출기(예를 들어, PMT)에 이득 제어 파형을 보내기 위한 디지털 구현을 포함한다. 2가지 일반적인 구현이 여기에 기재된다: "폐쇄 루프 접근" 및 "개방 루프 접근". 이들 2가지 접근은 이전 스캔 정보가 유지되는 시간 규모 및 이들 복잡도가 상이하다.

[0036] 폐쇄 루프 접근은 일반적으로 다이-다이 또는 웨이퍼-웨이퍼로부터의 광학 신호의 반복성(repeatability)에 관해 어떠한 가정도 하지 않는다. 이 접근은 다음 라인의 밝기를 예측하는데 가장 최근의 이전 스캔 라인으로부터의 정보만 사용한다. 구체적으로, 다가올 데이터(예를 들어, 다음 스캔 라인에서의 데이터)의 강도 범위를 예상하는데 이전 스캔 라인이 사용될 수 있다. 그 다음, 이 예측은 수신 대수 증폭기의 동작 범위의 중간 근방에 애노드 전류를 유지하도록 "최상으로" 타협적인 이득 제어 파형을 구성하는데 사용된다.

[0037] 대안의 "개방 루프" 솔루션에서, 레시피 학습 단계 동안 다이의 밝기가 획득된다. 그 다음, 수신 대수 증폭기의 동작 범위의 중간 근방에 애노드 전류를 유지하도록 이득 파형이 전체 다이에 대하여 결정된다. 그 다음,

이 동일한 이득 파형 또는 이미지가 모든 다이를 검사하는데 사용될 수 있다. 그 결과, 이득의 전파 지연이 실질적으로 거의 일어나지 않으며, "눈물 인공결함"은 측정된 결과로부터 실질적으로 없어진다. 하나의 구현에서, "레시피" 다이의 밝기는 제조 및 측정 효과가 다이 밝기를 시뮬레이트하도록 모델링된 설계 데이터에 기초하여 결정된다. 일반적으로, 특정 다이에 대한 다이 밝기는 다이 구조에 대한 기존의 지식(예를 들어, 다이를 설계한 개체로부터의 정보)으로부터 결정된다. 대안으로서, 다이는 처음에 최소 이득으로 스캔된다. 이 대안의 프로세스에서, 그 다음에 계속해서 낮은 신호를 갖는 다이 영역은 약간 더 높은 이득으로 다시 스캔된다. 스캐닝은 전체 다이가 스캔될 때까지 낮은 신호를 계속해서 갖는 다이 영역에 대해 반복된다. 이 프로세스는 느릴 수 있지만, 이러한 셋업 프로세스는 레시피 셋업 동안에 한 번만 행해질 것이다.

[0038] 이들 2가지 솔루션의 특정 실시예는 이득을 설정하도록 데이터(이전 라인이나 웨이퍼 다이로부터의 데이터)를 저장하는 것을 포함한다. PMT의 이득을 설정하기 위해, 계산된 이득 값은 그 다음, 예를 들어 DAC(digital analog converter)를 통해 실질적으로 거의 전파 지연 없이 제어 루프를 통해 PMT로 재생될 수 있다. 도 6b는 "개방 루프" 솔루션에 의해 생성된 결과를 나타내며, PMT 이득은 본 발명의 특정 구현에 따라 웨이퍼 구조의 사전 지식(prior knowledge)으로부터 결정된다. 도 6b는 애노드 전류(652), 반전된 이득 신호(654), 및 "개방 루프" 실시예로부터 획득된 재구성된 신호(656)의 그래프를 포함한다. 실질적으로 전파 이득 지연이 거의 없고 이미지(658)에 보이는 바와 같이 "눈물" 인공결함이 없어진다는 것이 그래프로부터 명백하다.

[0039] 다시 폐쇄 루프 접근을 참조하면, 도 4는 본 발명의 하나의 실시예에 따른 고속 대수 광 검출기 시스템(400)을 예시한 개략도이다. 도시된 바와 같이, 시스템(200)은 검출 블록(450), 이득 조정 블록(451), 및 결함 프로세서 블록(412)을 포함한다. 임의의 적합한 유형 및 수의 디바이스가 이러한 시스템(400)의 블록들을 구현하도록 이용될 수 있으며, 이들 블록들은 복수의 디바이스 상에 또는 단일 디바이스 상에 함께 통합될 수 있다. 예시적인 메커니즘은 아래에 더 기재된다.

[0040] 검출 블록(450)은 일반적으로 샘플로부터 나오는 광을 감지하고 이러한 감지된 광에 기초하여 응답 신호를 발생한다. 검출 블록(450)은 또한 이득 조정 블록(451)에 의해 센서로 입력되는 이득을 감지하고 이러한 감지된 이득에 기초하여 이득 신호를 발생한다. 검출 블록(450)은 또한 결합된 응답 및 이득 신호를 이득 조정 블록(451) 및 결함 프로세서 블록(412)으로 출력하도록 구성된다.

[0041] 결함 조정 모듈(451)은 일반적으로 결합된 이득 및 응답 신호를 수신하고, 하나 이상의 스캔된 라인에 대하여 이러한 결합된 신호를 저장하고, 그 다음 저장된 신호에 기초하여 샘플의 특정 다음 라인에 대한 이득을 예측한다. 그 다음, 이 이득 예측은 특정 라인에 대하여 센서에의 이득을 조정하는데 사용된다. 이득은 증폭기(464)에 의해 수신되며, 증폭기(464)는 검출 모듈(450)의 센서(401)에 이득을 증폭 및 출력한다. 결함 프로세서(412)는 일반적으로 샘플 상에 결함이 존재하는지 여부를 결정하도록 검출된 신호를 분석한다.

[0042] 검출 블록(450)은 샘플로부터 집광된 광 그리고 센서 또는 PMT에 적용되는 이득(414) 둘 다에 대응하는 신호를 발생하기 위한 임의의 적합한 방식으로 구현될 수 있다. 도시된 바와 같이, 검출 블록(450)은 이득 조정 모듈(451)의 제어-전압 증폭기(464)로부터 PMT 이득 신호(414)를 수신하는 광전자 증배관(PMT)(401)의 형태의 센서를 포함한다. PMT(401)는 그에 부딪히는 광을 측정되는 신호(468), 예를 들어 광도(light intensity)에 비례하는 전류 값으로 변환한다. 이 측정되는 신호(468)는 대수 증폭기(482)에 보내질 수 있다. 적합한 PMT는 원형 케이지 형 PMT, 금속 채널 광증배기 등을 포함한다.

[0043] 대수 증폭기(482)는 PMT(401)의 애노드 전류의 로그(log)인 신호를 생성하도록 배열될 수 있다. 임의의 적합한 베이스 값이 대수 증폭기(482)에 의해 이용될 수 있다. 하나의 구현에서, 대수 증폭기(482)는(Longwood, Fla.의 Analog Modules, Inc.로부터 입수 가능한 모델 382 대수 증폭기와 같은) 10^4 대수 증폭기이다.

[0044] 검출 블록(450)은 또한 이득 조정 블록(451)에 의해 발생된 이득 신호(414)를 수신하고 이러한 이득 신호를 다시 이득 조정 블록(451)에 감지 ADC(404) 및 PMT Response 룩업 테이블(LUT; look up table)(408)을 통해 공급하기 위해 선형 증폭기(490)를 포함할 수 있다.

[0045] 일반적으로, 예를 들어 통상의 응답 곡선과 상이하므로 또는 대수 증폭기(482)의 오류 때문에 또는 PMT 자체에서와 같이 어디에서든 생기는 전류 의존적 오류 때문에, PMT(401)의 실제 이득 특성을 고려하도록, 선형 증폭기(490) 및 대수 증폭기(482)의 출력은 검출된 신호 및 이득의 이상적인 대수 표현으로 디지털화 및 변환될 수 있다. 예시된 실시예에서, 선형 증폭기(490) 및 대수 증폭기(482)의 출력은 각각 감지 ADC(404) 및 전류 ADC(402)에 의해 개별적으로 디지털화된다.

[0046] 감지 ADC(404) 및 전류 ADC(406)의 출력은 각각 프로그램가능한 PMT 응답 LUT(408) 및 대수 증폭기 응답

LUT(406)의 정보를 얻는데(interrogate) 사용될 수 있다. LUT(408 및 406)는 각각, 증폭기(490 및 482)의 출력을, 공통의 미리 결정된 베이스를 갖는 이득(452) 및 애노드 전류(454)의 이상적인(ideal) 대수 표현으로 변환하는, 완전히 일반적인 교정(calibration)을 구현하는데 사용될 수 있다.

[0047] LUT(406 및 408)는 PMT 또는 회로에서 임의의 오프셋, 이득 오류 또는 고차 비선형성을 제거하도록 본 발명의 개별 특정 실시예에 대하여 실험적으로 결정될 수 있다. 사용되는 특정 유형의 PMT의 실제 이득 특성에 따라, 대수 증폭기 또는 멱법칙(예를 들어, 제곱근, 세제곱근 등)과 같은 일부 다른 비선형 트랜스퍼 함수를 갖는 증폭기는 본 발명의 내용을 변경하지 않고서 증폭기(490)를 대신할 수 있다.

[0048] 그 다음, 이득 신호(452)는 PMT 출력 또는 전류 신호(454)로부터 감산되어 출력 신호(488)가 될 수 있으며, 이는 그 다음 이득 조정 모듈(451)에 입력된다. 출력 신호(예를 들어, 측정된 신호(468)로부터 감산된 이득)는 또한 결함(예를 들어, 이미지) 프로세서(412)에 입력될 수 있다. 결함 프로세서(412)는 버퍼링, 압축, 패키징, 노이즈 필터링, 입력 신호에 기초한 이미지 발생, 샘플 상의 결함을 검출하기 위한 이미지 분석 등과 같이 수신된 데이터를 처리하기 위한 메커니즘을 포함할 수 있다. 대부분의 결함은, 강도 간의 차이로서 정의되는 임계값에 의해서가 아니라 타겟 및 기준 다이에서의 강도의 비로서 정의되는 콘트라스트를 검출함으로써 발견될 수 있다. 그러나, 종래의 검사 시스템에서, 강도 비를 결정하는 것은 계산 소모적으로 비용이 많이 든다. 대수 표현을 사용함으로써, 강도 비의 로그를 얻도록 로그 강도의 차이가 간단히 얻어질 수 있다(예를 들어, 프로세서(412)를 통해). 그 다음, 결함이 있는지 여부를 결정하도록 선형 비에 대한 원하는 임계값과 등가인 값에서 임계값이 로그 비에 적용될 수 있다.

[0049] 이득 조정 부분은 임의의 적합한 방식으로 구현될 수 있다. 도 5는 본 발명의 특정 구현에 따라 도 4의 이득 예측 및 조정 모듈(470)의 도면이다. 도 5에 도시된 바와 같이, 결합된 전류 응답 및 이득 신호(PMT - 디지털화된 이득 신호로부터의 디지털화된 출력 신호)가 복수의 라인 버퍼(502)로 수신될 수 있다. 그러나, 버퍼는 마지막 스캔되었던 단일 라인에 대해서만 결합된 신호를 보유하도록 구성될 수 있다. 버퍼(502)는 검사 툴에 의해 스캔될 다가오는 라인 직전에 마지막 스캔되었던 하나 이상의 라인을 보유하도록 구성될 수 있다.

[0050] 그 다음, 버퍼링된 하나 이상의 이전 라인은 다음 스캔 라인에 대한 이득 값을 결정하는 이득 예측 모듈(504)에 의해 수신될 수 있다. 이 이득 값은 또한, 디지털 대 아날로그 컨버터(DAC)(466)와 같이 이득을 더 수신 및/또는 처리하는 다른 신호 프로세싱 하드웨어 컴포넌트에 대한 수락 가능한 값 내에 이득 값이 유지됨을 보장하기 위해, 리미터(limiter)이기도 한 룩업 테이블(LUT)(506)에 입력될 수 있다. 예를 들어, LUT(506)는 이득 파형이 프로세싱 하드웨어의 최소 및 최대 한계 내에 유지됨을 보장하도록 구성된다. 특정 이득 한계를 가질 수 있는 하드웨어는 DAC(466)를 포함한다. 즉, LUT(506)는 이득 값을 DAC(466)가 판독할 수 있는 형태로 변환한다. 예를 들어, 12 비트 DAC는 0 내지 4096의 값만 판독할 수 있다. 예를 들어, DAC(466)가 생성할 수 없는 높은 이득 값은 LUT(506)에 의해, DAC(466)로부터 출력될 수 있는 가장 높은 아날로그 이득 범위의 값을 발생하기 위하여, DAC(466)에 의해 판독 가능한 최대 범위의 값으로 변환될 수 있다.

[0051] LUT(506)의 출력은 또한 멀티플렉서(508)에 입력될 수 있으며, 이는 또한 출력 신호와 승산하기 위해 다른 입력을 수신하도록 구성될 수 있다. 특정 구현에서, MUX(508)는 디버깅 모듈(510)로부터 디버깅 신호를 수신하도록 배열되며, 디버깅 모듈(510)은 디버깅 입력 값을 반복적으로 상승(ramp up)시킴으로써 DAC(466)를 디버그하도록 구성될 수 있다. 제어 레지스터(511)는 MUX(508)가 디버싱 이득 신호(510)를 출력하는지 또는 예측되는 이득 신호를 출력하는지를 제어하도록 구성될 수 있다.

[0052] 이득 신호는 또한, 예를 들어 유도 전류를 최소화하기 위하여, 이득 신호의 주파수를 특정 주파수 범위, 예를 들어 25 MHz 이하로 제한하도록 이득 로우 패스 필터(LPF; low pass filter)(512)에 의해 수신될 수 있다. 예를 들어, 높은 주파수 이득 신호는 시스템에서 원치않는 인공결함을 야기하는 높은 유도 전류를 생성할 수 있다. 따라서, 얼마나 높은 주파수가 원치않는 인공결함을 생성하지 않고서 갈 수 있는지에 대한 실험에 기초하여, LPF(512)는 특정 주파수 최대치 아래로 이득 신호를 제한하도록 선택될 수 있다.

[0053] 이득 신호는 또한, 이득 신호의 출력을 다음 라인과 일치하도록 정렬하기 위해 이득 지연 모듈(514)에 의해 수신될 수 있다. 예를 들어, 이득 신호가 진행하는 배선 및 회로는 이득 신호가 너무 빨리 PMT로 출력되게 할 수 있다. 따라서, 다음 라인에 대한 이득이 이러한 다음 라인이 검사 툴에 의해 스캔되고 있을 때 PMT에 적용되도록, 이득 신호는 다음 라인이 스캔되고 있을 때에 기초하여 지연될 수 있다. 예를 들어, 다음 스캔 라인의 제1 픽셀에 대한 이득은 이전 스캔 라인의 제1 픽셀에 기초하여 예측된 이득으로 설정되고, 다음 스캔 라인의 제2 픽셀에 대한 이득은 이전 스캔 라인의 제2 픽셀에 기초하여 예측된 이득으로 설정되는 등이다.

[0054] 이득 신호는 검출된 응답 신호와 함께 또한, 이득 신호가 PMT에 손상입히지 않음을 보장하도록 PMT 예측 모듈(516)로 입력될 수 있다. 예를 들어, 검출된 광 신호(예를 들어, 검출된 PMT 전류)가 너무 높은 경우, 이득 신호는 PMT를 보호하도록 클램핑 다운될 수 있다.

[0055] 하나의 예시적인 구현에서, 다음 라인에 대한 응답은 이전의 하나 이상의 라인의 응답과 동일한 것으로 예측될 수 있다. 하나보다 많은 수의 라인이 사용되는 경우, 복수의 라인(예를 들어, 3 라인)으로부터의 응답들은 다음 라인에 대한 응답을 예측하도록 같이 평균화될 수 있다. 그러면, 다음 라인에 대한 이득은 결과적인 응답을 지정된 범위의 응답 값 내에 유지하도록 설정될 수 있다. 특정 예에서, 이득은 약 25V(+/-12.5V)에 의해 다이노드 전압이 변조될 때 약 3.5 배의 크기만큼 변경될 수 있다.

[0056] 다음 라인에 대한 이득은 임의의 적합한 기술 또는 메커니즘을 사용하여 예측 및 설정될 수 있다. 도 7은 본 발명의 하나의 실시예에 따른 이득 예측 및 조정 절차(700)를 예시한 흐름도이다. 처음에, 동작 702에서, 샘플의 하나 이상의 제1 라인들의 세트의 각각에 걸쳐 입사 빔이 스캔되며, 특정 이득이 검사 툴의 PMT에 입력된다. 각각의 제1 라인에 걸쳐 입사 빔이 스캔한 후에 또는 그 동안, 동작 704에서, 각각의 제1 라인에 대하여 입력되는 특정 이득 및 각각의 제1 라인으로부터 PMT에 의해 집광되는 출력 빔 프로파일에 기초하여 출력 신호가 각각의 제1 라인에 대하여 획득된다. 예를 들어, 각각의 제1 라인이 입사 빔으로 스캔됨에 따라, 검사 툴의 센서는 광을 집광하고 이러한 집광된 광을 측정 신호로 변환하고, 그 다음 시스템의 다른 컴포넌트는 이러한 제1 라인에 대하여 이러한 측정 신호를 디지털화된 출력 신호(특정 이득을 뺌)로 변환한다. 동작 706에서 각각의 제1 라인에 대한 출력 신호는 이득 예측 동안 추후 사용을 위해 버퍼링되거나 저장될 수 있다.

[0057] 하나 이상의 제1 라인에 대한 출력 신호에 기초하여, 그 다음 동작 708에서 다음 라인에 대하여 집광될 예상 출력 빔 프로파일이 결정될 수 있다. 예를 들어, 예상 출력 빔 프로파일은 하나 이상의 제1 스캔 라인에 대한 출력 빔 프로파일과 실질적으로 동일한 것으로 또는 하나 이상의 제1 스캔 라인에 대한 이득 증가 또는 감소의 비율과 실질적으로 동일한 이득 증가 또는 감소의 비율을 갖는 것으로 가정될 수 있다. 그러면, 동작 710에서, 다음 라인에 대한 예상 출력 빔 프로파일은, 조정된 이득의 결과로서 PMT에서의 측정 신호가 PMT의 미리 정의된 사양 내에 속하게 되도록, 다음 라인에 대한 이득을 결정 및 조정하는데 사용될 수 있다. 도시되지 않았지만, 이 프로세스(700)는 샘플의 임의의 수의 라인들(예를 들어, 전부 또는 상당 부분)에 대하여 반복될 것이다.

[0058] 다음 라인의 각각의 부분에 대하여 결정되는 이득은 다음 라인에 대한 이득 파형이 된다. 각각의 부분에 대한 이득은 센서 또는 PMT의 미리 정의된 설정값(set point) 측정 신호(예를 들어, 애노드 전류)가 유지되도록 조정될 수 있다. 센서에 대하여 높은 설정값 대 낮은 설정값을 선택하는 것에 트레이드오프가 존재한다. 예를 들어, 설정값이 너무 낮게 설정되는 경우, 애노드 전류를 읽어들이는 증폭기(예를 들어, 대수 증폭기(482))가 매우 느릴 수 있다. 그러나, 애노드 전류가 너무 낮게 설정되는 경우, 노이즈가 너무 높게 될 수 있다. 또한, 다음 라인에 대한 이득은 여기에 기재된 바와 같이 인공결함을 최소화하기 위해 대역폭을 감소시키도록 조정될 수 있다. 이득은 또한, 예를 들어 DAC(466)에 의해 판독가능한 형태로, 하드웨어 시스템의 한계를 고려하도록 조정될 수 있다. 이득은 또한 예를 들어 DAC, 케이블 및 광학 경로의 전파 지연을 고려하도록 지연될 수 있다.

[0059] 하나의 구현에서, 다음 스캔에 대한 광의 예상 값은 이전 스캔으로부터의 광의 측정 값과 동일한 것으로 가정된다:

[0060] $$Light(x,y) = Light(x-1,y)$$ 식 (1)

[0061] 식 (1)에서, 샘플은 y 방향 고속 소인(fast sweep)으로 빔에 대해 스캐닝되고 있으며, 그 다음 샘플은 x 방향 저속 소인(slow sweep)으로 빔에 대해 이동한다. 다르게 말하자면, 각각의 스캔 라인은 동일한 x 위치를 갖는다. 그러나, 샘플의 표면은 임의의 적합한 방향으로 스캐닝될 수 있다. 일반적으로, 샘플의 제1 부분이 스캐닝되고, 그 다음 샘플의 제2 부분이 스캐닝된다. 제2 부분에 대한 이득은 이전에 스캔된 제1 부분으로부터의 광 측정에 기초하여 예측될 수 있다.

[0062] 복수의 이전 라인들에 기초하여 다양한 외삽(extrapolation)이 또한 채용될 수 있다. 대수 공간에서 마지막 2 라인의 기하학적 선형 외삽에서, 다음 라인에 대해 예상되는 광은 다음에 의해 결정된다:

[0063] $$Light(x,y) = Light(x-1,y) + (Light(x-1,y) - Light(x-2,y))$$

[0064] 식 (2)

[0065] 이 기하학적 선형 외삽에서, 마지막 2 라인들 간의 차이는 한 라인으로부터 다른 라인으로의 증가를 캡처하도록 마지막 라인의 광 값에 추가된다. 예를 들어, 광이 느리게 증가하는 경우, 다음 라인은 또한 마지막 2 라인들 간의 증가와 같은 양만큼 증가할 것으로 가정될 수 있다.

[0066] 대안의 기하학적 부분 선형 외삽에서, 외삽은 광도의 증가 및 감소가 기하학적 선형 외삽에서보다 더 작은 것으로(또는 더 큰 것으로) 예상되도록 바이어싱될 수 있다:

[0067] $$Light(x,y) = LIght(x-1,y) + \alpha(Light(x-1,y) - Light(x-2,y))$$

[0068] 식 (3)

[0069] 식 (1) 및 식 (2)는 각각 α=0 및 1인 식 (3)의 기하학적 부분적 선형 외삽의 특별한 경우로서 볼 수 있다. 가중치 α는 웨이퍼의 광도가 라인별로 얼마나 빠르게 변하는지 결정함으로써 선택될 수 있다. 광도가 느리게 변하는 경우, 0에 가까운 값이 선택될 수 있다. 반대로, 웨이퍼 광도가 빠르게 변하는 경우, 변하는 광도를 따라잡기 위해 1에 가까운 값이 사용될 수 있다.

[0070] 도 8a는 본 발명의 특정 실시예에 따라 광전자 증배관(PMT)에 대한 바이어싱 회로를 예시한 개략도이다. 도시된 바와 같이, 10개의 다이노드를 구비한, Hamamatsu City, Japan의 Hamamatsu Corporation으로부터 입수 가능한 것과 같은 PMT(10)가 도시되어 있지만, 당해 기술 분야에서의 통상의 지식을 가진 자라면 본 발명은 상이한 수의 다이노드를 갖거나 또는 상이한 제조자로부터의 PMT에 용이하게 채용될 수 있다는 것을 알 수 있을 것이다.

[0071] 이 예시된 실시예에서, PMT(10)는 2개의 매칭된 정전류원(12 및 14)에 의해 바이어싱되며, 하나는 변조된 다이노드 세트에 대한 것이고 하나는 고정된 다이노드 세트에 대한 것인 2개의 분리된 바이어스 스트링(16 및 18)을 구동한다. 짝수 번호의 다이노드(D2, D4, D6, D8, D10, 및 D12)에 대한 바이어스 제너 다이오드 스트링(16)은 정전류원(12)에 의해 구동되는 직렬 접속된 제너 다이오드(30, 32, 34, 36, 37, 38, 40)를 포함하며, 이는 접지를 기준으로 한다. 이들 제너 다이오드는 예를 들어 각각 200V, 100V, 100V, 100V, 50V, 50V 및 50V의 전압 정격을 가질 수 있다.

[0072] 홀수 번호의 다이노드(D1, D3, D5 및 D7)에 대한 다른 바이어스 제너 다이오드 스트링(18)은 정전류원(14)에 의해 구동되는 직렬 접속된 제너 다이오드(52, 54, 56, 58, 및 60)를 포함한다. 바이어스 제너 다이오드 스트링(18)은 증폭기(464)의 출력에서 고속 가변 전압원(Vctrl)을 기준으로 할 수 있다. 이들 제너 다이오드는 예를 들어 각각 150V, 100V, 100V, 100V 및 125V의 전압 정격을 가질 수 있다. Vctrl이 빠르게 변할 수 있더라도, 바이어스 스트링을 구동하는 정전류원은 고정 DC 전압만 동작시킬 것을 요구한다.

[0073] 제너 다이오드(30, 40, 52, 및 60)의 값은 일반적으로, 인접한 다이노드들 간의 전압이 캐소드(66)에서의 전압으로부터 감소하도록 인접한 다이노드에서 전압을 오프셋하도록 선택될 수 있다. 또한, Vctrl이 다이노드(D12) 상의 전압의 1.5배일 때, 이 전압은 Vmax, 즉 최대 이득 제어 전압이라 불린다.

[0074] 2개의 바이어스 제너 다이오드 스트링의 각각 내에서 다이노드 간(inter-dynode) 전압이 일정하므로, 커패시터(70)는, 바이어스 스트링의 동적 임피던스를 낮추도록, 제너 다이오드(52)를 제외한 모든 바이어스 제너 다이오드와 병렬로 배치될 수 있다. 이들 커패시터는 여기에 개시된 이득 제어 회로의 속도에 영향을 미치지 않고서 임의적으로 크게 제조될 수 있다(예를 들어, 0.1 μF).

[0075] Vctrl이 Vmax와 같을 때, PMT(10)는 그의 최대 이득으로 동작한다. Vctrl이 더 낮은 음(negative)으로 이루어짐에 따라, 다이노드 간 전압은 종래의 바이어싱 회로의 종래의 값보다 교대로 더 크게 그리고 더 작게 된다. 예를 들어, Vctrl이 더 낮은 음으로 이루어짐에 따라, 다이노드(D7 및 D8) 간의 전위는 감소하는 반면에 다이노드(D7 및 D6) 간의 전위는 증가한다. 따라서, 각각의 다이노드에서의 이득은 교대로 증가하거나 감소한다. 그러나, 이득은 홀수 다이노드 상에서 증가하는 것보다 짝수 다이노드 상에서 더 빠르게 감소한다. 그 결과, 전체 PMT 이득은 감소한다.

[0076] Vctrl이 다이노드 D12 상의 전압의 0.5배에 다가감에 따라, 홀수 및 짝수 다이노드의 쌍은 동일 전압에 다가가고 전체 관 이득은 최소화된다. 이 전압은 Vmin이라 불린다. Vctrl이 Vmin에 다가감에 따라, 시스템은 2개의 바이어스 스트링의 컴포넌트 미스매치로 인해 덜 정확하게 된다. 그러나, 회로는 여전히 계속해서 신호를 감쇄할 것이다. 이는 내장형 오버로드 보호를 가능하게 하며 오버로드가 끝날 때 빠른 복구를 갖는다.

[0077] 2개의 바이어스 스트링을 구동하기 위해 도 8a의 정확하게 매칭된 전류원(12 및 14)은 임의의 적합한 방식으로

각각 구현될 수 있다. 도 8b는 2개의 고정 전압 전원 공급장치, 즉 고전압(HV; high voltage) 전원 공급장치(802) 및 저전압(LV; low voltage) 전원 공급장치(804)를 사용하는 전류원 회로를 예시한다. 종래의 바이어싱된 PMT와 함께 사용된 전원 공급장치와 달리, 전류원이 직렬 레귤레이터로서 작용하기 때문에, HV 전원 공급장치는 특히 안정적일 필요가 없다. 고전압 전원 공급장치(802)는 Sutter Creek Calif의 EMCO High Voltage로부터 입수 가능한 Model E06과 같은 상업적으로 입수 가능한 고전압 전원 공급장치일 수 있고, 저전압 전원 공급장치(804)는 Mansfield Mass의 DATEL로부터 입수가능한 Model UWR-12/250-D12와 같이 높은 분리 전압을 갖는 상업적으로 입수 가능한 12V DC-DC 컨버터일 수 있다. 전압 레귤레이터(806)는 9 볼트의 규제된 전압을 공급하는 표준 3단자 선형 전압 레귤레이터일 수 있다. 전압 레귤레이터(808)는 4.096 볼트의 전압 기준을 제공하는 정밀 3 단자 전압 기준일 수 있다. 라인 810, 812, 및 814는 도 8b의 나머지 회로 요소에 전력을 제공하는데 사용된다. 고전압 전원 공급장치(802)는 전류원에 대하여 라인(810)에서 고전압 "부동(floating)" 접지, HVFGND를 형성한다. 저전압 전원 공급장치(804) 및 전압 레귤레이터(806 및 808)는 라인 812에서 4.096V 기준 전압 그리고 전류원에 의해 사용되는 라인 814에서 9 볼트 공급을 발생하도록 이 부동 접지를 기준으로 한다.

[0078] 증폭기(816)는 중간 속도, 낮은 오프셋의 연산 증폭기일 수 있고, MOS 트랜지스터(818)는 고전압 낮은 커패시턴스 N 채널 MOSFET일 수 있다. 임의의 적합한 대안이 Linear Technology, Analog Devices, Texas Instruments, Diodes Inc. 등을 포함한 다수의 제조자로부터 입수 가능하다.

[0079] 저항(820)은 저항(822), 보통의 1% 150 옴 저항에 추가되는 정밀 3,000 옴, 0.1% 저항(Panasonic)의 형태를 취할 수 있다. 하나의 실시예에서, 증폭기(816)는 HVFGND에 저항(822 및 820)의 3,150 옴 조합에 걸쳐 일정한 4.096 전압을 유지하도록 MOS 트랜지스터(818)의 게이트에서의 전압을 조정한다. 이 결과 MOS 트랜지스터(818)를 통해 흐르는 정밀 1.300 mA 전류가 된다. MOS 트랜지스터(818)의 게이트가 격리되므로, MOS 트랜지스터(818)의 드레인에서 모든 전류는 로드로부터 와야 한다.

[0080] 컴포넌트의 비이상적인(non-ideal) 거동에 대하여 보정하도록, 표준 설계 실시에 따라, 저항(824 및 826) 및 커패시터(828)가 사용된다. 예시된 실시예에서 약 50 옴의 값을 가질 수 있는 저항(824)은 MOS 트랜지스터(818)의 게이트 커패시턴스로부터 증폭기(816)를 격리한다. 도시된 실시예에서 약 3,160 옴의 값을 가질 수 있는 저항(826)은 증폭기(816)의 입력 바이어스 전류를 보상한다. 도시된 실시예에서 약 1 μF의 값을 가질 수 있는 커패시터(828)는 디커플링 커패시터이다.

[0081] 예시된 실시예에서, 도 8a의 고전압 증폭기(464)는 약 35의 이득을 갖는 고속 선형 증폭기이다. 도 8c는 도 4 및 도 8a의 증폭기 회로(464)의 하나의 구현을 도시한 개략도이다. 도 8c의 증폭기 회로는 각각 +5V, +2.50V, -5V 및 -100V의 공칭 출력 전압을 갖는 3개의 전원 공급장치 및 하나의 전압 기준(도시되지 않음)을 사용한다. 출력은 높은 이득의 공통 공급원 구성으로 배선되어 있는 고전압 MOS 트랜지스터(192 및 194)에 의해 구동된다. 드레인 커패시턴스를 최소화하도록, 출력의 정상 동작 범위는 약 -25V 내지 -75V의 범위로 제한된다. 증폭기(196)는 MOS 트랜지스터(192)를 직접 제어하지만, MOS 트랜지스터(194)의 고주파수 부분만 제어한다. MOS 트랜지스터(194)의 DC 컴포넌트는 트랜지스터(130) 및 저항(132)을 통해 증폭기(198)에 의해 제어된다. 증폭기(198)는 MOS 트랜지스터(192) 상의 일정한 소스 전류를 유지하도록 MOS 트랜지스터(914)의 바이어스를 능동으로 조정한다. 트랜지스터(192) 상의 일정한 소스 전류가 로드에 공급된 가장 큰 가능한 전류보다 약간 더 크도록 회로를 구성함으로써, 트랜지스터(194)가 항상 약간 순바이어싱되는 것이 보장된다.

[0082] 도 8c의 회로의 동작 범위를 제한하고 능동 바이어싱을 사용하는 것은, MOS 트랜지스터(192)나 MOS 트랜지스터(194) 둘 다가 포화로 구동되지 않는다거나 또는 완전히 멈추는 것이 허용되지 않는다는 것을 보장한다. 이는 매우 빠른 증폭기가 구축될 수 있게 한다.

[0083] 능동 바이어싱 회로를 사용하는 것은, 전원 공급장치 전압의 변화를 주의깊게 추적하고 임의의 MOS 트랜지스터의 임계 전압의 변화를 자동으로 보상함으로써 전력 소비를 최소화한다. 종래의 바이어싱 방식이 사용된 경우, 시스템은 컴포넌트 값 및 공급 전압의 최악의 경우 조합에 대하여 설계되어야 했다. 이는 정상 동작 하에서는 전력 소비가 상당히 더 높을 것임을 의미한다.

[0084] 저항(134 및 156)은 증폭기의 DC 이득을 설정하며, 커패시터(135 및 137)는 높은 주파수에서 동일한 이득 값을 유지하면서 피드백 네트워크의 임피던스를 감소시키도록 선택될 수 있다. 저항(138)은 증폭기(196)에서 입력 바이어스 전류를 보상한다. 저항(140)은 MOS 트랜지스터(192)의 DC 바이어스 전류를 감지한다. 저항(142 및 144)은 트랜지스터(192)의 바이어스 전류를 설정하는데 사용되는 기준 전압을 설정한다. 저항(146)은 커패시터(148)와 함께 바이어스 증폭기(198)의 대역폭을 제한한다. 저항(132)은 MOS 트랜지스터(130)의 출력 커패시턴스로부터 MOS 트랜지스터(194)의 게이트를 격리한다. 저항(150)은 커패시터(152)를 대전 상태로 유지하도록 풀

업 저항이다. 저항(154 및 156)은 공진을 막도록 바이어스 증폭기(198)의 루프 이득을 제한한다.

[0085] 예시된 실시예에서 각각 0.1 μF 및 30 μF의 값을 갖는 커패시터(148 및 158)는 안정성을 위해 필요한 대역폭 제한 피드백 커패시터이다. 예시된 실시예에서 0.1 μF의 공칭 값을 갖는 커패시터(152)는 증폭기(196)의 +/- 5V 동작 범위 밖에 있더라도 증폭기(196)가 MOS 트랜지스터(194)를 제어할 수 있게 해주는데 필요한 DC 차단 커패시터이다. 커패시터(160, 162, 164, 166, 168, 170 및 172)는 예시된 실시예에서 전부 바이패스 커패시터이고 0.1μF의 공칭 값을 갖는다.

[0086] 도 4, 도 5, 및 도 8a 내지 도 8c의 예시된 실시예에서, 단일 이득 입력이 PMT를 제어하는데 이용된다. 대안의 실시예에서, 2개의 이득 입력이 PMT를 제어하는데 사용된다. 도 9a는 본 발명의 대안의 실시예에 따라 2개의 이득 입력을 갖는 광전자 증배관(PMT)에 대한 바이어싱 회로를 예시한 개략도이다. 도시된 바와 같이, 2개의 입력은 증폭기(902a)에의 Gain Control Even 신호 입력 및 증폭기(902b)에의 Gain Control Odd 신호 입력을 포함한다. 특정 구현에서, 이들 2개의 입력은 반대 방향으로 PMT(10)의 2개의 다이노드 세트를 변조하는데 사용될 수 있다. 도시된 바와 같이, 하나의 다이노드 세트는 홀수 번호의 다이노드 D1, D3, D5, D7이고, 다른 다이노드 세트는 짝수 번호의 다이노드 D2, D4, D6, D8이다. 짝수 번호의 다이노드는 정전류원(i1)에 의해 구동되는 짝수 바이어스 스트링(918)에 의해 바이어싱되는 반면, 홀수 번호의 다이노드는 정전류원(i2)에 의해 구동되는 홀수 바이어스 스트링(916)에 의해 바이어싱된다. 도시된 바와 같이, 바이어스 스트링(918)은 또한 접지를 기준으로 한다. 도 8b의 전류원 회로와 같은 임의의 적합한 전류원이 사용될 수 있다.

[0087] 증폭기(902a 및 902b)는 실질적으로 매칭되고, 35 MHz로 출력되는 플랫 성능 및 최소 고조파 왜곡을 가질 수 있다. 측정 및 수치 모델링은, 신호가 Gain Control Even 신호 = (-1) x Gain Control Odd 신호로 적용될 때 최적의 성능(PMT 이득은 3.5 자릿수에 걸쳐 바뀔 수 있고, PMT 대역폭은 이득에 독립적임)이 달성될 수 있다는 것을 보여준다.

[0088] 각각의 바이어스 스트링에서 저항 및 커패시터의 값은 바이어스 전류가 각각의 다이노드에서 전자 증배 전류보다 훨씬 더 크도록 선택될 수 있다. 이러한 경우가 아니면, 다이노드 전압이 변할 것이고, 이는 안정적인 PMT 성능에 바람직하지 못하다. 도시된 바와 같이, 각각의 저항 R1-R4, R7 및 R8은 60 kΩ의 값을 가지며, 각각의 커패시터 C1-C8는 약 0.001 μF의 값을 갖는다. 커패시터 C9는 약 1μF의 값을 가질 수 있다.

[0089] 저항 R5 및 R10의 값은 최적의 이득 범위 및 대역폭을 제공하도록 선택될 수 있다. 하나의 구현에서, R5은 약 70 kΩ이고 R10은 약 130 kΩ이다. R13, R14 및 C10에 대한 값은, 애노드 회로로 전류를 주입하여 Gain Control 신호에 의해 구동되는 D1 내지 D8 상의 전압의 변조에 의해 애노드 회로에서 유도된 전류를 보상하도록 선택될 수 있다. 예를 들어, R13은 1 kΩ의 값을 갖고, R14는 1 GΩ의 값을 갖고, C10은 0.2 pF의 값을 갖는다.

[0090] 이득 제어 증폭기 중의 하나는 전하 주입을 보상하는 회로를 직접 구동하도록 구성될 수 있다(예를 들어, 커패시터 C10 및 저항 R13 및 R14). 홀수 다이노드와 애노드 간의 용량 결합이 짝수 다이노드와 애노드 간의 결합보다 더 클 수 있기 때문에, 전하 주입을 보상하는 회로는 Gain Control Even 신호에 의해 구동된다. 고정 지연(예를 들어, Delay 904, 906 및 910)이 또한, 애노드에서의 도달 시간을 D2, D4, D6 및 D8의 변조로 인해 애노드로 주입된 전류의 약 1 nsec 내로, 이득 보상 회로에 의해 주입된 전류를 1 nsec 내로, 그리고 D1, D3, D5 및 D7의 변조에 의해 애노드로 주입된 전류로 매칭하도록, 신호 경로 안으로 삽입될 수 있다. 예를 들어, 지연 증폭기(904, 906, 및 910)는, Gain Control Even 신호가 Gain Control Odd 신호와 180도 위상차일 때, Gain Control 신호에 의해 애노드 A로 주입된 잔여 전류를 최소화하도록 구성될 수 있다.

[0091] PMT 이득 제어는 이득 변조와 연관된 임의의 주입된 애노드 전류를 0.1 μA 아래로 널 아웃(null out)하도록 2 위상에서 조정될 수 있다. 180 도의 위상차를 갖는 2개의 25 MHz 신호가 각각 실질적으로 3 자릿수 범위에 걸쳐 이득을 변조하기에 충분한 진폭으로 Gain Control Odd 및 Gain Control Even 신호 경로로 주입될 수 있다. 저항(R14)의 조정가능한 값은 반복적으로 조정될 수 있고, 따라서 Gain Control 신호들이 약 180도 위상차로 이루어질 때까지 Gain Control Odd 및 Gain Control Even 신호 간의 위상차는 반복적으로 조정된다. R14에 대한 이 조정은 PMT 제어 보드의 제조시 행해질 수 있다.

[0092] 도 9b는 도 9a의 2개의 이득 증폭기 회로(902a 및 902b)의 하나의 구현을 도시한 개략도이다. 도시된 바와 같이, 입력 신호 Vin1은 증폭기 U13으로 입력된다. 저항 R62-67, 커패시터 C42 및 C43, 및 인덕터 L1에 대한 예시적인 값이 도 9b에 도시되어 있다. 이 실시예에서, 저항 R62 및 R63은 이러한 증폭기 U13의 피드백 경로에서 전류 제어를 제공할 수 있다. 저항 R64 및 R65, 커패시터 C42 및 C43, 및 인덕터 L1의 중간 배열은 제1 증폭기

U13과 제2 증폭기 U12 사이에 로우 패스 필터를 제공한다. 저항 R66 및 R67은 최종 Gain Control 신호(짝수 또는 홀수)를 출력하는 증폭기 U12의 이득을 설정한다. 전압 공급 VPHV 및 VMHV는 각각 2개의 증폭기 U12 및 U13으로 제공되며, +/-15V의 값으로 설정될 수 있다. 증폭기 U12 및 U13으로서 사용될 수 있는 예시적인 컴포넌트는 Dallas, Texas의 Texas Instruments로부터 입수 가능한 THS3091이다.

[0093] 도 10은 본 발명의 제2 실시예에 따라 2개의 PMT 이득 신호를 출력하기 위한 고속 대수 광검출기 시스템(1000)을 예시한 개략도이다. 도시된 바와 같이, 검출기 시스템(1000)은 PMT Even Gain 신호를 출력하기 위한 짝수 신호 경로(1001a) 및 PMT Odd Gain 신호를 출력하기 위한 홀수 신호 경로(1001b) 둘 다로 이득 예측 데이터(1102)를 수신한다. 이득 예측 데이터(1002)는 이전 스캔 라인으로부터의 검출된 신호에 기초하여 예측된 이득을 포함할 수 있고, 다음 스캔 라인에 대하여 사용될 것이다. 예측된 이득은 상기 기재된 바와 같이 결정될 수 있다.

[0094] 짝수 경로(1001a)에서, 증배기(multiplier)(1012)는 Gain Control 신호(1010)에 기초하여 이득 예측 데이터(1002)를 수신하고, 증폭하고(또는 감소시키고), 그리고 반전하도록 배열된다. 증배기(1012)는 이득 변조로 인해 주입된 애노드 전류를 무효화(nullifying)하는 것을 용이하게 하도록 Gain Control 신호(1010)에 기초하여 이득 예측 데이터(1002)를 다소 증폭하도록 배열될 수 있다.

[0095] PMT Odd 및 Even Gain 신호를 출력하기 전에, 이득 예측 신호는 둘 다 PMT에서의 유도 전류를 최소화하도록 로우 패스 필터(LPF1 및 LPF2)로 수신된다. 이득 예측 알고리즘은 매우 빠르게 변하는 이득을 예측할 수 있다. 그러나, 이득이 너무 빠르게 조정되면, 큰 유도 전류가 PMT에서 유도될 수 있으며, 검출된 PMT 신호에 인공결함을 일으킨다.

[0096] 로우 패스 필터링이 수행된 후에, 홀수 다이노드 이득 예측 신호는 직접 홀수 DAC(1008)로 입력될 수 있고 그 다음 증폭기(902b)를 통해 홀수 다이노드로 출력될 수 있다. 이와 달리, 짝수 이득 신호는 유도 전류를 최소화하도록 다소 조정될 수 있다. 짝수 다이노드와 애노드 간의 결합은 홀수 다이노드와 애노드에 비교하여 다소 상이한 경향이 있다. 둘 다의 다이노드 세트가 동일한 신호를 수신하였다면(단지 하나는 다른 것에 비해 반전됨), 둘 다의 다이노드 세트로부터 애노드 상의 유도 전류는 정확하게 상쇄되지 않을 것이다(유도 전류는 결합에 비례함). 증배기(1012)에 입력된 Gain Control 신호는 짝수 다이노드 신호를 더 크게 하거나 더 작게 하도록 선택될 수 있고, 두 다이노드 세트의 유도 전류가 정확하게 상쇄하도록, 지연 모듈(1016)은 짝수 다이노드 신호를 다소 시간 시프트하도록 구성될 수 있다. 짝수 및 홀수 다이노드 둘 다에 대한 결합이 동일하였다면, 동일한(하나는 반전됨) 신호가 각각의 다이노드 세트에 보내질 수 있고, 이득 제어 신호(1010)와 지연 모듈(1016)이 제거될 수 있다.

[0097] LPF1 및 LPF2는 Gain Control Amplifiers(902a 및 902b)의 비이상성(non-ideality)을 보상하도록 임의의 적합한 방식으로(예를 들어, 펌웨어로) 구현될 수 있다. 주기적으로 동작 동안(예를 들어, 20분마다), Gain Control 신호(1010) 및 Delay 모듈(1016)은 이득 변조로 인해 주입된 애노드 전류를 무효화하도록 재교정(recalibrate)될 수 있다. 바람직하게는, 이득 매칭이 약 0.1 %로 유지되고, 지연 조정은 약 20 psec의 해상도로 설정된다. 이 재교정은 수 밀리초 걸릴 수 있고, PMT가 유휴(idle)일 때 실행될 수 있다. 요컨대, 이 재교정은 시간이 지남에 따라 PMT 다이노드 커패시턴스 차이의 드리프트와 PMT Gain Control Amplifier(902a 및 902b)의 이득의 드리프트 및 PMT 다이노드의 시간 지연을 보정하도록 구성될 수 있다.

[0098] 임의의 적합한 유형의 PMT가 이용될 수 있다. 예로써, 기본 접근은 또한 "선형 포커싱" 기하학 또는 원형 케이지 기하학과 같은 다양한 유형의 PMT 기하학에 적용될 수 있다. 도 11은 원형 케이지 유형 PMT(1100)의 도면이다. PMT 동작의 이 간단한 예에서, 방향(1104)에서 수신되는 검출된 광은 광전자가 다이노드(1106)에 의해 수신되도록 반사 모드 광전 음극(1102) 밖으로 반사할 수 있다.

[0099] 생산 PMT에 대하여, 캐소드, 다이노드, 및 애노드의 배열은 제조자에 의해 명시된 표준 동작 조건 하에 PMT 대역폭을 최대화하도록 설계될 수 있다. 본 발명의 특정 실시예에서, PMT는 PMT 이득이 감소됨에 따라 PMT 대역폭이 높게 유지되도록 동작된다.

[0100] 종래의 바이어싱된 PMT에서, 전자는 일반적으로 캐소드에서 시작하며, 그 다음 대부분의 전자는 최종적으로 애노드에 모인다. 그러나, PMT의 다이노드가 상기 기재된 바와 같이 변조될 때, 점점 더 많은 전자들이 다이노드의 면을 놓치고 따라서 애노드에 도달하기 전에 끝나도록 전자 트레이스가 현저하게 바뀌며, 이는 PMT의 이득을 낮추도록 작용한다.

[0101] 도 12는 변조 전압에 대하여 그래프가 그려진, 집광된 최대 수의 전자에 대한, 애노드에서 집광된 전자의 비를

예시한다. 점선 수직 흑선은, 이 영역이 가장 작은 전압 변조에 대한 이득의 가장 큰 변화를 포함하므로, 다이노드 변조에 대해 관심있는 영역을 나타낸다. 도시된 바와 같이, 실선 커브(1202)는 전자 광학기기 시뮬레이션에 기초하여 얻어지고, 점선-점-점선 커브(1204)는 벤치 데이터(bench data)로부터 얻어지고, 점선 커브(1106)는 이득을 계산함으로써 얻어지며, 다이노드를 놓친 전자로부터의 이득의 손실이 없다고 가정한다(US 6,177,665에 기재된 바와 같은 이차 방사 원리만 사용함). 볼 수 있을 바와 같이, 대부분의 이득 감소는, 다이노드 전압의 변경으로 인한 이차 방사 특성의 변화(커브 1106, 특허 US 6,177,665에 기재된 이득 변화의 하나의 메커니즘임)로부터가 아니라, 다이노드를 놓친 전자로 인한 것이다(커브 1202).

[0102] 상기 기재된 데이터는 대칭형 다이노드 변조에 관련된다(홀수 및 짝수 다이노드는 반대 방향으로 동일한 양만큼 이동함). 데이터는 또한, 애노드 유도 전류를 최소화하기 위해 사용될 수 있는 비대칭 경우에 대한 테스트(벤치 데이터) 동안에도 얻어졌다. 도 13은 상이한 다이노드 변조 방식에 대한 상이한 벤치 데이터(Gain)를 예시한다. 실선 커브(1302)는 대칭형 다이노드 변조를 도시하고, 점선-점-점선 커브(1304)는 짝수 다이노드가 홀수 다이노드보다 더 변조된 것에 대응하며, 점선 커브(1306)는 홀수 다이노드가 짝수 다이노드보다 더 변조된 것에 대응한다. 대칭형 경우가 최상의 성능을 주는 것으로 보이지만(최소 다이노드 변조로 최대 이득 변화), 다른 2개의 경우도 또한 이상적이지는 않더라도 수락 가능하다. 다시, 점선 수직 라인은 다이노드 변조에 대한 관심있는 영역을 나타낸다.

[0103] 대역폭 데이터가 또한 상이한 변조 방식(도시되지 않음)에 대하여 얻어졌다. 결과적인 데이터는, 대칭형 경우가 최상의 선택이지만 다른 2개의 비대칭 경우도 여전히 수락 가능한 것을 나타내는 것으로 보인다.

[0104] 특정 실시예는 2X만큼 제어 증폭기의 감소된 전압 스잉(swing)을 용이하게 할 수 있으며, 이는 그 다음 PMT 이득에서의 최대 슬루 레이트의 2배를 허용할 수 있다. 또한, 약 2X만큼 감소되는 제어 증폭기의 전압 스윙은 또한 고조파 왜곡의 상당한 감소를 가능하게 할 수 있으며, 그리하여 이득을 제어하는 다이노드에의 기생 커패시턴스에 의해 애노드로 주입된 전류의 보다 정확한 상쇄가 존재할 수 있다. 낮은 고조파 왜곡을 갖는 이득 변조 증폭기를 설계하는 것이 상당히 더 쉽다. 출력 트랜지스터에서의 전력 방산은 또한 약 4X 만큼 감소될 수 있으며, 이는 신뢰성을 증가시킬 것이다. 이들 비교는 US 6,177,665에 기재된 발명의 구현에 대한 것이다.

[0105] 특정 설계 실시예로써, 이득 변조에 의해 애노드로 주입된 순 전류는 0.5 μA 아래일 수 있으며, 이는 애노드 전류 증폭기에 대한 타겟 노이즈 플로어에 가깝다. 이와 달리, 다른 이득 제어 설계로는 20 μA 이상의 준 주입 전류가 될 수 있으며, 이는 애노드 전류 노이즈 플로어보다 훨씬 높은 것이다. 이 큰 순 주입 전류는 애노드 전류의 이전 히스토리의 히스토리에 대해 복잡한 의존도를 가지며, 신호로부터 이 영향을 수치상 제거하는데 펌웨어를 사용하는 것이 실현 불가능할 것이다. 또한, 급격한 이득 변화의 영역 내에서 결함에 대한 감도는 다른 이득 설계에서 열악할 것이다.

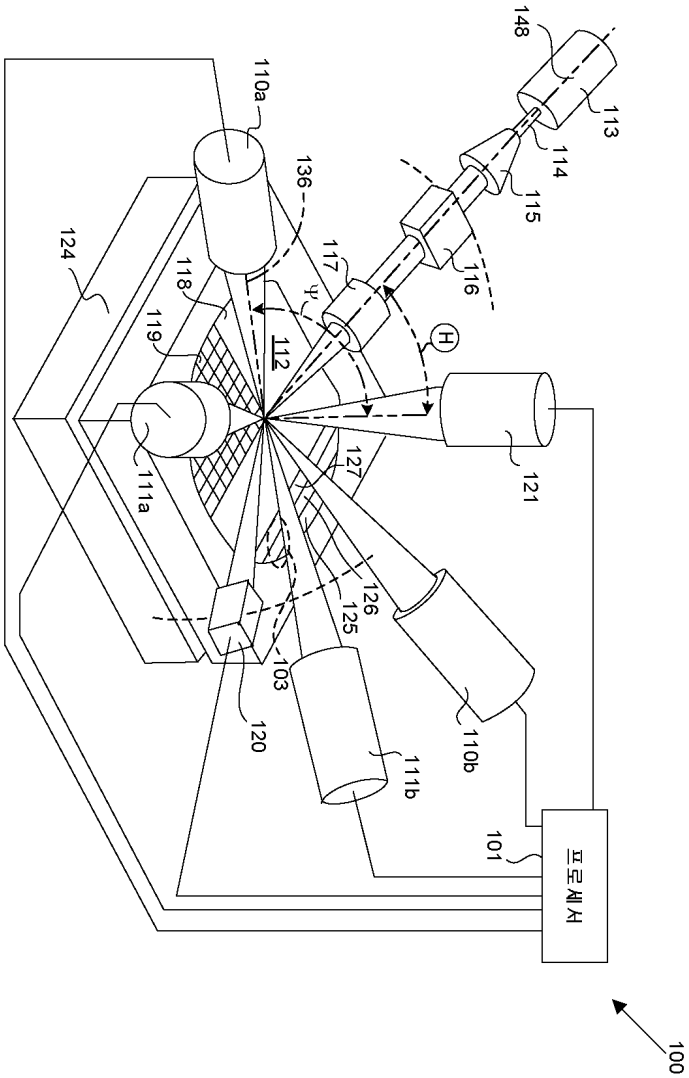
[0106] 여기에 기재된 검사 기술은 도 1에 개략적으로 예시된 바와 같은 다양한 구체적으로 구성된 검사 또는 계측 시스템 상에서 구현될 수 있다. 특정 실시예에서, 견본을 검사 또는 측정하는 시스템은 적어도 하나의 메모리 및 여기에 기재된 기술을 수행하도록 구성되는 적어도 하나의 프로세서를 포함한다. 메모리 및/또는 프로세서는 프로그램가능 디바이스 또는 FPGA(field programmable gate array)와 같은 하드웨어 및/또는 소프트웨어의 임의의 적합한 조합에 의해 구현될 수 있다. 검출기(예를 들어, PMT)에 의해 캡처된 신호는 컴퓨터 시스템에 의해 또는 보다 일반적으로 신호 프로세싱 디바이스에 의해 처리될 수 있다. 컴퓨터 시스템은 결과적인 검사 특성을 디스플레이하기 위해 사용자 인터페이스를 제공하도록(예를 들어, 컴퓨터 스크린 상에) 구성될 수 있다(예를 들어, 프로그래밍 명령어로). 컴퓨터 시스템은 또한 검출 파라미터를 변경하는 것과 같이 사용자 입력을 제공하기 위한 하나 이상의 입력 디바이스(예를 들어, 키보드, 마우스, 조이스틱)를 포함할 수 있다. 특정 실시예에서, 컴퓨터 시스템은 여기에 상세하게 나타낸 검사 기술을 수행하도록 구성된다. 컴퓨터 시스템은 통상적으로 적합한 버스나 다른 통신 메커니즘을 통해 입력/출력 포트에 연결된 하나 이상의 프로세서 및 하나 이상의 메모리를 갖는다.

[0107] 이러한 정보 및 프로그램 명령어는 특별히 구성된 컴퓨터 시스템 상에서 구현될 수 있기 때문에, 이러한 시스템은 컴퓨터 판독가능한 매체 상에 저장될 수 있는, 여기에 기재된 다양한 동작을 수행하기 위한 프로그램 명령어/컴퓨터 코드를 포함한다. 기계 판독가능한 매체의 예는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체; CD-ROM 디스크와 같은 광학 매체; 광학 디스크와 같은 자기 광학 매체; 및 ROM 및 RAM과 같이 프로그램 명령어를 저장 및 수행하도록 특별히 구성된 하드웨어 디바이스를 포함하지만, 이에 한정되는 것은 아니다. 프로그램 명령어의 예는 컴파일러에 의해 생성된 것과 같은 기계 코드, 및 인터프리터를 사용하여 컴퓨터에 의해 실행될 수 있는 상위 레벨 코드를 포함하는 파일 둘 다를 포함한다.

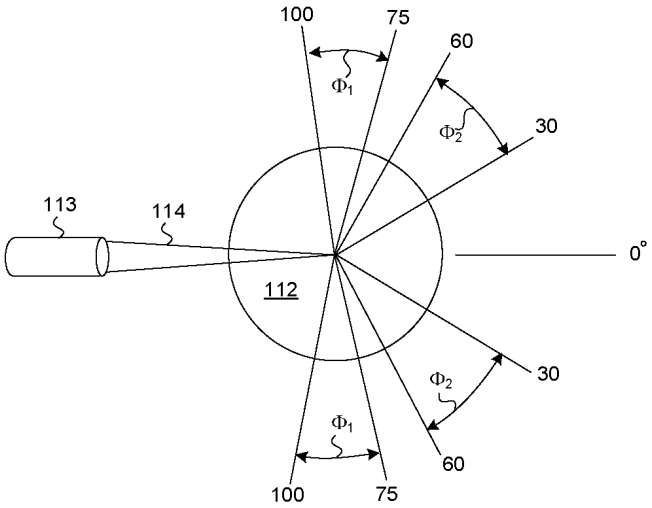
[0108] 전술한 발명은 이해를 명확하게 하기 위한 목적으로 일부 상세하게 기재되었지만, 첨부된 청구항의 범위 내에서 특정 변경 및 수정이 실시될 수 있다는 것이 명백할 것이다. 본 발명의 프로세스, 시스템 및 장치를 구현하는 많은 대안의 방식이 존재한다는 것을 유의하여야 한다. 따라서, 본 실시예는 한정적인 것이 아니라 예시적인 것으로 간주되어야 하고, 본 발명은 여기에 주어진 세부사항에 한정되어서는 안 된다.

도면

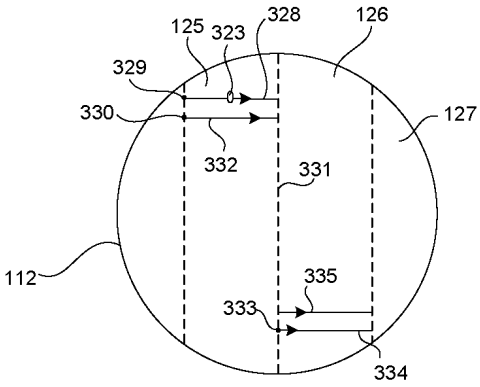
도면1



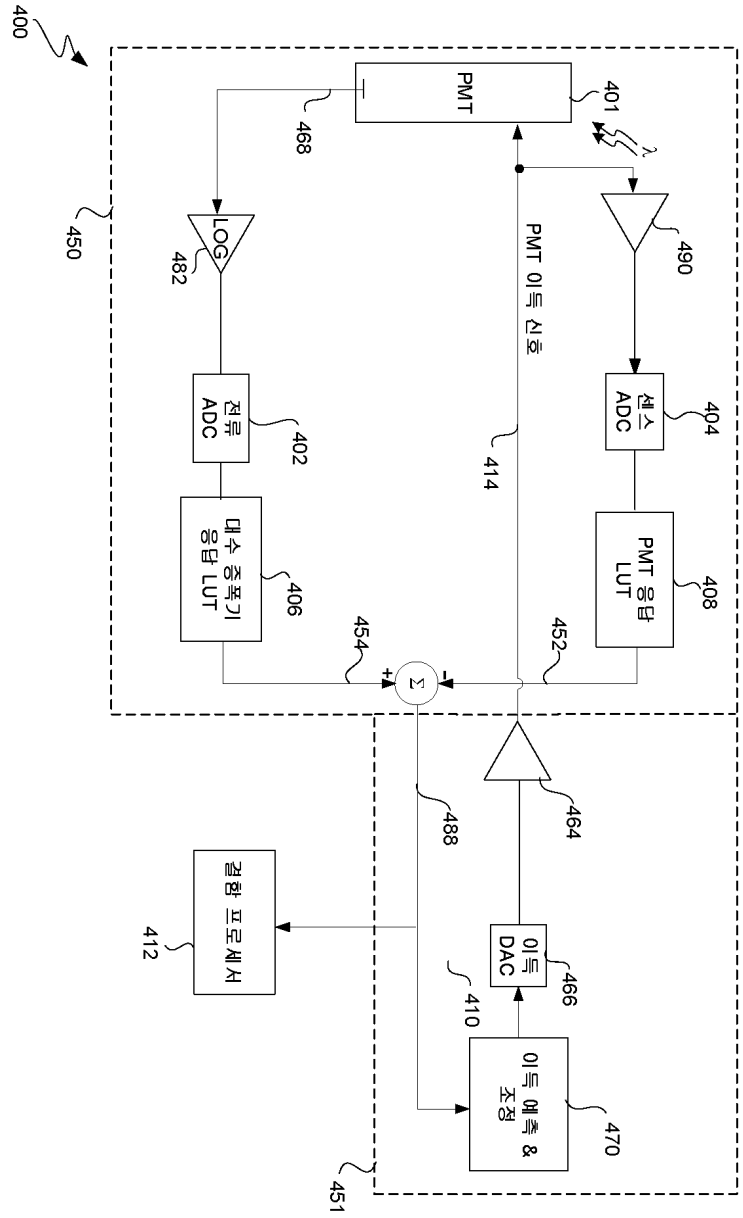
도면2


100
75
60
30
Φ1
Φ2
113
114
112
0°
30
60
75
100

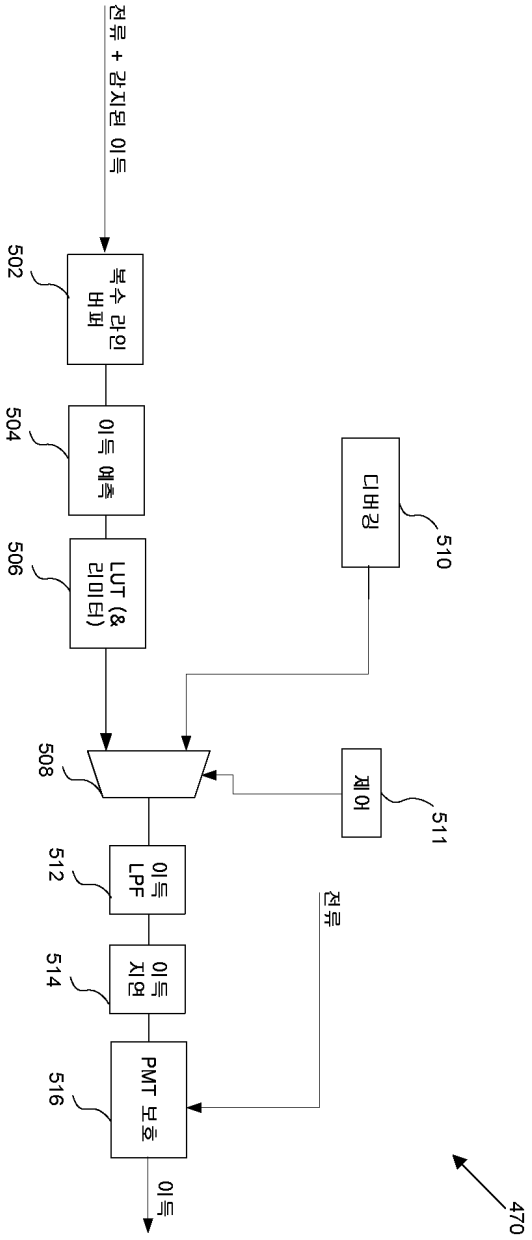
도면3


125
323
328
126
329
330
127
332
331
112
335
333
334

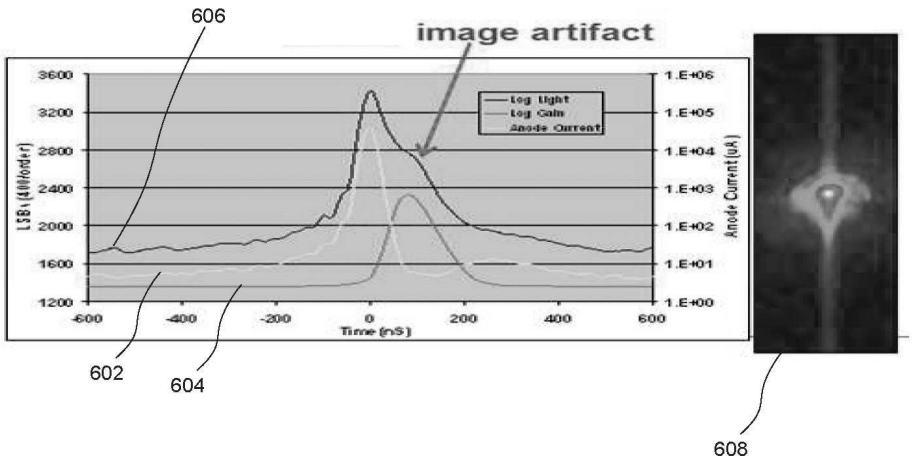
도면4


400
450
PMT
401
λ
468
LOG
482
490
PMT 이득 신호
414
전류 ADC
402
센스 ADC
404
대수 증폭기 응답 LUT
406
PMT 응답 LUT
408
454
452
Σ
+
-
488
464
결함 프로세서
412
이득 DAC
466
410
이득 예측 & 조정
470
451

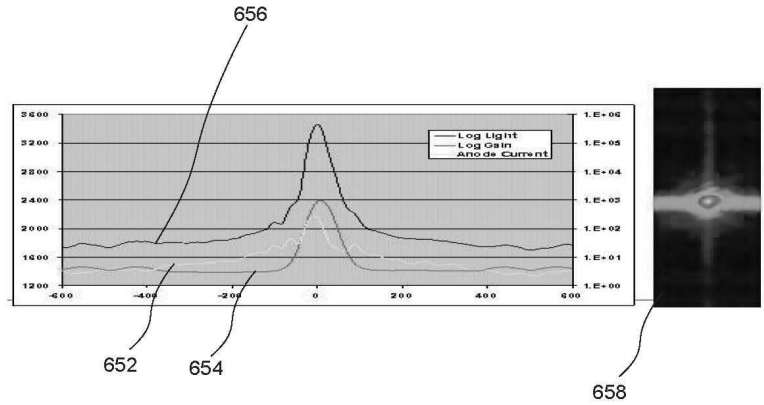
도면5


전류 + 감지된 이득
502
복수 라인 버퍼
504
이득 예측
506
LUT (& 리미터)
510
디버깅
508
511
제어
512
이득 LPF
514
이득 지연
516
PMT 보호
전류
이득
470

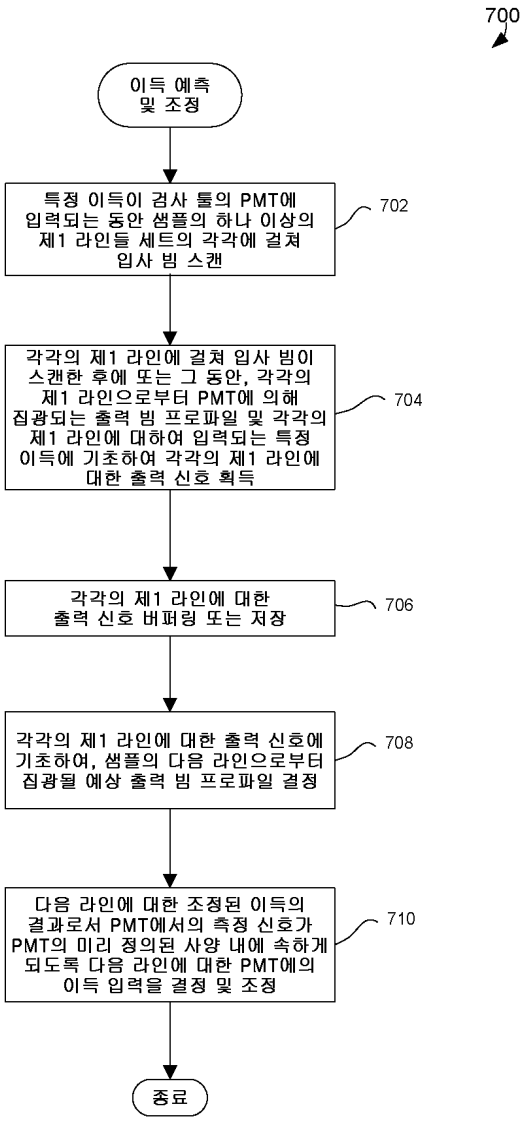
도면6a


606
image artifact
602
604
608
Log Light
Log Gain
Anode Current
Time (nS)
Anode Current (uA)

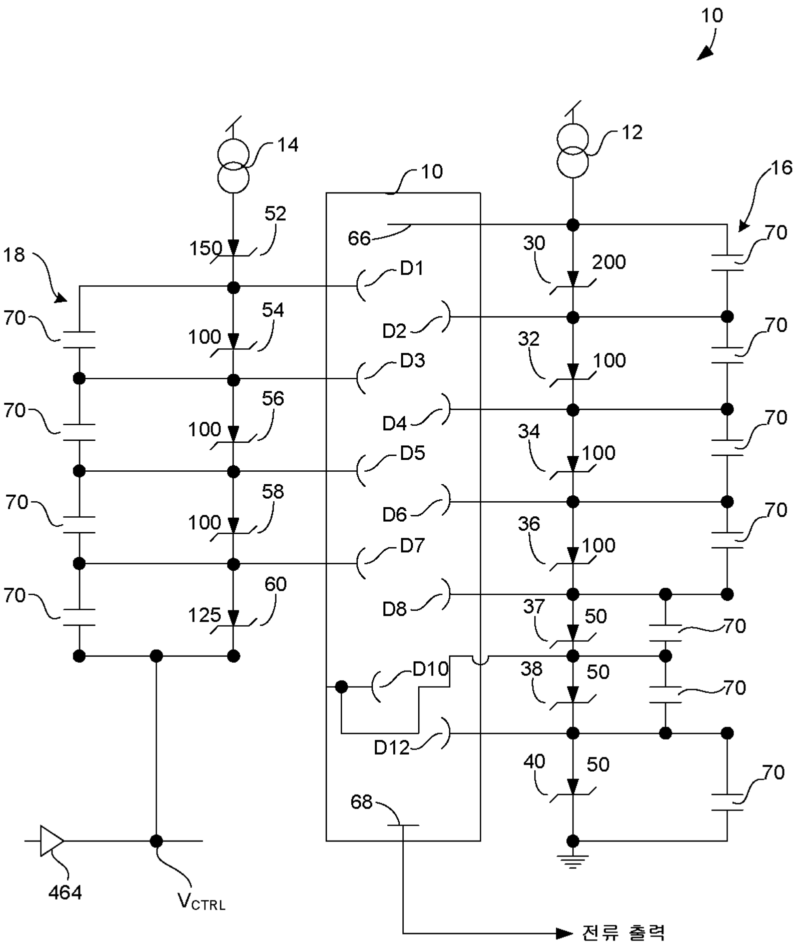
도면6b


656
652
654
658
Log Light
Log Gain
Anode Current

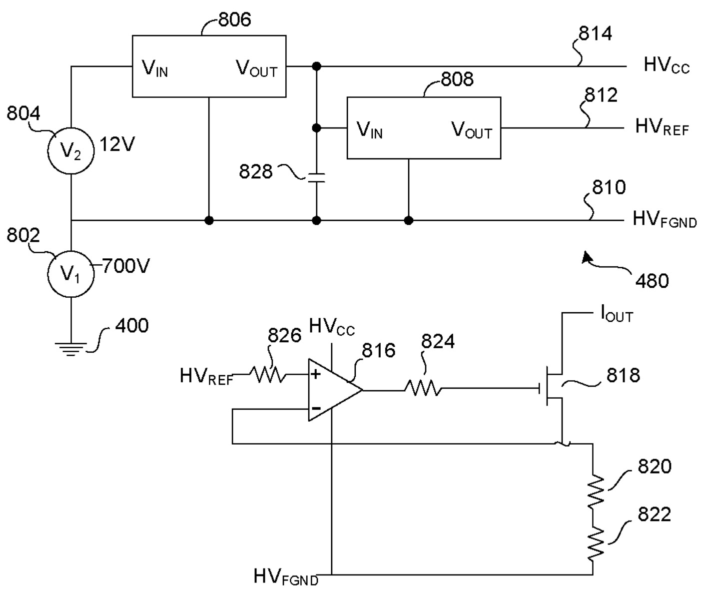
도면7


700
이득 예측 및 조정
특정 이득이 검사 툴의 PMT에 입력되는 동안 샘플의 하나 이상의 제1 라인들 세트의 각각에 걸쳐 입사 빔 스캔
702
각각의 제1 라인에 걸쳐 입사 빔이 스캔한 후에 또는 그 동안, 각각의 제1 라인으로부터 PMT에 의해 집광되는 출력 빔 프로파일 및 각각의 제1 라인에 대하여 입력되는 특정 이득에 기초하여 각각의 제1 라인에 대한 출력 신호 획득
704
각각의 제1 라인에 대한 출력 신호 버퍼링 또는 저장
706
각각의 제1 라인에 대한 출력 신호에 기초하여, 샘플의 다음 라인으로부터 집광될 예상 출력 빔 프로파일 결정
708
다음 라인에 대한 조정된 이득의 결과로서 PMT에서의 측정 신호가 PMT의 미리 정의된 사양 내에 속하게 되도록 다음 라인에 대한 PMT에의 이득 입력을 결정 및 조정
710
종료

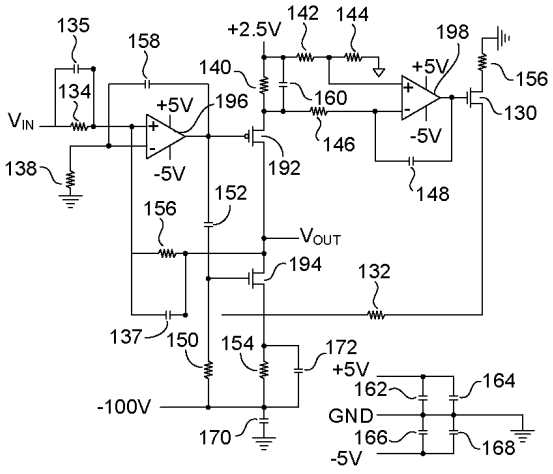
도면8a


10
14
12
10
16
52
150
66
30
200
70
18
D1
D2
70
54
100
32
100
70
D3
D4
70
56
100
34
100
70
D5
D6
70
58
100
36
100
70
D7
D8
70
60
125
37
50
70
D10
38
50
70
D12
40
50
70
68
464
VCTRL
전류 출력

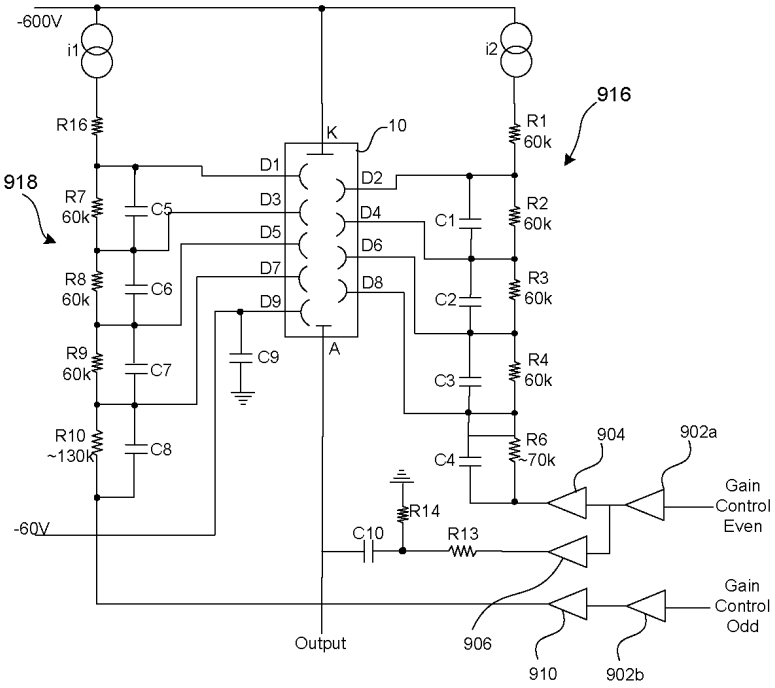
도면8b


806
VIN
VOUT
814
HVCC
808
812
804
VIN
VOUT
HVREF
12V
V2
828
810
HVFGND
802
V1
700V
480
400
IOUT
826
HVCC
816
824
HVREF
818
820
822
HVFGND

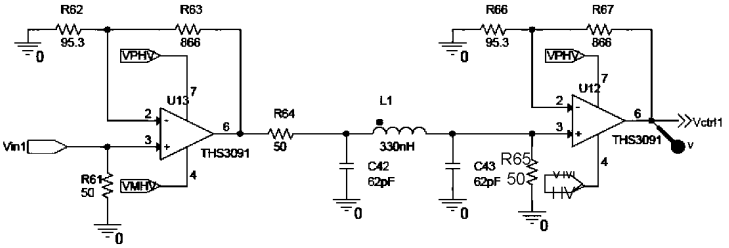
도면8c



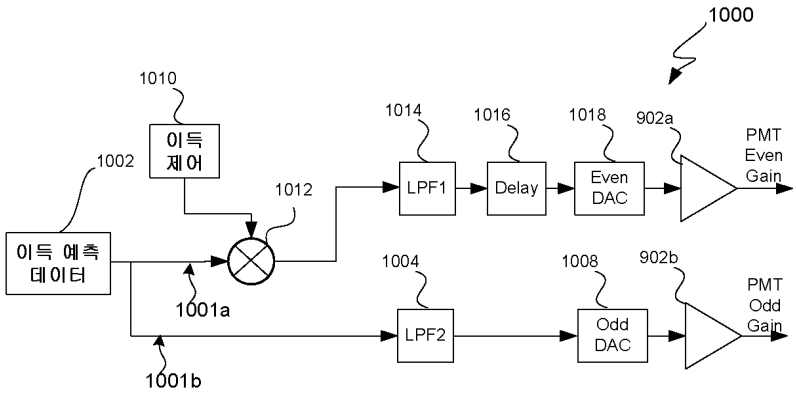
도면9a



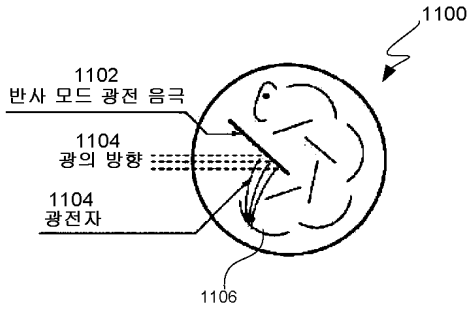
도면9b



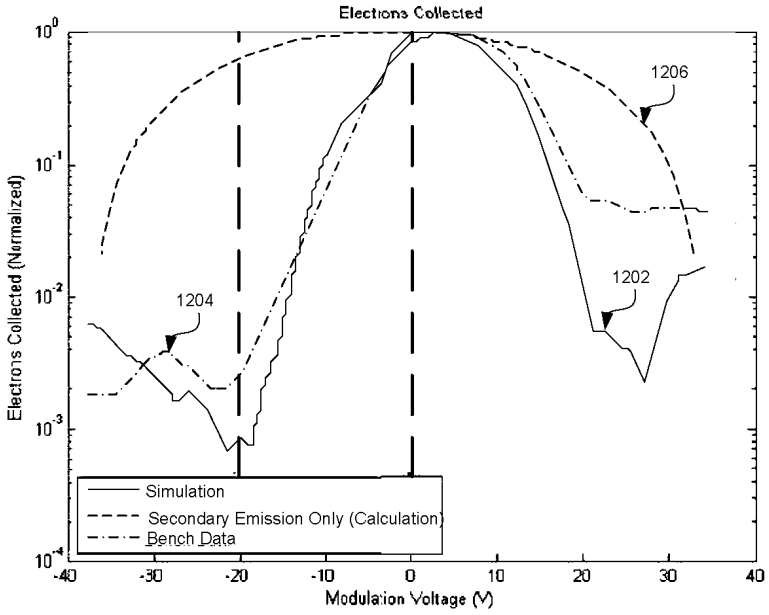
도면10



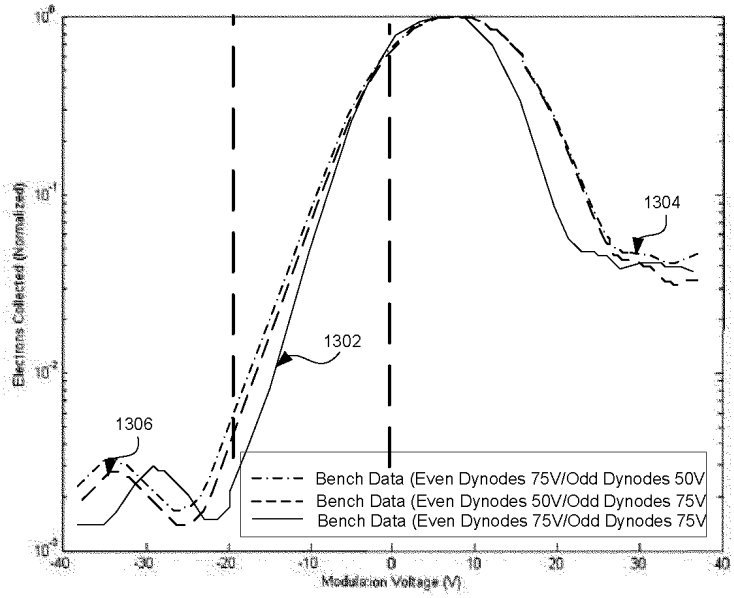
도면11



도면12



도면13


Electrons Collected (Normalized)
Modulation Voltage (V)
1304
1302
1306
Bench Data (Even Dynodes 75V/Odd Dynodes 50V
Bench Data (Even Dynodes 50V/Odd Dynodes 75V
Bench Data (Even Dynodes 75V/Odd Dynodes 75V