

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月7日(07.01.2016)

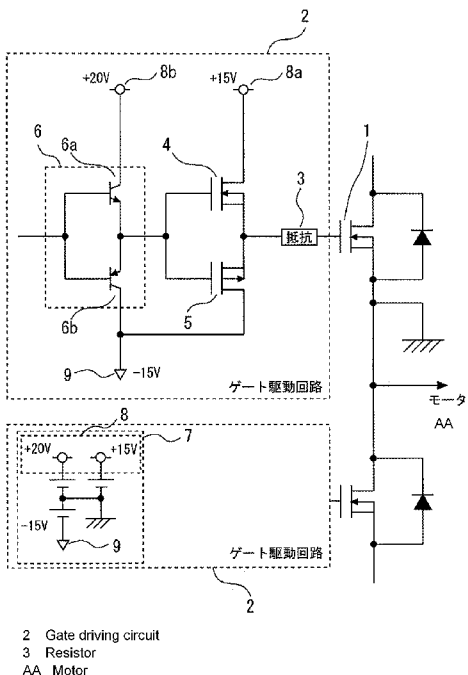


(10) 国際公開番号
WO 2016/002041 A1

- (51) 国際特許分類:
H03K 17/687 (2006.01)
 - (21) 国際出願番号: PCT/JP2014/067771
 - (22) 国際出願日: 2014年7月3日(03.07.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
 - (72) 発明者: 大津 一宏(OTSU, Kazuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 石川 純一郎(ISHIKAWA, Junichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
 - (74) 代理人: 高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番22号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: GATE DRIVING CIRCUIT FOR INSULATED GATE-TYPE POWER SEMICONDUCTOR ELEMENT

(54) 発明の名称: 絶縁ゲート型パワー半導体素子のゲート駆動回路



(57) Abstract: The purpose of the present invention is to prevent the worsening of stationary loss in an insulated gate-type power semiconductor element. A gate driving circuit (2) comprises: an NchMOSFET (4) that turns an insulated gate-type power semiconductor element (1) ON; a PchMOSFET (5) that turns the insulated gate-type power semiconductor element (1) OFF; a control circuit (6) that turns the NchMOSFET (4) ON by imparting a positive voltage (8b) to the gate electrode of the NchMOSFET (4), and that turns the PchMOSFET (5) ON by imparting a negative voltage (9) to the gate electrode of the PchMOSFET (5); and a power supply body (7) that imparts the negative voltage (9) to the drain electrode of the PchMOSFET (5) and the negative-side electrode of the control circuit (6), imparts a positive voltage (8a) to the drain electrode of the NchMOSFET (4), and imparts the positive voltage (8b) to the positive-side electrode of the control circuit (6), such positive voltage having a greater absolute value than the absolute value of the positive voltage (8a) which is imparted to the drain electrode of the NchMOSFET (4).

(57) 要約: 絶縁ゲート型パワー半導体素子の定常損失の悪化を防止する。ゲート駆動回路(2)は、前記絶縁ゲート型パワー半導体素子(1)をオンにするNchMOSFET(4)と、前記絶縁ゲート型パワー半導体素子(1)をオフにするPchMOSFET(5)と、正電圧(8b)を前記NchMOSFET(4)のゲート電極に印加することで前記NchMOSFET(4)をオンにし、負電圧(9)を前記PchMOSFET(5)のゲート電極に印加することで前記PchMOSFET(5)をオンにする制御回路(6)と、負電圧(9)を前記PchMOSFET(5)のドレイン電極と前記制御回路(6)の負側電極とに印加し、正電圧(8a)を前記NchMOSFET(4)のドレイン電極に印加し、前記NchMOSFET(4)のドレイン電極に印加する正電圧(8a)の絶対値よりも大きい絶対値の正電圧(8b)を前記制御回路(6)の正側電極に印加する電源体(7)とを備えた。

電極と前記制御回路(6)の負側電極とに印加し、正電圧(8a)を前記NchMOSFET(4)のドレイン電極に印加し、前記NchMOSFET(4)のドレイン電極に印加する正電圧(8a)の絶対値よりも大きい絶対値の正電圧(8b)を前記制御回路(6)の正側電極に印加する電源体(7)とを備えた。

WO 2016/002041 A1

明 細 書

発明の名称：絶縁ゲート型パワー半導体素子のゲート駆動回路

技術分野

[0001] この発明は、絶縁ゲート型パワー半導体素子のゲート駆動回路に関する。

背景技術

[0002] 例えば、特許文献1には、絶縁ゲート型パワー半導体素子のゲート駆動回路が記載されている。当該ゲート駆動回路は、トランジスタのコンプリメンタリ出力回路からなる。

先行技術文献

特許文献

[0003] 特許文献1：日本特開平5-226994号公報

[0004] 絶縁ゲート型パワー半導体素子の定格電流が大きい場合においては、ゲート駆動回路の出力電流を大きくする必要がある。この場合、ゲート駆動回路のコンプリメンタリ出力回路にMOSFETを用いることがある。

[0005] PchMOSFETの正側とNchMOSFETの負側とを備えたコンプリメンタリ出力回路の場合、PchMOSFETとNchMOSFETとが同時にオンすると、貫通電流がPchMOSFETとNchMOSFETとに流れる。

[0006] これに対し、NchMOSFETの正側とPchMOSFETの負側とを備えたコンプリメンタリ出力回路の場合、NchMOSFETとPchMOSFETは同時にオンせず、貫通電流は流れない。

発明の概要

発明が解決しようとする課題

[0007] しかしながら、同じ正側電源がNchMOSFETのドレイン電極とゲート電極とに接続されると、絶縁ゲート型パワー半導体素子のゲート電極とソース電極との間に、正側電源の正電圧からNchMOSFETのゲート閾値電圧の分だけ降下した電圧が印加される。このため、絶縁ゲート型パワー半

導体素子の定常損失が悪化し得る。

[0008] この発明は、上述の課題を解決するためになされた。この発明の目的は、絶縁ゲート型パワー半導体素子の定常損失の悪化を防止することができる絶縁ゲート型パワー半導体素子のゲート駆動回路を提供することである。

課題を解決するための手段

[0009] この発明に係る絶縁ゲート型パワー半導体素子のゲート駆動回路は、ソース電極とドレイン電極とゲート電極とを有し、ソース電極が絶縁ゲート型パワー半導体素子のゲート電極に接続され、正電圧がドレイン電極に印加された状態で正電圧がゲート電極に印加された際にオンとなることで前記絶縁ゲート型パワー半導体素子をオンにするNchMOSFETと、ソース電極とドレイン電極とゲート電極とを有し、ソース電極が前記絶縁ゲート型パワー半導体素子のゲート電極に接続され、負電圧がドレイン電極に印加された状態で負電圧がゲート電極に印加された際にオンとなることで前記絶縁ゲート型パワー半導体素子をオフにするPchMOSFETと、制御電極と正側電極と負側電極とを有し、制御電極が前記NchMOSFETのゲート電極と前記PchMOSFETのゲート電極とに接続され、正電圧が正側電極に印加された状態の際に当該正電圧を前記NchMOSFETのゲート電極に印加することで前記NchMOSFETをオンにし、負電圧が負側電極に印加された状態の際に当該負電圧を前記前記PchMOSFETのゲート電極に印加することで前記PchMOSFETをオンにする制御回路と、負電圧を前記PchMOSFETのドレイン電極と前記制御回路の負側電極とに印加し、正電圧を前記NchMOSFETのドレイン電極に印加し、前記NchMOSFETのドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を前記制御回路の正側電極に印加する電源体と、を備えた。

発明の効果

[0010] この発明によれば、電源体は、NchMOSFETのドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を制御回路の正側電極に印加する。当該正電圧の印加により、NchMOSFETのドレイン電極とソ

ース電極との間において、電位差は十分小さくなる。このため、絶縁ゲート型パワー半導体素子の定常損失の悪化を防止することができる。

図面の簡単な説明

[0011] [図1]この発明の実施の形態1における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。

[図2]この発明の実施の形態1における絶縁ゲート型パワー半導体素子の特性を説明する図である。

[図3]この発明の実施の形態2における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。

[図4]この発明の実施の形態3における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。

発明を実施するための形態

[0012] この発明を実施するための形態について添付の図面に従って説明する。なお、各図中、同一又は相当する部分には同一の「」符号が付される。当該部分の重複説明は適宜に簡略化ないし省略する。

[0013] 実施の形態1.

図1はこの発明の実施の形態1における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。

[0014] 電力変換器は、複数の絶縁ゲート型パワー半導体素子1を備える。例えば、複数の絶縁ゲート型パワー半導体の各々は、NchMOSFETにより形成される。電力変換器は、複数の絶縁ゲート型パワー半導体素子1の動作により直流電力を交流電力に変換する。電力変換器は、図示しないモータに当該交流電力を供給する。

[0015] ゲート駆動回路2の各々は、絶縁ゲート型パワー半導体素子1の各々に対応して設けられる。ゲート駆動回路2は、抵抗3とNchMOSFET4とPchMOSFET5と制御回路6と電源体7とを備える。

[0016] 抵抗3は、絶縁ゲート型パワー半導体素子1のゲート電極に接続される。NchMOSFET4は、ソース電極とドレイン電極とゲート電極とを有す

る。N c h M O S F E T 4 のソース電極は、抵抗 3 を介して絶縁ゲート型パワー半導体素子 1 のゲート電極に接続される。P c h M O S F E T 5 は、ソース電極とドレイン電極とゲート電極とを有する。P c h M O S F E T 5 のソース電極は、抵抗 3 を介して絶縁ゲート型パワー半導体素子 1 のゲート電極に接続される。

[0017] 制御回路 6 は、正側スイッチング素子 6 a と負側スイッチング素子 6 b とを備える。

[0018] 正側スイッチング素子 6 a は、エミッタ電極とコレクタ電極とベース電極とを有する。正側スイッチング素子 6 a のエミッタ電極は、N c h M O S F E T 4 のゲート電極と P c h M O S F E T 5 のゲート電極とに接続される。正側スイッチング素子 6 a のエミッタ電極は、制御回路 6 の制御電極となる。正側スイッチング素子 6 a のコレクタ電極は、制御回路 6 の正側電極となる。負側スイッチング素子 6 b のエミッタ電極は、N c h M O S F E T 4 のゲート電極と P c h M O S F E T 5 のゲート電極とに接続される。負側スイッチング素子 6 b のエミッタ電極は、制御回路 6 の制御電極となる。負側スイッチング素子 6 b のコレクタ電極は、制御回路 6 の負側電極となる。

[0019] 電源体 7 は、正側電源体 8 と負側電源体 9 とを備える。正側電源体 8 は、第 1 正側電源 8 a と第 2 正側電源 8 b とを備える。

[0020] 第 1 正側電源 8 a の正側電極は、N c h M O S F E T 4 のドレイン電極に接続される。第 1 正側電源 8 a の負側電極は、絶縁ゲート型パワー半導体素子 1 のソース電極に接続される。第 2 正側電源 8 b の正側電極は、正側スイッチング素子 6 a のコレクタ電極に接続される。第 2 正側電源 8 b の負側電極は、絶縁ゲート型パワー半導体素子 1 のソース電極に接続される。負側電源体 9 の正側電極は、絶縁ゲート型パワー半導体素子 1 のソース電極に接続される。負側電源体 9 の負側電極は、P c h M O S F E T 5 のドレイン電極と負側スイッチング素子 6 b のコレクタ電極に接続される。

[0021] 例えば、負側電源体 9 は、P c h M O S F E T 5 のドレイン電極と負側スイッチング素子 6 b のコレクタ電極とに -15V の負電圧を印加する。例え

ば、第1正側電源8aは、NchMOSFET4のドレイン電極に+15Vの正電圧を印加する。第2正側電源8bは、正側スイッチング素子6aのコレクタ電極に第1正側電源8aが印加する正電圧の絶対値よりも大きい絶対値の正電圧を印加する。当該正電圧の絶対値と第1正側電源8aが印加する正電圧の絶対値との差は、NchMOSFET4のゲート閾値電圧の値よりも大きい値に設定される。例えば、第2正側電源8bは、正側スイッチング素子6aのコレクタ電極に+20Vの正電圧を印加する。

[0022] 外部からの制御により負側スイッチング素子6bがオンになると、-15Vの負電圧がPchMOSFET5のゲート電極に印加される。当該負電圧の印加により、PchMOSFET5がオンとなる。その結果、負電圧が絶縁ゲート型パワー半導体素子1のゲート電極に印加される。その結果、絶縁ゲート型パワー半導体素子1はオフとなる。

[0023] 外部からの制御により正側スイッチング素子6aがオンになると、+20Vの正電圧がNchMOSFET4のゲート電極に印加される。当該正電圧の印加により、NchMOSFET4がオンとなる。この際、正電圧がNchMOSFET4のゲート電極とソース電極との間に印加される。当該正電圧は、NchMOSFET4のゲート電極に印加された+20Vからドレイン電極に印加された+15Vを差し引いた+5Vとなる。

[0024] この際、NchMOSFET4のドレイン電極とソース電極との間において、電位差は十分小さくなる。その結果、+15Vの正電圧が絶縁ゲート型パワー半導体素子1のゲート電極とソース電極との間に印加される。この際、NchMOSFET4のゲート閾値電圧のばらつきは影響しない。

[0025] 次に、図2を用いて、絶縁ゲート型パワー半導体素子1をNchMOSFETとした際の特性を説明する。

図2はこの発明の実施の形態1における絶縁ゲート型パワー半導体素子の特性を説明する図である。

[0026] 図2において、 V_{gs} は、絶縁ゲート型パワー半導体素子1のゲート電極とソース電極との間の電圧を表す。 V_{ds} は、絶縁ゲート型パワー半導体素

子1のドレイン電極とソース電極との間の電圧を表す。 I_d は、絶縁ゲート型パワー半導体素子1のドレイン電流を表す。

[0027] ドレイン電流 I_d が同じ場合、ゲート電極とソース電極との間の電圧 V_{gs} が大きくなると、ドレイン電極とソース電極との間の電圧 V_{ds} が小さくなる。ドレイン電極とソース電極との間の電圧 V_{ds} が小さくなると、絶縁ゲート型パワー半導体素子1の定常損失は小さくなる。

[0028] 以上で説明した実施の形態1によれば、電源体7は、NchMOSFET4のドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を制御回路6の正側電極に印加する。当該正電圧の印加により、NchMOSFET4のドレイン電極とソース電極との間において、電位差は十分小さくなる。このため、NchMOSFET4の個体差または環境によってゲート閾値電圧がばらついていても、絶縁ゲート型パワー半導体素子1のゲート電極に大きな電圧を安定して印加することができる。その結果、絶縁ゲート型パワー半導体素子1の定常損失の悪化を防止することができる。この場合、電力変換器の効率が向上する。このため、電力変換器の小型化と低コスト化とを実現することができる。さらに、電力変換器の高効率化により、電力変換器の温度上昇値が小さくなる。このため、電力変換器の高寿命化を実現することができる。

[0029] 具体的には、正側電源体8は、第1正側電源8aと第2正側電源8bとを備える。第1正側電源8aは、正電圧をNchMOSFET4のドレイン電極に印加する。第2正側電源8bは、NchMOSFET4のドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を制御回路6の正側電極に印加する。このため、異なる2つの正側電源を用いるだけで、絶縁ゲート型パワー半導体素子1の定常損失の悪化を防止することができる。

[0030] 実施の形態2.

図3はこの発明の実施の形態2における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。なお、実施の形態1の部分と同一又は相当部分には同一符号が付される。当該部分の説明は省略される。

[0031] 実施の形態1の電源体7は、同じ負電圧をPchMOSFET5のドレイン電極と制御回路6の負側電極とに印加する。これに対し、実施の形態2の電源体7は、PchMOSFET5のドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を制御回路6の負側電極に印加する。

[0032] 具体的には、負側電源体9は、第1負側電源9aと第2負側電源9bとを備える。第1負側電源9aは、負電圧をPchMOSFET5のドレイン電極に印加する。第2負側電源9bは、PchMOSFET5のドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を制御回路6の負側電極に印加する。当該負電圧の絶対値とPchMOSFET5のドレイン電極に印加する負電圧の絶対値との差は、PchMOSFET5のゲート閾値電圧の値よりも大きい値に設定される。例えば、第2負側電源9bは、負側スイッチング素子6bのコレクタ電極に-20Vの負電圧を印加する。

[0033] 以上で説明した実施の形態2によれば、電源体7は、PchMOSFET5のドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を制御回路6の負側電極に印加する。当該正電圧の印加により、PchMOSFET5のドレイン電極とソース電極との間において、電位差は十分小さくなる。このため、絶縁ゲート型パワー半導体素子1のゲート電極に印加する負電圧を安定させることができる。

[0034] 具体的には、負側電源体9は、第1負側電源9aと第2負側電源9bとを備える。第1負側電源9aは、負電圧をPchMOSFET5のドレイン電極に印加する。第2負側電源は、PchMOSFET5のドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を制御回路6の負側電極に印加する。このため、異なる2つの負側電源を用いるだけで、絶縁ゲート型パワー半導体素子1のゲート電極に印加する負電圧を安定させることができる。

[0035] 実施の形態3.

図4はこの発明の実施の形態3における絶縁ゲート型パワー半導体素子のゲート駆動回路の図である。なお、実施の形態2の部分と同一又は相当部分

には同一符号が付される。当該部分の説明は省略される。

[0036] 実施の形態3のゲート駆動回路2は、実施の形態2のゲート駆動回路2に正側ツェナーダイオード10と負側ツェナーダイオード11とを付加した回路である。正側ツェナーダイオード10は、NchMOSFET4のゲート電極とソース電極との間に接続される。負側ツェナーダイオード11は、PchMOSFET5のゲート電極とソース電極との間に接続される。

[0037] 絶縁ゲート型パワー半導体素子1がオフからオンとなる際、NchMOSFET4はオフからオンとなる。この際、絶縁ゲート型パワー半導体素子1のゲート電極とソース電極との間の電圧が負電圧から正電圧に変化する時間がNchMOSFET4のゲート電極とソース電極との間の電圧が負電圧から正電圧に変化する時間よりも長くなる場合がある。

[0038] この場合、大きな正電圧がNchMOSFET4のゲート電極とソース電極との間に印加され得る。当該正電圧の絶対値は、第1正側電源8aの正電圧と第1負側電源9aの負電圧の合計である30(V)となる。当該正電圧の絶対値は、NchMOSFET4のゲート電極とソース電極との間の最大定格電圧の絶対値よりも大きい。

[0039] しかしながら、この際、大きな電流が正側ツェナーダイオード10に急激に流れる。その結果、NchMOSFET4のゲート電極とソース電極との間の電圧は、正側ツェナーダイオード10のツェナー電圧に維持される。当該ツェナー電圧は、NchMOSFET4のゲート電極とソース電極との間の最大定格電圧の絶対値よりも小さくなるように選定する必要がある。

[0040] 絶縁ゲート型パワー半導体素子1がオンからオフとなる際、PchMOSFET5はオフからオンとなる。この際、絶縁ゲート型パワー半導体素子1のゲート電極とソース電極との間の電圧が正電圧から負電圧に変化する時間がPchMOSFET5のゲート電極とソース電極との間の電圧が負電圧から正電圧に変化する時間よりも長くなる場合がある。

[0041] この場合、大きな負電圧がPchMOSFET5のゲート電極とソース電極との間に印加され得る。当該負電圧の絶対値は、第1正側電源8aの正電

圧と第1負側電源9aの負電圧の合計である30(V)となる。当該負電圧の絶対値は、PchMOSFET5のゲート電極とソース電極との間の最大定格電圧の絶対値よりも大きい。

[0042] しかしながら、この際、大きな電流が負側ツェナーダイオード11に急激に流れる。その結果、PchMOSFET5のゲート電極とソース電極との間の電圧は、負側ツェナーダイオード11のツェナー電圧に維持される。当該ツェナー電圧は、PchMOSFET5のゲート電極とソース電極との間の最大定格電圧の絶対値よりも小さくなるように選定する必要がある。

[0043] 以上で説明した実施の形態3によれば、正側ツェナーダイオード10は、NchMOSFET4のゲート電極とソース電極との間に接続される。このため、絶縁ゲート型パワー半導体素子1がオフからオンとなる際にNchMOSFET4が破壊することを防止できる。

[0044] また、負側ツェナーダイオード11は、PchMOSFET5のゲート電極とソース電極との間に接続される。このため、絶縁ゲート型パワー半導体素子1がオンからオフとなる際にPchMOSFET5が破壊することを防止できる。

[0045] なお、交流電力から直流電力に変換する電力変換器の絶縁ゲート型パワー半導体素子に実施の形態1から実施の形態3のゲート駆動回路2を適用してもよい。

[0046] また、実施の形態1から実施の形態3において、NchMOSFET4のゲート電極とPchMOSFET5のゲート電極との少なくとも一方に抵抗を介して制御回路6の出力電極を接続してもよい。

[0047] また、実施の形態1から実施の形態3において、抵抗3に代えて、第1抵抗と第2抵抗とを用いてもよい。この際、NchMOSFET4のドレイン電極と第1正側電源8aとの間に第1抵抗を設ければよい。PchMOSFET5のドレイン電極と負側電源体9あるいは9aとの間に第2抵抗を設ければよい。

[0048] また、実施の形態1から実施の形態3において、NchMOSFET4の

ソース電極とPchMOSFET5のソース電極との少なくとも一方に抵抗3を介さずに絶縁ゲート型パワー半導体素子1のゲート電極を直接的に接続してもよい。

[0049] また、実施の形態1から実施の形態3において、NchMOSFETとは異なる半導体素子を絶縁ゲート型パワー半導体素子1としてもよい。例えば、IGBTによって形成される半導体素子を絶縁ゲート型パワー半導体素子1としてもよい。例えば、ワイドバンドギャップ半導体によって形成される半導体素子を絶縁ゲート型パワー半導体素子1としてもよい。例えば、ワイドバンドギャップ半導体としては、炭化珪素、窒化ガリウム系材料またはダイヤモンドがある。

[0050] ワイドバンドギャップ半導体によって形成される半導体素子を絶縁ゲート型パワー半導体素子1とした場合、絶縁ゲート型パワー半導体素子1そのものの効率の向上が期待できる。この際、絶縁ゲート型パワー半導体素子1のゲート電極に印加される電圧に基づいた定常損失の大きさが電力変換器の損失に大きく影響する。このため、ワイドバンドギャップ半導体によって形成される半導体素子を絶縁ゲート型パワー半導体素子1とした場合、ゲート駆動回路2は、より大きな効果を発揮することができる。

産業上の利用可能性

[0051] 以上のように、この発明に係る絶縁ゲート型パワー半導体素子のゲート駆動回路は、絶縁ゲート型側パワー半導体素子の定常損失の悪化を防止するシステムに利用できる。

符号の説明

[0052] 1 絶縁ゲート型パワー半導体素子、 2 ゲート駆動回路、 3 抵抗、 4 NchMOSFET、 5 PchMOSFET、 6 制御回路、 6a 正側スイッチング素子、 6b 負側スイッチング素子、 7 電源体、 8 正側電源体、 8a 第1正側電源、 8b 第2正側電源、 9 負側電源体、 9a 第1負側電源、 9b 第2負側電源、 10 正側ツェナーダイオード、 11 負側ツェナーダイオード

請求の範囲

[請求項1]

ソース電極とドレイン電極とゲート電極とを有し、ソース電極が絶縁ゲート型パワー半導体素子のゲート電極に接続され、正電圧がドレイン電極に印加された状態で正電圧がゲート電極に印加された際にオンとなることで前記絶縁ゲート型パワー半導体素子をオンにするNchMOSFETと、

ソース電極とドレイン電極とゲート電極とを有し、ソース電極が前記絶縁ゲート型パワー半導体素子のゲート電極に接続され、負電圧がドレイン電極に印加された状態で負電圧がゲート電極に印加された際にオンとなることで前記絶縁ゲート型パワー半導体素子をオフにするPchMOSFETと、

制御電極と正側電極と負側電極とを有し、制御電極が前記NchMOSFETのゲート電極と前記PchMOSFETのゲート電極とに接続され、正電圧が正側電極に印加された状態の際に当該正電圧を前記NchMOSFETのゲート電極に印加することで前記NchMOSFETをオンにし、負電圧が負側電極に印加された状態の際に当該負電圧を前記前記PchMOSFETのゲート電極に印加することで前記PchMOSFETをオンにする制御回路と、

負電圧を前記PchMOSFETのドレイン電極と前記制御回路の負側電極とに印加し、正電圧を前記NchMOSFETのドレイン電極に印加し、前記NchMOSFETのドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を前記制御回路の正側電極に印加する電源体と、

を備えた絶縁ゲート型パワー半導体素子のゲート駆動回路。

[請求項2]

前記電源体は、

前記前記NchMOSFETのドレイン電極に接続された正側電極と前記絶縁ゲート型パワー半導体素子のソース電極に接続された負側電極とを有し、正電圧を前記NchMOSFETのドレイン電極に印

加する第1正側電源と、

前記制御回路の正側電極に接続された正側電極と前記絶縁ゲート型パワー半導体素子のソース電極に接続された負側電極とを有し、前記第1正側電源が前記NchMOSFETのドレイン電極に印加する正電圧の絶対値よりも大きい絶対値の正電圧を前記制御回路の正側電極に印加する第2正側電源と、

を備えた請求項1に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。

[請求項3]

前記NchMOSFETのゲート電極とソース電極との間に接続された正側ツェナーダイオード、

を備えた請求項1または請求項2に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。

[請求項4]

前記電源体は、前記PchMOSFETのドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を前記制御回路の負側電極に印加する請求項1から請求項3のいずれか一項に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。

[請求項5]

前記電源体は、

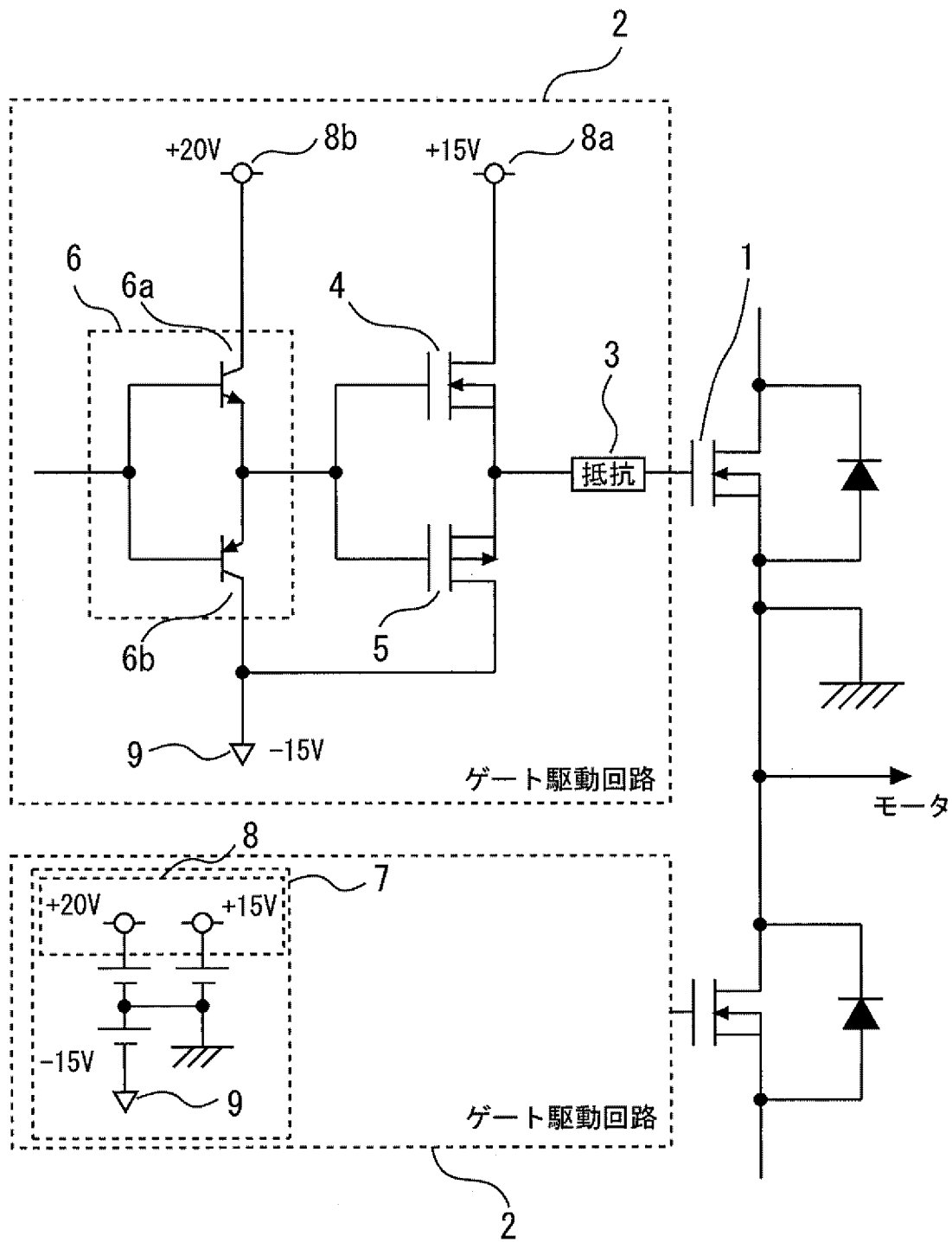
前記絶縁ゲート型パワー半導体素子のソース電極に接続された正側電極と前記前記PchMOSFETのドレイン電極に接続された負側電極とを有し、負電圧を前記PchMOSFETのドレイン電極に印加する第1負側電源と、

前記絶縁ゲート型パワー半導体素子のソース電極に接続された正側電極と前記制御回路の負側電極に接続された負側電極とを有し、前記第1負側電源が前記PchMOSFETのドレイン電極に印加する負電圧の絶対値よりも大きい絶対値の負電圧を前記制御回路の負側電極に印加する第2負側電源と、

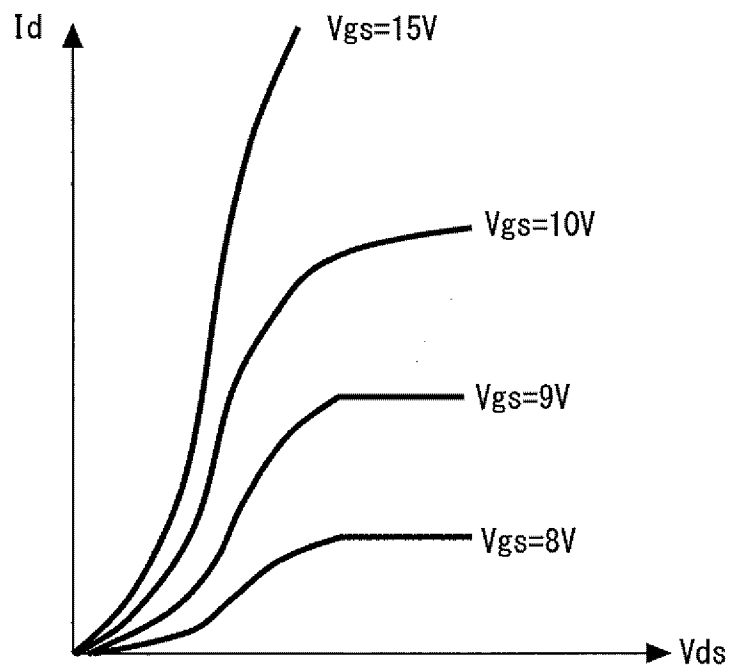
を備えた請求項4に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。

- [請求項6] 前記PchMOSFETのゲート電極とソース電極との間に接続された負側ツェナーダイオード、
を備えた請求項1から請求項5のいずれか一項に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。
- [請求項7] 前記絶縁ゲート型パワー半導体素子は、ワイドバンドギャップ半導体により形成された請求項1から請求項6のいずれか一項に記載の絶縁ゲート型パワー半導体素子のゲート駆動回路。

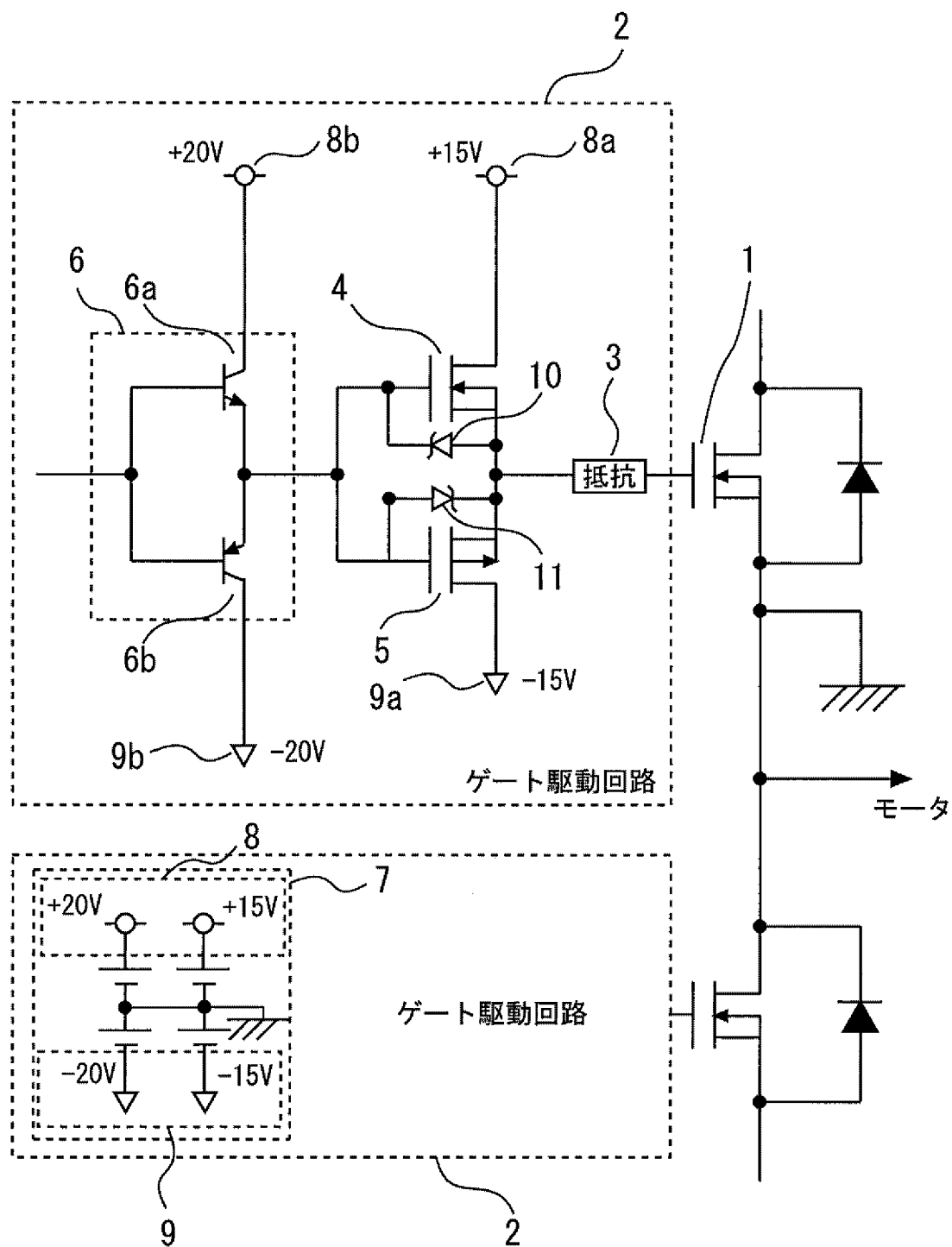
[図1]



[図2]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/067771

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/687(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/0163040 A1 (Daniel M. Kinzer et al.), 07 November 2002 (07.11.2002), front page; paragraphs [0019] to [0021]; fig. 1 & US 41719 E	1-7
A	US 2010/0237911 A1 (Andreas Svensson), 23 September 2010 (23.09.2010), front page; paragraphs [0016] to [0026]; fig. 1 & WO 2009/045137 A1 & CN 101816128 A	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 August, 2014 (14.08.14)	Date of mailing of the international search report 26 August, 2014 (26.08.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H03K17/687(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H03K17/00-17/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2002/0163040 A1 (Daniel M. Kinzer(他3名)) 2002.11.07, フロントページ, 段落 19-21, 第1図 & US 41719 E	1-7
A	US 2010/0237911 A1 (Andreas Svensson) 2010.09.23, フロントページ, 段落 16-26, 第1図 & WO 2009/045137 A1 & CN 101816128 A	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		
<input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 14.08.2014	国際調査報告の発送日 26.08.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 柳下 勝幸 電話番号 03-3581-1101 内線 3596	5 X 9 5 6 1