

FIG. 2

【特許請求の範囲】

【請求項 1】

プローブ基板上に第 1 の導体ピンマトリックスアレイを形成することと、
前記プローブ基板上に第 2 の導体ピンマトリックスアレイを形成することとを、含み、
前記第 2 の導体ピンマトリックスアレイは、第 1 の軸に沿って第 1 のピッチ分、前記第 1 の導体マトリックスアレイから離れており、当該第 1 のピッチは、半導体ワークピースの第 1 の半導体ダイと第 2 の半導体ダイとの間の第 2 のピッチと実質的に一致するように選択されている、製造方法。

【請求項 2】

前記プローブ基板上に前記第 1 の導体ピンマトリックスアレイと電氣的に接続される第 1 の回路網システムと、前記プローブ基板上に前記第 2 の導体ピンマトリックスアレイと電氣的に接続される第 2 の回路網システムとを形成することを含み、前記第 1 の回路網システムは、前記第 1 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 1 のレイアウトを有し、前記第 2 の回路網システムは、前記第 2 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 2 のレイアウトを有する、
請求項 1 に記載の方法。

10

【請求項 3】

前記第 1 の回路網システムを形成することは、複数の第 1 の受動素子および複数の第 1 の相互接続体を形成することを含み、前記第 2 の回路網システムを形成することは、複数の第 2 の受動素子および複数の第 2 の相互接続体を形成することを含む、
請求項 2 に記載の方法。

20

【請求項 4】

前記第 1 および第 2 の導体ピンマトリックスアレイは、前記第 2 の導体ピンマトリックスアレイが、第 2 の軸に沿って第 3 のピッチ分、前記第 1 の導体ピンマトリックスアレイから離れるように形成され、前記第 3 のピッチは、前記半導体ワークピースの前記第 1 の半導体ダイと前記第 2 の半導体ダイとの間の第 4 のピッチと実質的に一致するように選択される、
請求項 1 に記載の方法。

【請求項 5】

前記プローブ基板をプリント回路基板に連結することを含む、請求項 1 に記載の方法。

30

【請求項 6】

前記プリント回路基板をプローバに連結することを含む、請求項 5 に記載の方法。

【請求項 7】

前記プローブ基板上に第 3 の導体ピンマトリックスアレイを形成することを含む請求項 1 に記載の方法。

【請求項 8】

複数の半導体ダイを有する半導体ワークピースの第 1 の対の半導体ダイに対し、第 1 の導体ピンマトリックスアレイおよび第 2 の導体マトリックスアレイをその上に備えたプローブ基板であって、前記第 2 の導体ピンマトリックスアレイが第 1 の軸に沿って第 1 のピッチ分、第 1 の導体ピンマトリックスアレイから離れており、当該第 1 のピッチは、前記半導体ワークピースの前記第 1 の対の半導体ダイの間の第 2 のピッチに実質的に一致するように選択されている構成のプローブ基板を係合させることと、
前記第 1 の対の半導体ダイに対して電氣的プローブテストを行うこととを、含む方法。

40

【請求項 9】

前記第 1 の対の半導体ダイの一方は第 1 の本来のクロック速度を有し、前記第 1 の対の半導体ダイの他方は第 2 の本来のクロック速度を有し、

前記第 1 の対の半導体ダイを実質的にそれぞれの本来のクロック速度でプローブテストするように適合させた回路網を有するプリント回路基板に前記プローブ基板を連結することを含む、請求項 8 に記載の方法。

【請求項 10】

50

前記半導体ワークピースの他の対の半導体ダイを前記プローブ基板と係合させることと、前記他の対の半導体ダイに対して電氣的プローブテストを行うこととを、含む請求項 8 に記載の方法。

【請求項 1 1】

前記対をなす半導体ダイの前記電氣的プローブテストの結果を用いて、前記半導体ワークピースの中から良品ダイを特定することを含む請求項 8 に記載の方法。

【請求項 1 2】

前記良品ダイを半導体チップパッケージ内に設置することを含む請求項 1 1 に記載の方法。

【請求項 1 3】

前記良品ダイに対して電氣的テストを行うことを含む請求項 1 2 に記載の方法。

【請求項 1 4】

前記プローブ基板は第 3 の導体ピンマトリックスアレイを含み、

前記第 3 の導体ピンマトリックスアレイを用いて前記複数の半導体ダイの内の別の半導体ダイに対して電氣的プローブテストを行うことが含まれる、請求項 8 に記載の方法。

【請求項 1 5】

第 1 の導体ピンマトリックスアレイおよび第 2 の導体ピンマトリックスアレイを有するプローブ基板を備え、

前記第 2 の導体ピンマトリックスアレイは、第 1 の軸に沿って第 1 のピッチ分、前記第 1 の導体マトリックスアレイから離れており、当該第 1 のピッチは、半導体ワークピースの第 1 の半導体ダイと第 2 の半導体ダイとの間の第 2 のピッチと実質的に一致するように選択されている、装置。

【請求項 1 6】

前記プローブ基板は、前記第 1 の導体ピンマトリックスアレイと電氣的に接続される第 1 の回路網システムと、前記第 2 の導体ピンマトリックスアレイと電氣的に接続される第 2 の回路網システムとを含み、前記第 1 の回路網システムは、前記第 1 の半導体ダイに適合するパッケージ基板の電氣的特性を提供する第 1 のレイアウトを有し、前記第 2 の回路網システムは、前記第 2 の半導体ダイに適合したパッケージ基板の電氣的特性を提供する第 2 のレイアウトを有する、請求項 1 5 に記載の装置。

【請求項 1 7】

前記第 1 の回路網システムは、複数の第 1 の受動素子および複数の第 1 の相互接続体を備え、前記第 2 の回路網システムは、複数の第 2 の受動素子および複数の第 2 の相互接続体を備えた、請求項 1 6 に記載の装置。

【請求項 1 8】

前記第 2 の導体ピンマトリックスアレイは、第 2 の軸に沿って第 3 のピッチ分、前記第 1 の導体ピンマトリックスアレイから離れており、当該第 3 のピッチは、前記半導体ワークピースの前記第 1 の半導体ダイと前記第 2 の半導体ダイとの間の第 4 のピッチと実質的に一致するように選択されている、請求項 1 5 に記載の装置。

【請求項 1 9】

前記プローブ基板に連結されたプリント回路基板を備えた、請求項 1 5 に記載の装置。

【請求項 2 0】

前記プリント回路基板がロードボードを備えた、請求項 1 9 に記載の装置。

【請求項 2 1】

前記プリント回路基板に連結されたプローバを備えた、請求項 1 9 に記載の装置。

【請求項 2 2】

前記プリント回路基板への電氣的接続に適合したテスターを備えた、請求項 1 9 に記載の装置。

【請求項 2 3】

前記プローブ基板は、第 3 の導体ピンマトリックスアレイを備えた、請求項 1 5 に記載の装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、広義には半導体加工に関し、具体的には半導体チップのプローブテストを行うためのシステムおよび方法に関する。

【背景技術】

【0002】

現在の集積回路は、通常、驚くべき複雑さの配置で構成された数千万、あるいは何億ものトランジスタおよび他の回路素子を備えている。当然ながら、膨大な数の回路素子およびそれらの素子を製造するために必要な無数の製造工程が設計仕様を満たすか、または超えることを保証するためには、集積回路のテストが不可欠である。集積回路に通常行われる電気テストの一種は、ウエハーレベルで行われ、プローブシステムとして知られる専用機器を用いて集積回路の特定領域とオーミックコンタクトをとる。オーミックコンタクトをとった後は、プローブシステムのテスターが様々な方法で集積回路を電氣的に刺激し、それによって集積回路の様々な機能がテストされる。個々のチップがウエハーからダイシングされ、パッケージに実装された後に、パッケージ用チップのための別の種類のテストが実施される。

10

【0003】

従来のプローブシステムはプローバを備える。プローバは、半導体ウエハーを保持し、その個々のダイが選択的にテスターと接触できるように様々な位置に半導体ウエハーをステップ移動させるように設計された機器である。テスターは、通常、個々のダイの実際の電氣的刺激を行う機器である。ある従来の構成では、プローブカードがプローバに実装され、プローブカードを用いて半導体ウエハーとオーミックコンタクトをとる。プローブカードは、プリント回路基板と、半導体チップパッケージ基板と、プローブヘッドとのスタックから成る。プリント回路基板は、プローブ基板を保持し、半導体ウエハーの集積回路に対して比較的低速のテストを行うように構成されている。プローブ基板は、半導体チップパッケージ基板に設計上類似している。プローブ基板は、一般的に、基板から突出する導体ピンの集合体を備え、それによって、ウエハーの半導体ダイ上の領域とオーミックコンタクトをとる。

20

【0004】

従来のプローブ基板の変形例の1つには、集積回路の周辺領域だけではなく、フリップチップタイプの集積回路におけるはんだバンプ等の内部領域とも接触可能なピンアレイを備えたものがある。別の従来のプローブ基板の変形例には、一般的に集積回路の周辺領域とは接触するが、集積回路の内部領域とは接触しないように構成された導体ピンの2つ以上の集合体を備えたものがある。従来の単一アレイプローブ基板は、一度に1つの半導体ダイのプロービングしか行うことができない。従来のデュアルサイトプローブ基板は、マルチサイトプロービングが可能であるが、集積回路の周辺領域のみに限られる。

30

【0005】

従来のプローブシステムのさらなる欠点は、従来のプローブスタックプリント回路基板の性能が低速であることである。従って、ウエハーテストレベルでは、比較的低速なテストのみが行われ得る。あるダイをスクラップであると思わずに足る別の種類の不良や欠陥を特定できる高速テストは、最終的なパッケージテストまで待たなければならない。従って、半導体ウエハー上の1つまたは複数のダイが、ウエハーレベルのテスト中は潜在化しており、パッケージング後の最終テスト中にのみ明らかとなる欠陥を有している場合がしばしばある。その場合には、実際には欠陥のあるダイまでもが、そのような欠陥が発見される前に、ダイシングされ、パッケージングされ、パッケージレベルのテストを受けてしまう。歩留まりを制限する欠陥を製造サイクルのより早い段階で発見することができれば、製造コストおよびテストコストを低減することができる。

40

【0006】

本発明は、上記欠点の1つ以上による影響を克服または低減することに向けられる。

50

【発明の概要】

【0007】

本発明のある局面によれば、第1の導体ピンマトリックスアレイおよび第2の導体ピンマトリックスアレイをプローブ基板上に形成することを含む製造方法が提供される。第2の導体ピンマトリックスアレイは、第1の軸に沿って第1のピッチ分、第1の導体ピンマトリックスアレイから離れている。第1のピッチは、半導体ワークピースの第1の半導体ダイと第2の半導体ダイとの間の第2のピッチと実質的に一致するように選択されている。

【0008】

本発明の別の局面によれば、複数の半導体ダイを有する半導体ワークピースの第1の対の半導体ダイに、第1の導体ピンマトリックスアレイおよび第2の導体ピンマトリックスアレイを有するプローブ基板を係合させることを含む方法が提供される。第2の導体ピンマトリックスアレイは、第1の軸に沿って第1のピッチ分、第1の導体ピンマトリックスアレイから離れている。第1のピッチは、半導体ワークピースの第1の対の半導体ダイ間の第2のピッチと実質的に一致するように選択されている。第1の対の半導体ダイに対して電氣的プローブテストが行われる。

【0009】

本発明の別の局面によれば、第1の導体ピンマトリックスアレイおよび第2の導体ピンマトリックスアレイを有するプローブ基板を含む装置が提供される。第2の導体ピンマトリックスアレイは、第1の軸に沿って第1のピッチ分、第1の導体ピンマトリックスアレイから離れている。第1のピッチは、半導体ワークピースの半導体ダイと第2の半導体ダイとの間の第2のピッチと実質的に一致するように選択されている。

【図面の簡単な説明】

【0010】

本発明の上記および他の利点は、以下の詳細な説明を読むことにより、および図面を参照することにより明らかとなるであろう。

【0011】

【図1】半導体ワークピースまたはウエハーの垂直型電気プロービングに適した集積回路プローブカードスタックの例示的实施形態の分解図である。

【0012】

【図2】プローブ基板の例示的实施形態の平面図である。

【0013】

【図3】プローブ基板の例示的配置の作成に用いられる半導体チップパッケージ基板の例示的配置を示す平面図である。

【0014】

【図4】プローブ基板の別の例示的实施形態の平面図である。

【0015】

【図5】半導体ウエハーの平面図であり、半導体ウエハーのための例示的なプローブテストスキームの幾つかを示す平面図である。

【0016】

【図6】マルチサイトプローブテストの例示的方法のフローチャートである。

【発明を実施するための形態】

【0017】

以下に説明する図面において、1以上の図面で同一の構成要素が出てくる場合には、概して同じ参照符号を使用するものとする。次に図面、特に図1には、半導体ワークピースまたはウエハー20の垂直型電気プロービングに適した集積回路プローブカードスタック10（スタック10）の例示的实施形態の分解図が示されている。ウエハー20は、複数の集積回路または半導体ダイを備えており、そのうちの2つを25および27で表している。半導体ワークピース20は、シリコン、ゲルマニウム、または他の半導体材料で構成され得る。所望であれば、ウエハー20は半導体・オン・インシュレータウエハーとして

構成されていてもよい。ダイ 25 および 27 等のウエハー 20 のダイは、プロセッサ、特定用途向け集積回路、またはメモリ素子等として機能する集積回路でもよい。ダイ 25 および 27 は、座標系 29 の Y 軸と平行な軸に沿って測定されるあるピッチ P_0 を隔てて離れている。スタック 10 は、プローブ基板 30、プリント回路基板 40、マウンティングブラケット 50、およびヘッド 60 を備える。

【0018】

プローブ基板 30 は、Y 軸と平行な軸に沿って測定されるあるピッチ P_1 分の間隔を空けた 1 対のマトリックス型ピンアレイ 80 および 90 を備えている。ピッチ P_1 の重要性は後に説明する。以下により詳細に説明するように、プローブ基板 30 およびそれに付随するピンアレイ 80 および 90 を用いることにより、二つの半導体ダイ、例えばダイ 25 および 27 のプローブテストを一度に実施することができる。ピンアレイ 80 および 90 はマトリックス型であるので、基板 30 は、周辺チップ領域のみではないデュアルサイト垂直型プロービングを行うことができる。プローブ基板 30 は、プリント回路基板 100 から分解された状態で図示されている。スタック 10 を完全に組み立てた際には、プローブ基板 30 はプリント回路基板 100 上に載置される。より具体的には、プローブ基板 30 を、プリント回路基板 100 上のボンドパッド領域 110 上に載置してもよい。ボンドパッド領域 110 は、複数のはんだバンプ 130 または他の種類の相互接続構造体から構成され得る相互接続アレイ 120 を備えている。プローブ基板 30 は、図 1 においては不可視であるが、ボンド領域 110 上の相互接続アレイ 120 と接合する複数の対応する相互接続構造体を有する。相互接続アレイ 120 と電氣的に接続するために、プローブ基板 30 は、必要に応じてピングリッドアレイ、ボールグリッドアレイ、ランドグリッドアレイ、または他の種類の相互接続スキームで構成されていてもよい。

【0019】

プリント回路基板 100 は、1 つ以上のいわゆるポゴパッド 140 および 150 を備えていてもよい。ポゴパッド 140 および 150 は、破線ボックス 160 で図式化したテスター等の機器と電氣的に接続するように設計された複数の上方に突出するバンプまたは他の導体構造体を備える。ポゴパッド 140 および 150 は、プリント回路基板 100 のプローブ基板 30 の位置とは反対の面 170 の上に位置するので、透視図で描かれている。パッド 140 および 150 の数および位置は、様々な構成要素の中でもプローブ基板 30、半導体ウエハー 20、およびテスター 160 のニーズに応じて変化し得る。プリント回路基板 100 は、複数の導体構造体または配線 180 を備え、これによりポゴパッド 150 がボンドパッド 110、さらにはプローブ基板 30 に電氣的に接続される。同様に、ポゴパッド 160 は、複数の導体構造体 190 によってプローブ基板 30 と電氣的に接続され得る。配線 180 および 190 は、基板 30 の上、内部、またはその双方に位置していてもよい。配線 180 および 190 の数およびレイアウトは、設計の裁量にゆだねられる。

【0020】

テスター 160 は、ポゴパッド 140 および 150 との接触に用いられるインターフェース 200 を有していてもよい。テスター 160 はプリント回路基板 100 よりかなり大きくてもよいので、図 1 は一定の縮尺で描かれていないことが理解されるであろう。様々な機器をテスター 160 に用いることができる。そのシステム例には、例えば Teradyne 社の Ultraflex および Agilent の Pinscale が含まれる。

【0021】

所望であれば、配線 180 および 190 を含むプリント回路基板 100 は、個々の半導体ダイ 25 および 27 の本来のクロック速度より低い速度でウエハーレベルのテストを行うように設計することができる。この点に関して、デュアルサイトフルマトリックスプロービングを行うことができる。しかしながら、ロードボードおよびプローブカードの両方の特性を有するようにプリント回路基板 100 を調整することによって、付加的な利点を得ることができる。このようにして、プリント回路基板 100 およびプローブ基板 30 を用いて個々の半導体ダイ 25 および 27 の本来のクロック速度で、またはそれに非常に近

い速度でウエハー 20 のプローブテストを実施することができる。本明細書中の背景の項目に記載したように、従来の垂直型プローブテストは、低いクロック速度のテスト用に装備されたプリント回路基板を用いて行われる。従って、本来約 2.0 GHz でクロッキングするダイで構成されるウエハーに対して、従来技術では、その速度の数分の一、例えば 200 ~ 300 MHz でプローブを行い得る。その結果、高速テストは、ダイ 25 および 27 のダイシングおよび最終的なパッケージングを待たなければならない。パッケージテストまで待たなければならないことにより、製造業者は、しばしば、最終的に欠陥であると判明するダイに対して、それを知らぬままに加工資源を消費しなければならない。高速の信号伝搬を行うための様々な導体配線 180 および 190 を構成するとともに、ボードやカード等を介在させることなく、プローブ基板 30 をプリント回路基板 100 に直接実装することにより、ロードボード / プローブカード特性をプリント回路基板 100 に組み込むことが可能である。

10

【0022】

マウンティングブラケット 50 は、ねじ、接着剤、はんだ、または他の周知の締結技術によってプリント回路基板 100 に接続され得る。ブラケット 50 は、周知のプラスチック、またはセラミック等から構成され得る。ブラケット 50 は、ヘッド 60 を収容する大きさの空間 210 を含む。さらに、ブラケット 50 は、ブラケット 50 がプリント回路基板 100 上に載置される際にピンアレイ 80 および 90 がそこを通して突出することが可能のように設計された開口 220 を含む。

20

【0023】

ヘッド 60 は、プローブ基板 30 を保護するように設計されたディスク状構造体として構成されていてもよい。ヘッド 60 は、ねじ、接着剤、はんだ、または他の周知の締結技術によってプリント回路基板 100 に接続され得る。ヘッド 60 は、周知のプラスチック、セラミック等から構成され得る。1 対の開口 240 および 250 がヘッド 60 に設けられている。開口 240 および 250 は、プローブ基板 30 のピンアレイ 80, 90 の間のピッチ P_1 と一致するピッチ P_2 分の間隔をあけた大きさに作られている。従って、組み立てた際には、ヘッド 60 は空間 210 内に位置し、ピンアレイ 80 および 90 は、それぞれ開口 240 および 250 を通って突出する。

【0024】

プローブテストを行うためには、ウエハー 20 およびスタック 10 は共に、破線ボックス 260 で図式化したプローバ上に載置される。プローバ 260 は、ウエハー 20 が上に載置される可動チャック 270 を備える。チャック 270 は、通常、X - Y 軸によって表される平面等の平面内で移動可能である。チャック 270 は、Y 軸等の所定の軸に沿って、ピッチ P_3 きざみで移動またはステップ移動し得る。1 回のステップ移動動作後のチャック 270 の位置を、破線楕円 280 によって表す。チャック 270 のステップ移動ピッチ P_3 は、ダイピッチ P_0 と同じか、それよりも大きくてもよい。プローブ基板 30 のピンアレイ 80 および 90 のピッチ P_1 は、チャック 270 のステップ移動ピッチ P_3 と一致するように都合良く選択される。もちろん、プローバ 260 は、典型的には固定位置でプローブスタック 10 を受けるように動作可能である。スタック 10 がプローバ 260 に固定された状態において、テスター 160 が Z 軸と平行に下方に移動し、それによってゴパッド 140 および 150 と接触し、ウエハー 20 がピンアレイ 80 および 90 と接触するまでチャック 270 が Z 軸と平行に上方に移動する。テスト中は、チャック 270 は様々なダイにステップ移動する。プローバ 260 として様々な機器を用いることができる。ある例示的实施形態においては、Tokyo Electron model P-12XL を使用してもよい。プローバ 260 はウエハー 20 よりかなり大きくてもよいので、図 1 は一定の縮尺で描かれていないことが理解されるであろう。

30

40

【0025】

スタック 10 の様々な構成要素はディスク状構造体として描かれている。しかしながら、当業者には、円以外の形状をプリント回路基板 100、ヘッド 60、およびマウンティングブラケット 50 に使用しうることが分かるであろう。

50

【0026】

プローブ基板30のさらなる詳細は、俯瞰図である図2を参照することにより理解できるであろう。基板30は、有機物またはセラミック等でもよい。有機物の場合には、基板30は、標準コア、薄型コア、またはコアレスとして製造されていてもよく、周知のエポキシ樹脂およびフィラー等で構成されてもよい。セラミックの場合には、基板30は周知のセラミック材料を用いて構成されていてもよい。図1の説明に関連させて上記したように、ピンアレイ80および90は、図1に示すチャック270のステップ移動ピッチ P_3 と一致するように設計されたピッチ P_1 分の間隔をあけて設けられてもよい。

【0027】

図2を続けて参照すると、ピンアレイ80は、ボンド領域300上に配置された黒点290によって表されるピンのマトリックスアレイから成る。本明細書中で用いられるように、マトリックスアレイという用語は、集積回路の中央部位および周辺部位との係合に適したピンの配置を意味するものとする。マトリックスアレイは、行および列の数が等しくても、等しくなくてもよく、アレイの各位置にピンを含んでいてもいなくてもよい。ピン290は、様々な導体材料、例えば金、銅、銀、アルミニウム、白金、タンタル、ニッケル、またはこれらの混合物から成っていてもよい。ボンド領域300は、フリップチップが実装された集積回路に用いられる種類のボンド領域と実質的に同一に構成されてもよい。例えば、ボンド領域は、ピン290がそれぞれ接着される複数のんだ構造体を含んでいてもよい。実際、プローブ基板30の性能目標は、図1に示すウエハー20の半導体ダイ25および27の1つと共に使用するのに適した半導体チップパッケージ基板の電氣的挙動を可能な限り模倣することである。ほとんどの半導体チップパッケージ基板は、フィルタリングや他の要件のための複数のコンデンサおよび他の素子を含む。従って、プローブ基板30およびそのピンアレイ80は、複数の受動素子310および相互接続スキーム320を含む回路網システム305を備えていてもよい。相互接続スキーム320は、複数の相互接続体または導体配線で構成されていてもよく、その幾つかを符号330により表している。導体配線330は、図2に示すように表面に位置する配線から構成されてもよいし、基板30の内部に位置するために図2には示されていない導体構造体および相互接続体から構成されてもよい。この場合もやはり、相互接続スキーム320および受動素子310は、半導体チップ用のパッケージ基板の電氣的挙動を可能な限り模倣することを意図していることに留意されたい。受動素子310は、コンデンサ、インダクタ、レジスタ、または他の種類の素子から構成されていてもよい。配線330は、様々な導体材料、例えば金、銅、銀、アルミニウム、白金、タンタル、ニッケル、またはこれらの混合物から構成されていてもよい。

【0028】

ピンアレイ90も同様に、ボンディング領域350上にマトリックス状の形態で配列される黒点340によって表される複数のピンから構成される。ピンアレイ80と同様に、ピンアレイ90は、相互接続スキーム370によってピン340および基板30の他の領域と接続される複数の受動素子360を含む回路網システム355を備えている。相互接続スキーム370は、その幾つかが符号380で表した複数の導体配線から構成される。相互接続スキーム370は、スキーム200の導体配線210と実質的に同じでもよい。

【0029】

図2に示すプローブ基板30のレイアウトを作るための例示的方法は、2つの半導体チップパッケージ基板のレイアウト390および400の俯瞰図である図3を参照することにより理解できる。レイアウト390は、基板410、複数のボンド部位430を含むボンディング領域420、複数の受動素子440、および1以上の導体配線460から構成される相互接続スキーム450の設計を含む。レイアウト390は、従来の垂直型プローブテスト用のシングルサイトプローブ基板として同様に用いられる半導体チップパッケージ基板の典型的なレイアウトと似ている。

【0030】

レイアウト400も同様に、基板470および複数のバンブ部位490を含むボンディ

10

20

30

40

50

ング領域 480 の設計から構成される。複数の受動素子 500 および複数の配線 520 から構成される相互接続スキーム 510 もまた設けられている。2つのレイアウト 390 および 400 は、基本的に鏡像複写であると考えられる。図 2 に示すプローブ基板 30 のレイアウトを作るためには、相互接続スキーム 450 および 510 の分断を最小限に抑えるという目的で、矢印 530 および 540 で示すように、基板 30 等の 1つの基板上に作成される単一のレイアウトへと 2つのレイアウト 390 および 400 を統合する。本明細書の他の箇所に記載したように、ピンアレイ 80 を含む回路網およびピンアレイ 90 を含む回路網の電氣的挙動が 2つのパッケージ基板の実際の電氣的挙動を可能な限り模倣するようにプローブ基板 30 を設計することが望ましい。

【0031】

上記の例示的实施形態では、プローブ基板 30 のピンアレイ 80 および 90 は、プローブ基板 30 の一端とほぼ平行な任意に選択された Y 軸に沿って位置合わせされる。しかしながら、例えば、ピンアレイの他の位置合わせとして、ウエハー上で互い違いの位置関係にある半導体ダイに対する同時プロービングを実施できるような位置合わせをすることも可能である。この点に関して、図 4 は、ピンアレイ 80' および 90' をそれぞれ備えたプローブ基板 30' の別の例示的实施形態の俯瞰図を示す。ピンアレイ 80' および 90' は、X 軸に沿った水平ピッチ P_4 および Y 軸に沿った縦ピッチ P_5 を有して互い違いに配列される。縦および水平という用語は、任意のものとする。プローブ基板 30' は、開示された他の実施形態に関して本明細書中の他の箇所に概して記載したのと同じ材料および同じ構造から構成されていてもよい。ピンアレイ 80' および 90' は、ボンディング領域 550 および 560 上にそれぞれ形成されていてもよい。また複数のピン 570 および 580 でそれぞれ構成されていてもよい。ピンアレイ 80' は、相互接続スキーム 600 によって、複数の受動素子 590 および他の電氣的構造体を含む回路網システム 585 に接続され得る。相互接続スキーム 600 は複数の配線を含み、そのうちの 2つを符号 610 で表している。ピンアレイ 90' も同様に、複数の受動素子 620 と、1つ以上の配線 640 から成る相互接続スキーム 630 とを有する回路網システム 615 を備えていてもよい。

【0032】

開示された他の実施形態と同様に、プローブ基板 30' は、所望であれば同時にではあるが、図 4 に開示したような互い違いのレイアウトにある 2つの半導体チップパッケージ基板の電氣的挙動を模倣するように設計されている。ピッチ P_4 および P_5 は、図 1 に示すウエハー 20 等の所与のウエハー上に互い違いに配置されている 2つの半導体ダイの間のピッチと一致するように、または図 1 に示すプローブ機器チャック 270 のステップ移動動作のピッチと一致するように設計されてもよい。さらに、ピッチ P_4 および P_5 は、等しくても、等しくなくてもよい。

【0033】

図 5 は、複数の半導体ダイを含む例示的半導体ウエハー 650 の俯瞰図である。そのうちの幾つかのダイを、個々に 660、670、680、690、700、710、および 715 の符号で表している。ダイ 660、670、680、および 690 は、縦列 720 に位置する。ダイ 700 および 710 も同様に縦列 730 に位置し、ダイ 715 は、縦列 740 に位置する。図 1 および 2 に示される種類のプローブ基板の設計を用いて、様々なパターンで半導体ダイを同時にプローブすることができる。例えば、ピッチ P_1 および P_3 (図 1 を参照) に基づき、縦列 720 のダイ 660 および 670 を同時にプローブした後、縦列 720 に関してダイ 680 および 690 等の同時プローブを実施してもよい。ピッチ P_1 および P_3 が隣接するダイよりも大きい場合には、ダイ 660 とダイ 680 とが同時にプローブされ、その次に、縦列 720 のダイ 670 および 690 等の組み合わせに対する同時プローブが実施されてもよい。他の縦列 730 および 740 等に関しても同じことが言える。もちろん、直交する方向に沿って構成されたダイ、例えばダイ 660 および 710 やこれら 2つのダイに平行な他のダイが同時にプローブされたり、あるいは少なくともプローブ位置が一定の一般位置にある状態でプローブされ得るように、プローブ基

10

20

30

40

50

板 3 0 (図 1 および図 2 を参照) の方向を合わせてもよい。

【 0 0 3 4 】

図 4 に示す基板 3 0 ' の場合のようにプローブ基板を互い違いの設計で構成した場合には、例えば、ダイ 6 6 0 およびダイ 7 0 0 を同時にプローブし、その次に、ダイ 7 1 0 およびダイ 7 1 5 等を同時にプローブし、残りのダイに関しても同様にプローブしてもよい。この場合もやはり、ウエハー 6 5 0 上のダイがプローブされる正確な順番は、図 2 および図 4 に開示されるピッチ P_1 、 P_4 、および P_5 等のピッチ、並びに、プローブカード 3 0 または 3 0 ' が接続される機器の利用可能なステップ移動ピッチによって決まる。

【 0 0 3 5 】

図 6 は、本明細書中に開示されたようなマルチサイトプローブ基板および改良型ロード
10
ボード構成プローブスタックを利用した例示的なテストおよび製造方法のフローチャート
である。ステップ 7 5 0 では、ウエハーをプローバに搭載する。例えば、図 1 に示した半
導体ウエハー 2 0 を例示されたプローバ 2 6 0 に搭載してもよい。次に、ステップ 7 6 0
では、本明細書中に開示される種類のプローブカードスタック、例えばスタック 1 0 をプ
ローバに設置する。ステップ 7 7 0 では、図 1 に示すテスター 1 6 0 等のテスターをプ
ローブカードスタックと係合させる。この時点で、または所望であればこれ以前に、ステッ
プ 7 8 0 に示したようにプローブテストの速度レベルを選択する。例えば、プローブテス
トの速度レベルをハイレベルに選択してもよい。このレベルは、ウエハー上の集積回路の
本来のクロック速度レベル、または比較的それに近いレベルである。例えば、図 1 に示す
20
ウエハー 2 0 のダイは、例えば 2 . 0 G H z の設計上の本来のクロック速度を有してい
てもよい。2 . 0 G H z という数字は単なる例示である。ウエハー 2 0 によっては、ウエハ
ー上のダイの本来のクロック速度に幅があり、幾つかのチップは他のチップよりもクロッ
ク数が速い。選択肢として、プローブテストの速度レベルを低レベルに選択してもよい。
このレベルは、ウエハー上のチップの本来のクロック速度よりも低い速度レベルである。
選択されたテスト速度レベルは、テスターの制御システムに入力される。複数のダイがそ
れぞれの本来のクロック速度でテストされ得ることに留意されたい。次に、ステップ 7 9
0 に示したように、高レベルテストまたは低レベルテストのどちらを行うかの決定がテス
ターによって行われる。高速レベルテストが選択された場合には、次にステップ 8 0 0 に
30
おいて、ウエハーに対して高速マルチサイトテストが行われ、それによってそのウエハー
に関して良品ダイの集合が特定される。高速マルチサイトテストは、ウエハーのダイに対
して行われる様々な種類の電氣的テストから構成され得る。そのテストの例を幾つか挙げ
ると、スキャン、スキャンチェーン、プログラマブル論理、入出力 X O R、デジタル / ア
ナログ変換、内部ループバック、ユニバーサルシリアルバス、P C I エクスプレス、およ
びシリアル A T A が含まれる。テストの数および種類は、ウエハー上のダイの種類および
テスターやプローバの能力による。良品ダイの集合が特定されれば、ウエハーをダイシン
グして、良品ダイを欠陥品ダイから分けることができる。次に、ステップ 8 1 0 に示すよ
うに、良品ダイをパッケージングすることができる。ここでの利点は、高速テストによ
って良品ダイであると特定されたダイのみがパッケージングおよび最終テストに供される点
である。欠陥品ダイのパッケージングおよび最終テストに伴う材料費および人件費を削減
40
することができる。次に、ステップ 8 2 0 に示されるように、パッケージングされた良品
ダイは、1 つ以上のパッケージテスト、例えば、オペレーティングシステムテスト、パワ
ーショートテスト、スキャン、および入出力 X O R テスト等を受けることができる。上記
のように、このパッケージテストは、先に特定された良品ダイの集合に対してのみ行えば
よい。

【 0 0 3 6 】

一方、ステップ 7 9 0 において低速テストに移るようにテスターがプログラミングされ
ている場合には、ステップ 8 3 0 において、ウエハーのダイに対して低速マルチサイトテ
ストが行われ、それによって良品ダイの集合を特定することができる。ここで、例示的な
テストを幾つか挙げると、スキャン、スキャンチェーン、プログラマブル論理、入出力 X
O R 等が含まれ得る。ステップ 8 3 0 で特定された良品ダイの集合は、実際には欠陥品で
50

あるが低速テストのみでは特定できないダイを含んでいる場合がある。次に、ステップ 840 で示すように、ステップ 830 における低速テストによって特定された良品ダイの集合に対するダイシングおよびパッケージングを行う。最後に、ステップ 850 において、パッケージングされた良品ダイは最終的なパッケージテストを受けることができる。ステップ 830、840、および 850 が実施されたとしても、半導体ウエハー上の個々のダイに対してより効率的なプローブテストを行うことが可能なマルチサイトマトリックスアレイプローブ基板を使用することによって、意味のある効率化を実現し得る。

【0037】

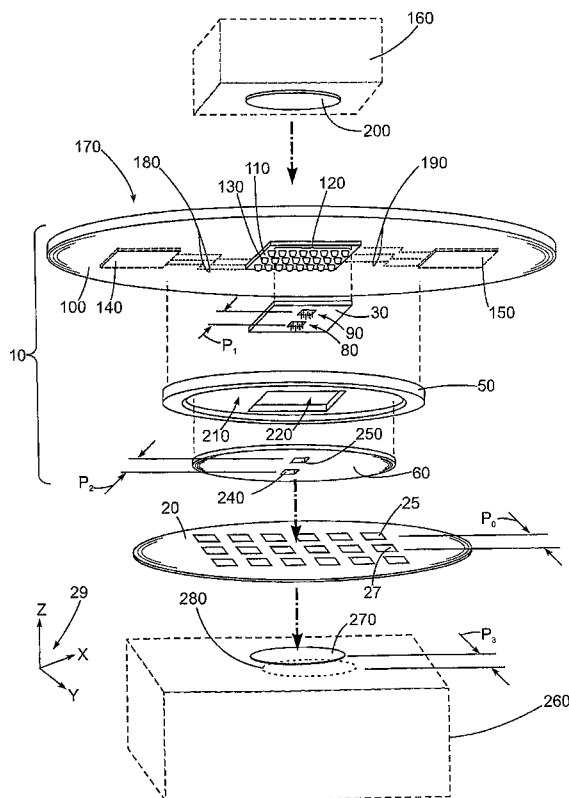
本明細書に開示したプローブ基板 30 および 30' は、2つのピンアレイ 80 および 90、または 80' および 90' を備えている。しかしながら、当業者であれば、本明細書に開示したプローブ基板 30 および 30' の実施形態のいずれもが、2つ以上のピンアレイを備えていてもよく、それによって2つ以上のダイがプローブされ得ることを理解するであろう。

【0038】

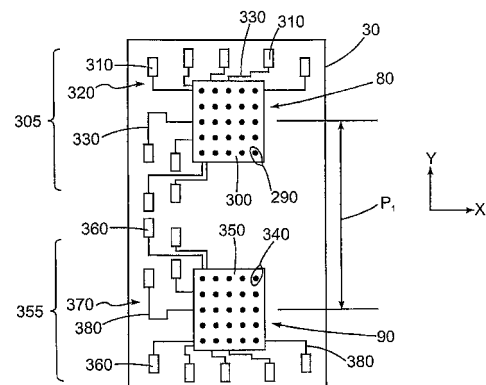
本発明は、様々な改変および代替の形態が可能であるが、具体的な実施形態を例として図面に示し、かつ本明細書において詳細に説明した。しかしながら、本発明は、開示された特定の形態に限定されるものではないことに留意されたい。むしろ、本発明は、以下に添付する請求項によって規定されるような本発明の精神および範囲に含まれるあらゆる改変例、均等物、および代替例を包含するものである。

10

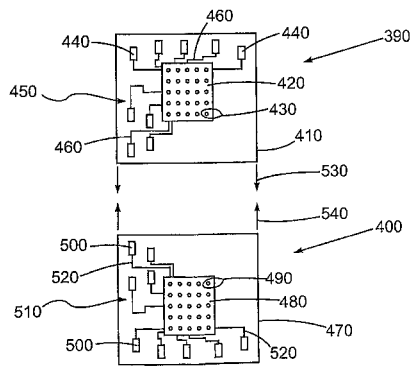
【図 1】



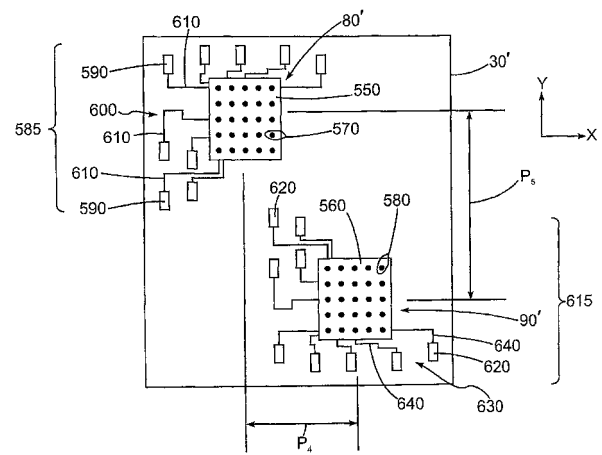
【図 2】



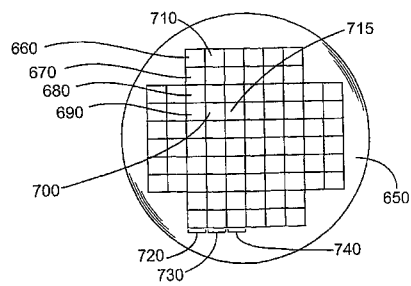
【図 3】



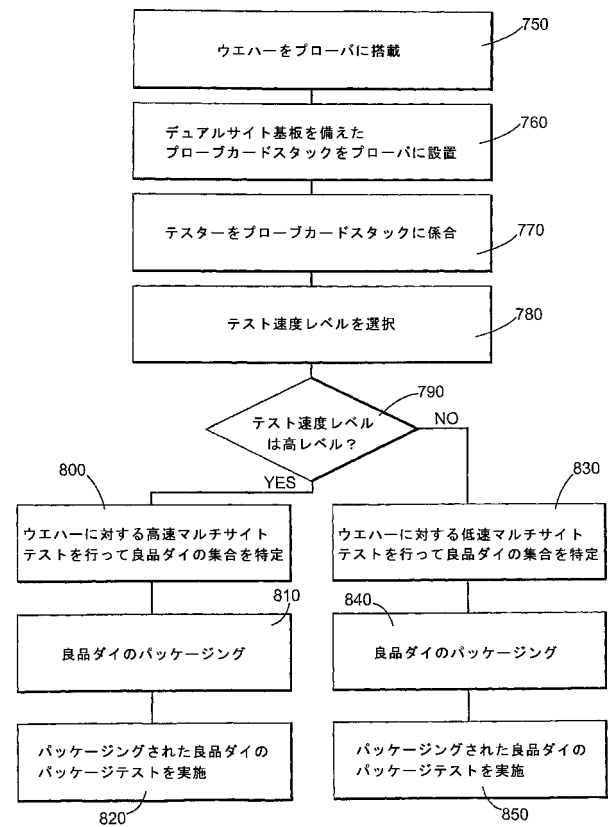
【図 4】



【図 5】



【図 6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No PCT/IB2008/002158	
A. CLASSIFICATION OF SUBJECT MATTER INV. G01R1/073 ADD. G01R31/28 According to International Patent Classification (IPC) or to both national classification and IPC	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01R Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal	
C. DOCUMENTS CONSIDERED TO BE RELEVANT	
Category*	Citation of document, with indication, where appropriate, of the relevant passages
	Relevant to claim No.
X	EP 1 548 450 A (FULITSU) 29 June 2005 (2005-06-29) paragraphs [0001], [0003], [0032], [0033], [0036], [0039], [0090], [0093] - [0095]; figures 5a,5b,6,24a,25
X	EP 1 965 422 A (JSR CORP.) 28 June 2007 (2007-06-28) paragraphs [0051], [0076], [0080], [0082]; figures 23,24,39 & WO 2007/007852 A (JSR CORP.) 18 January 2007 (2007-01-18)
	1,4-8, 10-16, 18-23
	1,8,15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.	
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *& document member of the same patent family	
Date of the actual completion of the international search	Date of mailing of the international search report
13 February 2009	25/02/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Iwansson, Kaj

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2008/002158

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1548450	A	29-06-2005	NONE	
EP 1965422	A	03-09-2008	WO 2007072852 A1 KR 20080079670 A	28-06-2007 01-09-2008
WO 2007007852	A	18-01-2007	EP 1906215 A1 KR 20080025057 A	02-04-2008 19-03-2008

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ガンゴソ, アンドリュー

カナダ国 エル6イー 1 ケー1 オンタリオ, マーカム, アウトルック テラス ドライブ 2

(72)発明者 マルティネス, リアーネ

カナダ国 エム3ジェイ 1 イー5 オンタリオ, ノース ヨーク, ブロードオークス ドライブ
6 5

Fターム(参考) 2G011 AA02 AA15 AA17 AC06 AE03 AF07
2G132 AA00 AB01 AE22 AF02 AF06 AL03
4M106 AA01 AA02 BA01 DD04 DD10