

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年9月24日(2010.9.24)

【公開番号】特開2008-146625(P2008-146625A)

【公開日】平成20年6月26日(2008.6.26)

【年通号数】公開・登録公報2008-025

【出願番号】特願2007-215682(P2007-215682)

【国際特許分類】

G 0 6 F 7/02 (2006.01)

【F I】

G 0 6 F 7/02 Z

【手続補正書】

【提出日】平成22年8月10日(2010.8.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ入力端とキャリー入力端にデータが各々入力されて、これを演算して合計とキャリーを出力する全加算器と、

前記全加算器から伝えられる合計とキャリーから前記データの論理値を判別して D B I (Data Bus Inversion) 信号を生成する D B I 判別部とを含むことを特徴とする半導体集積回路の D B I 信号生成装置。

【請求項 2】

前記 D B I 判別部は、前記全加算器に入力される複数のデータ中の第 1 論理値を有するデータが所定個数以上であれば前記 D B I 信号をイネーブルさせ、前記所定個数未満であれば前記 D B I 信号をディスエーブルさせることを特徴とする請求項 1 に記載の半導体集積回路の D B I 信号生成装置。

【請求項 3】

前記全加算器は、2 個のデータ入力端と 1 個のキャリー入力端に各々データが入力されて、加算して、各々の合計とキャリーを出力する第 1 全加算器および第 2 全加算器と、2 個のデータ入力端に各々データが入力されて、キャリー入力端にレベル固定信号が入力されて、加算して合計とキャリーを出力する第 3 全加算器とからなり、

前記 D B I 判別部は、前記第 1、第 2 および第 3 全加算器から合計とキャリーが伝達され、前記第 1、第 2 および第 3 全加算器に入力されるデータ中の第 1 論理値のデータの数が半分を超過すればイネーブルになる D B I 信号を生成することを特徴とする請求項 1 又は 2 に記載の半導体集積回路の D B I 信号生成装置。

【請求項 4】

前記レベル固定信号は、前記 D B I 信号生成装置の動作が随行される間、常に前記第 1 論理値を有することを特徴とする請求項 3 に記載の半導体集積回路の D B I 信号生成装置。

【請求項 5】

前記 D B I 判別部は前記第 1、第 2 および第 3 全加算器から伝えられるキャリーがいずれも前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 3 に記載の半導体集積回路の D B I 信号生成装置。

【請求項 6】

前記 D B I 判別部は、前記第 1、第 2 および第 3 全加算器から伝えられるキャリーのうち 2 個のキャリーが前記第 1 論理値を有し、前記第 1、第 2 および第 3 全加算器から伝えられる合計のうち少なくとも 2 個の合計が前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 3 乃至 5 のいずれかに記載の半導体集積回路の D B I 信号生成装置。

【請求項 7】

前記第 2 全加算器の出力キャリーと前記第 3 全加算器の出力キャリーが入力される第 1 ナンドゲートと、

前記第 1 全加算器の出力キャリーと前記第 3 全加算器の出力キャリーが入力される第 2 ナンドゲートと、

前記第 1 全加算器の出力キャリーと前記第 2 全加算器の出力キャリーが入力される第 3 ナンドゲートと、

前記第 2 全加算器の出力合計と前記第 3 全加算器の出力合計が入力される第 4 ナンドゲートと、

前記第 1 全加算器の出力合計と前記第 3 全加算器の出力合計が入力される第 5 ナンドゲートと、

前記第 1 全加算器の出力合計と前記第 2 全加算器の出力合計が入力される第 6 ナンドゲートと、

前記第 1 ナンドゲートの出力信号が入力される第 1 インバータと、

前記第 1、第 2 および第 3 ナンドゲートの出力信号が入力される第 7 ナンドゲートと、

前記第 3 ナンドゲートの出力信号が入力される第 2 インバータと、

前記第 4、第 5 および第 6 ナンドゲートの出力信号が入力される第 8 ナンドゲートと、

前記第 1 および第 2 インバータの出力信号が入力される第 9 ナンドゲートと、

前記第 7 および第 8 ナンドゲートの出力信号が入力される第 10 ナンドゲートと、

前記第 9 および第 10 ナンドゲートの出力信号が入力されて、前記 D B I 信号を出力する第 11 ナンドゲートと

を含むことを特徴とする請求項 3 請求項 3 乃至 6 のいずれかに記載の半導体集積回路の D B I 信号生成装置。

【請求項 8】

全加算器のデータ入力端とキャリー入力端にデータを各々入力して合計とキャリーとを生成するステップと、

前記全加算器で生成された合計とキャリーから前記データの論理値を判別して D B I 信号を生成するステップと

を含むことを特徴とする半導体集積回路の D B I 信号生成方法。

【請求項 9】

前記 D B I 信号を生成するステップは、前記全加算器に入力される複数のデータ中の第 1 論理値を有するデータが所定個数以上であれば前記 D B I 信号をイネーブルさせ、前記所定個数未満であれば前記 D B I 信号をディスエーブルさせることを特徴とする請求項 8 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 10】

前記合計とキャリーとを生成するステップは、第 1 全加算器および第 2 全加算器に各々備わった 2 個のデータ入力端と 1 個のキャリー入力端に各々データを入力して、第 3 全加算器に備わった 2 個のデータ入力端に各々データを入力してキャリー入力端にレベル固定信号を入力して、各々の合計とキャリーとを生成し、

前記 D B I 信号を生成するステップは、前記第 1、第 2 および第 3 全加算器で生成された合計とキャリーが伝達され、前記第 1、第 2 および第 3 全加算器に入力されるデータ中の第 1 論理値のデータの数が半分を超過すればイネーブルになる D B I 信号を生成することを特徴とする請求項 8 又は 9 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 11】

前記レベル固定信号は、前記 D B I 信号を生成する間、常に前記第 1 論理値を有する

ことを特徴とする請求項 10 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 12】

前記 D B I 信号を生成するステップは、前記第 1、第 2 および第 3 全加算器から各々出力されるキャリーがいずれも前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 10 又は 11 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 13】

前記 D B I 信号を生成するステップは、前記第 1、第 2 および第 3 全加算器から各々出力されるキャリーのうち 2 個のキャリーが前記第 1 論理値を有し、前記第 1、第 2 および第 3 全加算器から各々出力される合計のうち少なくとも 2 個の合計が前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 10 又は 12 に記載の半導体集積回路の D B I 信号生成方法。