



(12)发明专利申请

(10)申请公布号 CN 107808650 A

(43)申请公布日 2018.03.16

(21)申请号 201711086188.6

(22)申请日 2017.11.07

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 石龙强

(74)专利代理机构 深圳市德力知识产权代理事务所 44265

代理人 林才桂

(51)Int.Cl.

G09G 3/36(2006.01)

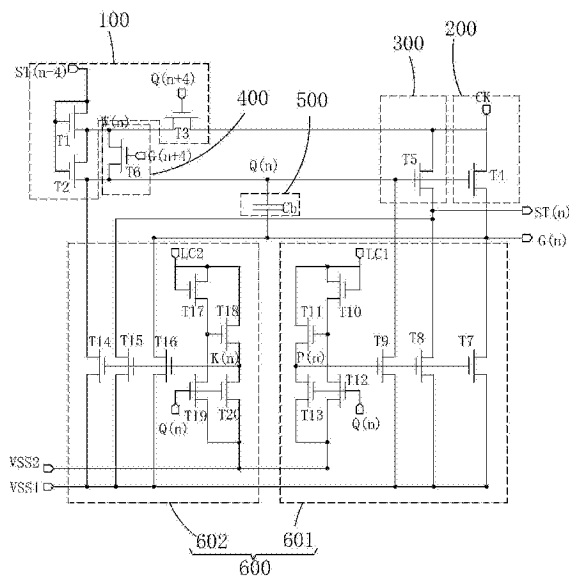
权利要求书3页 说明书8页 附图2页

(54)发明名称

GOA电路

(57)摘要

本发明提供一种GOA电路。该GOA电路利用高频时钟信号的高电位在扫描信号输出期间抬升第二节点的电位,使得第二节点的电位大于第n-4级GOA单元的级传信号的电位,从而在扫描信号输出期间保持上拉控制模块处于关闭状态,能够提升GOA电路的稳定性,防止GOA电路失效。



1. 一种GOA电路,其特征在于,包括:级联的多级GOA单元,每一级GOA单元均包括:上拉控制模块(100)、上拉模块(200)、下传模块(300)、下拉模块(400)、自举模块(500)及下拉维持模块(600);

设 n 为正整数,在第 n 级GOA单元中:

所述上拉控制模块(100)与第 $n+4$ 级GOA单元的第一节点($Q(n+4)$)电性连接并接收第 $n-4$ 级GOA单元的级传信号($ST(n-4)$)和高频时钟信号(CK),用于根据第 $n-4$ 级GOA单元的级传信号($ST(n-4)$)抬升第一节点($Q(n)$)的电位,并在第 $n+4$ 级GOA单元的第一节点($Q(n+4)$)的控制下,利用高频时钟信号(CK)下拉第二节点($W(n)$)的电位;

所述上拉模块(200)与第一节点($Q(n)$)电性连接并接收高频时钟信号(CK),用于在第一节点($Q(n)$)的控制下,利用高频时钟信号(CK)输出扫描信号($G(n)$);

所述下传模块(300)与第一节点($Q(n)$)电性连接并接收高频时钟信号(CK),用于在第一节点($Q(n)$)的控制下,利用高频时钟信号(CK)输出级传信号($ST(n)$);

所述下拉模块(400)与第二节点($W(n)$)电性连接并接收第 $n+4$ 级GOA单元的扫描信号($G(n+4)$),用于在第 $n+4$ 级GOA单元的扫描信号($G(n+4)$)或第二启动信号($STV2$)的控制下,利用第二节点($W(n)$)的电位下拉第一节点($Q(n)$)的电位;

所述自举模块(500)与第一节点($Q(n)$)电性连接并连接扫描信号($G(n)$),用于在扫描信号($G(n)$)输出期间使得所述第一节点($Q(n)$)的电位抬升并保持抬升后的电位;

所述下拉维持模块(600)与第一节点($Q(n)$)、第三节点($P(n)$)、第四节点($K(n)$)、第一直流低电位(V_{ss1})和第二直流低电位(V_{ss2})电性连接并接收第一低频时钟信号($LC1$)、第二低频时钟信号($LC2$)、扫描信号($G(n)$)及级传信号($ST(n)$),用于在第一节点($Q(n)$)电位抬升时,将第三节点($P(n)$)和第四节点($P(n)$)的电位下拉至第二直流低电位(V_{ss2}),以及在第一节点($Q(n)$)电位被下拉后,利用第一低频时钟信号($LC1$)和第二低频时钟信号($LC2$)分别交替抬升第三节点($P(n)$)和第四节点($K(n)$)的电位,以将所述第一节点($Q(n)$)、级传信号($ST(n)$)和扫描信号($G(n)$)的电位维持在第一直流低电位(V_{ss1})。

2. 如权利要求1所述的GOA电路,其特征在于,所述上拉控制模块(100)包括:第一薄膜晶体管($T1$)、第二薄膜晶体管($T2$)、及第三薄膜晶体管($T3$);

所述第一薄膜晶体管($T1$)的栅极和源极均接入第 $n-4$ 级GOA单元的级传信号($ST(n-4)$),漏极电性连接第二节点($W(n)$);

所述第二薄膜晶体管($T2$)的栅极接入第 $n-4$ 级GOA单元的级传信号($ST(n-4)$),源极电性连接第二节点($W(n)$),漏极电性连接第一节点($Q(n)$);

所述第三薄膜晶体管($T3$)的栅极电性连接第 $n+4$ 级GOA单元的第一节点($Q(n+4)$),源极电性连接第二节点($W(n)$),漏极接入高频时钟信号(CK)。

3. 如权利要求1所述的GOA电路,其特征在于,所述上拉模块(200)包括:第四薄膜晶体管($T4$),所述第四薄膜晶体管($T4$)的栅极电性连接第一节点($Q(n)$),源极接入高频时钟信号(CK),漏极输出扫描信号($G(n)$)。

4. 如权利要求1所述的GOA电路,其特征在于,所述下传模块(300)包括:第五薄膜晶体管($T5$),所述第五薄膜晶体管($T5$)的栅极电性连接第一节点($Q(n)$),源极接入高频时钟信号(CK),漏极输出级传信号($ST(n)$)。

5. 如权利要求1所述的GOA电路,其特征在于,所述下拉模块(400)包括:第六薄膜晶体

管(T6),所述第六薄膜晶体管(T6)的栅极接入第 $n+4$ 级GOA单元的扫描信号($G(n+4)$),源极电性连接第二节点($W(n)$),漏极电性连接第一节点($Q(n)$)。

6.如权利要求1所述的GOA电路,其特征在于,所述自举模块(500)包括:自举电容(C_b),所述自举电容(C_b)的第一端电性连接第一节点($Q(n)$),第二端接入扫描信号($G(n)$)。

7.如权利要求1所述的GOA电路,其特征在于,所述下拉维持模块(600)包括:第一下拉维持电路(601)和第二下拉维持电路(602);

所述第一下拉维持电路(601)与第一节点($Q(n)$)、第三节点($P(n)$)、第一直流低电位(V_{ss1})和第二直流低电位(V_{ss2})电性连接并接收第一低频时钟信号(LC1)、扫描信号($G(n)$)及级传信号(ST(n)),用于在第一节点($Q(n)$)电位抬升时,将第三节点($P(n)$)的电位下拉至第二直流低电位(V_{ss2}),以及在第一节点($Q(n)$)电位被下拉后,利用第一低频时钟信号(LC1)周期性抬升第三节点($P(n)$)的电位,以将所述第一节点($Q(n)$)、级传信号(ST(n))和扫描信号($G(n)$)的电位维持在第一直流低电位(V_{ss1});

所述第二下拉维持电路(602)与第一节点($Q(n)$)、第四节点($K(n)$)、第一直流低电位(V_{ss1})和第二直流低电位(V_{ss2})电性连接并接收第二低频时钟信号(LC2)、扫描信号($G(n)$)及级传信号(ST(n)),用于在第一节点($Q(n)$)电位抬升时,将第四节点($K(n)$)的电位下拉至第二直流低电位(V_{ss2}),以及在第一节点($Q(n)$)电位被下拉后,利用第二低频时钟信号(LC2)周期性抬升第四节点($K(n)$)的电位,以将所述第一节点($Q(n)$)、级传信号(ST(n))和扫描信号($G(n)$)的电位维持在第一直流低电位(V_{ss1})。

8.如权利要求7所述的GOA电路,其特征在于,所述第一下拉维持电路(601)包括:第七薄膜晶体管(T7)、第八薄膜晶体管(T8)、第九薄膜晶体管(T9)、第十薄膜晶体管(T10)、第十一薄膜晶体管(T11)、第十二薄膜晶体管(T12)、及第十三薄膜晶体管(T13);

所述第七薄膜晶体管(T7)的栅极电性连接第三节点($P(n)$),漏极接入扫描信号($G(n)$),源极接入第一直流低电位(V_{ss1});

所述第八薄膜晶体管(T8)的栅极电性连接第三节点($P(n)$),漏极接入级传信号(ST(n)),源极接入第一直流低电位(V_{ss1});

所述第九薄膜晶体管(T9)的栅极电性连接第三节点($P(n)$),漏极电性连接第一节点($Q(n)$),源极接入第一直流低电位(V_{ss1});

所述第十薄膜晶体管(T10)的栅极和源极均接入第一高频时钟信号(LC1),漏极电性连接第十一薄膜晶体管(T11)的栅极;

所述第十一薄膜晶体管(T11)的源极接入第一高频时钟信号(LC1),漏极电性连接第三节点($P(n)$);

所述第十二薄膜晶体管(T12)的栅极电性连接第一节点($Q(n)$),源极电性连接第十一薄膜晶体管(T11)的栅极,漏极接入第二直流低电位(V_{ss2});

所述第十三薄膜晶体管(T13)的栅极电性连接第一节点($Q(n)$),源极电性连接第三节点($P(n)$),漏极接入第二直流低电位(V_{ss2});

所述第二下拉维持电路(602)包括:第十四薄膜晶体管(T14)、第十五薄膜晶体管(T15)、第十六薄膜晶体管(T16)、第十七薄膜晶体管(T17)、第十八薄膜晶体管(T18)、第十九薄膜晶体管(T19)、及第二十薄膜晶体管(T20);

所述第十四薄膜晶体管(T14)的栅极电性连接第四节点($K(n)$),漏极电性连接第一节

点(Q(n)),源极接入第一直流低电位(Vss1);

所述第十五薄膜晶体管(T15)的栅极电性连接第四节点(K(n)),漏极接入级传信号(ST(n)),源极接入第一直流低电位(Vss1);

所述第十六薄膜晶体管(T16)的栅极电性连接第四节点(K(n)),漏极接入扫描信号(G(n)),源极接入第一直流低电位(Vss1);

所述第十七薄膜晶体管(T17)的栅极和源极均接入第二高频时钟信号(LC2),漏极电性连接第十八薄膜晶体管(T18)的栅极;

所述第十八薄膜晶体管(T18)的源极接入第二高频时钟信号(LC2),漏极电性连接第四节点(K(n));

所述第十九薄膜晶体管(T19)的栅极电性连接第一节点(Q(n)),源极电性连接第十八薄膜晶体管(T18)的栅极,漏极接入第二直流低电位(Vss2);

所述第二十薄膜晶体管(T20)的栅极电性连接第一节点(Q(n)),源极电性连接四节点(K(n)),漏极接入第二直流低电位(Vss2)。

9.如权利要求1所述的GOA电路,其特征在于,所述第n级GOA单元中接入的高频时钟信号(CK)为第一高频时钟信号(CK1)、第二高频时钟信号(CK2)、第三高频时钟信号(CK3)、第四高频时钟信号(CK4)、第五高频时钟信号(CK5)、第六高频时钟信号(CK6)、第七高频时钟信号(CK7)、及第八高频时钟信号(CK8)中的一个,所述第n级GOA单元中接入的高频时钟信号(CK)的相位与第n+4级GOA单元中接入的高频时钟信号(CK)的相位相反。

10.如权利要求1所述的GOA电路,其特征在于,所述第一直流低电位(Vss1)大于第二直流低电位(Vss2);所述第一低频时钟信号(LC1)的相位与第二低频时钟信号(LC2)的相位相反。

GOA电路

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种GOA电路。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。如:液晶电视、移动电话、个人数字助理(PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] 主动矩阵式液晶显示器(Active Matrix Liquid Crystal Display,AMLCD)是目前最常用的显示装置,所述主动矩阵式液晶显示器包含多个像素,每个像素电性连接一个薄膜晶体管(TFT),薄膜晶体管的栅极(Gate)连接至水平扫描线,源极(Source)连接至垂直方向的数据线,漏极(Drain)则连接至像素电极。在水平扫描线上施加足够的电压,会使得电性连接至该条水平扫描线上的所有TFT打开,从而数据线上的信号电压能够写入像素,控制不同液晶的透光度进而达到控制色彩与亮度的效果。

[0004] 阵列基板行驱动(Gate Driver on Array,GOA)技术是利用现有的薄膜晶体管液晶显示器的阵列(Array)制程将栅极行扫描驱动电路制作在TFT阵列基板上,实现对栅极逐行扫描的驱动方式。GOA技术能减少外接集成电路板(Integrated Circuit,IC)的焊接(bonding)工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0005] 诸如铟镓锌氧化物(Indium Gallium Zinc Oxide,IGZO)的金属氧化物半导体,具有高迁移率和良好的器件稳定性,采用金属氧化物半导体薄膜晶体管制作GOA电路,可减少GOA电路的复杂程度,减小薄膜晶体管的尺寸和数量、以及用来稳定薄膜晶体管的性能的电源数量,从而简化GOA电路结构,实现窄边框显示器同时降低功耗。

[0006] 然而,在GOA电路的工作过程中,容易出现薄膜晶体管的阈值电压为负值,导致GOA电路的失效的情况发生,尤其是在采用金属氧化物半导体薄膜晶体管制作GOA电路中,这种情况更加严重。

发明内容

[0007] 本发明的目的在于提供一种GOA电路,能够提升GOA电路的稳定性,防止GOA电路失效。

[0008] 为实现上述目的,本发明提供了一种GOA电路,包括:级联的多级GOA单元,每一级GOA单元均包括:上拉控制模块、上拉模块、下传模块、下拉模块、自举模块及下拉维持模块;

[0009] 设 n 为正整数,在第 n 级GOA单元中:

[0010] 所述上拉控制模块与第 $n+4$ 级GOA单元的第一节点电性连接并接收第 $n-4$ 级GOA单元的级传信号和时钟信号,用于根据第 $n-4$ 级GOA单元的级传信号抬升第一节点的电位,并在第 $n+4$ 级GOA单元的第一节点的控制下,利用时钟信号下拉第二节点的电位;

[0011] 所述上拉模块与第一节点电性连接并接收时钟信号,用于在第一节点的控制

下,利用高频时钟信号输出扫描信号;

[0012] 所述下传模块与第一节点电性连接并接收高频时钟信号,用于在第一节点的控制下,利用高频时钟信号输出级传信号;

[0013] 所述下拉模块与第二节点电性连接并接收第 $n+4$ 级GOA单元的扫描信号,用于在第 $n+4$ 级GOA单元的扫描信号控制下,利用第二节点的电位下拉第一节点的电位;

[0014] 所述自举模块与第一节点电性连接并连接扫描信号,用于在扫描信号输出期间使得所述第一节点的电位抬升并保持抬升后的电位;

[0015] 所述下拉维持模块与第一节点、第三节点、第四节点、第一直流低电位和第二直流低电位电性连接并接收第一低频时钟信号、第二低频时钟信号、扫描信号及级传信号,用于在第一节点电位抬升时,将第三节点和第四节点的电位下拉至第二直流低电位,以及在第一节点电位被下拉后,利用第一低频时钟信号和第二低频时钟信号分别交替抬升第三节点和第四节点的电位,以将所述第一节点、级传信号和扫描信号的电位维持在第二直流低电位。

[0016] 所述上拉控制模块包括:第一薄膜晶体管、第二薄膜晶体管、及第三薄膜晶体管;

[0017] 所述第一薄膜晶体管的栅极和源极均接入第 $n-4$ 级GOA单元的级传信号,漏极电性连接第二节点;

[0018] 所述第二薄膜晶体管的栅极接入第 $n-4$ 级GOA单元的级传信号,源极电性连接第二节点,漏极电性连接第一节点;

[0019] 所述第三薄膜晶体管的栅极电性连接第 $n+4$ 级GOA单元的第一节点,源极电性连接第二节点,漏极接入高频时钟信号。

[0020] 所述上拉模块包括:第四薄膜晶体管,所述第四薄膜晶体管的栅极电性连接第一节点,源极接入高频时钟信号,漏极输出扫描信号。

[0021] 所述下传模块包括:第五薄膜晶体管,所述第五薄膜晶体管的栅极电性连接第一节点,源极接入高频时钟信号,漏极输出级传信号。

[0022] 所述下拉模块包括:第六薄膜晶体管,所述第六薄膜晶体管的栅极接入第 $n+4$ 级GOA单元的扫描信号,源极电性连接第二节点,漏极电性连接第一节点。

[0023] 所述自举模块包括:自举电容,所述自举电容的第一端电性连接第一节点,第二端接入扫描信号。

[0024] 所述下拉维持模块包括:第一下拉维持电路和第二下拉维持电路;

[0025] 所述第一下拉维持电路与第一节点、第三节点、第一直流低电位和第二直流低电位电性连接并接收第一低频时钟信号、扫描信号及级传信号,用于在第一节点电位抬升时,将第三节点的电位下拉至第二直流低电位,以及在第一节点电位被下拉后,利用第一低频时钟信号周期性抬升第三节点的电位,以将所述第一节点、级传信号和扫描信号的电位维持在第二直流低电位;

[0026] 所述第二下拉维持电路与第一节点、第四节点、第一直流低电位和第二直流低电位电性连接并接收第二低频时钟信号、扫描信号及级传信号,用于在第一节点电位抬升时,将第四节点的电位下拉至第二直流低电位,以及在第一节点电位被下拉后,利用第二低频时钟信号周期性抬升第四节点的电位,以将所述第一节点、级传信号和扫描信号的电位维持在第二直流低电位。

[0027] 所述第一下拉维持电路包括：第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管、第十二薄膜晶体管、及第十三薄膜晶体管；

[0028] 所述第七薄膜晶体管的栅极电性连接第三节点，漏极接入扫描信号，源极接入第一直流低电位；

[0029] 所述第八薄膜晶体管的栅极电性连接第三节点，漏极接入级传信号，源极接入第一直流低电位；

[0030] 所述第九薄膜晶体管的栅极电性连接第三节点，漏极电性连接第一节点，源极接入第一直流低电位；

[0031] 所述第十薄膜晶体管的栅极和源极均接入第一高频时钟信号，漏极电性连接第十一薄膜晶体管的栅极；

[0032] 所述第十一薄膜晶体管的源极接入第一高频时钟信号，漏极电性连接第三节点；

[0033] 所述第十二薄膜晶体管的栅极电性连接第一节点，源极电性连接第十一薄膜晶体管的栅极，漏极接入第二直流低电位；

[0034] 所述第十三薄膜晶体管的栅极电性连接第一节点，源极电性连接第三节点，漏极接入第二直流低电位；

[0035] 所述第二下拉维持电路包括：第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管、第十九薄膜晶体管、及第二十薄膜晶体管；

[0036] 所述第十四薄膜晶体管的栅极电性连接第四节点，漏极电性连接第一节点，源极接入第一直流低电位；

[0037] 所述第十五薄膜晶体管的栅极电性连接第四节点，漏极接入级传信号，源极接入第一直流低电位；

[0038] 所述第十六薄膜晶体管的栅极电性连接第四节点，漏极接入扫描信号，源极接入第一直流低电位；

[0039] 所述第十七薄膜晶体管的栅极和源极均接入第二高频时钟信号，漏极电性连接第十八薄膜晶体管的栅极；

[0040] 所述第十八薄膜晶体管的源极接入第二高频时钟信号，漏极电性连接第四节点；

[0041] 所述第十九薄膜晶体管的栅极电性连接第一节点，源极电性连接第十八薄膜晶体管的栅极，漏极接入第二直流低电位；

[0042] 所述第二十薄膜晶体管的栅极电性连接第一节点，源极电性连接四节点，漏极接入第二直流低电位。

[0043] 所述第n级GOA单元中接入的高频时钟信号为第一高频时钟信号、第二高频时钟信号、第三高频时钟信号、第四高频时钟信号、第五高频时钟信号、第六高频时钟信号、第七高频时钟信号、及第八高频时钟信号中的一个，所述第n级GOA单元中接入的高频时钟信号的相位与第n+4级GOA单元中接入的高频时钟信号的相位相反；

[0044] 所述第一直流低电位大于第二直流低电位；所述第一低频时钟信号的相位与第二低频时钟信号的相位相反。

[0045] 本发明的有益效果：本发明提供一种GOA电路，该GOA电路中第n级GOA单元利用高频时钟信号的高电位在扫描信号输出期间抬升第二节点的电位，使得第二节点的电位大于第n-4级GOA单元的级传信号的电位，从而在扫描信号输出期间保持上拉控制模块处于关闭

状态,能够提升GOA电路的稳定性,防止GOA电路失效。

附图说明

[0046] 为了能更进一步了解本发明的特征以及技术内容,请参阅以下有关本发明的详细说明与附图,然而附图仅提供参考与说明用,并非用来对本发明加以限制。

[0047] 附图中,

[0048] 图1为本发明的GOA电路的电路图;

[0049] 图2为本发明的GOA电路的工作时序图。

具体实施方式

[0050] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0051] 请参阅图1,本发明提供一种GOA电路,包括:级联的多级GOA单元,每一级GOA单元均包括:上拉控制模块100、上拉模块200、下传模块300、下拉模块400、自举模块500及下拉维持模块600;

[0052] 设 n 为正整数,在第 n 级GOA单元中:所述上拉控制模块100与第 $n+4$ 级GOA单元的第一节点 $Q(n+4)$ 电性连接并接收第 $n-4$ 级GOA单元的级传信号 $ST(n-4)$ 和高频时钟信号 CK ,用于根据第 $n-4$ 级GOA单元的级传信号 $ST(n-4)$ 或第一启动信号 $STV1$ 抬升第一节点 $Q(n)$ 的电位,并在第 $n+4$ 级GOA单元的第一节点 $Q(n+4)$ 或第二启动信号 $STV2$ 的控制下,利用高频时钟信号 CK 下拉第二节点 $W(n)$ 的电位;

[0053] 所述上拉模块200与第一节点 $Q(n)$ 电性连接并接收高频时钟信号 CK ,用于在第一节点 $Q(n)$ 的控制下,利用高频时钟信号 CK 输出扫描信号 $G(n)$;

[0054] 所述下传模块300与第一节点 $Q(n)$ 电性连接并接收高频时钟信号 CK ,用于在第一节点 $Q(n)$ 的控制下,利用高频时钟信号 CK 输出级传信号 $ST(n)$;

[0055] 所述下拉模块400与第二节点 $W(n)$ 电性连接并接收第 $n+4$ 级GOA单元的扫描信号 $G(n+4)$,用于在第 $n+4$ 级GOA单元的扫描信号 $G(n+4)$ 或第二启动信号 $STV2$ 的控制下,利用第二节点 $W(n)$ 的电位下拉第一节点 $Q(n)$ 的电位;

[0056] 所述自举模块500与第一节点 $Q(n)$ 电性连接并连接扫描信号 $G(n)$,用于在扫描信号 $G(n)$ 输出期间使得所述第一节点 $Q(n)$ 的电位抬升并保持抬升后的电位;

[0057] 所述下拉维持模块600与第一节点 $Q(n)$ 、第三节点 $P(n)$ 、第四节点 $K(n)$ 、第一直流低电位 V_{ss1} 和第二直流低电位 V_{ss2} 电性连接并接收第一低频时钟信号 $LC1$ 、第二低频时钟信号 $LC2$ 、扫描信号 $G(n)$ 及级传信号 $ST(n)$,用于在第一节点 $Q(n)$ 电位抬升时,将第三节点 $P(n)$ 和第四节点 $P(n)$ 的电位下拉至第二直流低电位 V_{ss2} ,以及在第一节点 $Q(n)$ 电位被下拉后,利用第一低频时钟信号 $LC1$ 和第二低频时钟信号 $LC2$ 分别交替抬升第三节点 $P(n)$ 和第四节点 $K(n)$ 的电位,以将所述第一节点 $Q(n)$ 、级传信号 $ST(n)$ 和扫描信号 $G(n)$ 的电位维持在第一直流低电位 V_{ss1} 。

[0058] 具体地,所述下拉维持模块600包括:第一下拉维持电路601和第二下拉维持电路602;所述第一下拉维持电路601与第一节点 $Q(n)$ 、第三节点 $P(n)$ 、第一直流低电位 V_{ss1} 和第二直流低电位 V_{ss2} 电性连接并接收第一低频时钟信号 $LC1$ 、扫描信号 $G(n)$ 及级传信号 ST

(n), 用于在第一节点Q(n) 电位抬升时, 将第三节点P(n) 的电位下拉至第二直流低电位Vss2, 以及在第一节点Q(n) 电位被下拉后, 利用第一低频时钟信号LC1周期性抬升第三节点P(n) 的电位, 以将所述第一节点Q(n)、级传信号ST(n) 和扫描信号G(n) 的电位维持在第一直流低电位Vss1;

[0059] 所述第二下拉维持电路602与第一节点Q(n)、第四节点K(n)、第一直流低电位Vss1和第二直流低电位Vss2电性连接并接收第二低频时钟信号LC2、扫描信号G(n) 及级传信号ST(n), 用于在第一节点Q(n) 电位抬升时, 将第四节点K(n) 的电位下拉至第二直流低电位Vss2, 以及在第一节点Q(n) 电位被下拉后, 利用第二低频时钟信号LC2周期性抬升第四节点K(n) 的电位, 以将所述第一节点Q(n)、级传信号ST(n) 和扫描信号G(n) 的电位维持在第一直流低电位Vss1。

[0060] 具体地, 如图1所示, 在本发明的优选实施例中, 所述上拉控制模块100包括: 第一薄膜晶体管T1、第二薄膜晶体管T2、及第三薄膜晶体管T3;

[0061] 所述第一薄膜晶体管T1的栅极和源极均接入第n-4级GOA单元的级传信号ST(n-4), 漏极电性连接第二节点W(n);

[0062] 所述第二薄膜晶体管T2的栅极接入第n-4级GOA单元的级传信号ST(n-4), 源极电性连接第二节点W(n), 漏极电性连接第一节点Q(n);

[0063] 所述第三薄膜晶体管T3的栅极电性连接第n+4级GOA单元的第一节点Q(n+4), 源极电性连接第二节点W(n), 漏极接入高频时钟信号CK。

[0064] 所述上拉模块200包括: 第四薄膜晶体管T4, 所述第四薄膜晶体管T4的栅极电性连接第一节点Q(n), 源极接入高频时钟信号CK, 漏极输出扫描信号G(n)。

[0065] 所述下传模块300包括: 第五薄膜晶体管T5, 所述第五薄膜晶体管T5的栅极电性连接第一节点Q(n), 源极接入高频时钟信号CK, 漏极输出级传信号ST(n)。

[0066] 所述下拉模块400包括: 第六薄膜晶体管T6, 所述第六薄膜晶体管T6的栅极接入第n+4级GOA单元的扫描信号G(n+4), 源极电性连接第二节点W(n), 漏极电性连接第一节点Q(n)。

[0067] 所述自举模块500包括: 自举电容Cb, 所述自举电容Cb的第一端电性连接第一节点Q(n), 第二端接入扫描信号G(n)。

[0068] 所述第一下拉维持电路601包括: 第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9、第十薄膜晶体管T10、第十一薄膜晶体管T11、第十二薄膜晶体管T12、及第十三薄膜晶体管T13;

[0069] 所述第七薄膜晶体管T7的栅极电性连接第三节点P(n), 漏极接入扫描信号G(n), 源极接入第一直流低电位Vss1;

[0070] 所述第八薄膜晶体管T8的栅极电性连接第三节点P(n), 漏极接入级传信号ST(n), 源极接入第一直流低电位Vss1;

[0071] 所述第九薄膜晶体管T9的栅极电性连接第三节点P(n), 漏极电性连接第一节点Q(n), 源极接入第一直流低电位Vss1;

[0072] 所述第十薄膜晶体管T10的栅极和源极均接入第一高频时钟信号LC1, 漏极电性连接第十一薄膜晶体管T11的栅极;

[0073] 所述第十一薄膜晶体管T11的源极接入第一高频时钟信号LC1, 漏极电性连接第三

节点P(n)；

[0074] 所述第十二薄膜晶体管T12的栅极电性连接第一节点Q(n)，源极电性连接第十一薄膜晶体管T11的栅极，漏极接入第二直流低电位Vss2；

[0075] 所述第十三薄膜晶体管T13的栅极电性连接第一节点Q(n)，源极电性连接第三节点P(n)，漏极接入第二直流低电位Vss2。

[0076] 所述第二下拉维持电路602包括：第十四薄膜晶体管T14、第十五薄膜晶体管T15、第十六薄膜晶体管T16、第十七薄膜晶体管T17、第十八薄膜晶体管T18、第十九薄膜晶体管T19、及第二十薄膜晶体管T20；

[0077] 所述第十四薄膜晶体管T14的栅极电性连接第四节点K(n)，漏极电性连接第一节点Q(n)，源极接入第一直流低电位Vss1；

[0078] 所述第十五薄膜晶体管T15的栅极电性连接第四节点K(n)，漏极接入级传信号ST(n)，源极接入第一直流低电位Vss1；

[0079] 所述第十六薄膜晶体管T16的栅极电性连接第四节点K(n)，漏极接入扫描信号G(n)，源极接入第一直流低电位Vss1；

[0080] 所述第十七薄膜晶体管T17的栅极和源极均接入第二高频时钟信号LC2，漏极电性连接第十八薄膜晶体管T18的栅极；

[0081] 所述第十八薄膜晶体管T18的源极接入第二高频时钟信号LC2，漏极电性连接第四节点K(n)；

[0082] 所述第十九薄膜晶体管T19的栅极电性连接第一节点Q(n)，源极电性连接第十八薄膜晶体管T18的栅极，漏极接入第二直流低电位Vss2；

[0083] 所述第二十薄膜晶体管T20的栅极电性连接第一节点Q(n)，源极电性连接四节点K(n)，漏极接入第二直流低电位Vss2。

[0084] 优选地，本发明的GOA电路中所述的所有薄膜晶体管均为金属氧化物半导体薄膜晶体管，如：IGZO薄膜晶体管，通过本发明的GOA电路能够有效克服IGZO薄膜晶体管的漏电问题，保证GOA电路正常工作，充分发挥IGZO薄膜晶体管的优势。

[0085] 具体地，如图2所示，在本发明的优选实施例，所述第n级GOA单元中接入的高频时钟信号CK为第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟信号CK7、及第八高频时钟信号CK8中的一个，所述第n级GOA单元中接入的高频时钟信号CK的相位与第n+4级GOA单元中接入的高频时钟信号CK的相位相反。

[0086] 进一步地，如图2所示，所述第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟信号CK7、及第八高频时钟信号CK8依次相移，所述第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟信号CK7、及第八高频时钟信号CK8的周期相同，占空比为0.5，相邻的两个高频时钟信号的波形相差八分之一一个周期，例如第一高频时钟信号CK1的上升沿与第二高频时钟信号CK2的上升沿相差八分之一一个周期。

[0087] 优选地，所述第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟

信号CK7、及第八高频时钟信号CK8的周期均为 $30\mu\text{s}$ ，所述第一级至第八级GOA单元依次接入第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟信号CK7、及第八高频时钟信号CK8，第九级GOA单元至第十六级GOA单元也依次接入第一高频时钟信号CK1、第二高频时钟信号CK2、第三高频时钟信号CK3、第四高频时钟信号CK4、第五高频时钟信号CK5、第六高频时钟信号CK6、第七高频时钟信号CK7、及第八高频时钟信号CK8，依次类推至最后一级GOA单元。

[0088] 进一步地，如图2所示，所述第一直流低电位 V_{ss1} 大于第二直流低电位 V_{ss2} ；所述第一低频时钟信号LC1的相位与第二低频时钟信号LC2的相位相反。

[0089] 优选地，所述第一低频时钟信号LC1与第二低频时钟信号LC2的周期均为200帧时长。

[0090] 需要说明的是，本发明的优选实施例的GOA电路，设第n级GOA单元接入第一高频时钟信号CK(1)，第n+4级GOA单元接入第五高频时钟信号CK(5)，此时该GOA电路具体工作过程如下：

[0091] 阶段1，预充电：第n-4级GOA单元的级传信号ST(n-4)为高电位，所述第一和第二薄膜晶体管T1和T2打开，第n-4级GOA单元的级传信号ST(n-4)的高电位写入第一节点Q(n)，使得第一节点Q(n)抬升高电位，所述第五和第四薄膜晶体管T5、T4打开，第一高频时钟信号CK(1)输出低电位；

[0092] 第十九、第二十、第十三、第十二薄膜晶体管T19、T20、T13、T12打开，第三和第四节点P(n)、K(n)被拉低至第二直流低电位 V_{ss2} ，所述第七、第八、第九、第十四、第十五、及第十六薄膜晶体管T7、T8、T9、T14、T15、T16关闭，且第七、第八、第九、第十四、第十五、及第十六薄膜晶体管T7、T8、T9、T14、T15、T16的栅源极电压等于第二直流低电位 V_{ss2} 减第一直流低电位 V_{ss1} ，由于第一直流低电位 V_{ss1} 大于第二直流低电位 V_{ss2} ，因此第七、第八、第九、第十四、第十五、及第十六薄膜晶体管T7、T8、T9、T14、T15、T16的栅源极电压为负值，关闭的很好；

[0093] 第n+4级GOA单元的扫描信号G(n+4)和第一节点Q(n+4)均为低电位，所述第三薄膜晶体管T3和第六薄膜晶体管T6均关闭。

[0094] 阶段2、扫描信号输出阶段；

[0095] 第n-4级GOA单元的级传信号ST(n-4)为低电位，第一和第二薄膜晶体管T1、T2关闭，第一高频时钟信号CK(1)输出高电位，第四和第五薄膜晶体管T4、T5打开，分别输出高电平的扫描信号G(n)和级传信号ST(n)，自举电容 C_b 使得第一节点Q(n)抬升至更高，同时第n+4级GOA单元的第一节点Q(n+4)的电位抬升高电位，第三薄膜晶体管T3打开，所述第一高频时钟信号CK(1)的高电位写入第二节点W(n)，使得第一薄膜晶体管T1和第二薄膜晶体管T2的栅源极电压为负值，关闭的很好。

[0096] 阶段3、第一节点下拉阶段：第n+4级GOA单元的扫描信号G(n+4)变为高电位，所述第六薄膜晶体管T6打开，第一高频时钟信号CK(1)输出低电平至第二节点W(n)，所述第一节点Q(n)被下拉至低电位；

[0097] 阶段4、低电位维持阶段：第一节点Q(n)为低电位，所述第十二、第十三、第十九、及第二十薄膜晶体管T12、T13、T19、T20关闭，所述第一低频时钟信号LC1或第二低频时钟信号

LC2提供高电平,使得第三节点P(n)或第四节点K(n)为高电平,所述第七、第八、及第九薄膜晶体管T7、T8、T9打开或者第十四、第十五、及第十六薄膜晶体管T14、T15、T16打开,下拉第一节点Q(n)、级传信号ST(n)、及扫描信号G(n)至第一直流低电位Vss1,并持续保持。

[0098] 值得一提的是,为了实现电路的正常启动,本发明在GOA电路的第一至第四级GOA单元中,采用第一启动信号替代所述第n-4级GOA单元的级传信号ST(n-4)输入所述上拉控制单元100,实现电路的正常工作,在GOA电路的倒数第四级至最后一级GOA单元中,采用第二启动信号替代第n+4级GOA单元的第一节点Q(n+4)输入到所述上拉控制单元100,控制所述高频时钟信号CK写入到所述第二节点W(n)。优选地,所述第一启动信号和第二启动信号的脉冲周期均等于一帧时长,脉冲宽度等于30 μ s。

[0099] 经过仿真测试,本发明的GOA电路,在薄膜晶体管的阈值电压向负方向偏移5V之后仍可正常工作,有效提升了GOA电路的工作稳定性。

[0100] 综上所述,本发明提供一种GOA电路,该GOA电路中第n级GOA单元利用高频时钟信号的高电位在扫描信号输出期间抬升第二节点的电位,使得第二节点的电位大于第n-4级GOA单元的级传信号的电位,从而在扫描信号输出期间保持上拉控制模块处于关闭状态,能够提升GOA电路的稳定性,防止GOA电路失效。

[0101] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

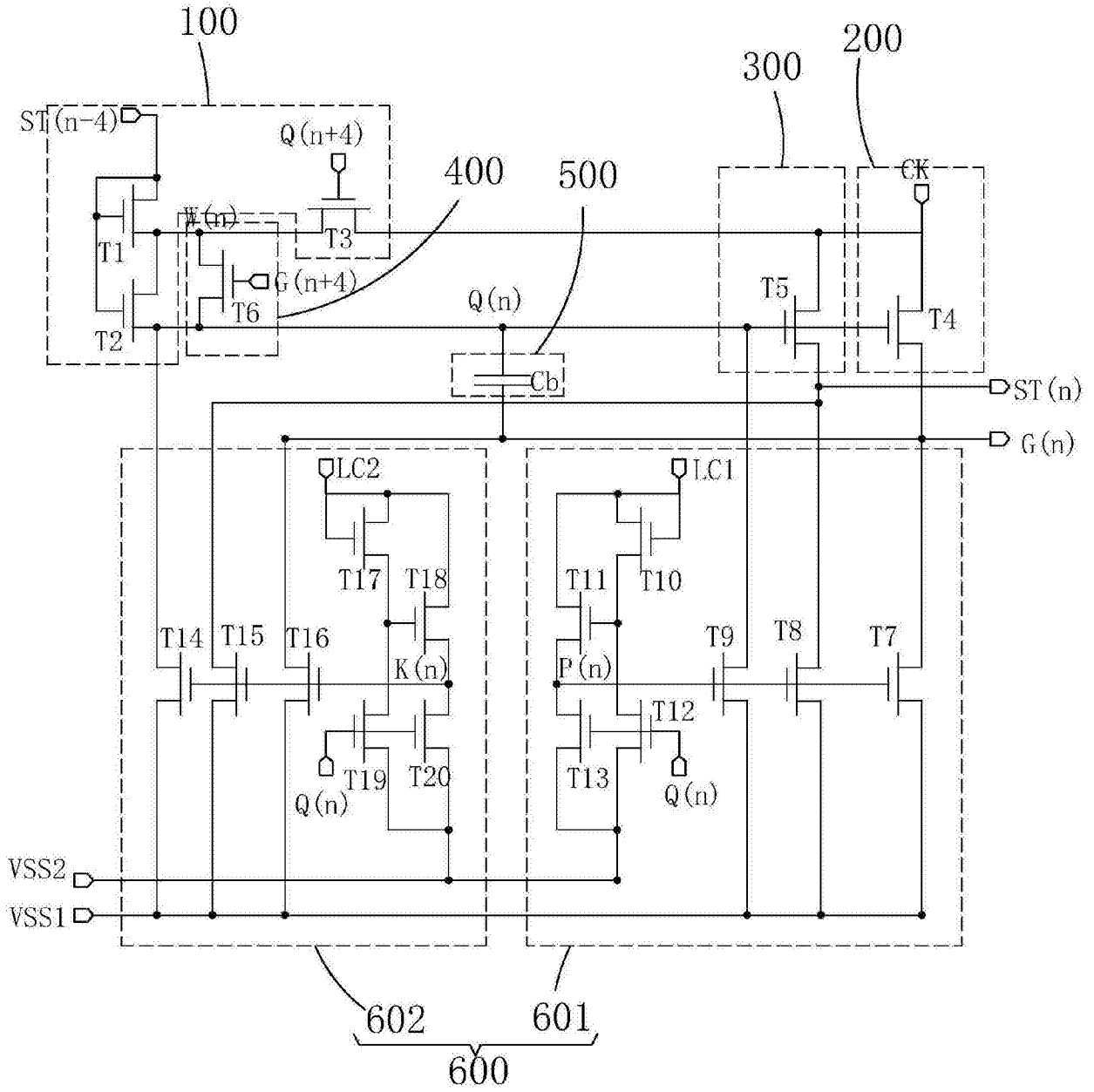


图1

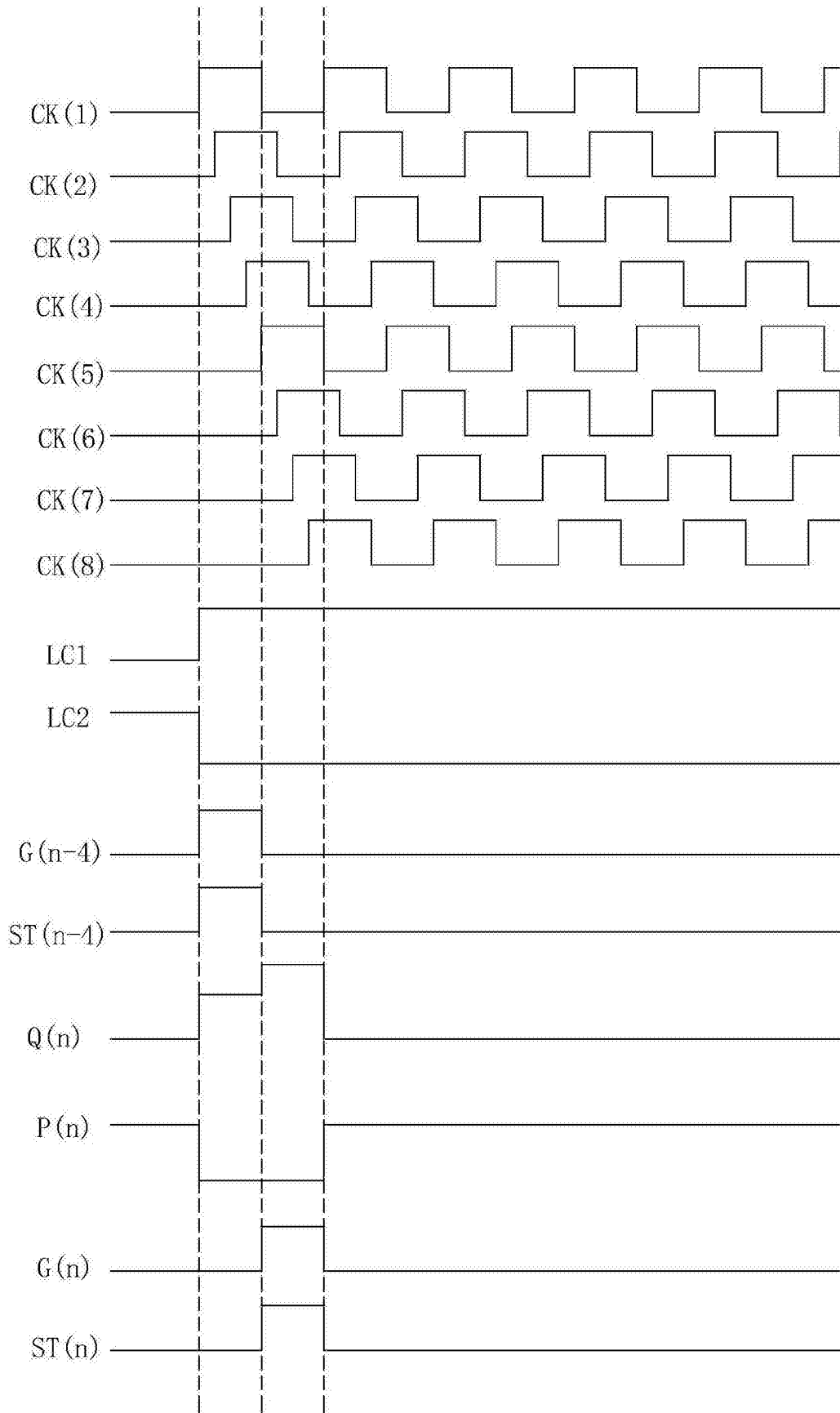


图2