

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011年9月9日(09.09.2011)



(10) 国際公開番号
WO 2011/108199 A1

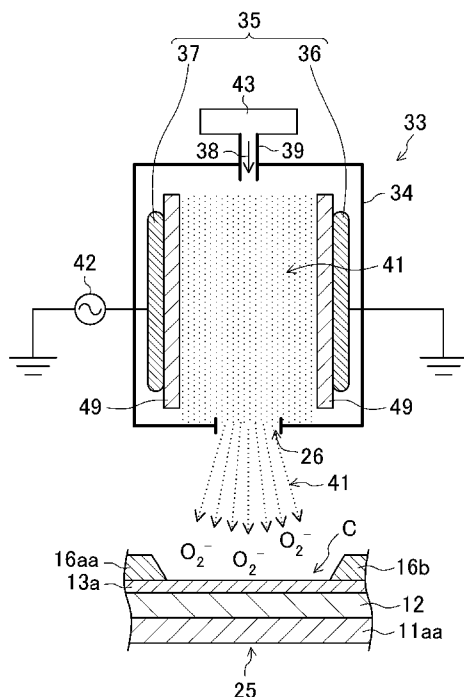
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000804
- (22) 国際出願日: 2011年2月14日(14.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-047849 2010年3月4日(04.03.2010) JP
- (71) 出願人(米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (71) 出願人(米国についてのみ): 水野一七江
(MIZUNO, Hinae) (法定相続人).
- (72) 発明者: 水野裕二 (MIZUNO, Yuuji) (死亡).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 竹井美智子
(TAKEI, Michiko). 近間義雅(CHIKAMA, Yoshi-
masa). 井上毅(INOUE, Tsuyoshi). 鈴木正彦(SUZU-
KI, Masahiko). 中川興史(NAKAGAWA, Okifumi).
太田純史(OHTA, Yoshifumi). 春本祥征(HARUMO-
TO, Yoshiyuki).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町2丁目5番7
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD FOR MANUFACTURING THIN FILM TRANSISTOR, THIN FILM TRANSISTOR MANUFACTURED BY THE METHOD, AND ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: 薄膜トランジスタの製造方法及びその方法により製造された薄膜トランジスタ、アクティブマトリクス基板

[図8]



(57) Abstract: Disclosed is a method for manufacturing a thin film transistor, which comprises: a step wherein a gate electrode (11aa) is formed on an insulating substrate; a step wherein a gate insulating layer (12) is formed so as to cover the gate electrode (11aa) and then an oxide semiconductor layer (13a) is formed on the gate insulating layer (12); a step wherein a source electrode (16aa) and a drain electrode (16b) are formed on the oxide semiconductor layer (13a) by dry etching and a channel region (C) of the oxide semiconductor layer (13a) is exposed; and a step wherein oxygen radicals are supplied to the channel region of the oxide semiconductor layer.

(57) 要約: 薄膜トランジスタの製造方法であって、絶縁基板上にゲート電極(11aa)を形成する工程と、ゲート電極(11aa)を覆うようにゲート絶縁層(12)を形成した後に、ゲート絶縁層(12)上に酸化物半導体層(13a)を形成する工程と、酸化物半導体層(13a)上に、ドライエッチングによりソース電極(16aa)及びドレイン電極(16b)を形成し、酸化物半導体層(13a)のチャネル領域(C)を露出させる工程と、酸化物半導体層のチャネル領域に対して酸素ラジカルを供給する工程とを備える。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

薄膜トランジスタの製造方法及びその方法により製造された薄膜トランジスタ、アクティブマトリクス基板

技術分野

[0001] 本発明は、薄膜トランジスタの製造方法に関し、特に、酸化物半導体の半導体層を用いた薄膜トランジスタの製造方法及びその方法により製造された薄膜トランジスタ、アクティブマトリクス基板に関する。

背景技術

[0002] アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「TFT」とも称する）が設けられている。

[0003] 一般的なTFTは、例えば、絶縁基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに対峙するように設けられたソース電極及びドレイン電極とを備えている。

[0004] ここで、アモルファスシリコンを用いたTFTでは、半導体層が、チャネル領域を有する真性アモルファスシリコン層と、チャネル領域が露出するように真性アモルファスシリコン層に積層されたN⁺アモルファスシリコン層とを備えている。そして、アモルファスシリコンを用いたTFTでは、真性アモルファスシリコン層を薄膜化するために、真性アモルファスシリコン層上にチャネル保護層が積層されたエッチストップパ型のTFTが実用化されている。

[0005] ここで、近年、アクティブマトリクス基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコンの半導体層を用いた従来の薄膜トランジスタに代わって、酸化物半導体の半導体層（以下、「酸化物半導体層」とも称する）を用いたTFTが提案されている。

- [0006] 例えば、特許文献１には、光制御素子を駆動するための電界効果型トランジスタの活性層が所定の電子キャリア濃度を有する非晶質酸化物により構成されたアクティブマトリクス型の画像表示装置が開示されている。
- [0007] 図１１は、酸化物半導体層を用いたＴＦＴ１０５を備えた従来のアクティブマトリクス基板１２０の断面図である。
- [0008] アクティブマトリクス基板１２０は、図１１に示すように、絶縁基板１１０と、絶縁基板１１０上に設けられたＴＦＴ１０５と、ＴＦＴ１０５を覆うように設けられた保護絶縁層１１５と、保護絶縁層１１５を覆うように設けられた層間絶縁層１１６と、層間絶縁層１１６上に設けられ、ＴＦＴ１０５に接続された画素電極１１７とを備えている。ここで、ＴＦＴ１０５は、図１７に示すように、絶縁基板１１０上に設けられたゲート電極１１１と、ゲート電極１１１を覆うように設けられたゲート絶縁層１１２と、ゲート絶縁層１１２上にゲート電極１１１に重なるように島状に設けられた酸化物半導体層１１３と、酸化物半導体層１１３上にゲート電極１１１に重なりと共に互いに対峙するように設けられたソース電極１１４ａ及びドレイン電極１１４ｂとを備えている。
- [0009] また、酸化物半導体１１３の半導体層を用いた（ＴＦＴを備えた）アクティブマトリクス基板１２０を製造する場合には、一般に、ドライエッチング法によるパターニングによりソース電極１１４ａ及びドレイン電極１１４ｂを形成する（例えば、非特許文献１参照）。

先行技術文献

特許文献

- [0010] 特許文献１：特開２００６－１６５５２８号公報

非特許文献

- [0011] 非特許文献１：鵜飼育弘著、「薄膜トランジスタ技術の全て」、工学調査会、２００７年、p. １４５

発明の概要

発明が解決しようとする課題

- [0012] ここで、上述のごとく、ドライエッチング法によるパターニングによりソース電極 114 a 及びドレイン電極 114 b を形成するが、この際、ソース電極 114 a 及びドレイン電極 114 b から露出する酸化物半導体層 113 のチャネル領域 C がドライエッチングによりダメージを受けることにより、TFT 105 の特性が低下するおそれがある。
- [0013] より具体的には、上述のドライエッチングによるダメージにより、酸化物半導体 113 のチャネル領域 C において酸素欠損による組成の変化が発生し、当該組成変化に伴う欠陥の生成により、TFT 105 において、オフ電流の増加や、電子移動度の低下、及び伝達特性（ゲート電圧の変化に伴うドレイン電流の大きさ）においてヒステリシスが生じる等の特性の低下が生じていた。
- [0014] そこで、本発明は、上述の問題に鑑みてなされたものであり、酸化物半導体層のダメージを抑制すると共に、良好な TFT 特性を得ることができる薄膜トランジスタの製造方法及びその方法により製造された薄膜トランジスタ、アクティブマトリクス基板を提供することを目的とする。

課題を解決するための手段

- [0015] 上記目的を達成するために、本発明の薄膜トランジスタの製造方法は、絶縁基板に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層と、酸化物半導体層上にゲート電極に重なるとともにチャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極とを備えた薄膜トランジスタの製造方法であって、絶縁基板上にゲート電極を形成するゲート電極形成工程と、ゲート電極形成工程で形成されたゲート電極を覆うようにゲート絶縁層を形成した後に、ゲート絶縁層上に酸化物半導体層を形成する半導体層形成工程と、半導体層形成工程で形成された酸化物半導体層上に、ドライエッチングによりソース電極及びドレイン電極を形成し、酸化物半導体層のチャネル領域を露出さ

せるソースドレイン形成工程と、酸化物半導体層のチャネル領域に対して酸素ラジカルを供給して表面処理を行う表面処理工程とを少なくとも備えることを特徴とする。

[0016] 同構成によれば、酸化物半導体層上に、ドライエッチングによりソース電極及びドレイン電極を形成した後、酸化物半導体層のチャネル領域に対して酸素ラジカルを供給して表面処理を行う。従って、ドライエッチングにより酸素欠損による組成変化が発生した酸化物半導体層のチャネル領域に対して酸素ラジカルを供給することにより、酸化物半導体層の酸素欠損を回復（終端）することができる。その結果、薄膜トランジスタにおいて、酸化物半導体層のダメージを抑制することができるとともに、酸素欠損による組成変化に起因するオフ電流の増加や、電子移動度の低下、伝達特性におけるヒステリシスの発生等の不都合を防止することができるため、良好な薄膜トランジスタ特性を得ることができる。

[0017] また、本発明の薄膜トランジスタの製造方法においては、表面処理工程において、常圧プラズマ処理により発生した酸素ラジカルを供給してもよい。

[0018] 同構成によれば、常圧プラズマ処理により酸素ラジカルを発生させるため、簡単な方法で酸素ラジカルを発生させることができる。また、真空プラズマ処理の場合と異なり、窒素ガス等のラインガスを使用することができ、不活性ガスが不要となるため、真空プラズマ処理に比し、コストダウンを図ることができる。

[0019] また、本発明の薄膜トランジスタの製造方法においては、酸素ラジカルは、酸素ガスのプラズマによる分解により発生させたものであってもよい。

[0020] 同構成によれば、簡単な方法で、酸素ラジカルを発生させることが可能になる。

[0021] また、本発明の薄膜トランジスタの製造方法においては、酸素ラジカルは、酸化物半導体層に対向して配置されたプラズマ発生手段により発生させたものであってもよい。

[0022] 同構成によれば、一般の真空プラズマ装置のごとく、電極間に被処理対象

物を配置する構成とは異なり、被処理対象物である酸化物半導体層に対してプラズマ発生手段を対向して配置させる構成としているため、酸化物半導体層に対してプラズマ処理に起因するダメージを与えることなく、酸素ラジカルのみを酸化物半導体層のチャネル領域に供給することができる。従って、プラズマ処理によるダメージを与えることなく、酸化物半導体層の酸素欠損を回復することができる。

[0023] また、本発明の薄膜トランジスタの製造方法においては、酸化物半導体層を搬送させながら、チャネル領域に対して酸素ラジカルを供給してもよい。

[0024] 同構成によれば、酸化物半導体層を搬送させながら、チャネル領域に対して酸素ラジカルを供給するため、酸化物半導体層のチャネル領域の全体に対して効率よく酸素ラジカルを供給することができる。従って、酸化物半導体層の酸素欠損をより一層効果的に回復することができる。

[0025] また、本発明の薄膜トランジスタの製造方法においては、酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、シリコン(Si)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも1種を含む金属酸化物からなる構成としてもよい。

[0026] 同構成によれば、これらの材料からなる酸化物半導体層は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。

[0027] また、本発明の薄膜トランジスタの製造方法においては、酸化物半導体層が、In-Ga-Zn-O系の金属酸化物からなる構成としてもよい。

[0028] 同構成によれば、薄膜トランジスタにおいて、高移動度、低オフ電流という良好な特性を得ることができる。

[0029] 本発明の他の薄膜トランジスタの製造方法は、絶縁基板に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層と、酸化物半導体層上にゲート電極に重なりとともにチャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン

電極とを備えた薄膜トランジスタの製造方法であって、絶縁基板上にゲート電極を形成するゲート電極形成工程と、ゲート電極形成工程で形成されたゲート電極を覆うようにゲート絶縁層を形成した後に、ゲート絶縁層上に酸化物半導体層を形成する半導体層形成工程と、半導体層形成工程で形成された酸化物半導体層上に、ドライエッチングによりソース電極及びドレイン電極を形成し、酸化物半導体層のチャネル領域を露出させるソースドレイン形成工程と、酸化物半導体層のチャネル領域に対してオゾンを供給して表面処理を行う表面処理工程とを少なくとも備えることを特徴とする。

[0030] 同構成によれば、酸化物半導体層上に、ドライエッチングによりソース電極及びドレイン電極を形成した後、酸化物半導体層のチャネル領域に対してオゾンを供給して表面処理を行う。従って、ドライエッチングにより酸素欠損による組成変化が発生した酸化物半導体層のチャネル領域に対してオゾンを供給することにより、酸化物半導体層の酸素欠損を回復（終端）することができる。その結果、薄膜トランジスタにおいて、酸化物半導体層のダメージを抑制することができるとともに、酸素欠損による組成変化に起因するオフ電流の増加や、電子移動度の低下、伝達特性におけるヒステリシスの発生等の不都合を防止することができるため、良好な薄膜トランジスタ特性を得ることができる。

[0031] また、本発明の製造方法により製造された薄膜トランジスタは、酸化物半導体層の酸素欠損を回復して、酸化物半導体層のダメージを抑制し、良好な薄膜トランジスタ特性を得ることができるという優れた特性を備えている。従って、本発明の薄膜トランジスタは、マトリクス状に設けられた複数の画素電極と、複数の画素電極の各々にそれぞれ接続された複数の薄膜トランジスタとを備えるアクティブマトリクス基板に好適に使用できる。

発明の効果

[0032] 本発明によれば、酸化物半導体層の酸素欠損による組成変化に起因する不都合を防止して、良好な薄膜トランジスタ特性を得ることができる。

図面の簡単な説明

[0033] [図1] 図 1 は、本発明の実施形態に係るアクティブマトリクス基板を備えた液晶表示パネルの断面図である。

[図2] 本発明の実施形態に係るアクティブマトリクス基板の平面図である。

[図3] 本発明の実施形態に係るアクティブマトリクス基板の画素部及び端子部を拡大した平面図である。

[図4] 図 3 中の A－A 線に沿ったアクティブマトリクス基板の断面図である。

[図5] アクティブマトリクス基板の製造工程を断面で示す説明図である。

[図6] 対向基板の製造工程を断面で示す説明図である。

[図7] 本発明の実施形態に係るプラズマ装置の全体構成を示す概略図である。

[図8] 本発明の実施形態に係るプラズマ装置におけるプラズマ発生手段の全体構成を示す断面図である。

[図9] 本発明の実施形態に係るプラズマ装置において、酸素ラジカルを供給する状態を示す概略図である。

[図10] 酸化物半導体層を用いた T F T を備えた従来のアクティブマトリクス基板の断面図である。

発明を実施するための形態

[0034] 以下、本発明の実施形態について、図面を参照しながら詳細に説明する。尚、本発明は以下の実施形態に限定されるものではない。

[0035] 図 1 は、本発明の実施形態に係るアクティブマトリクス基板を備えた液晶表示パネルの断面図であり、図 2 は、本発明の実施形態に係るアクティブマトリクス基板の平面図である。また、図 3 は、本発明の実施形態に係るアクティブマトリクス基板の画素部及び端子部を拡大した平面図であり、図 4 は、図 3 中の A－A 線に沿ったアクティブマトリクス基板の断面図である。

[0036] 液晶表示パネル 50 は、図 1 に示すように、互いに対向するように設けられたアクティブマトリクス基板 20 a 及び対向基板 30 と、アクティブマトリクス基板 20 a 及び対向基板 30 の間に設けられた液晶層 40 とを備えている。また、液晶表示パネル 50 は、アクティブマトリクス基板 20 a 及び対向基板 30 を互いに接着するとともに、アクティブマトリクス基板 20 a

及び対向基板 30 の間に液晶層 40 を封入するために枠状に設けられたシール材 27 とを備えている。また、液晶表示パネル 50 では、図 1 に示すように、シール材 27 の内側の部分に画像表示を行う表示領域 D が規定され、アクティブマトリクス基板 20 a の対向基板 30 から突出する部分に端子領域 T が規定されている。

[0037] アクティブマトリクス基板 20 a は、図 2、図 3 及び図 4 に示すように、絶縁基板 10 a と、表示領域 D において、絶縁基板 10 a 上に互いに平行に延びるように設けられた複数の走査配線 11 a と、各走査配線 11 a の間にそれぞれ設けられ、互いに平行に延びる複数の補助容量配線 11 b と、各走査配線 11 a と直交する方向に互いに平行に延びるように設けられた複数の信号配線 16 a とを備えている。また、アクティブマトリクス基板 20 a は、各走査配線 11 a 及び各信号配線 16 a の交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数の TFT 5 a と、各 TFT 5 a を覆うように設けられた保護絶縁層 17 と、保護絶縁層 17 を覆うように設けられた層間絶縁層 18 と、層間絶縁層 18 上にマトリクス状に設けられ、各 TFT 5 a にそれぞれ接続された複数の画素電極 19 a と、各画素電極 19 a を覆うように設けられた配向膜（不図示）とを備えている。

[0038] 走査配線 11 a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のゲート端子領域 T_g に引き出され、そのゲート端子領域 T_g において、ゲート端子 19 b に接続されている。

[0039] 補助容量配線 11 b は、図 3 に示すように、補助容量幹線 16 c 及び中継配線 11 d を介して補助容量端子 19 d に接続されている。ここで、補助容量幹線 16 c は、ゲート絶縁層 12 に形成されたコンタクトホール C_c を介して補助容量配線 11 b に接続されているとともに、ゲート絶縁層 12 に形成されたコンタクトホール C_d を介して中継配線 11 d に接続されている。

[0040] 信号配線 16 a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のソース端子領域 T_s に中継配線 11 c として引き出され、そのソース端子領域 T_s において、ソース端子 19 c に接続されている。

- [0041] ここで、信号配線 16 a は、図 3 に示すように、ゲート絶縁層 12 に形成されたコンタクトホール C b を介して中継配線 11 c に接続されている。
- [0042] TFT 5 a は、図 3 及び図 4 に示すように、絶縁基板 10 a 上に設けられたゲート電極 11 a a と、ゲート電極 11 a a を覆うように設けられたゲート絶縁層 12 と、ゲート絶縁層 12 上でゲート電極 11 a a に重なるように島状に設けられたチャネル領域 C を有する酸化物半導体層 13 a とを備えている。また、TFT 5 a は、酸化物半導体層 13 a 上にゲート電極 11 a a に重なるとともにチャネル領域 C を挟んで互いに対峙するように設けられたソース電極 16 a a 及びドレイン電極 16 b とを備えている。
- [0043] ここで、酸化物半導体層 13 a のチャネル領域 C 上には、ソース電極 16 a a 及びドレイン電極 16 b (即ち、TFT 5 a) を覆う保護絶縁層 17 がスピノンガラス材料により設けられている。
- [0044] そして、ゲート電極 11 a a は、図 3 に示すように、走査配線 11 a の側方への突出した部分である。また、ソース電極 16 a a は、図 3 に示すように、信号配線 16 a の側方への突出した部分であり、図 4 に示すように、第 1 導電層 14 a 及び第 2 導電層 15 a の積層膜により構成されている。
- [0045] さらに、ドレイン電極 16 b は、図 3 及び図 4 に示すように、第 1 導電層 14 b 及び第 2 導電層 15 b の積層膜により構成され、保護絶縁層 17 及び層間絶縁層 18 の積層膜に形成されたコンタクトホール C a を介して画素電極 19 a に接続されている。また、ドレイン電極 16 b は、ゲート絶縁層 12 を介して補助容量配線 11 b と重なることにより補助容量を構成している。
- [0046] また、酸化物半導体層 13 a は、例えば、IGZO (In-Ga-Zn-O) 系の酸化物半導体膜により形成されている。
- [0047] 対向基板 30 は、後述する図 6 (c) に示すように、絶縁基板 10 b と、絶縁基板 10 b 上に格子状に設けられたブラックマトリクス 21 並びにブラックマトリクス 21 の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの着色層 22 を有するカラーフィルター層とを備えている。また、

対向基板 30 は、そのカラーフィルター層を覆うように設けられた共通電極 23 と、共通電極 23 上に設けられたフォトスペーサ 24 と、共通電極 23 を覆うように設けられた配向膜（不図示）とを備えている。

[0048] 液晶層 40 は、例えば、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0049] 上記構成の液晶表示パネル 50 では、各画素において、ゲートドライバ（不図示）からゲート信号が走査配線 11a を介してゲート電極 11aa に送られて、TFT 5a がオン状態になったときに、ソースドライバ（不図示）からソース信号が信号配線 16a を介してソース電極 16aa に送られる。そして、酸化物半導体層 13a 及びドレイン電極 16b を介して、画素電極 19a に所定の電荷が書き込まれる。

[0050] この際、アクティブマトリクス基板 20a の各画素電極 19a と対向基板 30 の共通電極 23 との間において電位差が生じ、液晶層 40、即ち、各画素の液晶容量、及びその液晶容量に並列に接続された補助容量に所定の電圧が印加される。

[0051] そして、液晶表示パネル 50 では、各画素において、液晶層 40 に印加する電圧の大きさによって液晶層 40 の配向状態を変えることにより、液晶層 40 の光透過率を調整して画像が表示される。

[0052] 次に、本実施形態の液晶表示パネル 50 の製造方法の一例について図 5、図 6 を用いて説明する。図 5 は、アクティブマトリクス基板 20a の製造工程を断面で示す説明図であり、図 6 は、対向基板 30 の製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

[0053] まず、アクティブマトリクス基板作製工程について説明する。

[0054] <ゲート電極形成工程>

まず、ガラス基板などの絶縁基板 10a の基板全体に、スパッタリング法により、例えば、チタン膜（厚さ 200nm～500nm 程度）などを成膜する。その後、そのチタン膜に対して、フォトリソグラフィ、ウエットエッ

チング及びレジストの剥離洗浄を行うことにより、図3、図5（a）に示すように、走査配線11a、ゲート電極11aa、補助容量配線11b、並びに中継配線11c及び11dを形成する。

[0055] なお、本実施形態では、ゲート電極11aaを構成する金属膜として、単層構造のチタン膜を例示したが、例えば、チタン膜（厚さ30～150nm）、アルミニウム膜（厚さ200～500nm）及びチタン膜（厚さ30～150nm）を積層した後、この積層膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行う構成としても良い。また、銅やモリブテン、またはそれらの化合物や、銅膜、チタン膜等を積層した構成を採用しても良い。

[0056] <半導体層形成工程>

続いて、走査配線11a、ゲート電極11aa、補助容量配線11b、並びに中継配線11c及び11dが形成された基板全体に、CVD法により、例えば、窒化シリコン膜（厚さ200nm～500nm程度）を成膜して、ゲート電極11aa、及び補助容量配線11bを覆うようにゲート絶縁層12を形成する。その後、スパッタリング法により、例えば、IGZO系の酸化物半導体膜（厚さ5nm～300nm程度）を成膜し、その後、その酸化物半導体膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図5（b）に示すように、酸化物半導体層13aを形成する（図5中の半導体層形成工程）。

[0057] なお、本実施形態では、窒化シリコン膜からなる単層構造のゲート絶縁層12を例示したが、ゲート絶縁層12は、例えば、酸化シリコン膜の単層構造であっても、酸化シリコン膜（上層）／窒化シリコン膜（下層）の積層構造であってもよい。

[0058] <ソースドレイン形成工程>

さらに、酸化物半導体層13aが形成された基板全体に、スパッタリング法により、例えば、下層となる第1導電層14a、14bであるチタン膜（厚さ30nm～150nm）及び上層となる第2導電層15a、15bであ

る銅膜（厚さ50nm～400nm程度）などを順に成膜する。その後、その銅膜に対してフォトリソグラフィ及びウエットエッチングを行うとともに、そのチタン膜に対してドライエッチング、並びにレジストの剥離洗浄を行うことにより、図5（c）に示すように、信号配線16a（図3参照）、ソース電極16aa、ドレイン電極16b及び補助容量幹線16c（図3参照）を形成するとともに、酸化物半導体層13aのチャネル領域Cを露出させる。

[0059] 即ち、本工程では、半導体層形成工程で形成された酸化物半導体層13a上に、少なくとも酸化物半導体層13aのチャネル領域Cに接する第1導電層14a、14bに対してドライエッチングを行うことによりソース電極16aa及びドレイン電極16bを形成し、酸化物半導体層13aのチャネル領域Cを露出させる。

[0060] <表面処理工程>

次いで、図5（c）に示すソース電極16aa及びドレイン電極16bが形成され、酸化物半導体層13aのチャネル領域Cが露出された基板（以下、「被処理基板」と言う。）25の、上述のドライエッチングにより酸素欠損による組成変化が発生した酸化物半導体層13aのチャネル領域Cに対して常圧プラズマ処理により発生した酸素ラジカル（ O_2^- ）を供給して表面処理を行うことにより、酸素欠損を改善する。

[0061] 図7は、本発明の実施形態に係るプラズマ装置の全体構成を示す概略図であり、図8は、本発明の実施形態に係るプラズマ装置におけるプラズマ発生手段の全体構成を示す断面図である。

[0062] 図7に示すように、プラズマ装置31は、被処理基板25を搬送するための搬送部である搬送コンベア32と、プラズマを発生させて被処理基板25の酸化物半導体層13aの表面に対して供給される酸素ラジカルを生成するプラズマ発生手段であるプラズマ発生ユニット33とを備えている。

[0063] 搬送コンベア32としては、例えば、搬送ベルトが使用され、処理対象としての被処理基板25が搬送コンベア32に載置されると、搬送コンベア3

2により、被処理基板25は、図7に示す矢印Xの方向にベルトコンベア式に搬送される構成となっている。

[0064] なお、搬送コンベア32は、被処理基板25を搬送できるものであれば、特に限定されず、搬送ベルトの代わりに、搬送コロ等を使用する構成としても良い。

[0065] プラズマ発生ユニット33は、図8に示すように、プラズマ発生室34と、プラズマ発生室34の内部に設けられたプラズマ放電発生部35とを備え、図8に示すように、被処理基板25の酸化物半導体層13aの表面に酸素ラジカルを供給することにより、酸化物半導体層13aの酸素欠損を回復（終端）するように構成されている。

[0066] プラズマ放電発生部35は、図8に示すように、プラズマ発生室34内で左右方向に互いに対向するように配置された電源電極37と接地電極36とからなる板状の一对の電極を有している。

[0067] また、図8に示すように、これらの対向する接地電極36及び電源電極37の表面には、一对の誘電体（例えば、ガラスやセラミックにより形成）49が設けられている。そして、当該誘電体49を接地電極36と電源電極37との間に介在させることにより、大気圧下でも放電を安定して持続させることができる構成となっている（誘電体バリア放電）。

[0068] このプラズマ放電発生部35は、接地電極36と電源電極37との間に電圧が印加されることにより、発生した電界のストリーマ放電現象として原料ガス41のプラズマ状態を生じさせるように構成されている。

[0069] そして、これにより、接地電極36と電源電極37との間において、原料ガス（本実施形態においては、酸素ガス）41の解離が促進されてラジカル（酸素ラジカル）が生成される。

[0070] 即ち、本実施形態においては、原料ガス41のプラズマによる分解により酸素ラジカルを発生させる構成としている。

[0071] なお、本実施形態においては、原料ガス41のキャリアガスとして、例えば、窒素ガスを使用する構成としている。

- [0072] そして、このように生成された酸素ラジカルが被処理基板 25 に形成された酸化物半導体層 13a の表面にまで拡散し、当該酸化物半導体層 13a の表面において発生した酸素欠損を酸素ラジカルにより回復させる構成となっている。
- [0073] 電源電極 37 は、図 8 に示すように、プラズマ発生室 34 の内部に固定されて設けられており、接地電極 36 は、電源電極 37 の右方に配置されている。
- [0074] また、プラズマ発生室 34 には、接地電極 36 と電源電極 37 との間に、原料ガス 41 を導入するためのガス供給管 39 が形成されている。
- [0075] また、プラズマ発生室 34 の外部には、図 8 に示すように、プラズマ放電発生部 35 に電力を供給する高周波電源 42 と、原料ガス 41 をプラズマ発生室 34 内に供給するガス供給部 43 とが設けられている。
- [0076] 高周波電源 42 は、例えば、周波数が 50 kHz 等の高周波電圧を発生するように構成されており、電源電極 37 に接続されている。一方、接地電極 36 は接地されている。尚、高周波電源 42 は、例えば、10 kHz や 100 kHz 或いはそれよりも高い高周波電圧を発生するように構成されていてもよい。
- [0077] そして、プラズマ発生ユニット 33 は、例えば、10～3000 Pa 程度の圧力となるように原料ガス 41 をプラズマ発生室 34 内に導入可能に構成され、原料ガス 41 を、ガス供給部 43 からガス供給管 39 を介して電源電極 37 と接地電極 36 との間の空間へ供給するようになっている。
- [0078] ガス供給部 43 は、ガスポンプ等により構成されており、ガス供給管 39 を介してプラズマ発生室 34 に接続されている。
- [0079] また、図 7 に示すように、プラズマ装置 31 は、ガス供給部 43 により供給される原料ガス 41 の流量の調節を行うガス流量調節部 45 と、プラズマ発生室 34 に供給される冷却水を 30℃程度の温度に保つためのヒータ 46 とを備えている。
- [0080] また、プラズマ装置 31 は、高周波電源 42、ガス流量調節部 45、及び

ヒータ 46 の制御を行う制御手段としての CPU 47 と、記憶手段であるメモリ 48 とを備えている。この CPU 47 には、上述の高周波電源 42、ガス流量調節部 45、及びヒータ 46 が接続されるとともに、メモリ 48 が接続されており、CPU 47 は、メモリ 48 に記憶されているプログラムに従い、各部の制御を行う構成となっている。なお、CPU 47 は、メモリ 48 に記憶されているプログラムに従い、上述の搬送コンベア 32 及びプラズマ発生ユニット 33 の制御も行う。

[0081] そして、プラズマ装置 31 においては、ガス供給部 43 を駆動させることにより原料ガス 41 をプラズマ発生室 34 内に導入して、プラズマ発生室 34 の内部を常圧（即ち、大気圧近傍の圧力下のガス雰囲気）に設定する。この原料ガス 41 は、図 8 中の矢印 38 で示すように、ガス供給部 43 からガス供給管 39 を介してプラズマ発生室 34 内に導入される。

[0082] なお、酸素ガスの流量としては、例えば、15cc/分を採用することができ、キャリアガスである窒素ガスの流量としては、1500cc/分を採用することができる。

[0083] そして、原料ガス 41 の導入と共に高周波電源 42 を駆動させて接地電極 36 と電源電極 37 との間に高周波電圧を印加することにより、ストリーマ放電現象として原料ガス 41 である酸素ガスのプラズマ状態を生じさせる。

[0084] これにより、原料ガス（酸素ガス）41 の解離が促進されて高密度のラジカル（酸素ラジカル）が、原料ガス 41 中に生成される。

[0085] そして、図 8 に示すように、酸化物半導体層 13a に対向して配置されたプラズマ発生ユニット 33 により発生した酸素ラジカルを含む原料ガス 41 が、放電時の気体の膨張によって噴射され、プラズマ発生室 34 に形成された開口部 26 を介して、被処理基板 25 に形成された酸化物半導体層 13a の表面に供給されることにより、酸化物半導体層 13a の酸素欠損を回復（終端）するように構成されている。

[0086] 次に、プラズマ装置 31 により、酸化物半導体層 13a に対して酸素ラジカルを供給する表面処理を行う方法について説明する。

[0087] プラズマ装置 31 により、被処理基板 25 に対して常圧でプラズマ処理を行う際には、まず、図 7 に示すように、酸化物半導体層 13a が形成された被処理基板 25 を、搬送コンベア 32 により、搬送方向 X に搬送する。なお、被処理基板 25 の搬送速度は、一定速度（例えば、30 cm/min）である。

[0088] 次いで、図 8、図 9 に示すように、酸化物半導体層 13a とプラズマ発生ユニット 33 とが対向する位置まで、被処理基板 25 が搬送されると、プラズマ発生ユニット 33 により、搬送されている被処理基板 25 の酸化物半導体層 13a に向けて、プラズマ発生ユニット 33 において発生した酸素ラジカルを含む原料ガス 41 が供給される。

[0089] そうすると、被処理基板 25 に形成された酸化物半導体層 13a の表面に酸素ラジカルを含む原料ガス 41 が供給され、酸化物半導体層 13a の酸素欠損が回復（終端）する。

[0090] なお、図 8、図 9 に示す、酸化物半導体層 13a とプラズマ発生ユニット 33 とが対向した場合の酸化物半導体層 13a とプラズマ発生ユニット 33 との距離は、適宜、変更することができるが、酸化物半導体層 13a とプラズマ発生ユニット 33 との接触を回避して、酸化物半導体層 13a の表面に酸素ラジカルを確実に供給するとの観点から、1 mm 以上 5 mm 以下が好ましい。

[0091] <保護絶縁層・層間絶縁層形成工程>

続いて、酸素ラジカルが供給された被処理基板 25 の全体に、スピンコート法又はスリットコート法により、例えば、シラノール（ $\text{Si}(\text{OH})_4$ ）、アルコキシシラン、有機シロキサン樹脂などを主成分としたスピノンガラス（SOG）材料を塗布する。その後、350℃で焼成することにより、図 5（d）に示すように、厚さ 500 nm～3000 nm 程度の SOG 膜 17s を形成する。

[0092] 次いで、SOG 膜 17s が形成された基板全体に、スピンコート法又はスリットコート法により、感光性の有機絶縁膜を厚さ 1.0 μm～3.0 μm

程度に塗布する。その後、その塗布膜に対して、露光及び現像を行うことにより、層間絶縁層 18 を形成し、さらに、層間絶縁層 18 から露出する SOG 膜 17 s に対して、ドライエッチングを行うことにより、図 5 (d) に示すように、保護絶縁層 17 を形成する。

[0093] <画素電極形成工程>

最後に、保護絶縁層 17 及び層間絶縁層 18 が形成された基板全体に、スパッタリング法により、例えば、ITO (Indium Tin Oxide) 膜 (厚さ 50 nm ~ 200 nm 程度) などの透明導電膜を成膜する。その後、その透明導電膜に対して、フォトリソグラフィ、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図 3、図 4 に示すように、画素電極 19 a、ゲート端子 19 b、ソース端子 19 c 及び補助容量端子 19 d を形成する。

[0094] 以上のようにして、アクティブマトリクス基板 20 a を作製することができる。

[0095] <対向基板作製工程>

まず、ガラス基板などの絶縁基板 10 b の基板全体に、スピンコート法又はスリットコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6 (a) に示すように、ブラックマトリクス 21 を厚さ 1.0 μ m 程度に形成する。

[0096] 次いで、ブラックマトリクス 21 が形成された基板全体に、スピンコート法又はスリットコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布する。その後、その塗布膜を露光及び現像することにより、図 6 (a) に示すように、選択した色の着色層 22 (例えば、赤色層) を厚さ 2.0 μ m 程度に形成する。そして、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層 22 (例えば、緑色層及び青色層) を厚さ 2.0 μ m 程度に形成する。

[0097] さらに、各色の着色層 22 が形成された基板上に、スパッタリング法により、例えば、ITO 膜などの透明導電膜を堆積することにより、図 6 (b) に示すように、共通電極 23 を厚さ 50 nm ~ 200 nm 程度に形成する。

[0098] 最後に、共通電極 23 が形成された基板全体に、スピンコート法又はスリットコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6 (c) に示すように、フォトスペーサ 24 を厚さ 4 μm 程度に形成する。

[0099] 以上のようにして、対向基板 30 を作製することができる。

[0100] <液晶注入工程>

まず、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板 20a、及び上記対向基板作製工程で作製された対向基板 30 の各表面に、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0101] 次に、例えば、上記配向膜が形成された対向基板 30 の表面に、UV (ultraviolet

) 硬化及び熱硬化併用型樹脂などからなるシール材を枠状に印刷した後に、シール材の内側に液晶材料を滴下する。

[0102] さらに、上記液晶材料が滴下された対向基板 30 と、上記配向膜が形成されたアクティブマトリクス基板 20a とを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0103] そして、上記貼合体に挟持されたシール材に UV 光を照射した後に、その貼合体を加熱することによりシールを硬化させる。

[0104] 最後に、上記シール材を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0105] 以上のようにして、本実施形態の液晶表示パネル 50 を製造することができる。

[0106] 以上に説明した本実施形態によれば、以下の効果を得ることができる。

[0107] (1) 本実施形態においては、酸化物半導体層 13a 上に、ドライエッチングによりソース電極 16a 及びドレイン電極 16b を形成した後、酸化物半導体層 13a のチャネル領域 C に対して酸素ラジカルを供給して表面処

理を行う構成としている。従って、ドライエッチングにより酸素欠損による組成変化が発生した酸化物半導体層 13 a のチャネル領域 C に対して酸素ラジカルを供給することにより、酸化物半導体層 13 a の酸素欠損を回復（終端）することができる。その結果、薄膜トランジスタ 5 a において、酸化物半導体層 13 a のダメージを抑制することができるとともに、酸素欠損による組成変化に起因するオフ電流の増加や、電子移動度の低下、伝達特性におけるヒステリシスの発生等の不都合を防止することができるため、良好な薄膜トランジスタ特性を得ることができる。

[0108] （２）本実施形態においては、表面処理工程において、常圧プラズマ処理により発生した酸素ラジカルを供給する構成としている。従って、常圧プラズマ処理により酸素ラジカルを発生させるため、簡単な方法で酸素ラジカルを発生させることができる。また、真空プラズマ処理の場合と異なり、窒素ガス等のラインガスを使用することができ、不活性ガスが不要となるため、真空プラズマ処理に比し、コストダウンを図ることができる。

[0109] （３）本実施形態においては、酸素ガスのプラズマによる分解により酸素ラジカルを発生させる構成としている。従って、簡単な方法で、酸素ラジカルを発生させることが可能になる。

[0110] （４）本実施形態においては、酸化物半導体層 13 a に対向して配置されたプラズマ発生ユニット 33 により酸素ラジカルを発生させる構成としている。従って、一般の真空プラズマ装置のごとく、電極間に被処理対象物を配置する構成とは異なり、被処理対象物である酸化物半導体層 13 a に対してプラズマ発生ユニット 33 を対向して配置させる構成としているため、酸化物半導体層 13 a に対してプラズマ処理に起因するダメージを与えることなく、酸素ラジカルのみを酸化物半導体層 13 a のチャネル領域 C に供給することができる。従って、プラズマ処理によるダメージを与えることなく、酸化物半導体層 13 a の酸素欠損を回復することができる。

[0111] （５）本実施形態においては、酸化物半導体層 13 a を搬送させながら、チャネル領域 C に対して酸素ラジカルを供給する構成としている。酸化物半

導体層 13a のチャネル領域 C の全体に対して効率よく酸素ラジカルを供給することができる。その結果、酸化物半導体層 13a の酸素欠損をより一層効果的に回復することができる。

[0112] (6) 本実施形態においては、酸化物半導体層が、In-Ga-Zn-O系の金属酸化物からなる構成としている。従って、薄膜トランジスタ 5a において、高移動度、低オフ電流という良好な特性を得ることができる。

[0113] なお、上記実施形態は以下のように変更しても良い。

[0114] 上記実施形態においては、酸化物半導体層 13a として IGZO を使用したが、酸化物半導体層 13a はこれに限定されず、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、シリコン(Si)、銅(Cu)、亜鉛(Zn)のうち少なくとも1種を含む金属酸化物からなる材料を用いても良い。これらの材料からなる酸化物半導体層 13a は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。従って、データ読み出し時の出力電圧の差が大きくなり、S/N比を向上させることができる。IGZO(In-Ga-Zn-O)の他に、IZO(In-Zn-O)、酸化亜鉛(Zn-O)等の酸化物半導体膜を挙げることができる。

[0115] また、上記実施形態においては、プラズマ発生ユニット 33 を固定して、被処理基板 25 を搬送する構成としたが、被処理基板 25 を固定するとともに、プラズマ発生ユニット 33 を搬送させる構成としても良い。

[0116] 上記実施形態の表面処理工程においては、酸化物半導体層 13a のチャネル領域 C に対して酸素ラジカルを供給して表面処理を行う構成としたが、当該表面処理工程において、酸素ラジカルの代わりに、オゾン(O₃)を使用する構成としても良い。即ち、上述のソースドレイン形成工程において、酸化物半導体層 13a 上に、ドライエッチングによりソース電極 16a a 及びドレイン電極 16b を形成し、酸化物半導体層 13a のチャネル領域 C を露出させた後、酸化物半導体層 13a のチャネル領域 C に対してオゾンを供給して表面処理を行う構成としても良い。

[0117] この様な構成により、上記酸素ラジカルを供給する場合と同様に、被処理基板 2 5 に形成された酸化物半導体層 1 3 a の表面にオゾンが供給されることにより、酸化物半導体層 1 3 a の酸素欠損を回復（終端）することができるため、上述の（１）と同様の効果を得ることができる。

産業上の利用可能性

[0118] 本発明の活用例としては、酸化物半導体の半導体層を用いたアクティブマトリクス基板の製造方法及びその方法により製造されたアクティブマトリクス基板が挙げられる。

符号の説明

[0119] 5 a 薄膜トランジスタ
1 0 a 絶縁基板
1 1 a a ゲート電極
1 2 ゲート絶縁層
1 3 a 酸化物半導体層
1 6 a a ソース電極
1 6 b ドレイン電極
1 9 a 画素電極
2 0 a アクティブマトリクス基板
2 5 被処理基板
3 0 対向基板
3 1 プラズマ装置
3 3 プラズマ発生ユニット（プラズマ発生手段）
4 1 原料ガス（酸素ガス）
5 0 液晶表示パネル
C チャネル領域

請求の範囲

- [請求項1] 絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁層と、該ゲート絶縁層上に設けられ、前記ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層と、該酸化物半導体層上に前記ゲート電極に重なりとともに前記チャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極とを備えた薄膜トランジスタの製造方法であって、
- 前記絶縁基板上に前記ゲート電極を形成するゲート電極形成工程と、
- 前記ゲート電極形成工程で形成された前記ゲート電極を覆うように前記ゲート絶縁層を形成した後に、該ゲート絶縁層上に前記酸化物半導体層を形成する半導体層形成工程と、
- 前記半導体層形成工程で形成された前記酸化物半導体層上に、ドライエッチングにより前記ソース電極及び前記ドレイン電極を形成し、前記酸化物半導体層の前記チャネル領域を露出させるソースドレイン形成工程と、
- 前記酸化物半導体層の前記チャネル領域に対して酸素ラジカルを供給して表面処理を行う表面処理工程と
- を少なくとも備えることを特徴とする薄膜トランジスタの製造方法。
- [請求項2] 前記表面処理工程において、常圧プラズマ処理により発生した前記酸素ラジカルを供給することを特徴とする請求項1に記載の薄膜トランジスタの製造方法。
- [請求項3] 前記酸素ラジカルは、酸素ガスのプラズマによる分解により発生させたものであることを特徴とする請求項1または請求項2に記載の薄膜トランジスタの製造方法。
- [請求項4] 前記酸素ラジカルは、前記酸化物半導体層に対向して配置されたプラズマ発生手段により発生させたものであることを特徴とする請求項

2 または請求項 3 に記載の薄膜トランジスタの製造方法。

[請求項5] 前記酸化物半導体層を搬送させながら、前記チャネル領域に対して前記酸素ラジカルを供給することを特徴とする請求項 4 に記載の薄膜トランジスタの製造方法。

[請求項6] 前記酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、シリコン(Si)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも 1 種を含む金属酸化物からなることを特徴とする請求項 1～請求項 5 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

[請求項7] 前記酸化物半導体層が、In-Ga-Zn-O系の金属酸化物からなることを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

[請求項8] 絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁層と、該ゲート絶縁層上に設けられ、前記ゲート電極に重なるように設けられたチャネル領域を有する酸化物半導体層と、該酸化物半導体層上に前記ゲート電極に重なりとともに前記チャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極とを備えた薄膜トランジスタの製造方法であって、

前記絶縁基板上に前記ゲート電極を形成するゲート電極形成工程と、

前記ゲート電極形成工程で形成された前記ゲート電極を覆うように前記ゲート絶縁層を形成した後に、該ゲート絶縁層上に前記酸化物半導体層を形成する半導体層形成工程と、

前記半導体層形成工程で形成された前記酸化物半導体層上に、ドライエッチングにより前記ソース電極及び前記ドレイン電極を形成し、前記酸化物半導体層の前記チャネル領域を露出させるソースドレイン形成工程と、

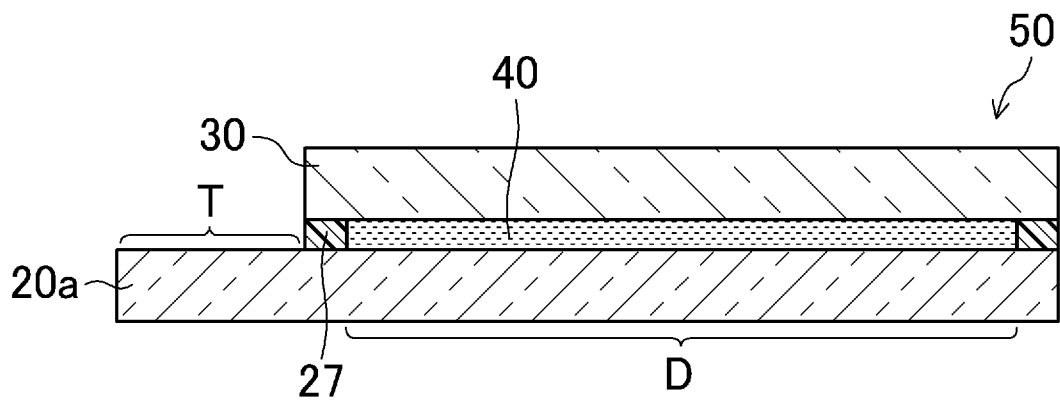
前記酸化物半導体層の前記チャネル領域に対してオゾンを供給して表面処理を行う表面処理工程と

を少なくとも備えることを特徴とする薄膜トランジスタの製造方法
。

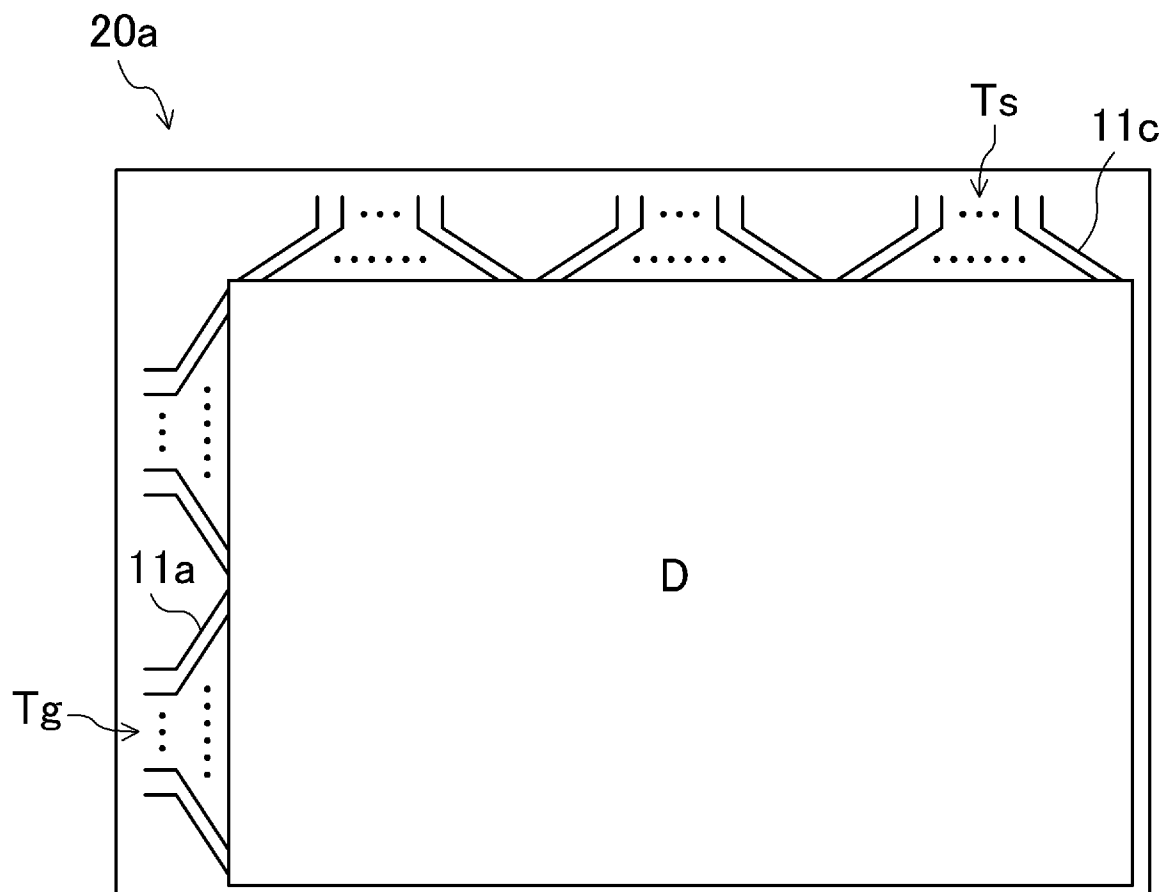
[請求項9] 請求項 1 ～請求項 8 のいずれか 1 項に記載の製造方法により製造された薄膜トランジスタ。

[請求項10] マトリクス状に設けられた複数の画素電極と、
前記複数の画素電極の各々にそれぞれ接続された複数の請求項 9 に
記載の薄膜トランジスタとを備えることを特徴とするアクティブマト
リクス基板。

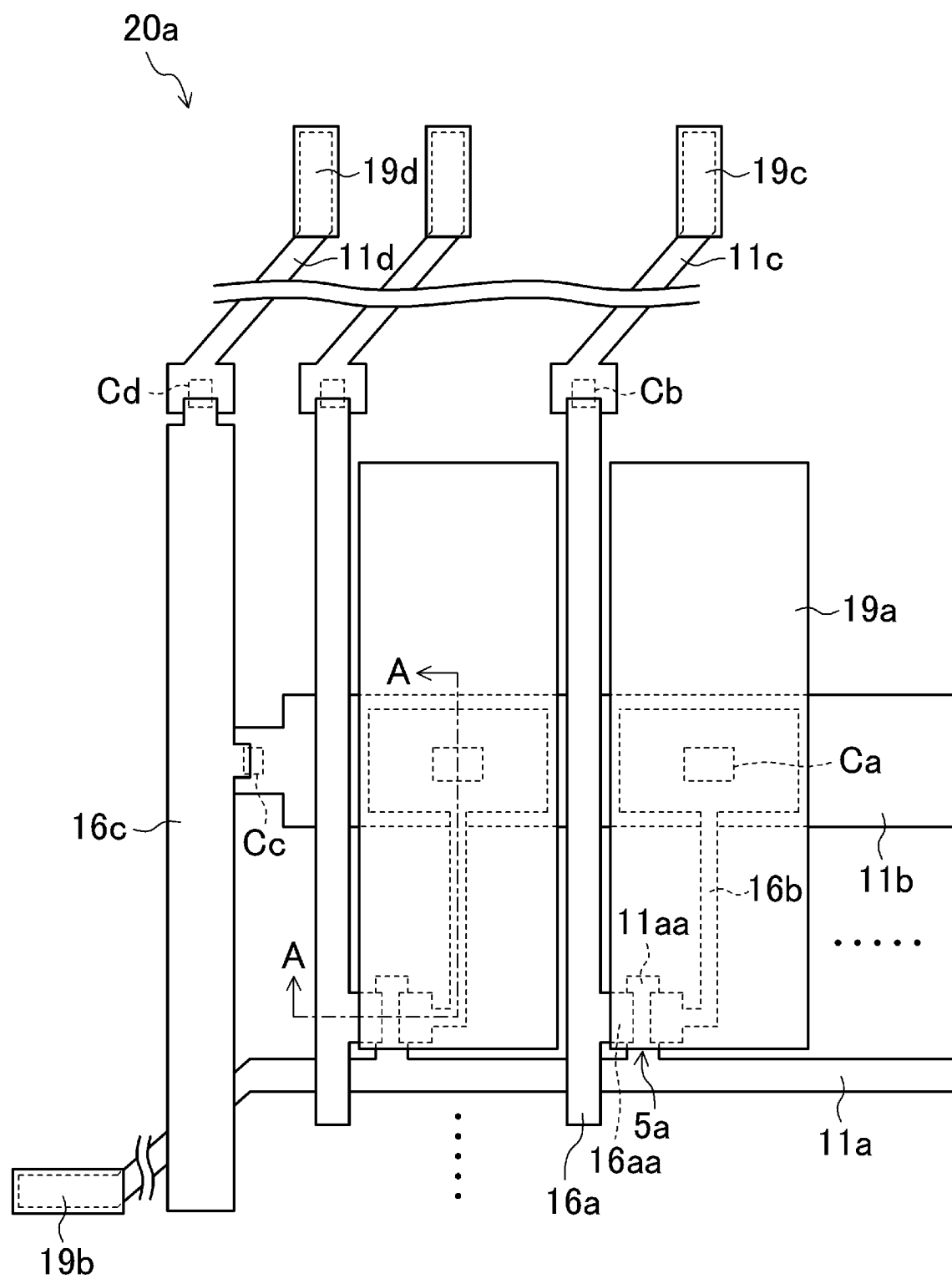
[図1]



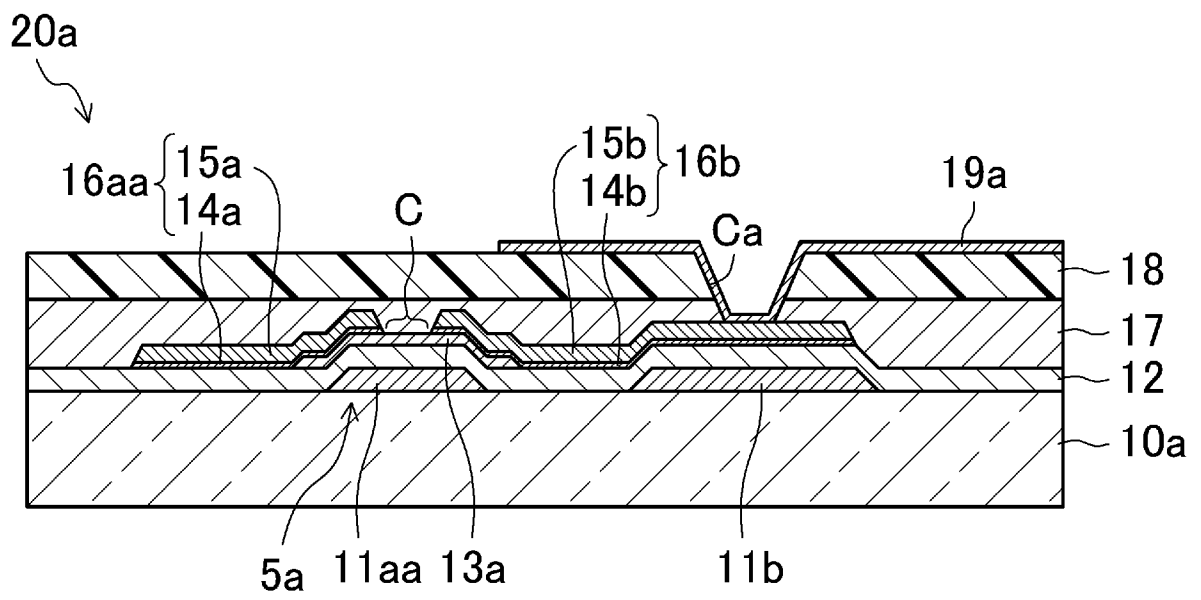
[図2]



[図3]

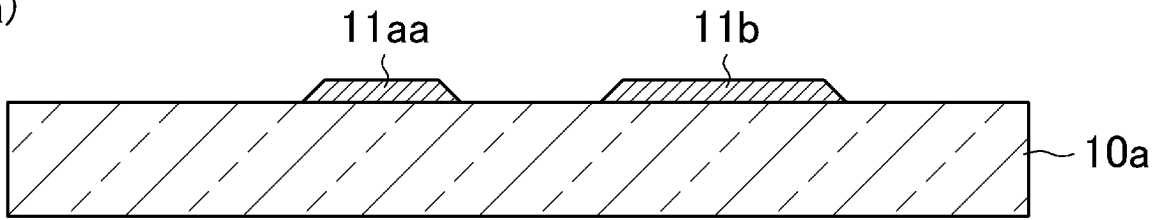


[図4]

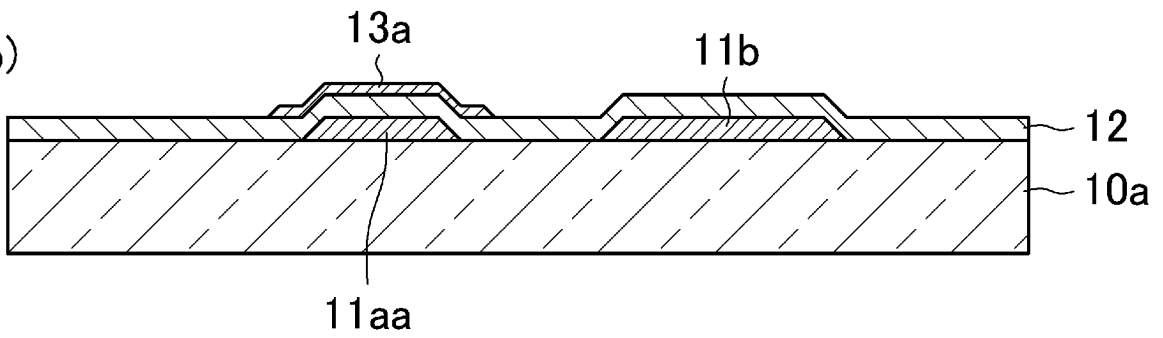


[図5]

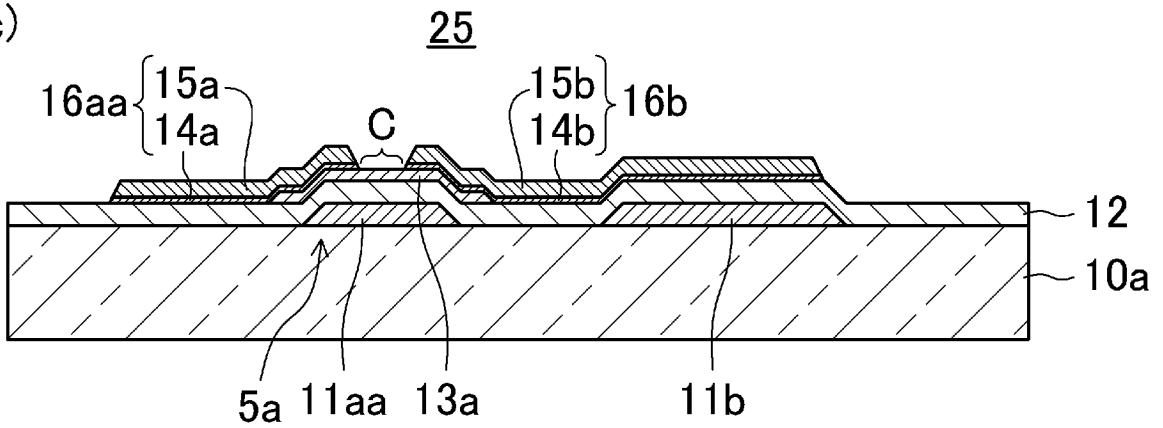
(a)



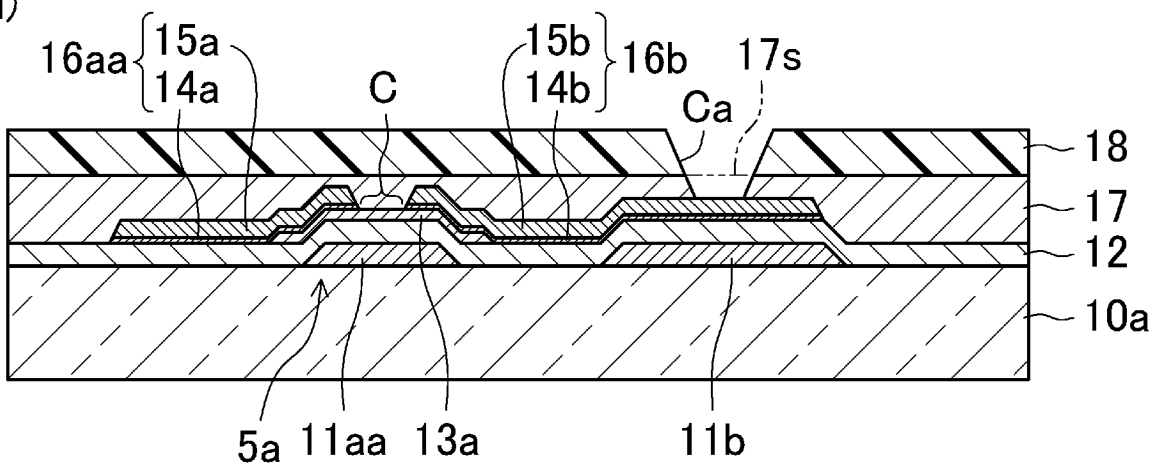
(b)



(c)

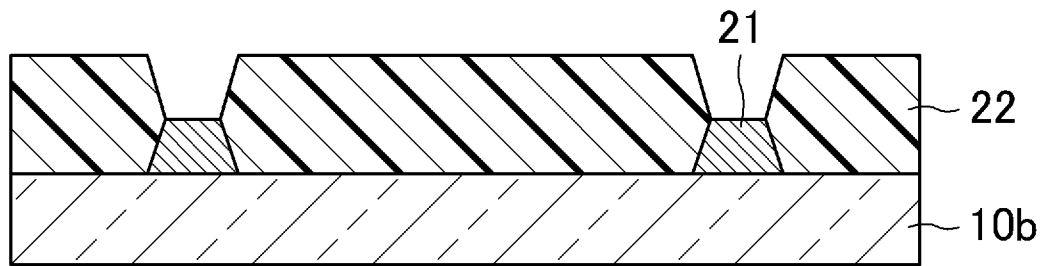


(d)

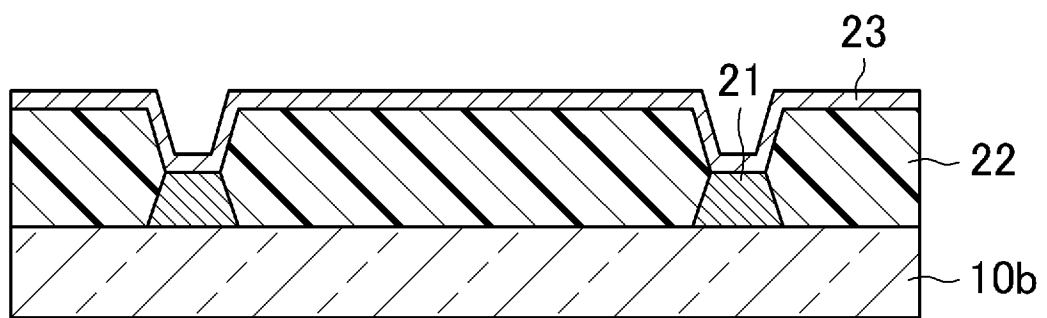


[図6]

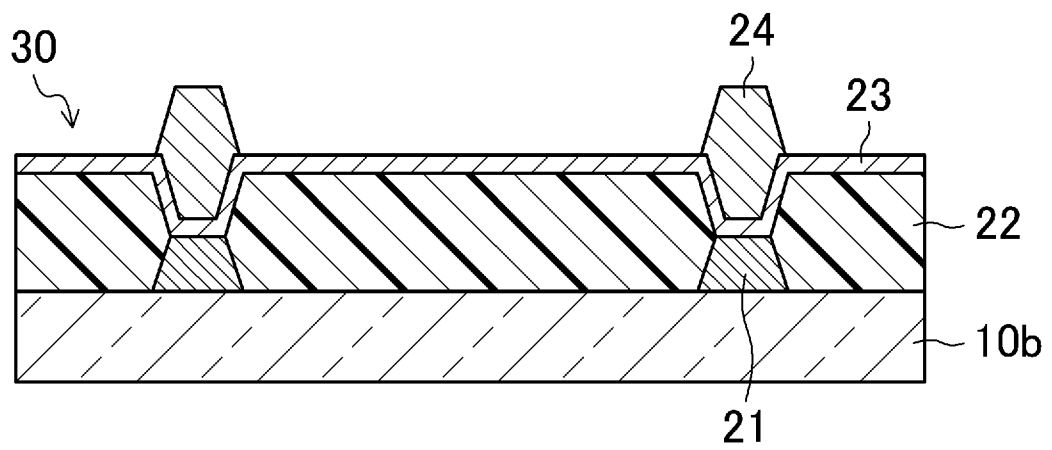
(a)



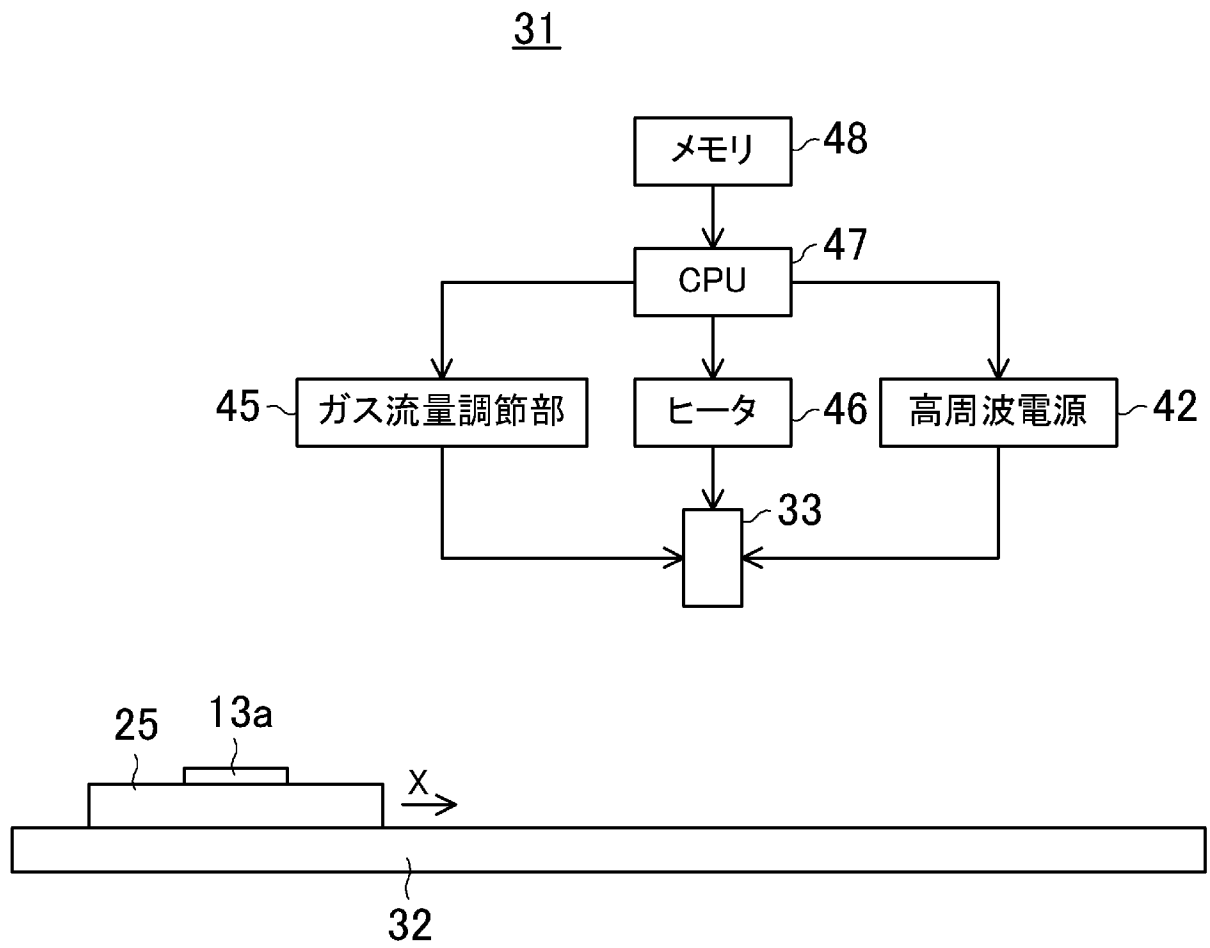
(b)

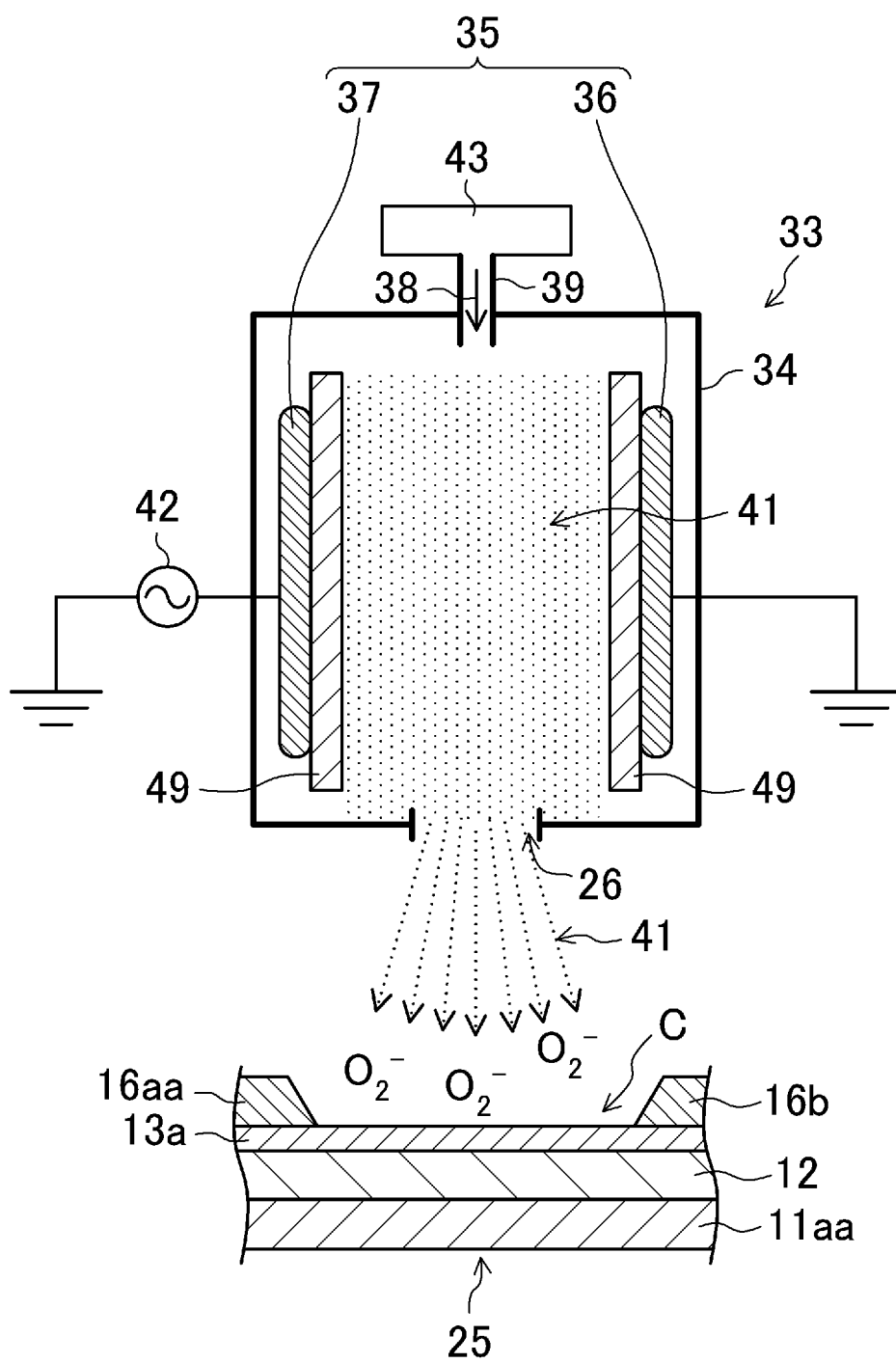


(c)

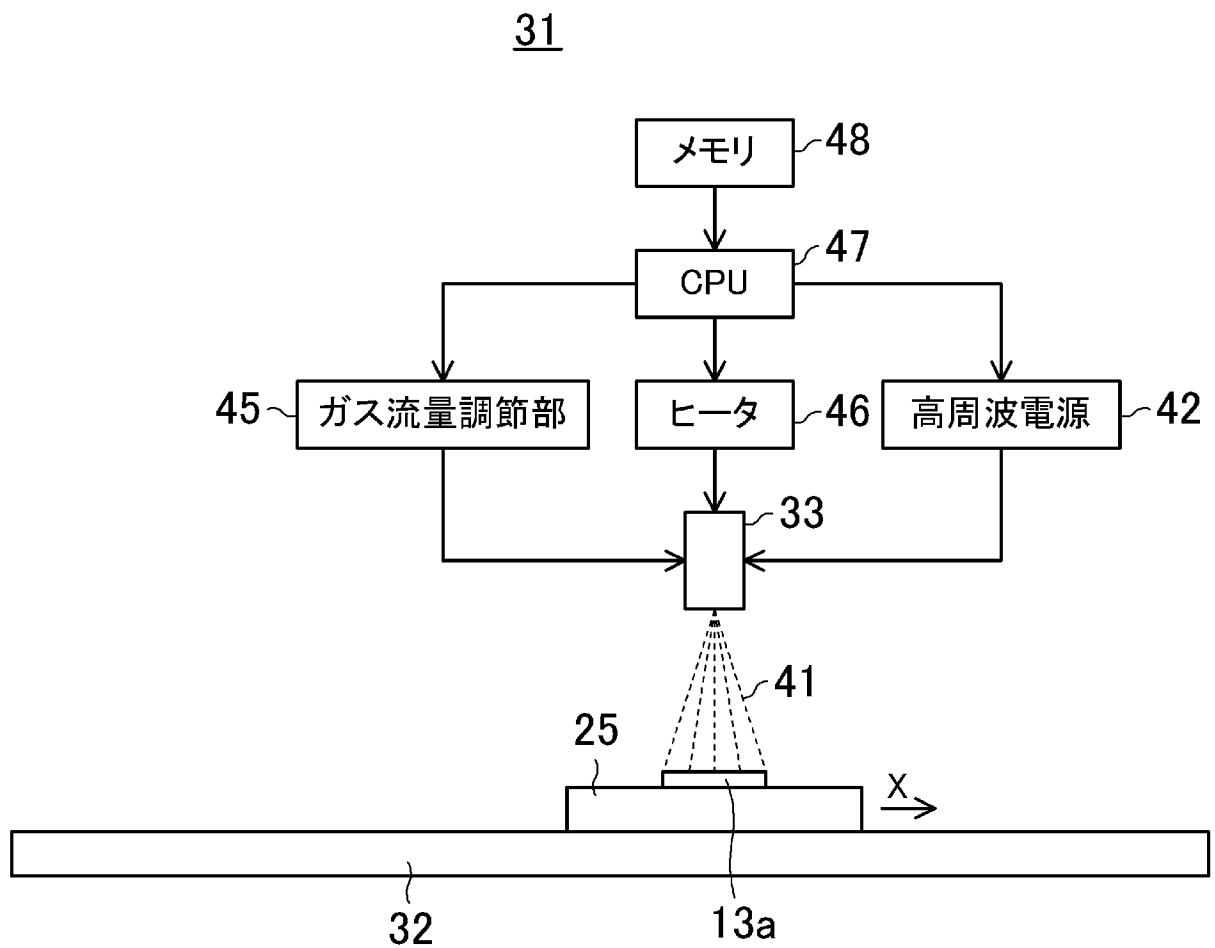


[図7]

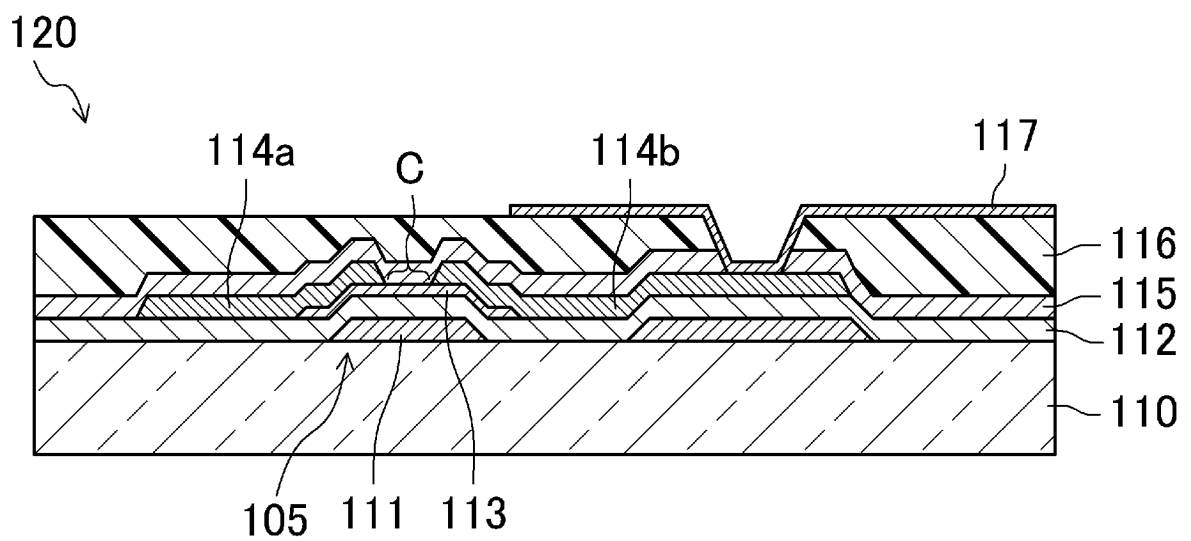




[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000804

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-290113 A (Fujifilm Corp.), 10 December 2009 (10.12.2009), paragraphs [0027] to [0047]; fig. 1 & US 2009/0294765 A1	1, 3, 6-9 2-7, 10
Y	JP 2002-176050 A (Sekisui Chemical Co., Ltd.), 21 June 2002 (21.06.2002), claims; paragraphs [0001], [0018], [0047]; fig. 2 (Family: none)	2-7, 10
Y	JP 2007-142195 A (Idemitsu Kosan Co., Ltd.), 07 June 2007 (07.06.2007), entire text & US 2010/0163860 A & WO 2007/058231 A1 & KR 10-2008-0069607 A & CN 101309863 A	10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2011 (15.04.11)Date of mailing of the international search report
26 April, 2011 (26.04.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000804

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-99847 A (Canon Inc.), 07 May 2009 (07.05.2009), entire text (Family: none)	10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-290113 A (富士フイルム株式会社) 2009.12.10, [0027]-[0047], 図1 & US 2009/0294765 A1	1,3,6-9 2-7,10
Y	JP 2002-176050 A (積水化学工業株式会社) 2002.06.21, 特許請求の範囲, [0001], [0018], [0047], 図2 (ファミリーなし)	2-7,10
Y	JP 2007-142195 A (出光興産株式会社) 2007.06.07, 全文 & US 2010/0163860 A & WO 2007/058231 A1 & KR 10-2008-0069607 A & CN 101309863 A	10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮澤 尚之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 2 7 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-99847 A (キヤノン株式会社) 2009.05.07, 全文 (ファミリーなし)	10