(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 668 640**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **90 13443**

(51) Int Cl[5] : G 11 C 11/401

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt** : 30.10.90.

(30) **Priorité** :

(43) **Date de la mise à disposition du public de la demande :** 30.04.92 Bulletin 92/18.

(56) **Liste des documents cités dans le rapport de recherche :** *Se reporter à la fin du présent fascicule.*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *SAMSUNG ELECTRONICS CO., LTD.* — KR.

(72) **Inventeur(s) :** Min Dong-Sun, Jun Dong-Soo, Cho Soo-In et Park Yong-E.

(73) **Titulaire(s) :**

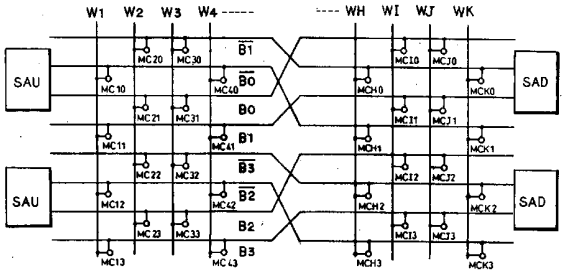
(74) **Mandataire :** Cabinet Regimbeau Martin Schrimpf Warcoin Ahner.

(54) Mémoire à semi-conducteurs possédant des lignes de bit et des lignes de mot qui se croisent.

(57) L'invention réduit le bruit de couplage des lignes de bit tout en limitant l'augmentation des dimensions de la pastille formant la mémoire à circuit intégré.

La capacité de couplage à l'intérieur des paires de lignes de bit (B0, B0; B1, B1; B2, B2; B3, B3) et la capacité de couplage entre les paires de lignes de bit voisines sont chacune réduite d'environ 50 % du fait que les lignes de bit sont torsadées une fois seulement, au même endroit, par groupe de plus de quatre lignes de bit voisines, les lignes de bit précédemment voisines ne se joignant plu: après la torsion. Ainsi, l'augmentation de la taille de la pastille est considérablement réduite par rapport à la structure conventionnelle à lignes de bit torsadées.

L'invention est applicable en particulier aux mémoires vives dynamiques.



FR 2 668 640 - A1

La présente invention concerne une mémoire RAM (mémoire vive ou à accès sélectif) dynamique, appelée mémoire DRAM, et plus particulièrement une mémoire de ce type où le bruit de couplage est rendu minimal avec une petite surface de mémoire.

Dans une DRAM classique, chaque cellule de mémoire comprend un condensateur et un transistor MOS et est connectée entre des lignes de bit et de mot formant une matrice. Les lignes de bit sont parallèles et ont la même longueur. Chaque paire de lignes de bit est connectée à un amplificateur de lecture de type basculeur bistable.

A mesure que l'on tente d'accroître la densité d'intégration de telles mémoires, les règles à respecter pour leur conception deviennent plus précises. L'espace entre les lignes de bit devient plus étroit et le condensateur de stockage de la cellule de mémoire devient plus petit. De ce fait, le fonctionnement de l'amplificateur de lecture risque d'être affecté par la capacité de couplage mutuel entre une ligne de bit d'un amplificateur de lecture activé et des lignes de bit situées au-dessus ou au-dessous pendant un accès à une cellule de mémoire et le fonctionnement de l'amplificateur de lecture.

La figure 1 représente le schéma d'une structure de DRAM conventionnelle à lignes de bit repliées. Des cellules de mémoires MC10 à MC12 et MC20 à MC22 sont connectées aux intersections de lignes de bit B0, $\overline{B0}$, ... , B2, $\overline{B2}$ et de lignes de mot W1 et W2. De même, plusieurs paires de lignes de bit (B0, $\overline{B0}$), (B1, $\overline{B1}$) et (B2, $\overline{B2}$) sont connectées à des amplificateurs de lecture SA0 à SA2 respectivement. Chaque cellule de mémoire comprend un transistor MOS désigné par M et un condensateur de stockage C qui est connecté en parallèle avec le circuit drain-source du transistor M. Le drain de chaque transistor MOS est connecté à une ligne de bit

B0, $\overline{B0}$, ..., B2, $\overline{B2}$ et la grille de chaque cellule de mémoire MC10 à MC12 et MC20 à MC22 est connectée à une ligne de mot W1 ou W2. Une borne du condensateur de stockage C est connectée à une borne de tension VP. En tant que capacités de couplage, des capacités CBS sont interposées entre les lignes de bit et le substrat et des capacités CBB sont interposées entre deux lignes de bit voisines. La capacité des condensateurs de stockage C est désignée par Cs.

Lorsque les cellules de mémoire MC10 à MC12 sont sélectées par un signal appliqué à la ligne de mot W1, les charges des condensateurs de stockage C des cellules sélectées sont transférées à travers les transistors MOS respectifs aux lignes de bit B0 à B2. Ainsi, la tension de la ligne de bit B0 à B2 en question est augmentée ou diminuée de Δ Vs par rapport à l'autre ligne de bit $\overline{B0}$ à $\overline{B2}$ de la paire, la quantité $\Delta Vs = \frac{(Vs - Vb)\ Cs}{CBS + 2CBB + Cs}$ où Vs indique la tension du condensateur de stockage C et Vb indique la tension de la ligne de bit avant la sélection de la cellule de mémoire.

Lorsque la tension des lignes de bit B0 à B2 est accrue de Δ Vs par rapport aux autres lignes de bit $\overline{B0}$ à $\overline{B2}$ par les cellules de mémoire MC10 à MC12, les amplificateurs de lecture SA0 à SA2 sont activés pour abaisser la tension des lignes de bit $\overline{B0}$ à $\overline{B2}$, tension qui est déjà inférieure de ΔVS à celle des lignes de bit B0 à B2. A ce moment, la tension sur la ligne de bit B1 par exemple, est diminuée, sous l'effet de la capacité de couplage CBB, en réponse à l'abaissement de la tension sur les lignes de bit $\overline{B0}$ et $\overline{B1}$ voisines. Cet effet devient un problème d'autant plus sérieux que l'espace entre les lignes de bit B0 à B2 et $\overline{B0}$ à $\overline{B2}$ et la capacité des cellules de mémoire MC10 à MC12 et MC20 à MC22 diminuent.

Pour préciser ce problème, on utilisera une grandeur appelée taux de couplage α, indiquant le degré du bruit de couplage entre les lignes de bit B0 à B2 et $\overline{B0}$ à $\overline{B2}$, et qui est défini comme suit:

$$\alpha = \frac{CBB}{CS + CBS + 2CBB} (\%) \quad .....(1)$$

Selon l'équation (1), si l'espace entre les lignes de bit B0 à B2 et $\overline{B0}$ à $\overline{B2}$ est réduit, la capacité de couplage CBB est accrue, de sorte que le taux de couplage α est augmenté, et ce taux est augmenté aussi en réponse à la diminution de la capacité de stockage Cs des cellules de mémoire MC10 à MC12 et MC20 à MC22.

Comme mentionné précédemment, si le bruit de couplage entre les lignes de bit est accru, la marge de fonctionnement de l'amplificateur de lecture est réduite, avec le risque que les amplificateurs de lecture ne fonctionnent pas convenablement. Pour résoudre ce problème, on a mis au point un circuit de mémoire utilisant une structure de lignes de bit torsadées comme celle illustrée sur la figure 2.

Dans le circuit conventionnel selon la figure 2, chaque paire de lignes de bit, telle que (B0, $\overline{B0}$), (B1, $\overline{B1}$), (B2, $\overline{B2}$) ou (B3, $\overline{B3}$), est torsadée 2 N fois ou davantage (N est un entier) et les amplificateurs de lecture SA0 à SA3 sont connectés chacun à l'extrémité d'une paire de lignes de bit (B0, $\overline{B0}$), (B1, $\overline{B1}$), (B2, $\overline{B2}$) ou (B3, $\overline{B3}$). En torsadant ainsi chaque paire de lignes de bit (B0, $\overline{B0}$), B1, $\overline{B1}$), B2, $\overline{B2}$) et (B3, $\overline{B3}$) à tour de rôle, de manière que les lignes de chaque paire soient croisées, les paires de lignes de bit voisines ne sont pas torsadées simultanément à l'intersection avec la même ligne de mot et la capacité de couplage peut être réduite d'environ 50% comparativement à celle de la

structure à lignes de bit repliées illustrée sur la figure 1.

Donc, bien que la capacité "d'intracouplage" ou de couplage à l'intérieur d'une paire de lignes de bit soit maintenue, la capacité "d'intercouplage", c'est-à-dire de couplage entre différentes paires de lignes de bit voisines peut être supprimée complètement. Ainsi, la capacité de couplage totale de la ligne de bit est réduite d'environ 50 % et le bruit de couplage produit entre des lignes de bit voisines peut être réduit considérablement. Cependant, pour torsader successivement les différentes paires de lignes de bit de manière que les lignes de chaque paire soient croisées, il faut opérer plus de deux torsions. De ce fait, la surface occupée par les cellules de mémoire augmente considérablement, de sorte qu'il devient difficile d'obtenir une haute intégration des cellules.

L'un des buts de la présente invention est de procurer une mémoire à semi-conducteurs avec laquelle le bruit de couplage puisse être réduit et qui soit néanmoins réalisable sous une grandeur minimale.

La présente invention apporte une mémoire à semi-conducteurs comprenant: des lignes de bit disposées en parallèle et qui sont torsadées au même endroit par groupe de plus de deux paires de lignes de bit voisines; des lignes croisant les lignes de bit; des amplificateurs de lecture connectés aux extrémités des paires de lignes de bit; et des cellules de mémoire connectées aux intersections des lignes de bit et des lignes de mot.

D'autres caractéristiques et avantages de l'invention ressortiront plus clairement de la description qui va suivre d'exemples de réalisation préférés mais nullement limitatifs, ainsi que des dessins annexés, sur lesquels:

- la figure 1 est le schéma d'une DRAM classique avec des lignes de bit repliées, déjà décrit;

- la figure 2 est le schéma d'une DRAM classique avec des lignes de bit torsadées, également décrit déjà; et

- la figure 3 est le schéma d'une DRAM avec des lignes de bit torsadées selon l'invention.

La figure 3 montre le schéma d'un mode de réalisation préféré d'une DRAM ayant une structure à lignes de bit torsadées selon l'invention. Sur cette figure, des amplificateurs de lecture supérieurs SAU forment une rangée d'un côté de la matrice, du côté supérieur par exemple, et des amplificateurs de lecture inférieurs SAD forment une rangée sur le côté opposé de la matrice, le côté inférieur par exemple. Des lignes de bit (B0, $\overline{B0}$) et (B2, $\overline{B2}$) sont connectées aux amplificateurs de lecture supérieurs SAU respectifs, tandis que d'autres lignes de bit (B1, $\overline{B1}$) et (B3, $\overline{B3}$) sont connectées aux amplificateurs de lecture inférieurs SAD respectifs. Des cellules de mémoire MC10 à MCK3 sont connectées respectivement aux intersections des lignes de bit B0 à B3 et $\overline{B0}$ à $\overline{B3}$ et des lignes de mot W1 à WK;

Les paires de lignes de bit (B0, $\overline{B0}$) et (B2, $\overline{B2}$) connectées aux amplificateurs de lecture supérieurs SAU et les autres paires de lignes de bit (B1, $\overline{B1}$) et (B3, $\overline{B3}$), connectées aux amplificateurs de lecture inférieurs SAD, sont mutuellement torsadées une seule fois aux même endroit. Plus exactement, les paires précitées de lignes de bit sont torsadées respectivement, au même endroit, de manière que les deux lignes de bit de chacune des paires (B0, $\overline{B0}$) et (B2, $\overline{B2}$) s'étendent vers l'extérieur, après la torsion, et soient torsadées chacune par une partie centrale avec les lignes de bit des paires (B1, $\overline{B1}$) et (B3, $\overline{B3}$) respectivement. Donc, après cette torsion, les lignes de bit sont chacune situées à côté d'une nouvelle ligne de bit. Après la torsion, les lignes de bit s'étendent de nouveau parallèlement, mais leur ordre de succession, de

haut en bas sur la figure 3 par exemple, n'est plus le même qu'avant la torsion. Dans l'exemple particulier représenté sur la figure 3, une paire de lignes de bit, B0 et $\overline{B0}$ par exemple, se trouve chaque fois entre deux lignes de bit séparées, (B1 et $\overline{B1}$) d'une autre paire, avant ou après la torsion. Conformément à une autre caractéristique de l'invention, chacun des amplificateurs de lecture supérieurs SAU et inférieurs SAD est connecté, d'un côté et de l'autre de la matrice, à une paire de lignes de bit située entre les deux lignes de bit séparées d'une autre paire.

Il s'ensuit qu'aussi bien la capacité d'intracouplage que la capacité d'intercouplage sont réduites d'environ 50 %, si bien que la capacité de couplage totale est également réduite d'environ 50 %, avec le résultat que le bruit de couplage peut être diminué de manière efficace. De plus, comme les amplificateurs de lecture SAU et SAD sont disposés séparément sur deux côtés opposés de la matrice, la grandeur de chacun des amplificateurs peut être augmentée et la marge d'amplification peut être accrue. En outre, comme toutes les lignes de bit sont seulement torsadées une fois, par groupe de quatre lignes de bit, l'augmentation de l'aire de surface de la cellule de mémoire est réduite de moitié en comparaison avec l'augmentation résultant de la structure conventionnelle à lignes de bit torsadées.

Le tableau suivant indique les rapports entre les bruits de couplage, les aires de cellules et les différentes structures des lignes de bit.

structure des lignes de bit	aire de puce	bruit de couplage entre lignes de bit		
		bruit d'intercouplage	bruit d'intracouplage	total
lignes de bit repliées	0	ΔN	ΔN	$2\Delta N$
lignes de bit torsadées conventionnelles	ΔA	0	ΔN	ΔN
lignes de bit torsadées selon l'invention	$\frac{1}{2}\Delta A$	$\frac{1}{2}\Delta N$	$\frac{1}{2}\Delta N$	ΔN

(Tableau 1)

Ainsi qu'il ressort de ce tableau, l'aire occupée sur la puce par la structure conventionnelle des lignes de bit torsadées est superieure de ΔA à celle de la structure à lignes de bit repliées, tandis que l'aire occupée sur la puce par la structure de lignes de bit torsadées selon l'invention dépasse celle de la structure à lignes de bit repliées de $\frac{1}{2}\Delta A$ seulement.

Par ailleurs, le bruit d'intracouplage et le bruit d'intercouplage dans la structure à lignes de bit repliées correspondent à ΔN respectivement, de sorte que le bruit de couplage total devient $2\Delta N$. Avec la structure conventionnelle à lignes de bit torsadées, il n'y a pas de bruit d'intercouplage et le bruit d'intracouplage correspond à ΔN. Avec la structure à lignes de bit torsadées selon l'invention, le bruit

d'intracouplage et le bruit d'intercouplage correspondent chacun à $\frac{1}{2}\Delta N$. Pour les deux structures à lignes de bit torsadées, la conventionnelle et la structure selon l'invention, la capacité de couplage totale correspond donc à ΔN.

Jusqu'ici, l'invention a été expliquée pour la torsion des lignes de bit. Cependant, on peut obtenir les mêmes résultats, conformément à l'invention, par la torsion des lignes de mot. Dans un tel mode de réalisation, plusieurs amplificateurs de lecture supérieurs SAU sont disposés en une rangée d'un côté de la matrice, en haut par exemple, et plusieurs amplificateurs de lecture inférieurs SAD sont disposés en une rangée du côté opposé de la matrice. Les lignes de bit (B0, $\overline{B0}$) et (B2, $\overline{B2}$) sont connectées respectivement aux amplificateurs de lecture supérieurs SAU et les lignes de bit (B1, $\overline{B1}$), et (B3, $\overline{B3}$) sont connectées respectivement aux amplificateurs de lecture inférieurs SAD. Les cellules de mémoire MC10 à MCK3 sont connectées aux intersections des lignes de bit B0 à B3 et $\overline{B0}$ à $\overline{B3}$ et des lignes de mot W1 à WK, où les lignes de mot sont torsadées par groupe de quatre lignes de mot voisines, au même endroit, à la place des lignes de bit. Après cette torsion, chaque ligne de mot se trouve à côté d'une nouvelle ligne de mot. De plus, comme décrit pour les lignes de bit, les lignes de mot peuvent de nouveau être disposées parallèlement, après la torsion, mais dans un ordre qui diffère de celui d'avant la torsion. Selon encore un autre mode de réalisation de l'invention, quatre lignes de mot voisines et deux paires de lignes de bit sont torsadées simultanément. Plus exactement, selon ce mode de réalisation, les lignes de bit sont torsadées au même endroit par groupe de plus de deux paires de lignes de bit voisines, les lignes de mot sont torsadées au même endroit par groupe de plus de quatre lignes de mot

voisines, et les amplificateurs de lecture sont connectés aux extrémités des paires de lignes de bit.

Ainsi qu'il vient d'être décrit, l'invention permet de réduire efficacement le bruit d'intracouplage et le bruit d'intercouplage et l'augmentation de la surface occupée sur la puce peut être maintenue à un minimum grâce au fait que toutes les lignes de bit sont seulement torsadées une fois par groupe de plus de quatre lignes de bit voisines.

L'invention n'est aucunement limitée aux modes de réalisation représentés et décrits et l'homme de l'art pourra y apporter diverses modifications, sans pour autant sortir du cadre de l'invention.

REVENDICATIONS

1. Mémoire à semi-conducteurs comprenant des lignes de bit (B0 à B3) disposées en parallèle, des lignes de mot (W1 à WK) croisant les lignes de bit, des cellules de mémoire (MC10 à MCK3) connectées aux intersections des lignes de bit et des lignes de mot, ainsi que des amplificateurs de lecture, caractérisée en ce que les lignes de bit sont torsadées au même endroit par groupe de plus de deux paires de lignes de bit (B0, $\overline{B0}$; B1, $\overline{B1}$; B2, $\overline{B2}$; B3, $\overline{B3}$) voisines et que les amplificateurs de lecture (SAU, SAD) sont connectés aux extrémités des paires de lignes de bit.

2. Mémoire à semi-conducteurs selon la revendication 1, dans laquelle, après la torsion, les lignes de bit (B0 à B3) sont disposées en parallèle dans un ordre séquentiel qui diffère de leur ordre de succession avant la torsion.

3. Mémoire à semi-conducteurs selon la revendication 2, dans laquelle une paire de lignes de bit (B0, $\overline{B0}$; B2, $\overline{B2}$) est disposée chaque fois, avant et après la torsion, entre deux lignes de bit séparées (B1, $\overline{B1}$; B3, $\overline{B3}$) d'une autre paire de lignes de bit.

4. Mémoire à semi-conducteurs selon la revendication 1, dans laquelle les amplificateurs de lecture sont partagés en deux séries (SAU, SAD) situées sur des côtés opposés de la mémoire, notamment sur le côté supérieur et le côté inférieur.

5. Mémoire à semi-conducteurs selon la revendication 2 ou 4, dans laquelle chacun des amplificateurs de lecture (SAU, SAD) est connecté à une paire de lignes de bit (B0, $\overline{B0}$; B2, $\overline{B2}$; B1, $\overline{B1}$; B3, $\overline{B3}$) située entre des lignes de bit séparées (B1, $\overline{B1}$; B3, $\overline{B3}$; B0, $\overline{B0}$; B2, $\overline{B2}$) sur les côtés opposés de la mémoire.

6. Mémoire à semi-conducteurs comprenant des lignes de bit (B0 à B3) disposées en parallèle, des lignes de mot (W1 à WK) croisant les lignes de bit, des

cellules de mémoire (MC10 à MCK3) connectées aux intersections des lignes de bit et des lignes de mot, ainsi que des amplificateurs de lecture, caractérisée en ce que les lignes de mot sont torsadées au même endroit par groupe de plus de quatre lignes de mot voisines et que les amplificateurs de lecture (SAU, SAD) sont connectés aux extrémités des paires de lignes de bit (B0, $\overline{B0}$; B1, $\overline{B1}$; B2, $\overline{B2}$; B3, $\overline{B3}$).

7. Mémoire à semi-conducteurs selon la revendication 6, dans laquelle, après la torsion, les lignes de mot sont disposées en parallèle dans un ordre séquentiel qui diffère de leur ordre de succession avant la torsion.

8. Mémoire à semi-conducteurs selon la revendication 7, dans laquelle les amplificateurs de lecture sont partagés en deux séries (SAU, SAD) disposées sur des côtés opposés de la mémoire, notamment sur le côté supérieur et le côté inférieur.

9. Mémoire à semi-conducteurs comprenant des lignes de bit (B0 à B3) disposées en parallèle, des lignes de mot (W1 à WK) croisant les lignes de bit, des cellules de mémoire (MC10 à MCK3) connectées aux intersections des lignes de bit et des lignes de mot, ainsi que des amplificateurs de lecture, caractérisée en ce que les lignes de bit sont torsadées au même endroit par groupe de plus de deux paires de lignes de bit (B0, $\overline{B0}$; B1, $\overline{B1}$;B2, $\overline{B2}$; B3, $\overline{B3}$) voisines, que les lignes de mot sont torsadées au même endroit par groupe de plus de quatre lignes de mot voisines, et que les amplificateurs de lecture (SAU, SAD) sont connectés aux extrémités des paires de lignes de bit (B0, $\overline{B0}$; B1, $\overline{B1}$; B2, $\overline{B2}$; B3, $\overline{B3}$).

FIG.1

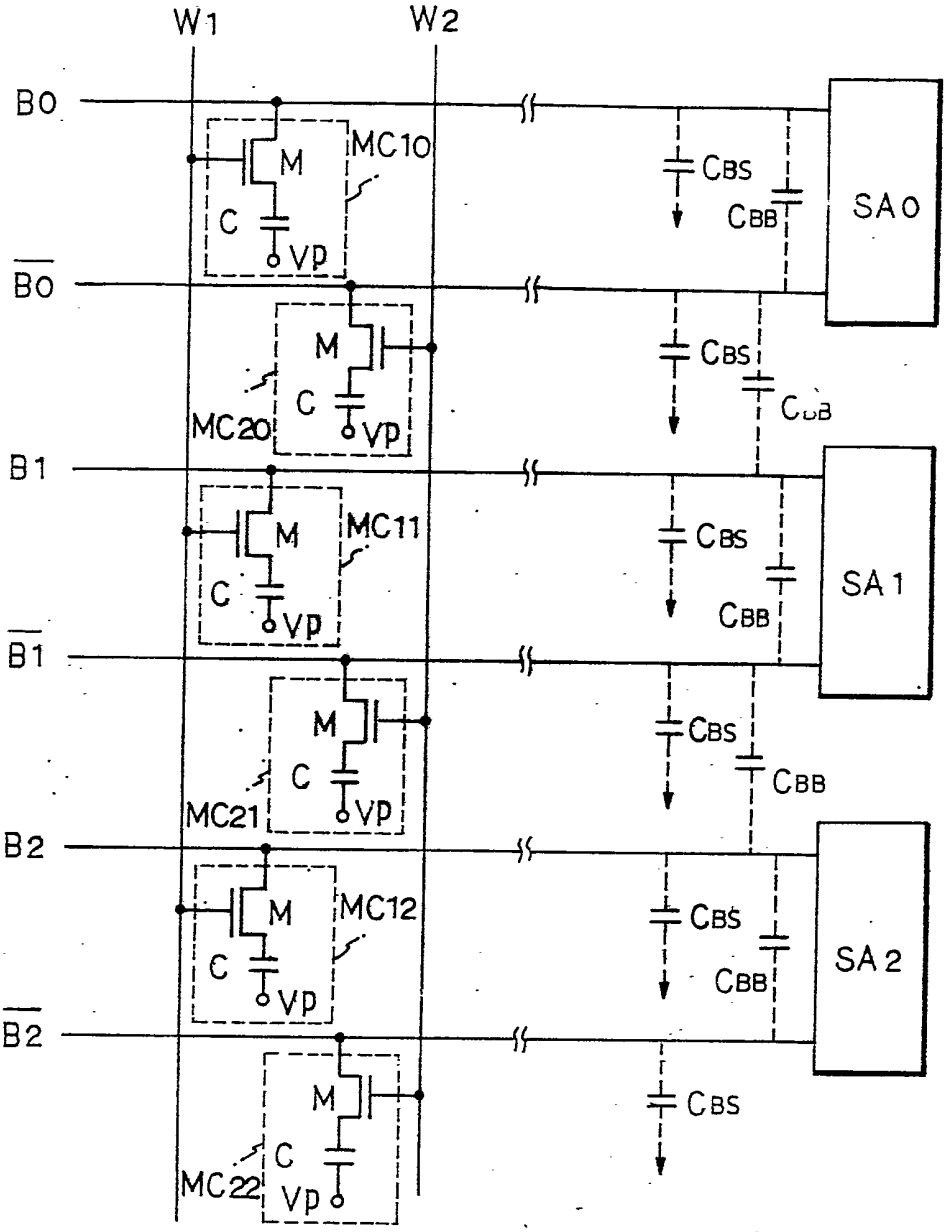

W1
W2
B0
$\overline{B0}$
B1
$\overline{B1}$
B2
$\overline{B2}$
M
C
Vp
MC10
MC20
MC11
MC21
MC12
MC22
CBS
CBB
SA0
SA1
SA2

FIG.2

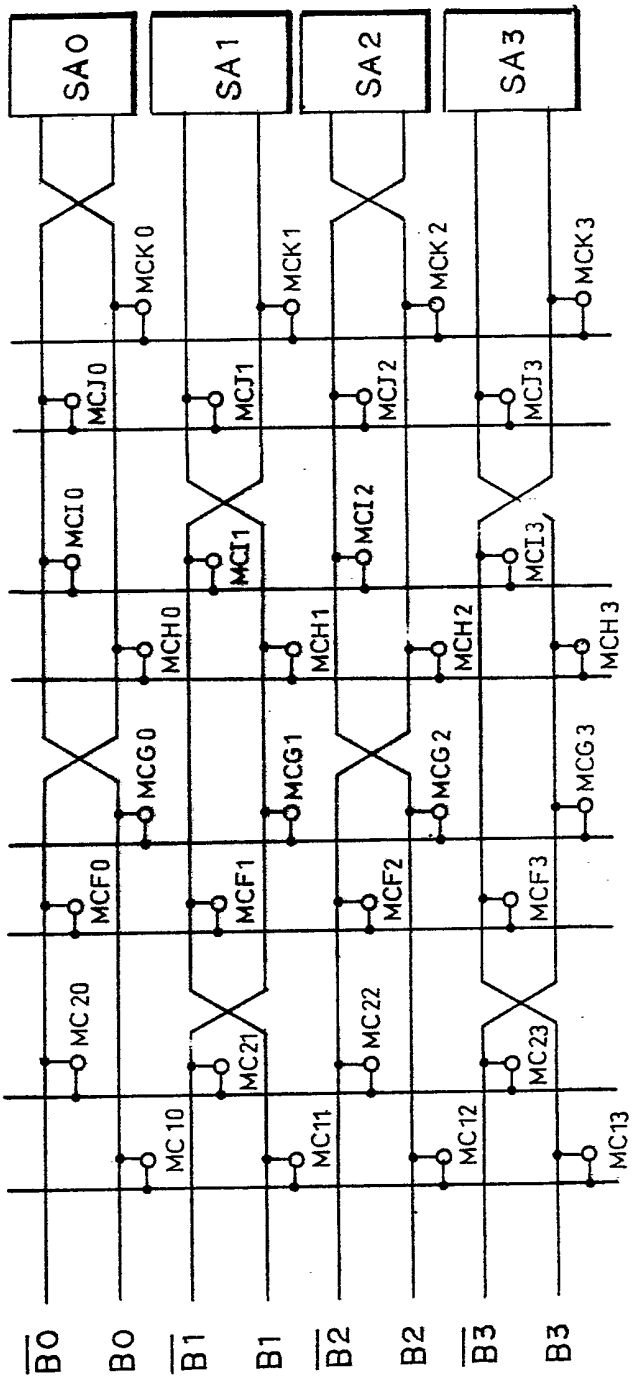
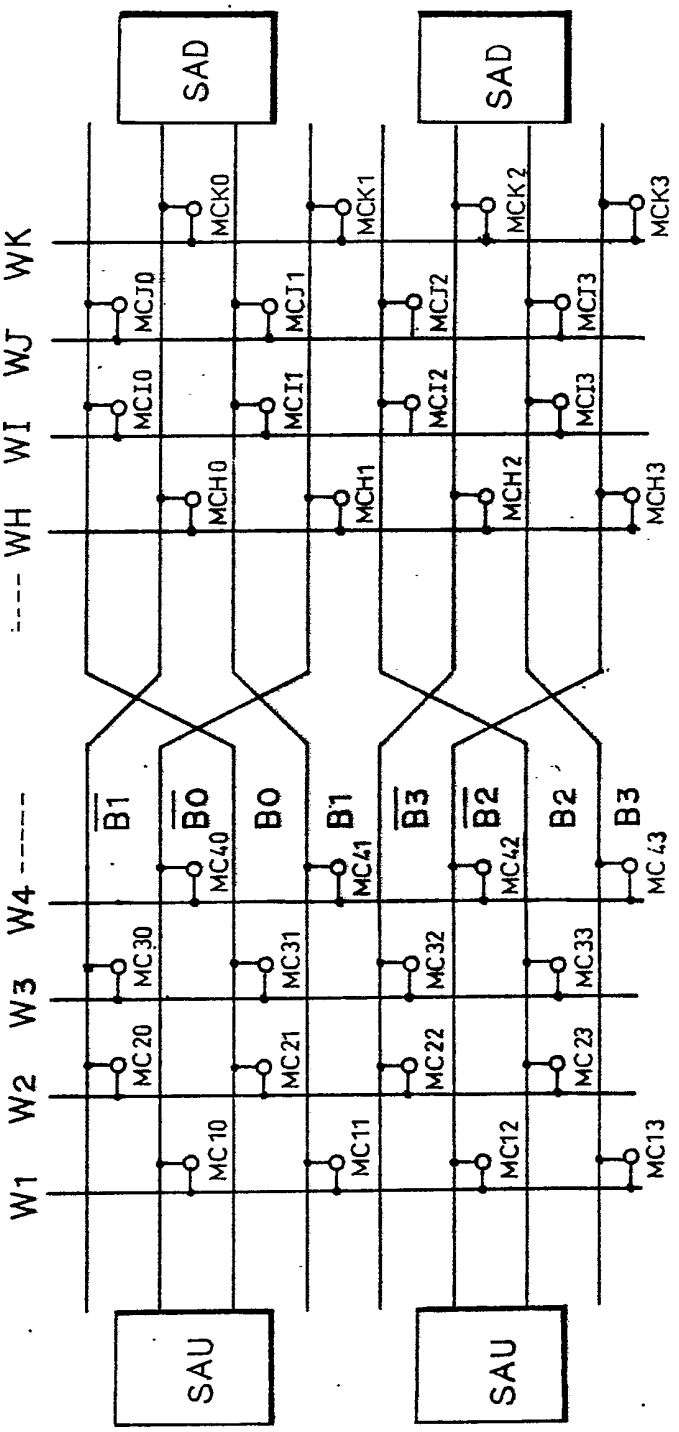

SA0
SA1
SA2
SA3
W1
W2
WF
WG
WH
WI
WJ
WK
MC10
MC20
MC11
MC21
MC12
MC22
MC13
MC23
MCF0
MCF1
MCF2
MCF3
MCG0
MCG1
MCG2
MCG3
MCH0
MCH1
MCH2
MCH3
MCI0
MCI1
MCI2
MCI3
MCJ0
MCJ1
MCJ2
MCJ3
MCK0
MCK1
MCK2
MCK3
B0
B0
B1
B1
B2
B2
B3
B3

FIG.3


SAD
SAD
SAU
SAU
WH
WI
WJ
WK
W1
W2
W3
W4
MCK0
MCK1
MCK2
MCK3
MCJ0
MCJ1
MCJ2
MCJ3
MCI0
MCI1
MCI2
MCI3
MCH0
MCH1
MCH2
MCH3
MC40
MC41
MC42
MC43
MC30
MC31
MC32
MC33
MC20
MC21
MC22
MC23
MC10
MC11
MC12
MC13
B1
B0
B0
B1
B3
B2
B2
B3

REPUBLIQUE FRANÇAISE

2668640

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FR 9013443
FA 448444

DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendications concernées de la demande examinée
	US-A-4 733 374 (FURUYAMA ET AL.)	
X	* abrégé *	1
Y	* colonne 6, ligne 17 - ligne 42 *	2,4
A	* figures 7,8 *	3,5-9

	US-A-4 922 459 (HIDAKA)	
Y	* abrégé *	2,4
A	* colonne 8, ligne 15 - colonne 10, ligne 43; figures 7,8 *	1,3,5-9

A	US-A-4 922 460 (FURUTANI ET AL.)	1-5,8,9
	* abrégé *	
	* colonne 5, ligne 42 - colonne 7, ligne 30 *	
	* colonne 8, ligne 50 - colonne 9, ligne 63; figures 5,11 *	

DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)

G11C

Date d'achèvement de la recherche
11 JUILLET 1991

Examinateur
LINDQUIST J.W.

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P0413)