

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)



(10) 国際公開番号

WO 2024/176583 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2023/044980

(22) 国際出願日: 2023年12月15日(15.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-027494 2023年2月24日(24.02.2023) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

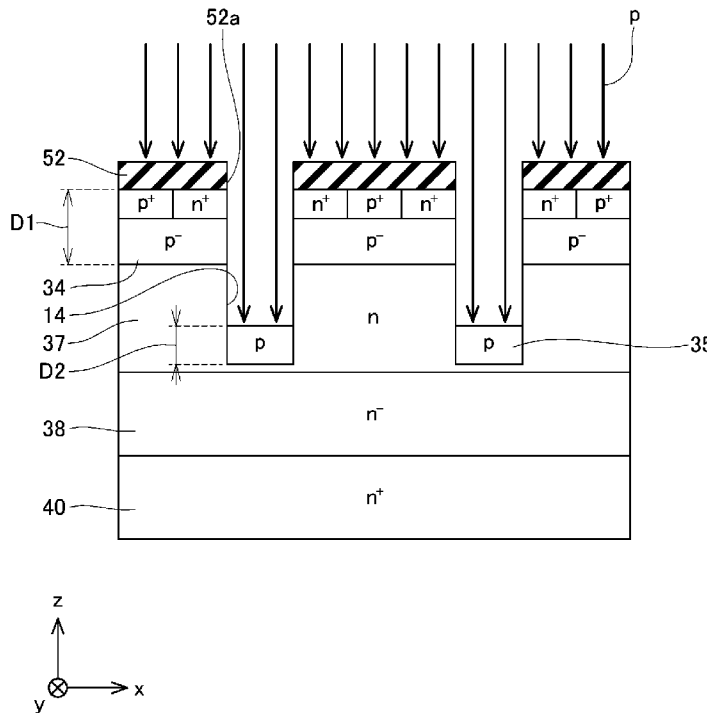
(72) 発明者: 高谷 秀史 (TAKAYA Hidefumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 弁理士法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市西区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: METHOD FOR PRODUCING FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタの製造方法



(57) Abstract: The present invention adequately adjusts the p-type impurity concentration of a p-type trench underlayer. The present invention provides a method for producing a field effect transistor, the method comprising: a body layer formation step in which a p-type body layer is formed by ion implantation of a p-type impurity; a trench formation step in which a trench is formed in the upper surface of a semiconductor substrate; a p-type trench underlayer formation step in which a p-type trench underlayer is formed below the trench by implanting a p-type impurity into the bottom surface

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

of the trench, while covering the upper surface of the semiconductor substrate with an ion implantation mask; and a gate electrode formation step in which a gate insulation film and a gate electrode are formed within the trench. In the p-type trench underlayer formation step, the p-type impurity is implanted at a concentration higher than that in the body layer formation step.

(57) 要約: p型トレンチ下層のp型不純物濃度を適切に調整する。電界効果トランジスタの製造方法であって、p型不純物をイオン注入することによってp型のボディ層を形成するボディ層形成工程と、半導体基板の上面にトレンチを形成するトレンチ形成工程と、前記半導体基板の前記上面をイオン注入マスクで覆った状態で前記トレンチの底面にp型不純物を注入することによって前記トレンチの下側にp型トレンチ下層を形成するp型トレンチ下層形成工程と、前記トレンチ内にゲート絶縁膜とゲート電極を形成するゲート電極形成工程、を有する。前記p型トレンチ下層形成工程では、前記ボディ層形成工程よりも高濃度にp型不純物を注入する。

明 細 書

発明の名称：電界効果トランジスタの製造方法

技術分野

[0001] (関連出願の相互参照)

本出願は、2023年2月24日に出願された日本特許出願特願2023-027494の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書に開示の技術は、電界効果トランジスタの製造方法に関する。

[0003] 特開2009-194065号公報には、トレンチゲート型の電界効果トランジスタが開示されている。この電界効果トランジスタは、ボディ層から下側に突出する複数のp型ディープ層を有している。各p型ディープ層は、上側から半導体基板を見たときにトレンチに対して交差するように伸びている。複数のp型ディープ層は、その幅方向に間隔部を開けて配置されている。各間隔部内に、n型ディープ層が設けられている。各p型ディープ層及び各n型ディープ層は、ボディ層からトレンチの底面よりも下側まで伸びている。p型ディープ層とn型ディープ層の下側に、n型ドリフト層が配置されている。この構造によれば、電界効果トランジスタにおいて耐圧を向上することができる。

発明の概要

[0004] p型ディープ層とn型ディープ層を有する電界効果トランジスタにおいて、トレンチの下部にトレンチに沿って伸びるp層（以下、p型トレンチ下層という）を設けると、電界効果トランジスタの帰還容量を低減でき、高速でのスイッチングを実現できる。本明細書では、電界効果トランジスタの製造工程において、p型トレンチ下層のp型不純物濃度を適切に調整することで、電界効果トランジスタの帰還容量を効果的に低減する技術を提案する。

[0005] 本明細書が開示する電界効果トランジスタの製造方法は、半導体基板準備

工程と、ボディ層形成工程と、トレンチ形成工程と、p型トレンチ下層形成工程と、ゲート電極形成工程を有する。前記半導体基板準備工程では、n型ドリフト層と複数のp型ディープ層と複数のn型ディープ層を有する半導体基板を準備する。前記n型ドリフト層の上部に複数の前記p型ディープ層と複数の前記n型ディープ層が配置されている。上側から前記半導体基板を見たときに前記各p型ディープ層が第1方向に沿って伸びるとともに前記第1方向に対して直交する第2方向に間隔部を開けて配置されている。前記各n型ディープ層が対応する前記間隔部内に配置されている。前記各n型ディープ層のn型不純物濃度が前記n型ドリフト層のn型不純物濃度よりも高い前記半導体基板を準備する。前記ボディ層形成工程では、前記半導体基板に対してp型不純物をイオン注入することによって、複数の前記p型ディープ層と複数の前記n型ディープ層に対して上側から接するp型のボディ層を形成する。前記トレンチ形成工程では、前記半導体基板の上面にトレンチを形成する。ここでは、上側から前記半導体基板を見たときに前記トレンチが複数の前記p型ディープ層に対して交差し、前記トレンチが前記ボディ層を貫通し、前記トレンチの下端が複数の前記p型ディープ層の下端よりも上側に位置するように前記トレンチを形成する。前記p型トレンチ下層形成工程では、前記半導体基板の前記上面をイオン注入マスクで覆った状態で前記トレンチの底面にp型不純物を注入することによって、前記トレンチの下側に前記各p型ディープ層に接続されているp型トレンチ下層を形成する。前記ゲート電極形成工程では、前記トレンチ内に、ゲート絶縁膜とゲート電極を形成する。前記p型トレンチ下層形成工程では、前記ボディ層形成工程よりも高濃度にp型不純物を注入する。

[0006] なお、p型トレンチ下層は、トレンチの底面に接する位置に形成されてもよいし、トレンチの底面から離れた位置（すなわち、トレンチの底面よりも深い位置）に形成されてもよい。

[0007] この製造方法では、ボディ層に対するイオン注入とp型トレンチ下層に対するイオン注入を別工程で実施するので、p型トレンチ下層のp型不純物濃

度をボディ層のp型不純物濃度から独立して制御することができる。p型トレンチ下層形成工程では、ボディ層形成工程よりも高濃度にp型不純物を注入する。したがって、この製造方法により製造された電界効果トランジスタに電圧が印加されたときには、p型トレンチ下層が空乏化し難い。したがって、電界効果トランジスタの帰還容量を効果的に低減できる。

図面の簡単な説明

[0008] [図1] MOSFET 10の断面斜視図（p型ディープ層36を含まないx-z断面を示す図）。

[図2] ソース電極22と層間絶縁膜20を省略したMOSFET 10の断面斜視図（p型ディープ層36を含まないx-z断面を示す図）。

[図3] p型トレンチ下層35、p型ディープ層36及びn型ディープ層37を含む拡大x-y断面であって、半導体基板12を上から見たときのp型トレンチ下層35、p型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の拡大断面図。

[図4] トレンチ14、p型ディープ層36及びn型ディープ層37を含む拡大x-y断面であって、半導体基板12を上から見たときのトレンチ14、p型ディープ層36及びn型ディープ層37の配置を示すMOSFET 10の拡大断面図。

[図5] p型ディープ層36及びn型ディープ層37を含むMOSFET 10の拡大y-z断面図。

[図6] MOSFET 10の断面斜視図（p型ディープ層36を含むx-z断面を示す図）。

[図7] p型トレンチ下層35内の非空乏化領域の分布を示す断面図。

[図8] MOSFET 10の製造方法の説明図。

[図9] MOSFET 10の製造方法の説明図。

[図10] MOSFET 10の製造方法の説明図。

[図11] MOSFET 10の製造方法の説明図。

[図12] MOSFET 10の製造方法の説明図。

[図13]MOSFET 10の製造方法の説明図。

[図14]MOSFET 10の製造方法の説明図。

[図15]MOSFET 10の製造方法の説明図。

[図16]変形例の製造方法の説明図。

[図17]第1変形例のMOSFETの図1に対応する断面斜視図。

[図18]第2変形例のMOSFETの図1に対応する断面斜視図。

[図19]第3変形例のMOSFETの図1に対応する断面斜視図。

[図20]第4変形例のMOSFETの図1に対応する断面斜視図。

[図21]第5変形例のMOSFETの図1に対応する断面斜視図。

[図22]第6変形例のMOSFETの図1に対応する断面斜視図。

[図23]第7変形例のMOSFETの図1に対応する断面斜視図。

[図24]第8変形例のMOSFETの図1に対応する断面斜視図。

[図25]第9変形例のMOSFETの図6に対応する断面斜視図。

発明を実施するための形態

[0009] 本明細書が開示する一例の製造方法では、前記p型トレンチ下層形成工程におけるイオン注入深さが、前記ボディ層形成工程におけるイオン注入深さよりも浅くてもよい。

[0010] なお、p型トレンチ下層形成工程においてイオン注入深さを変更しながら複数回イオン注入を行ってもよい。この場合、上記の「前記p型トレンチ下層形成工程におけるイオン注入深さ」は、p型トレンチ下層形成工程において最も深いイオン注入深さを意味する。また、ボディ層形成工程においてイオン注入深さを変更しながら複数回イオン注入を行ってもよい。この場合、上記の「前記ボディ層形成工程におけるイオン注入深さ」は、ボディ層形成工程において最も深いイオン注入深さを意味する。

[0011] この構成によれば、厚さが薄いp型トレンチ下層を形成でき、電界効果トランジスタの耐圧を向上させることができる。

[0012] 本明細書が開示する一例の製造方法では、前記p型トレンチ下層形成工程では、前記p型トレンチ下層の下端が前記各n型ディープ層の下端よりも上

側に位置するように前記 p 型トレンチ下層を形成してもよい。

[0013] この構成によれば、電界効果トランジスタのオン状態において p 型トレンチ下層からドリフト層へ空乏層が伸び難くなるので、電界効果トランジスタのオン抵抗を低減できる。

[0014] 本明細書が開示する一例の製造方法では、前記 p 型トレンチ下層形成工程では、前記 p 型トレンチ下層が前記トレンチの前記底面に接するように前記 p 型トレンチ下層を形成してもよい。前記 p 型トレンチ下層内の p 型不純物の総量が、前記電界効果トランジスタに定格電圧が印加されたときに前記 p 型トレンチ下層の前記ゲート絶縁膜に接する部分の一部に非空乏化領域が残存するように設定されていてもよい。

[0015] この構成によれば、電界効果トランジスタの帰還容量を効果的に低減できる。

[0016] 本明細書が開示する一例の製造方法では、前記 p 型トレンチ下層形成工程では、第 1 p 型トレンチ下層と第 2 p 型トレンチ下層を有する前記 p 型トレンチ下層を形成してもよい。前記第 2 p 型トレンチ下層が、前記第 1 p 型トレンチ下層よりも p 型不純物濃度が高く、前記第 1 p 型トレンチ下層の上側または下側に位置してもよい。

[0017] 本明細書が開示する一例の製造方法では、前記 p 型トレンチ下層形成工程では、前記トレンチの前記底面と側面が露出している状態で前記トレンチの前記底面に p 型不純物を注入してもよい。

[0018] この構成によれば、トレンチの底面の幅と略一致する幅を有する p 型トレンチ下層を形成できる。この構成によれば、ゲート絶縁膜に印加される電界を抑制できるとともに、電界効果トランジスタのオン抵抗を低減できる。

[0019] 本明細書が開示する一例の製造方法では、前記トレンチ形成工程では、前記半導体基板の前記上面にエッチングマスクを形成し、前記エッチングマスクを介して前記半導体基板の前記上面をエッチングすることによって前記トレンチを形成してもよい。前記 p 型トレンチ下層形成工程では、前記エッチングマスクを前記イオン注入マスクとして使用してもよい。

[0020] この構成によれば、電界効果トランジスタを効率的に製造することができる。

[0021] 本明細書が開示する一例の製造方法では、前記半導体基板準備工程では、 n 型接続層を有する前記半導体基板を準備してもよい。前記 n 型接続層が、前記各 p 型ディープ層の下側に配置されており、前記 n 型ディープ層どうしを接続していてもよい。前記 n 型接続層の n 型不純物濃度が前記 n 型ドリフト層の n 型不純物濃度よりも高くてもよい。

[0022] この構成によれば、電界効果トランジスタのオン状態において p 型ディープ層からドリフト層へ空乏層が伸び難くなるので、電界効果トランジスタのオン抵抗を低減できる。

[0023] 図1、2に示す実施形態のMOSFET 10 (metal-oxide-semiconductor field effect transistor) は、半導体基板12を有している。以下では、半導体基板12の厚み方向を z 方向といい、半導体基板12の上面12aに平行な一方向 (z 方向に直交する一方向) を x 方向といい、 x 方向及び z 方向に直交する方向を y 方向という。半導体基板12は、炭化シリコン (すなわち、SiC) により構成されている。なお、半導体基板12がシリコン、窒化ガリウム等の他の半導体材料により構成されていてもよい。半導体基板12の上面12aには、複数のトレンチ14が設けられている。図2に示すように、複数のトレンチ14は、上面12aにおいて、 y 方向に沿って長く伸びている。複数のトレンチ14は、 x 方向に間隔を開けて配置されている。

[0024] 図1、2に示すように、各トレンチ14の内面 (すなわち、側面と底面) は、ゲート絶縁膜16によって覆われている。各トレンチ14内に、ゲート電極18が配置されている。各ゲート電極18は、ゲート絶縁膜16によって半導体基板12から絶縁されている。図1に示すように、各ゲート電極18の上面は、層間絶縁膜20によって覆われている。半導体基板12の上部に、ソース電極22が設けられている。ソース電極22は、各層間絶縁膜20を覆っている。ソース電極22は、層間絶縁膜20によってゲート電極1

8から絶縁されている。ソース電極22は、層間絶縁膜20が存在しない位置で、半導体基板12の上面12aに接している。半導体基板12の下部には、ドレイン電極24が配置されている。ドレイン電極24は、半導体基板12の下面12bの全域に接している。

[0025] 図1、2に示すように、半導体基板12は、複数のソース層30、複数のコンタクト層32、ボディ層34、複数のp型トレンチ下層35、複数のp型ディープ層36、複数のn型ディープ層37、n型接続層37x、ドリフト層38、及び、ドレイン層40を有している。

[0026] 各ソース層30は、高いn型不純物濃度を有するn型層である。各ソース層30は、半導体基板12の上面12aを部分的に含む範囲に配置されている。各ソース層30は、ソース電極22にオーミック接触している。各ソース層30は、トレンチ14の側面の最上部において、ゲート絶縁膜16に接している。各ソース層30は、ゲート絶縁膜16を介してゲート電極18に対向している。各ソース層30はトレンチ14の側面に沿ってy方向に長く伸びている。

[0027] 各コンタクト層32は、高いp型不純物濃度を有するp型層である。各コンタクト層32は、半導体基板12の上面12aを部分的に含む範囲に配置されている。各コンタクト層32は、対応する2つのソース層30の間に配置されている。各コンタクト層32は、ソース電極22にオーミック接触している。各コンタクト層32は、y方向に長く伸びている。

[0028] ボディ層34は、コンタクト層32よりも低いp型不純物濃度を有するp型層である。ボディ層34は、複数のソース層30及び複数のコンタクト層32の下側に配置されている。ボディ層34は、複数のソース層30及び複数のコンタクト層32に対して下側から接している。ボディ層34は、ソース層30の下側に位置するトレンチ14の側面で、ゲート絶縁膜16に接している。ボディ層34は、ゲート絶縁膜16を介してゲート電極18に対向している。

[0029] 各p型トレンチ下層35は、対応するトレンチ14の下側に配置されてい

るp型層である。各p型トレンチ下層35のp型不純物濃度は、ボディ層34のp型不純物濃度よりも高く、コンタクト層32のp型不純物濃度よりも低い。各p型トレンチ下層35は、対応するトレンチ14の底面でゲート絶縁膜16に接している。各p型トレンチ下層35の幅（すなわち、x方向における寸法）は、その上部のトレンチ14の底面の幅（すなわち、x方向における寸法）と略等しい。図3に示すように、半導体基板12を上側から見たときに、各p型トレンチ下層35は、対応するトレンチ14の長手方向（この例ではy方向）に沿って長く伸びている。

[0030] 各p型ディープ層36は、ボディ層34の下面から下側に突出しているp型層である。各p型ディープ層36のp型不純物濃度は、ボディ層34のp型不純物濃度よりも高く、コンタクト層32のp型不純物濃度よりも低い。図4に示すように半導体基板12を上側から見たときに、各p型ディープ層36は、x方向に長く伸びており、トレンチ14の長手方向（この例では、y方向）に対して直交している。複数のp型ディープ層36は、y方向に間隔を開けて配置されている。以下では、複数のp型ディープ層36の間の部分を、間隔部39（図1及び図2参照）という。図5に示すように、p型ディープ層36は、yz断面において、z方向に長い形状を有している。すなわち、p型ディープ層36のz方向における寸法（以下、深さ D_p という）は、p型ディープ層36のy方向における寸法（以下、幅 W_p という）よりも大きい。図6に示すように、各p型ディープ層36は、ボディ層34の下面から各トレンチ14の底面よりも下側の深さまで伸びている。各p型ディープ層36は、ボディ層34の下側に位置するトレンチ14の側面でゲート絶縁膜16に接している。また、図3に示すように、各p型ディープ層36は、トレンチ14の下側に配置されているp型トレンチ下層35に接している。

[0031] 各n型ディープ層37は、対応する間隔部39内に配置されているn型層である。各n型ディープ層37は、ドリフト層38よりも高いn型不純物濃度を有している。図1、2に示すように、各n型ディープ層37は、ボディ

層 3 4 の下面に接している。各 n 型ディープ層 3 7 は、その両側の p 型ディープ層 3 6 の側面に接している。各 n 型ディープ層 3 7 は、ボディ層 3 4 の下面から各トレンチ 1 4 の底面及び各 p 型ディープ層 3 6 の下面よりも下側まで伸びている。図 5 に示すように、間隔部 3 9 内の n 型ディープ層 3 7 は、y z 断面において、z 方向に長い形状を有している。すなわち、n 型ディープ層 3 7 の z 方向における寸法（以下、深さ D_n という）は、間隔部 3 9 内の n 型ディープ層 3 7 の y 方向における寸法（以下、幅 W_n という）よりも大きい。図 1、2 に示すように、各 n 型ディープ層 3 7 は、各間隔部 3 9 内において、ボディ層 3 4 の下側に位置するトレンチ 1 4 の側面でゲート絶縁膜 1 6 に接している。また、図 3 に示すように、各 n 型ディープ層 3 7 は、トレンチ 1 4 の下側に配置されている p 型トレンチ下層 3 5 に接している。

[0032] 図 5 に示すように、各 p 型ディープ層 3 6 の下側に、n 型接続層 3 7 x が配置されている。n 型接続層 3 7 x は、ドリフト層 3 8 よりも高い n 型不純物濃度を有している。n 型接続層 3 7 x は、n 型ディープ層 3 7 と略同じ n 型不純物濃度を有している。各 n 型接続層 3 7 x は、対応する p 型ディープ層 3 6 の下面に接している。各 n 型接続層 3 7 x は、p 型ディープ層 3 6 の両側に位置する 2 つの n 型ディープ層 3 7 どうしを接続している。

[0033] ドリフト層 3 8 は、各 n 型ディープ層 3 7 よりも低い n 型不純物濃度を有する n 型層である。ドリフト層 3 8 は、n 型ディープ層 3 7 及び n 型接続層 3 7 x の下側に配置されている。ドリフト層 3 8 は、n 型ディープ層 3 7 及び n 型接続層 3 7 x に対して下側から接している。

[0034] ドレイン層 4 0 は、ドリフト層 3 8 及び n 型ディープ層 3 7 よりも高い n 型不純物濃度を有する n 型層である。ドレイン層 4 0 は、ドリフト層 3 8 に対して下側から接している。ドレイン層 4 0 は、半導体基板 1 2 の下面 1 2 b を含む範囲に配置されている。ドレイン層 4 0 は、ドレイン電極 2 4 にオーミック接触している。

[0035] 次に、MOSFET 1 0 の動作について説明する。MOSFET 1 0 は、

ドレイン電極 24 にソース電極 22 よりも高い電位が印加された状態で使用される。各ゲート電極 18 にゲート閾値以上の電位が印加されると、ゲート絶縁膜 16 の近傍のボディ層 34 にチャネルが形成される。チャネルによって、ソース層 30 と n 型ディープ層 37 が接続される。このため、ソース層 30 からチャネル、n 型ディープ層 37、及び、ドリフト層 38 を経由してドレイン層 40 へ電子が流れる。すなわち、MOSFET 10 がオンする。各ゲート電極 18 の電位をゲート閾値以上の値からゲート閾値未満の値へ引き下げると、チャネルが消失し、電子の流れが停止する。すなわち、MOSFET 10 がオフする。

[0036] 次に、MOSFET 10 がオンするときの動作について、より詳細に説明する。チャネルが形成されると、ソース層 30 からチャネルを通して n 型ディープ層 37 に電子が流入する。電子は、n 型ディープ層 37 を上端から下端まで流れてドリフト層 38 へ流入する。したがって、n 型ディープ層 37 内には、電子が流れる経路（すなわち、電流経路）が形成されている。MOSFET 10 がオンしている状態では、ビルトインポテンシャルによって p 型トレンチ下層 35 及び p 型ディープ層 36 から n 型ディープ層 37 へ所定幅の空乏層が伸びている。n 型ディープ層 37 内の空乏層の幅が広いほど、n 型ディープ層 37 内の電流経路が狭くなる。本実施形態では、n 型ディープ層 37 がドリフト層 38 よりも高い n 型不純物濃度を有しているので、n 型ディープ層 37 内に伸びる空乏層の幅が狭い。このため、n 型ディープ層 37 内に広い電流経路が確保される。これにより、MOSFET のオン抵抗が低減される。

[0037] また、ドリフト層 38 の n 型不純物濃度が低いので、ドリフト層 38 には空乏層が広がり易い。仮に p 型トレンチ下層 35 及び p 型ディープ層 36 がドリフト層 38 に直接接していたとすると、MOSFET 10 のオン状態において p 型トレンチ下層 35 及び p 型ディープ層 36 からドリフト層 38 に比較的幅が広い空乏層が広がる。この場合、空乏層によってドリフト層 38 内の電流経路が狭められて、MOSFET 10 のオン抵抗が高くなる。これ

に対し、本実施形態では、p型トレンチ下層35及びp型ディープ層36の下部に、ドリフト層38よりも高いn型不純物濃度を有するn型ディープ層37及びn型接続層37xが設けられている。すなわち、p型トレンチ下層35及びp型ディープ層36がドリフト層38に接していない。したがって、MOSFET10のオン状態においてドリフト層38に空乏層が広がり難い。このため、本実施形態のMOSFET10では、オン抵抗がより低減される。

[0038] 次に、MOSFET10がオフするときの動作について、より詳細に説明する。チャンネルが消失すると、ボディ層34と各n型ディープ層37の界面のpn接合に逆電圧が印加される。したがって、ボディ層34から各n型ディープ層37へ空乏層が広がる。また、各p型ディープ層36は、ボディ層34と電氣的に接続されており、ボディ層34と略同じ電位を有する。したがって、チャンネルが消失すると、各p型ディープ層36と各n型ディープ層37の界面のpn接合にも逆電圧が印加される。したがって、各p型ディープ層36から各n型ディープ層37へも空乏層が広がる。さらに、各p型トレンチ下層35は、各p型ディープ層36を介してボディ層34と電氣的に接続されており、ボディ層34と略同じ電位を有する。したがって、チャンネルが消失すると、各p型トレンチ下層35と各n型ディープ層37の界面のpn接合にも逆電圧が印加される。したがって、各p型トレンチ下層35から各n型ディープ層37へも空乏層が広がる。このように、各n型ディープ層37は、ボディ層34と各p型トレンチ下層35と各p型ディープ層36から広がる空乏層によって素早く空乏化される。特に、各p型トレンチ下層35が対応するトレンチ14の下側に設けられているので、トレンチ14の底面の周辺が良好に空乏化される。これによって、トレンチ14の底面近傍における電界集中が大幅に緩和される。特に、p型トレンチ下層35の幅がトレンチ14の底面の幅とほぼ等しいので、トレンチ14の底面を覆うゲート絶縁膜16に印加される電界を好適に緩和することができる。また、ボディ層34と各p型トレンチ下層35と各p型ディープ層36から広がる空乏

層によって、各 n 型ディープ層 3 7 の全体が空乏化される。なお、各 n 型ディープ層 3 7 はドリフト層 3 8 よりも n 型不純物濃度が高いため、各 n 型ディープ層 3 7 内にはドリフト層 3 8 内よりも空乏層が広がり難い。しかしながら、各 n 型ディープ層 3 7 は p 型ディープ層 3 6 によって挟まれているので、各 n 型ディープ層 3 7 の全体が空乏化する。また、空乏層は、各 n 型ディープ層 3 7 と n 型接続層 3 7 x を介してドリフト層 3 8 へ広がる。ドリフト層 3 8 の n 型不純物濃度が低いので、ドリフト層 3 8 のほぼ全体が空乏化される。空乏化されたドリフト層 3 8 及び各 n 型ディープ層 3 7 によって、ドレイン電極 2 4 とソース電極 2 2 の間に印加される高電圧が保持される。したがって、MOSFET 1 0 は高い耐圧を有する。

[0039] また、MOSFET 1 0 がオフするときには、n 型ディープ層 3 7 から p 型トレンチ下層 3 5 に空乏層が伸びる。上述したように、p 型トレンチ下層 3 5 の p 型不純物濃度はボディ層 3 4 の p 型不純物濃度よりも高い。このため、p 型トレンチ下層 3 5 内に空乏層が広がり難く、MOSFET 1 0 のオフ状態において p 型トレンチ下層 3 5 内に非空乏化領域が残存する。特に、本実施形態では、ドレイン電極 2 4 とソース電極 2 2 の間に定格電圧が印加されたときに各 p 型トレンチ下層 3 5 内に非空乏化領域が残存するように、各 p 型トレンチ下層 3 5 内の p 型不純物の総量が設定されている。このため、図 7 に示すように、各 p 型トレンチ下層 3 5 内において、トレンチ 1 4 の底面を覆うゲート絶縁膜 1 6 に接する部分の一部に非空乏化領域 6 0 が残存する。このように MOSFET 1 0 のオフ状態においてトレンチ 1 4 の下部に非空乏化領域 6 0 が残存するので、ゲート電極 1 8 とドレイン電極 2 4 の間の静電容量（すなわち、帰還容量）が小さい。このため、MOSFET 1 0 は高速でスイッチングできる。

[0040] 次に、MOSFET 1 0 のボディダイオードがオンするときの動作について説明する。MOSFET 1 0 の内部には、コンタクト層 3 2、ボディ層 3 4、p 型ディープ層 3 6 及び p 型トレンチ下層 3 5 からなる p 型アノード層と、n 型ディープ層 3 7、n 型接続層 3 7 x、ドリフト層 3 8 及びドレイン

層40からなるn型カソード層とによって、pnダイオード（いわゆる、ボディダイオード）が形成されている。ソース電極22の電位がドレイン電極24の電位よりも高くなると、ボディダイオードがオンする。ボディダイオードがオンすると、p型アノード層からドリフト層38にホールが流入し、ドリフト層38内を下側に向かってホールが流れる。ドリフト層38とドレイン層40の界面にホールが到達すると、当該界面において結晶欠陥が成長する。本実施形態では、p型トレンチ下層35及びp型ディープ層36の下部に、ドリフト層38よりも高いn型不純物濃度を有するn型ディープ層37及びn型接続層37xが設けられている。すなわち、p型トレンチ下層35及びp型ディープ層36がドリフト層38に接していない。n型ディープ層37及びn型接続層37xによって、p型トレンチ下層35及びp型ディープ層36からドリフト層38へのホールの流入が抑制される。これによって、ドリフト層38とドレイン層40の界面における結晶欠陥の成長が抑制される。

[0041] 次に、MOSFET10の製造方法について説明する。MOSFET10は、全体がドレイン層40によって構成された半導体基板から製造される。

[0042] （半導体基板準備工程）

まず、半導体基板準備工程を実施する。半導体基板準備工程では、最初に、図8に示すように、エピタキシャル成長技術を利用して、ドレイン層40上にn型のエピタキシャル層50を形成する。次に、図9に示すように、半導体基板の上面にイオンを注入することにより、エピタキシャル層50の内部にn型ディープ層37、n型接続層37x及びp型ディープ層36を形成する。ここでは、半導体基板12の上面から離れた深さ範囲R1内にn型不純物とp型不純物を導入することによってn型ディープ層37、n型接続層37x及びp型ディープ層36を形成する。具体的には、まず、深さ範囲R1内に面的にn型不純物導入する。次に、深さ範囲R1の一部に向けてp型不純物をマスク越しにカウンタードーピングすることにより、p型ディープ層36を形成する。深さ範囲R1のうちn型のまま残存した層が、n型ディ

ープ層 37 及び n 型接続層 37x となる。また、深さ範囲 R1 の下側に残存する低濃度の n 型層がドリフト層 38 となる。また、深さ範囲 R1 の上側にも低濃度の n 型層が残存する。

[0043] 以上に説明したように、この工程では、ドリフト層 38 の上部に複数の p 型ディープ層 36 と複数の n 型ディープ層 37 が配置された構造を形成する。上側から見たときに、p 型ディープ層 36 が x 方向に沿って伸びるとともに y 方向に間隔部を空けて配置されている。n 型ディープ層 37 は、各間隔部内に配置されている。n 型接続層 37x は、p 型ディープ層 36 の下側に配置されており、n 型ディープ層 37 どうしを接続している。n 型ディープ層 37 と n 型接続層 37x の n 型不純物濃度は、ドリフト層 38 の n 型不純物濃度よりも高くなる。なお、この例に代えて、n 型ディープ層 37、n 型接続層 37x 及び p 型ディープ層 36 のそれぞれに対応したマスクを越しに n 型不純物と p 型不純物を順に導入することによって n 型ディープ層 37、n 型接続層 37x 及び p 型ディープ層 36 を形成してもよい。また、エピタキシャル層 50 をエピタキシャル成長するとき深さ範囲 R1 内の n 型不純物を予め濃く調整することで、n 型ディープ層 37 及び n 型接続層 37x を形成するためのイオン注入を省略することができる。

[0044] (ボディ層形成工程)

次に、ボディ層形成工程を実施する。ボディ層形成工程では、図 10 に示すように、半導体基板の上面に p 型不純物をイオン注入することによって、半導体基板 12 の表層部にボディ層 34 を形成する。ここでは、ボディ層 34 が複数の p 型ディープ層 36 及び複数の n 型ディープ層 37 に対して上側から接するように、ボディ層 34 を形成する。ここでは、イオン注入深さを変更しながら複数回 p 型不純物を注入することで、p 型ディープ層 36 及び n 型ディープ層 37 の上側の深さ範囲全体にボディ層 34 を形成する。図 10 の深さ D1 は、半導体基板の上面からボディ層 34 の下端までの z 方向における距離である。深さ D1 は、ボディ層形成工程における最も深いイオン注入深さである。

[0045] (拡散層形成工程)

次に、拡散層形成工程を実施する。拡散層形成工程では、図 1 1 に示すように、イオン注入技術を利用して、半導体基板の表層部に n 型不純物及び p 型不純物を導入することによってソース層 3 0 とコンタクト層 3 2 を形成する。

[0046] (トレンチ形成工程)

次に、トレンチ形成工程を実施する。トレンチ形成工程では、図 1 2 に示すように、半導体基板の上面（すなわち、エピタキシャル層 5 0 の上面）にエッチングマスク 5 2 を形成する。エッチングマスク 5 2 は、開口部 5 2 a を有している。次に、エッチングマスク 5 2 を介して半導体基板の上面をドライエッチングする。すなわち、開口部 5 2 a 内に露出する半導体基板の上面をドライエッチングする。これによって、半導体基板の上面に複数のトレンチ 1 4 を形成する。ここでは、上側からエピタキシャル層 5 0 を見たときに、トレンチ 1 4 が複数の p 型ディープ層 3 6 及び複数の n 型ディープ層 3 7 に対して交差するように、各トレンチ 1 4 を形成する。また、ここでは、各トレンチ 1 4 がソース層 3 0 とボディ層 3 4 を貫通し、各トレンチ 1 4 の下端（すなわち、底面）が p 型ディープ層 3 6 と n 型ディープ層 3 7 の深さ範囲内に位置するように、各トレンチ 1 4 を形成する。すなわち、トレンチ 1 4 の下端が n 型ディープ層 3 7 の下端及び p 型ディープ層 3 6 の下端よりも上側に位置するようにトレンチ 1 4 の深さを調整する。

[0047] (p 型トレンチ下層形成工程)

次に、p 型トレンチ下層形成工程を実施する。p 型トレンチ下層形成工程では、図 1 3、1 4 に示すように、イオン注入技術を利用して、p 型トレンチ下層 3 5 を形成する。具体的には、トレンチ形成工程で使用したエッチングマスク 5 2 をそのままイオン注入マスクとして使用して、半導体基板に対して上側から p 型不純物をイオン注入する。ここでは、トレンチ 1 4 の底面と側面が露出している状態でイオン注入を実施する。トレンチ 1 4 の底面には p 型不純物が注入される。トレンチ 1 4 の側面はイオン注入方向と略平行

であるので、トレンチ 14 の側面には p 型不純物はほとんど注入されない。半導体基板の上面はマスク 52 によって覆われているので、半導体基板の上面には p 型不純物は注入されない。したがって、トレンチ 14 の底面に選択的に p 型不純物を注入することができる。これによって、トレンチ 14 の下部に p 型トレンチ下層 35 が形成される。ここでは、イオン注入深さを変更しながら複数回 p 型不純物を注入することで、所定の厚さを有する p 型トレンチ下層 35 を形成する。ここでは、p 型ディープ層 36 と重なる深さ範囲に p 型トレンチ下層 35 を形成する。したがって、p 型トレンチ下層 35 は各 p 型ディープ層 36 に接続される。また、ここでは、p 型トレンチ下層 35 がトレンチ 14 の底面に露出するように、p 型トレンチ下層 35 を形成する。トレンチ 14 の底面と側面が露出しているので、トレンチ 14 の底面の全域に p 型不純物が注入される。したがって、トレンチ 14 の底面と略同じ幅を有する p 型トレンチ下層 35 が形成される。なお、エッチングマスク 52 は、p 型トレンチ下層形成工程の実施後に除去される。

[0048] 本実施形態では、ボディ層 34 に対するイオン注入とは別工程で p 型トレンチ下層 35 に対するイオン注入を行うので、p 型トレンチ下層 35 の p 型不純物濃度をボディ層 34 の p 型不純物濃度から独立して制御することができる。p 型トレンチ下層形成工程では、ボディ層形成工程よりも高濃度に p 型不純物を注入する。したがって、p 型トレンチ下層 35 の p 型不純物濃度がボディ層 34 の p 型不純物濃度よりも高くなる。p 型トレンチ下層 35 の p 型不純物濃度を高くすると、MOSFET 10 がオフしているときに p 型トレンチ下層 35 が空乏化し難くなる。したがって、MOSFET 10 の帰還容量を低減できる。特に、ここでは、図 7 に示すように MOSFET 10 に定格電圧が印加されたときに p 型トレンチ下層 35 のゲート絶縁膜 16 に接する部分の一部に非空乏化領域 60 が残存するように、各 p 型トレンチ下層 35 に注入する p 型不純物の総量を調整する。したがって、MOSFET 10 の帰還容量を効果的に低減できる。

[0049] また、図 13、14 の深さ D2 は、トレンチ 14 の底面から p 型トレンチ

下層 3 5 の下端までの z 方向における距離である。深さ D 2 は、p 型トレンチ下層形成工程における最も深いイオン注入深さである。本実施形態では、ボディ層 3 4 に対するイオン注入とは別工程で p 型トレンチ下層 3 5 に対するイオン注入を行うので、p 型トレンチ下層 3 5 に対するイオン注入深さ D 2 をボディ層 3 4 に対するイオン注入深さ D 1 から独立して制御することができる。本実施形態では、イオン注入深さ D 2 を、イオン注入深さ D 1 よりも浅くする。これによって、p 型トレンチ下層 3 5 の下端が n 型ディープ層 3 7 の下端よりも上側に位置するように p 型トレンチ下層 3 5 を形成することができる。すなわち、p 型トレンチ下層 3 5 の下端がドリフト層 3 8 に接しないように p 型トレンチ下層 3 5 を形成することができる。したがって、上述したようにオン状態においてドリフト層 3 8 に空乏層が広がり難くなり、MOSFET 10 のオン抵抗が低減される。

[0050] (ゲート電極形成工程)

次に、ゲート電極形成工程を実施する。ゲート電極形成工程では、図 1 5 に示すように、トレンチ 1 4 の内面を覆うゲート絶縁膜 1 6 を形成する。さらに、トレンチ 1 4 内にゲート電極 1 8 を形成する。

[0051] 次に、層間絶縁膜 2 0、ソース電極 2 2、及び、ドレイン電極 2 4 を形成する。以上の工程により、図 1 に示す MOSFET 10 が完成する。

[0052] 上記の製造方法では、エッチングマスク 5 2 をそのままイオン注入マスクとして使用するので、効率的に MOSFET 10 を製造することができる。なお、他の実施形態では、エッチングマスク 5 2 を除去した後に、半導体基板の上面にイオン注入マスクを形成してもよい。

[0053] また、上記の製造方法では、トレンチ 1 4 の底面と側面が露出している状態（すなわち、トレンチ 1 4 の底面と側面に半導体基板が露出している状態）で p 型トレンチ下層 3 5 に対するイオン注入を実施した。この構成によれば、トレンチ 1 4 の底面全体に p 型不純物を注入できるので、トレンチ 1 4 の底面の幅と略同じ幅を有する p 型トレンチ下層 3 5 を形成することができる。この構成によれば、トレンチ 1 4 の底面を覆うゲート絶縁膜 1 6 に印加

される電界を効率的に緩和できる。さらに、この構成によれば、p型トレンチ下層35の幅が必要以上に広がらないので、n型ディープ層37内に広い電流経路を確保でき、MOSFETのオン抵抗を低減できる。なお、図16に示すように、トレンチ14の底面と側面を覆う犠牲酸化膜54を形成した後にp型トレンチ下層35に対するイオン注入を実施してもよい。この構成によれば、トレンチ14の側面への不純物ソークを抑制できる。なお、この場合、トレンチ14の底面におけるp型不純物の注入範囲が狭くなる。しかしながら、犠牲酸化膜54の厚さが薄いので、この構成でもトレンチ14の底面の幅に近い幅を有するp型トレンチ下層35を形成することができる。

[0054] 以下に、変形例のMOSFETについて説明する。

[0055] 図17に示す第1変形例のMOSFETでは、トレンチ14の底面から下側に離れた位置にp型トレンチ下層35が形成されている。すなわち、図17では、トレンチ14の底面近傍の深さ範囲R2aにp型トレンチ下層35が形成されておらず、その下側の深さ範囲R2bにp型トレンチ下層35が形成されている。このように、p型トレンチ下層35がトレンチ14から離れた位置に配置されていても、帰還容量の低減、及び、電界緩和の効果が得られる。なお、p型トレンチ下層形成工程において、深さ範囲R2aにp型不純物を注入せず、深さ範囲R2bにp型不純物を注入することで、図17の構造を形成できる。

[0056] 図18に示す第2変形例のMOSFETでは、p型トレンチ下層35が第1p型トレンチ下層35aと第2p型トレンチ下層35bを有している。第1p型トレンチ下層35aは、トレンチ14の底面近傍の深さ範囲R2a内に配置されている。第2p型トレンチ下層35bは、深さ範囲R2aよりも下側の深さ範囲R2b内に配置されている。第2p型トレンチ下層35bは、第1p型トレンチ下層35aよりも高いp型不純物濃度を有する。

[0057] 図19に示す第3変形例のMOSFETでは、深さ範囲R2a内に第2p型トレンチ下層35b（すなわち、p型不純物濃度が高い層）が配置されて

おり、深さ範囲R 2 b内に第1 p型トレンチ下層3 5 a（すなわち、p型不純物濃度が低い層）が配置されている。

[0058] 図1 8、1 9のいずれのMOSFETでも、p型トレンチ下層3 5によって、帰還容量の低減、及び、電界緩和の効果が得られる。なお、図1 9のようにトレンチ1 4の底面に接する位置にp型不純物濃度が高い第2 p型トレンチ下層3 5 bが配置されている場合には、図1 8の場合よりも、帰還容量が低くなる。MOSFET 1 0の用途によって適切な帰還容量は変化する。より低い帰還容量が必要な場合には図1 9の構造を採用し、それほど低い帰還容量が必要とされない場合には図1 8の構造を採用することができる。図1 8の構造は、p型トレンチ下層形成工程において深さ範囲R 2 aに低濃度にp型不純物を注入するとともに深さ範囲R 2 bに高濃度にp型不純物を注入することで形成できる。図1 9の構造は、p型トレンチ下層形成工程において深さ範囲R 2 aに高濃度にp型不純物を注入するとともに深さ範囲R 2 bに低濃度にp型不純物を注入することで形成できる。

[0059] 図2 0に示す第4変形例のMOSFETでは、p型トレンチ下層3 5の下端がn型ディープ層3 7の下端と同じ深さに位置している。また、図2 1に示す第5変形例のMOSFETでは、p型トレンチ下層3 5の下端がn型ディープ層3 7の下端よりも下側に位置している。図2 0、2 1では、p型トレンチ下層3 5がドリフト層3 8に接している。これらの構成でも、p型トレンチ下層3 5によって、帰還容量の低減、及び、電界緩和の効果が得られる。

[0060] 図2 2に示す第6変形例のMOSFETでは、p型ディープ層3 6の下端がn型ディープ層3 7の下端と同じ深さに位置している。また、図2 3に示す第7変形例のMOSFETでは、p型ディープ層3 6の下端がn型ディープ層3 7の下端よりも下側に位置している。図2 2、2 3では、p型ディープ層3 6の下部にn型接続層3 7 xが存在しておらず、p型ディープ層3 6がドリフト層3 8に接している。これらの構成でも、p型ディープ層3 6によって高い耐圧が得られる。

[0061] 図24に示す第8変形例のMOSFETでは、n型ディープ層37が、第1n型ディープ層37aと第2n型ディープ層37bを有している。第1n型ディープ層37aは第2n型ディープ層37bの上側に配置されている。第1n型ディープ層37aは第2n型ディープ層37bよりも高いn型不純物濃度を有している。第1n型ディープ層37aは、トレンチ14の下端よりも上側に配置されている。n型不純物濃度が高い第1n型ディープ層37aを設けることで、n型ディープ層37における電流経路をより広く確保することができる。したがって、MOSFETのオン抵抗をより低減できる。

[0062] 図25に示す第9変形例のMOSFETでは、p型ディープ層36が、第1p型ディープ層36aと第2p型ディープ層36bを有している。第1p型ディープ層36aは第2p型ディープ層36bの上側に配置されている。第1p型ディープ層36aは第2p型ディープ層36bよりも高いp型不純物濃度を有している。第1p型ディープ層36aは、トレンチ14の下端よりも上側に配置されている。この構成によれば、p型ディープ層36とp型トレンチ下層35との交差部分のp型不純物濃度が極度に高くなることを防止しながら、p型ディープ層36のp型不純物濃度を部分的に高くすることができる。したがって、過度なイオン注入によるリーク電流の発生を抑制しながら、p型ディープ層36によって高い耐圧を実現することができる。

[0063] 本願明細書に開示の技術の構成を列記する。

(構成1)

電界効果トランジスタの製造方法であって、

n型ドリフト層と複数のp型ディープ層と複数のn型ディープ層を有する半導体基板であって、前記n型ドリフト層の上部に複数の前記p型ディープ層と複数の前記n型ディープ層が配置されており、上側から前記半導体基板を見たときに前記各p型ディープ層が第1方向に沿って伸びるとともに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記各n型ディープ層が対応する前記間隔部内に配置されており、前記各n型ディープ層のn型不純物濃度が前記n型ドリフト層のn型不純物濃度よりも高

い前記半導体基板を準備する半導体基板準備工程と、

前記半導体基板に対して p 型不純物をイオン注入することによって、複数の前記 p 型ディープ層と複数の前記 n 型ディープ層に対して上側から接する p 型のボディ層を形成するボディ層形成工程と、

前記半導体基板の上面にトレンチを形成するトレンチ形成工程であって、上側から前記半導体基板を見たときに前記トレンチが複数の前記 p 型ディープ層に対して交差し、前記トレンチが前記ボディ層を貫通し、前記トレンチの下端が複数の前記 p 型ディープ層の下端よりも上側に位置するように前記トレンチを形成するトレンチ形成工程と、

前記半導体基板の前記上面をイオン注入マスクで覆った状態で前記トレンチの底面に p 型不純物を注入することによって、前記トレンチの下側に前記各 p 型ディープ層に接続されている p 型トレンチ下層を形成する p 型トレンチ下層形成工程と、

前記トレンチ内に、ゲート絶縁膜とゲート電極を形成するゲート電極形成工程、

を有し、

前記 p 型トレンチ下層形成工程では、前記ボディ層形成工程よりも高濃度に p 型不純物を注入する、

製造方法。

(構成 2)

前記 p 型トレンチ下層形成工程におけるイオン注入深さが、前記ボディ層形成工程におけるイオン注入深さよりも浅い、構成 1 に記載の製造方法。

(構成 3)

前記 p 型トレンチ下層形成工程では、前記 p 型トレンチ下層の下端が前記各 n 型ディープ層の下端よりも上側に位置するように前記 p 型トレンチ下層を形成する、構成 1 または 2 に記載の製造方法。

(構成 4)

前記 p 型トレンチ下層形成工程では、前記 p 型トレンチ下層が前記トレン

チの前記底面において接するように前記 p 型トレンチ下層を形成し、

前記 p 型トレンチ下層内の p 型不純物の総量が、前記電界効果トランジスタに定格電圧が印加されたときに前記 p 型トレンチ下層の前記ゲート絶縁膜に接する部分の一部に非空乏化領域が残存するように設定されている、

構成 1 ～ 3 のいずれか一項に記載の製造方法。

(構成 5)

前記 p 型トレンチ下層形成工程では、

第 1 p 型トレンチ下層と第 2 p 型トレンチ下層を有する前記 p 型トレンチ下層を形成し、

前記第 2 p 型トレンチ下層が、前記第 1 p 型トレンチ下層よりも p 型不純物濃度が高く、前記第 1 p 型トレンチ下層の上側または下側に位置する、

構成 1 ～ 4 のいずれか一項に記載の製造方法。

(構成 6)

前記 p 型トレンチ下層形成工程では、前記トレンチの前記底面と側面が露出している状態で前記トレンチの前記底面に p 型不純物を注入する、構成 1 ～ 5 のいずれか一項に記載の製造方法。

(構成 7)

前記トレンチ形成工程では、前記半導体基板の前記上面にエッチングマスクを形成し、前記エッチングマスクを介して前記半導体基板の前記上面をエッチングすることによって前記トレンチを形成し、

前記 p 型トレンチ下層形成工程では、前記エッチングマスクを前記イオン注入マスクとして使用する、

構成 1 ～ 6 のいずれか一項に記載の製造方法。

(構成 8)

前記半導体基板準備工程では、n 型接続層を有する前記半導体基板を準備し、

前記 n 型接続層が、前記各 p 型ディープ層の下側に配置されており、前記 n 型ディープ層どうしを接続しており、

前記 n 型接続層の n 型不純物濃度が前記 n 型ドリフト層の n 型不純物濃度よりも高い、

構成 1 ～ 7 のいずれか一項に記載の製造方法。

[0064] 以上、実施形態について詳細に説明したが、これらは例示にすぎず、請求の範囲を限定するものではない。請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

請求の範囲

[請求項1]

電界効果トランジスタの製造方法であって、

n型ドリフト層（38）と複数のp型ディープ層（36）と複数のn型ディープ層（37）を有する半導体基板であって、前記n型ドリフト層の上部に複数の前記p型ディープ層と複数の前記n型ディープ層が配置されており、上側から前記半導体基板を見たときに前記各p型ディープ層が第1方向に沿って伸びるとともに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記各n型ディープ層が対応する前記間隔部内に配置されており、前記各n型ディープ層のn型不純物濃度が前記n型ドリフト層のn型不純物濃度よりも高い前記半導体基板を準備する半導体基板準備工程と、

前記半導体基板に対してp型不純物をイオン注入することによって、複数の前記p型ディープ層と複数の前記n型ディープ層に対して上側から接するp型のボディ層（34）を形成するボディ層形成工程と、

前記半導体基板の上面にトレンチ（14）を形成するトレンチ形成工程であって、上側から前記半導体基板を見たときに前記トレンチが複数の前記p型ディープ層に対して交差し、前記トレンチが前記ボディ層を貫通し、前記トレンチの下端が複数の前記p型ディープ層の下端よりも上側に位置するように前記トレンチを形成するトレンチ形成工程と、

前記半導体基板の前記上面をイオン注入マスクで覆った状態で前記トレンチの底面にp型不純物を注入することによって、前記トレンチの下側に前記各p型ディープ層に接続されているp型トレンチ下層（35）を形成するp型トレンチ下層形成工程と、

前記トレンチ内に、ゲート絶縁膜（16）とゲート電極（18）を形成するゲート電極形成工程、

を有し、

前記 p 型トレンチ下層形成工程では、前記ボディ層形成工程よりも高濃度に p 型不純物を注入する、
製造方法。

[請求項2] 前記 p 型トレンチ下層形成工程におけるイオン注入深さが、前記ボディ層形成工程におけるイオン注入深さよりも浅い、請求項 1 に記載の製造方法。

[請求項3] 前記 p 型トレンチ下層形成工程では、前記 p 型トレンチ下層の下端が前記各 n 型ディープ層の下端よりも上側に位置するように前記 p 型トレンチ下層を形成する、請求項 1 または 2 に記載の製造方法。

[請求項4] 前記 p 型トレンチ下層形成工程では、前記 p 型トレンチ下層が前記トレンチの前記底面に接するように前記 p 型トレンチ下層を形成し、
前記 p 型トレンチ下層内の p 型不純物の総量が、前記電界効果トランジスタに定格電圧が印加されたときに前記 p 型トレンチ下層の前記ゲート絶縁膜に接する部分の一部に非空乏化領域（60）が残存するように設定されている、
請求項 1 または 2 に記載の製造方法。

[請求項5] 前記 p 型トレンチ下層形成工程では、
第 1 p 型トレンチ下層（35a）と第 2 p 型トレンチ下層（35b）を有する前記 p 型トレンチ下層を形成し、
前記第 2 p 型トレンチ下層が、前記第 1 p 型トレンチ下層よりも p 型不純物濃度が高く、前記第 1 p 型トレンチ下層の上側または下側に位置する、
請求項 1 または 2 に記載の製造方法。

[請求項6] 前記 p 型トレンチ下層形成工程では、前記トレンチの前記底面と側面が露出している状態で前記トレンチの前記底面に p 型不純物を注入する、請求項 1 または 2 に記載の製造方法。

[請求項7] 前記トレンチ形成工程では、前記半導体基板の前記上面にエッチングマスクを形成し、前記エッチングマスクを介して前記半導体基板の

前記上面をエッチングすることによって前記トレンチを形成し、

前記 p 型トレンチ下層形成工程では、前記エッチングマスクを前記イオン注入マスクとして使用する、

請求項 1 または 2 に記載の製造方法。

[請求項 8]

前記半導体基板準備工程では、n 型接続層（37x）を有する前記半導体基板を準備し、

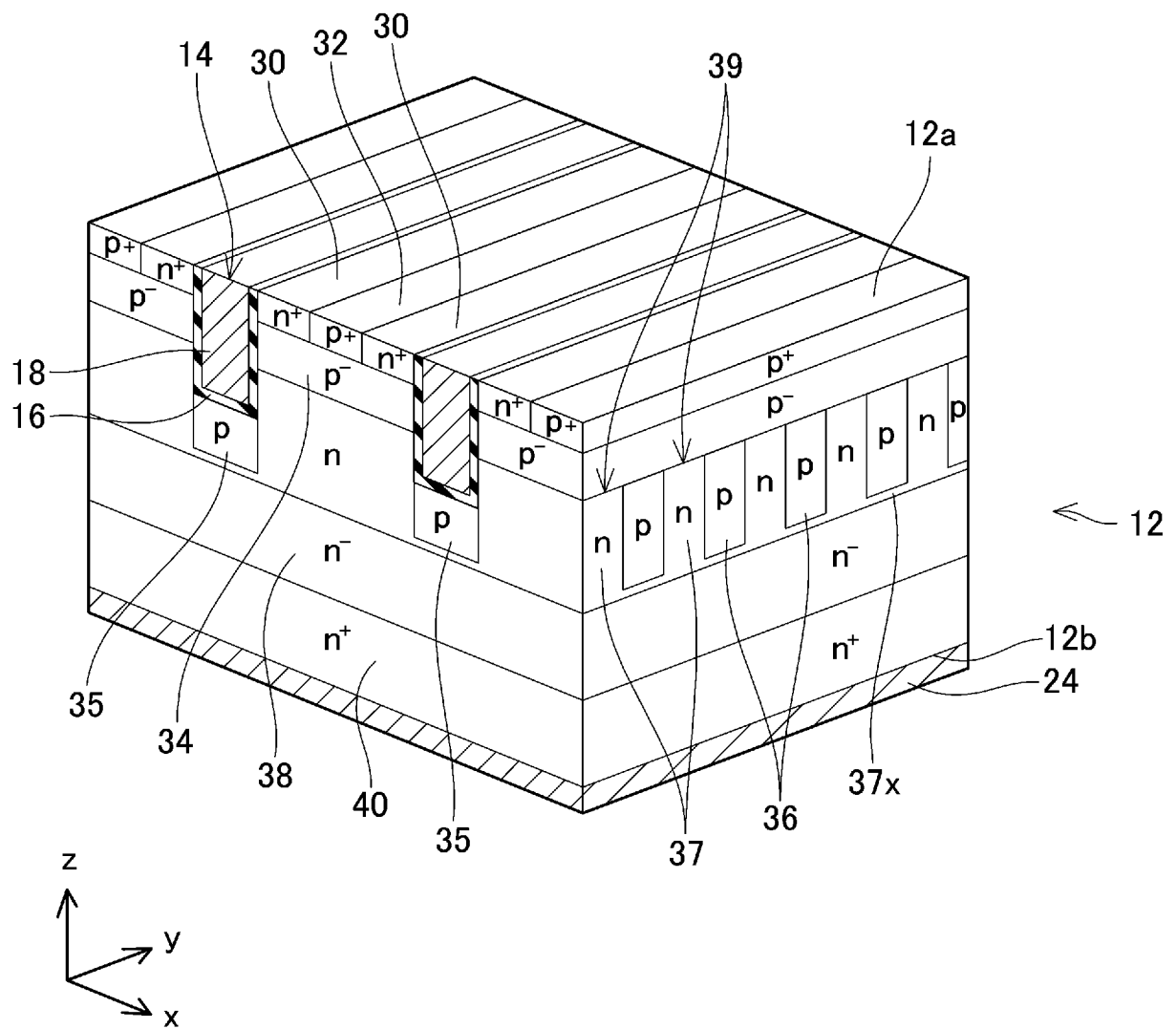
前記 n 型接続層が、前記各 p 型ディープ層の下側に配置されており、前記 n 型ディープ層どうしを接続しており、

前記 n 型接続層の n 型不純物濃度が前記 n 型ドリフト層の n 型不純物濃度よりも高い、

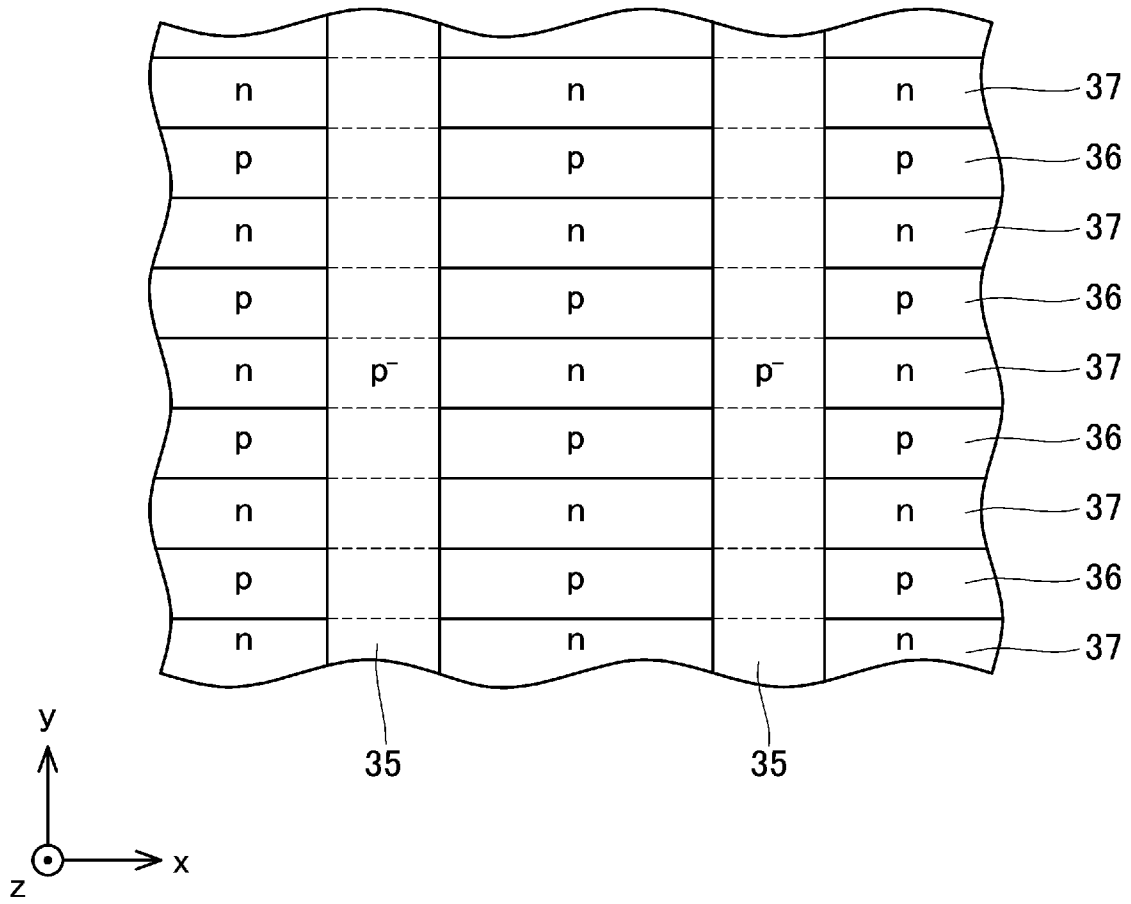
請求項 1 または 2 に記載の製造方法。

[図2]

10

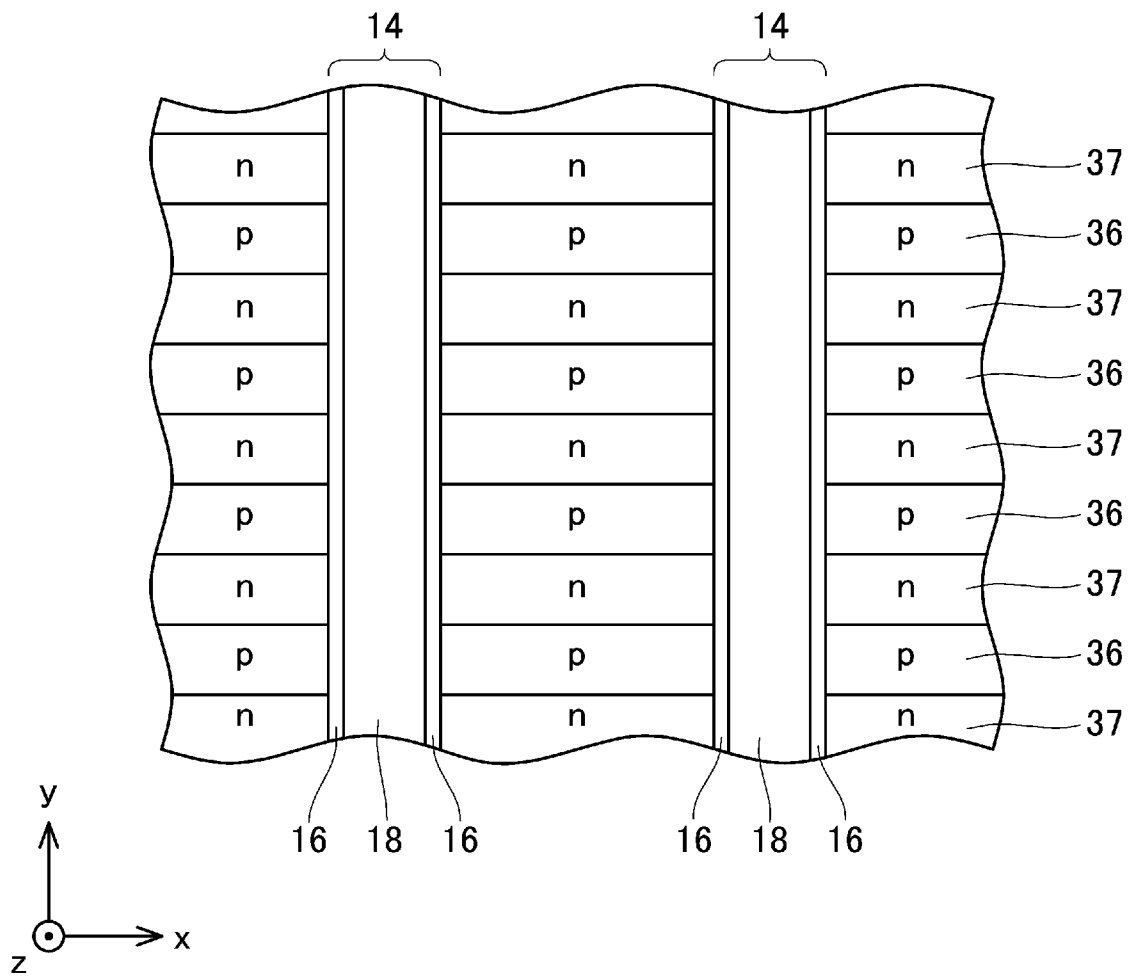


[図3]

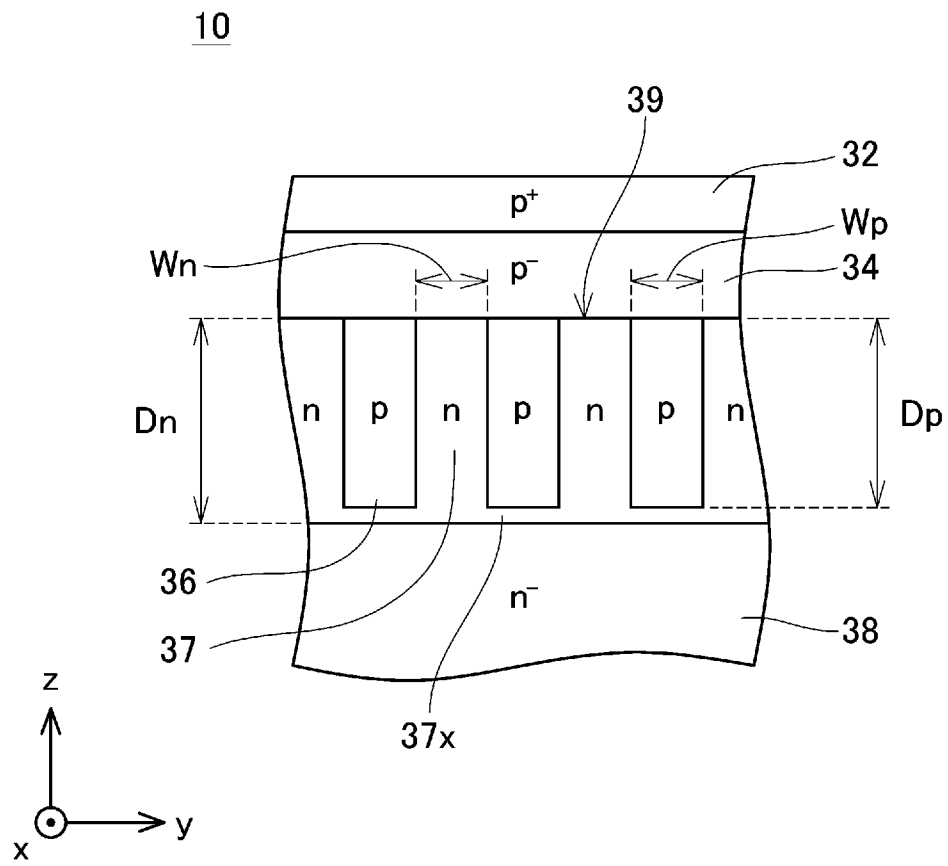
10

[図4]

10

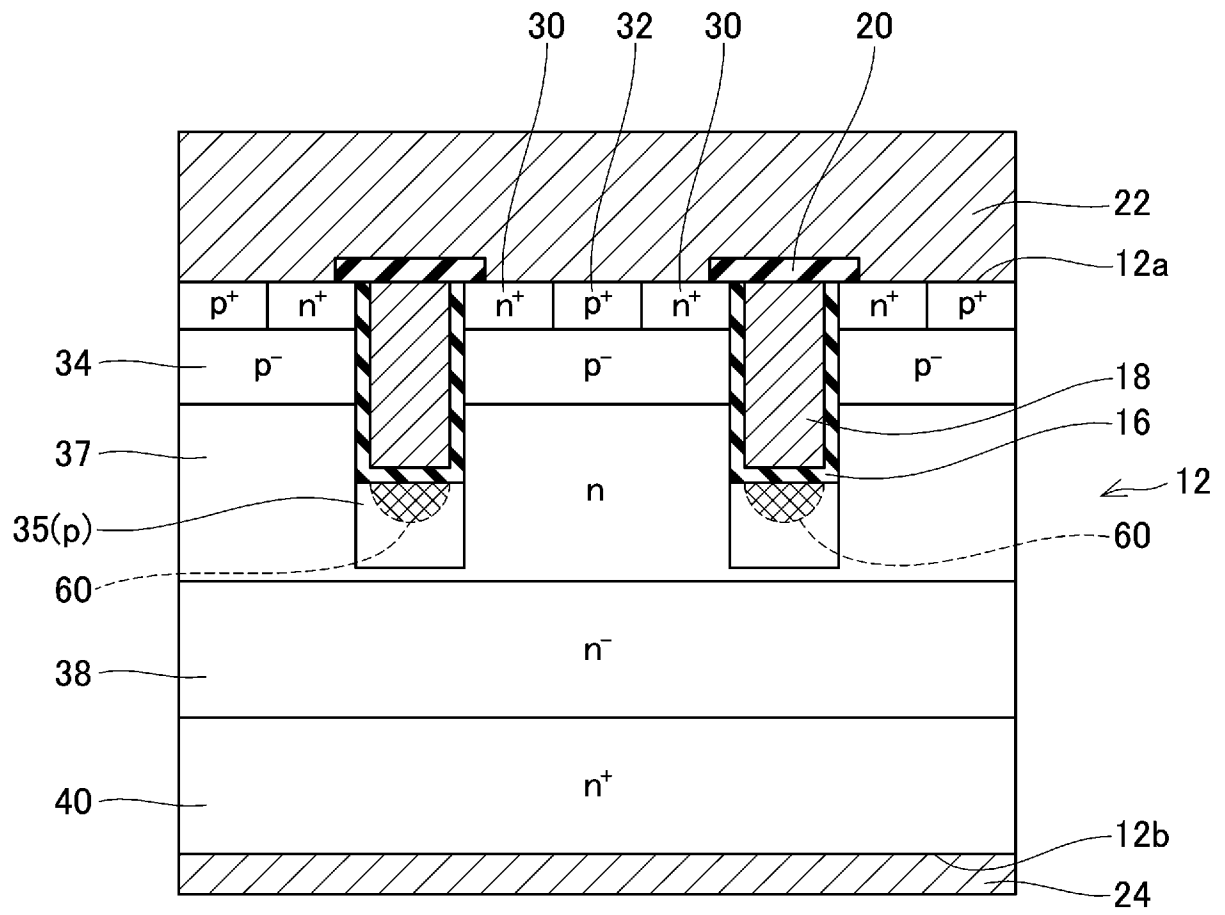


[図5]

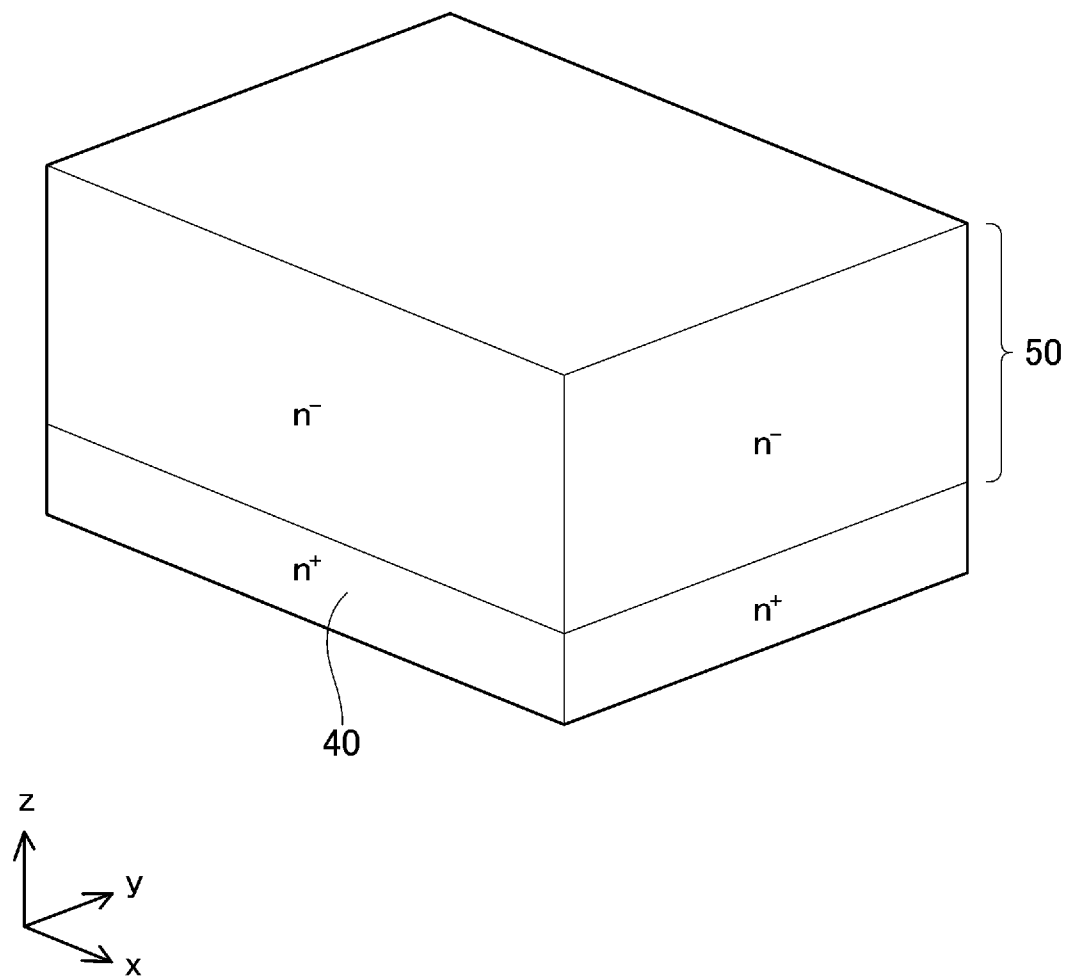


[図7]

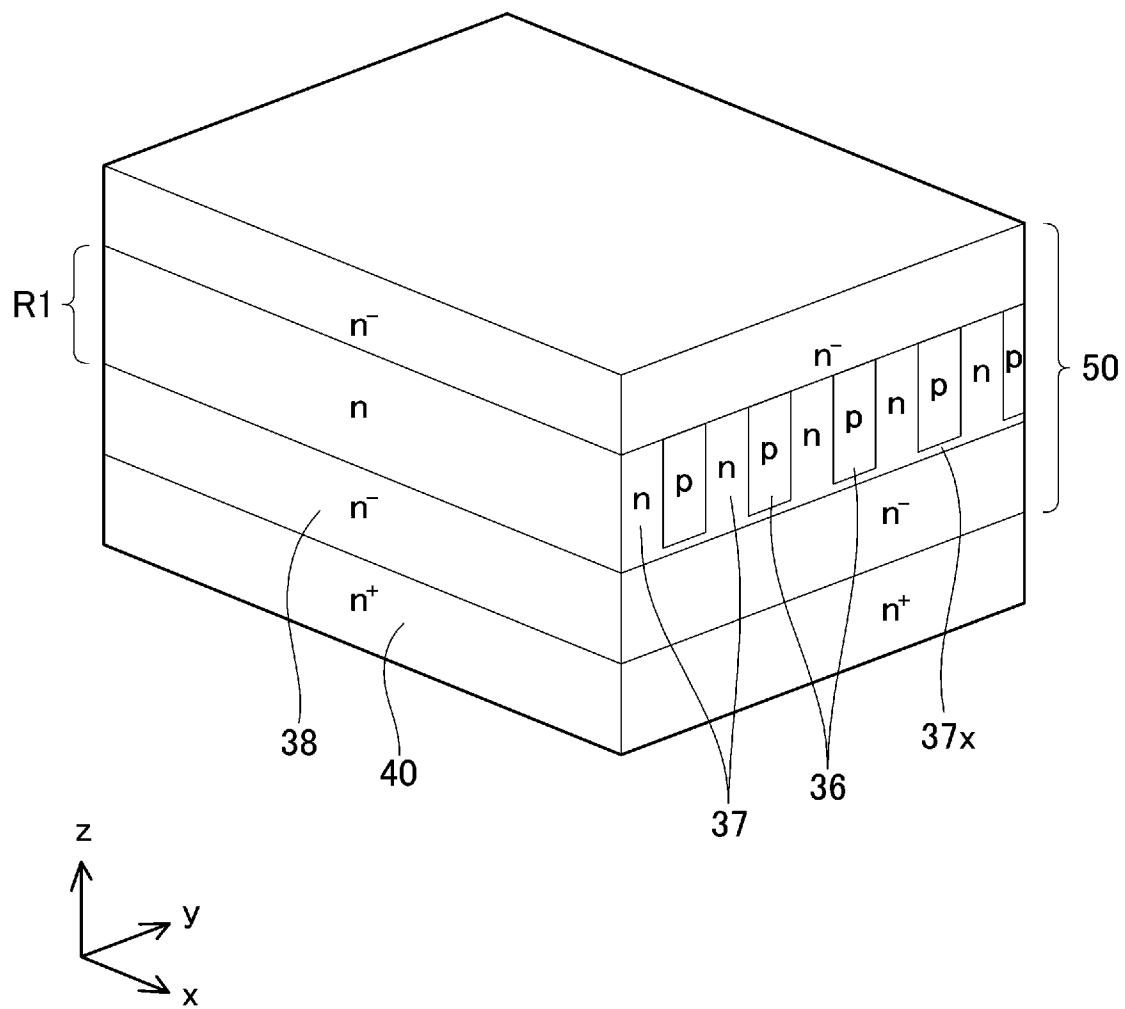
10



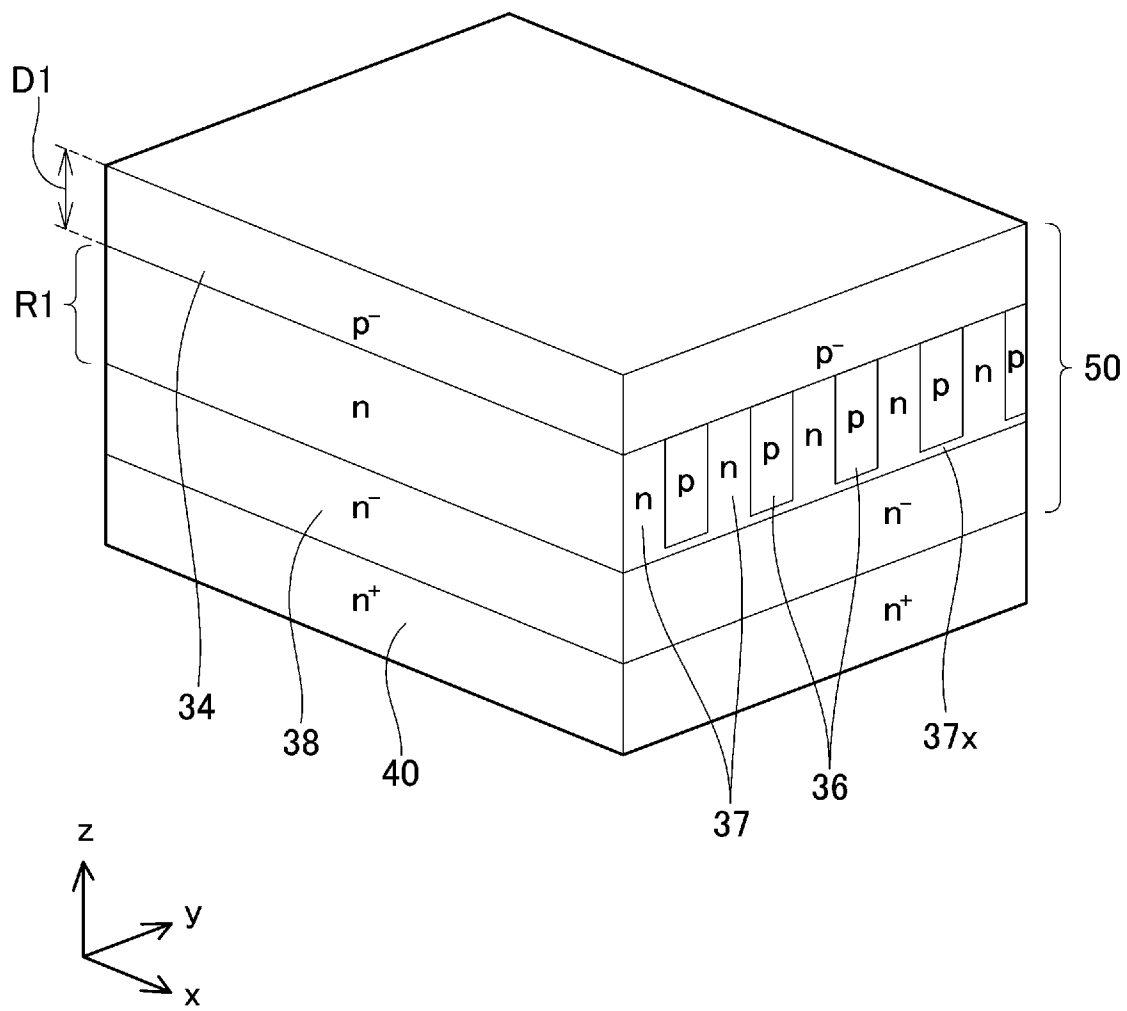
[図8]



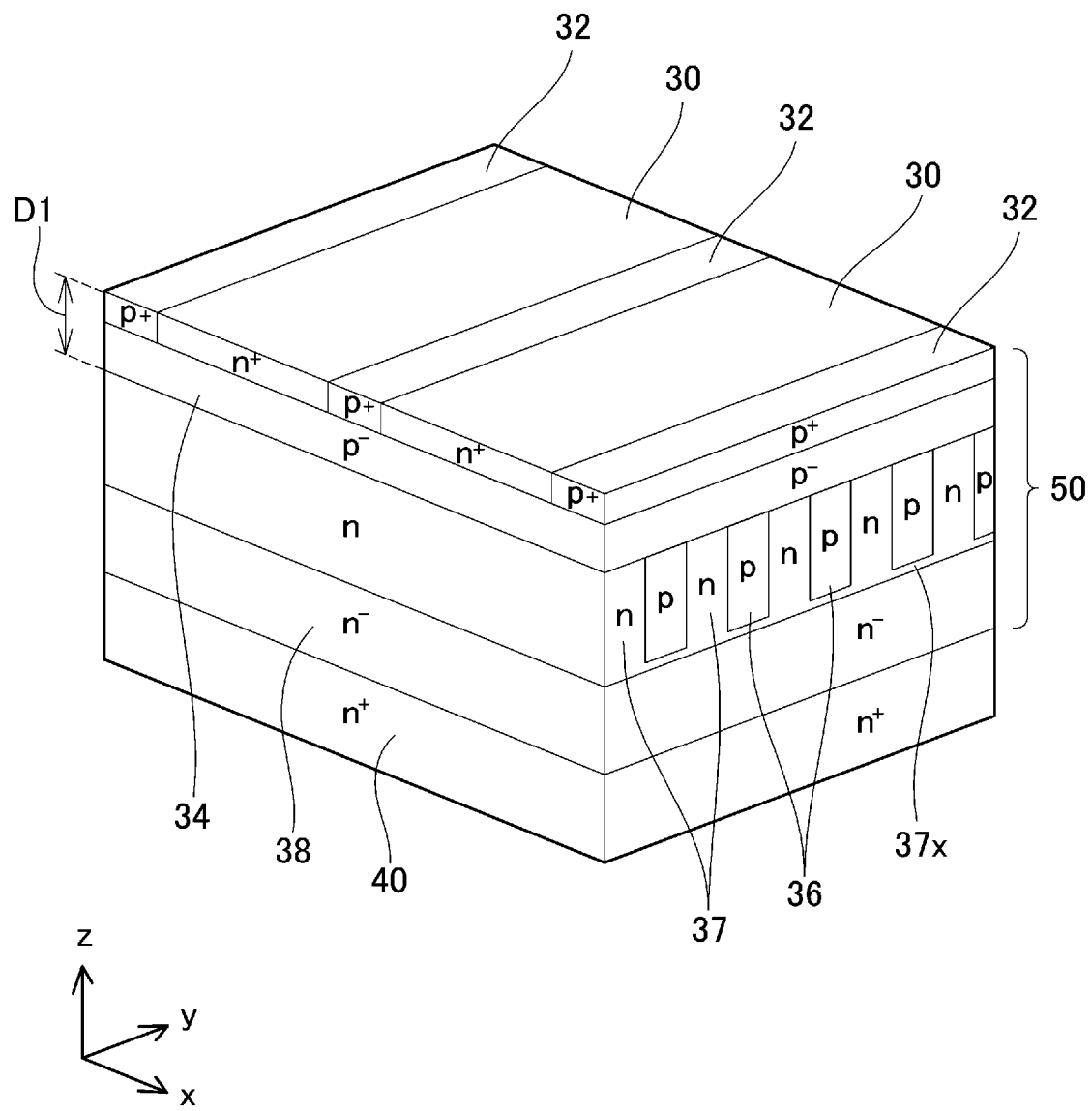
[図9]



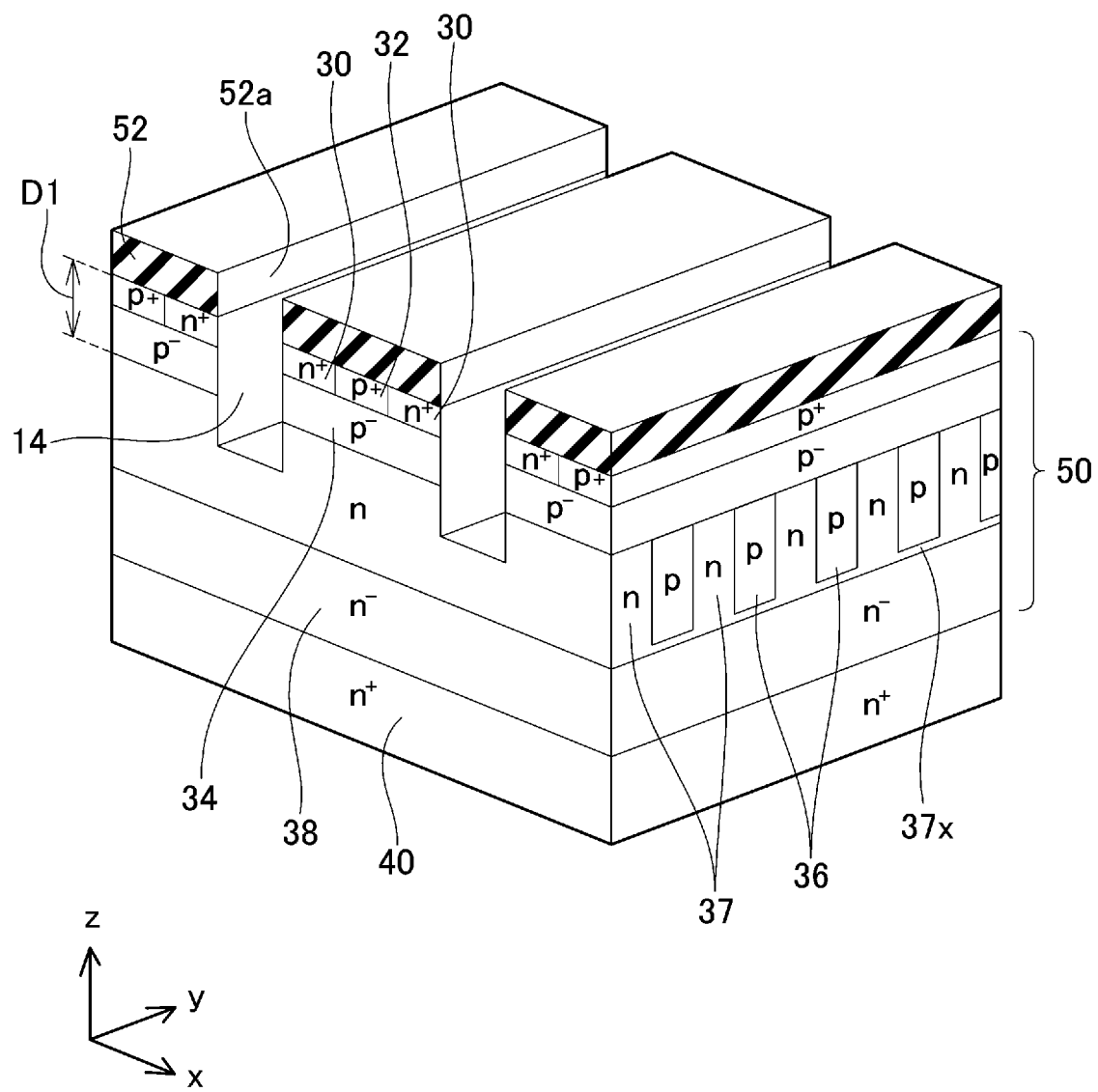
[図10]



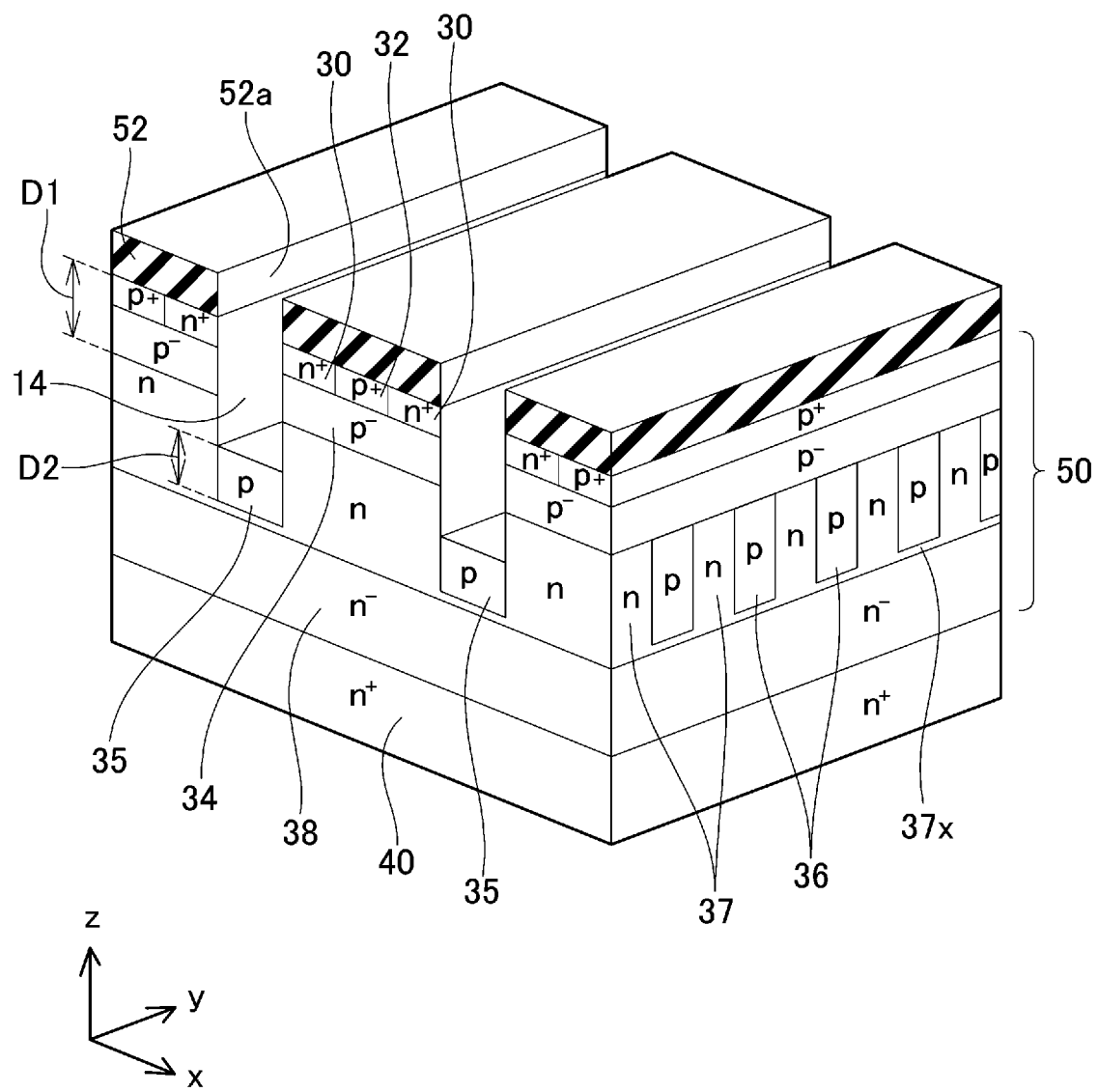
[図11]



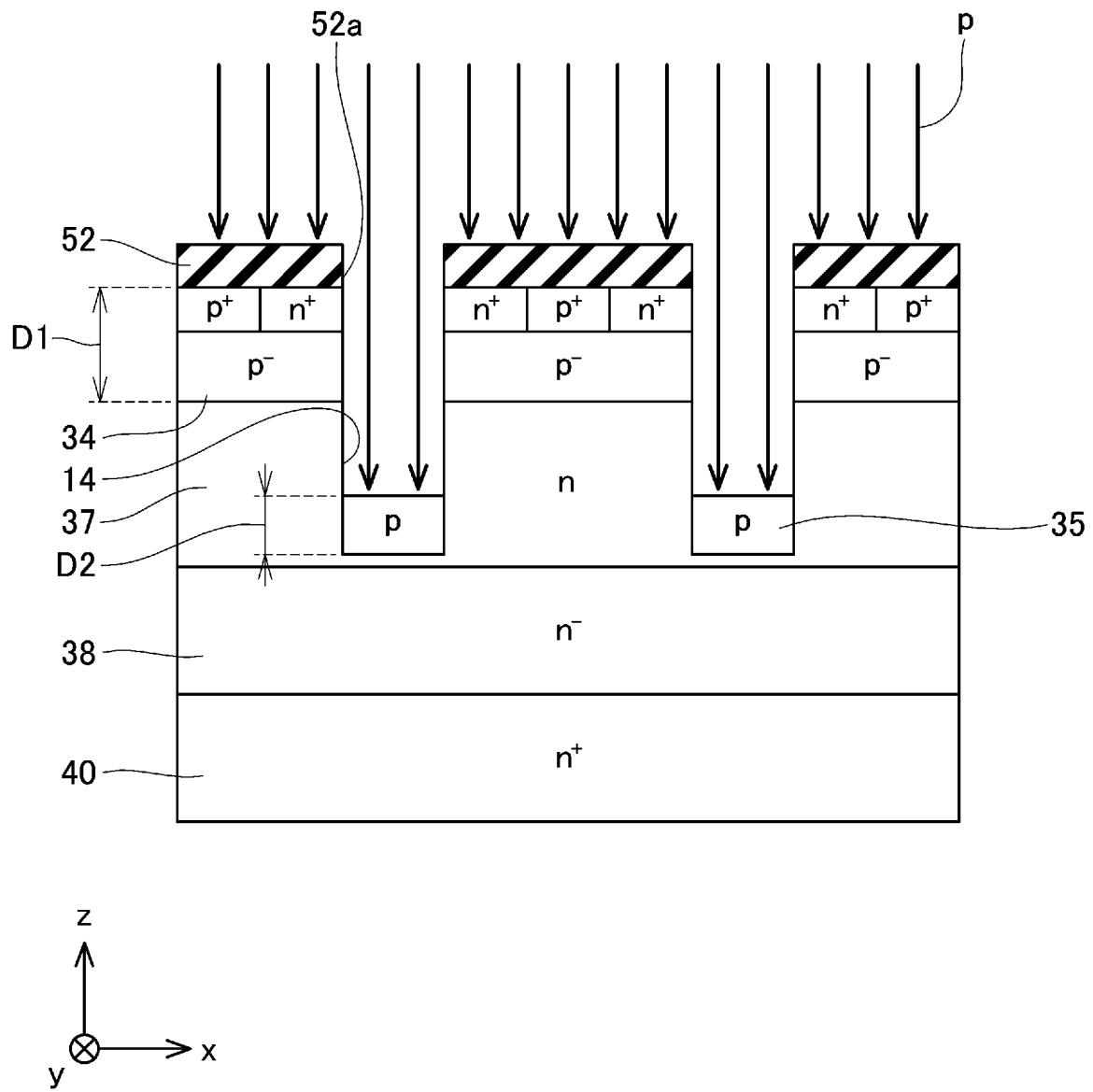
[図12]



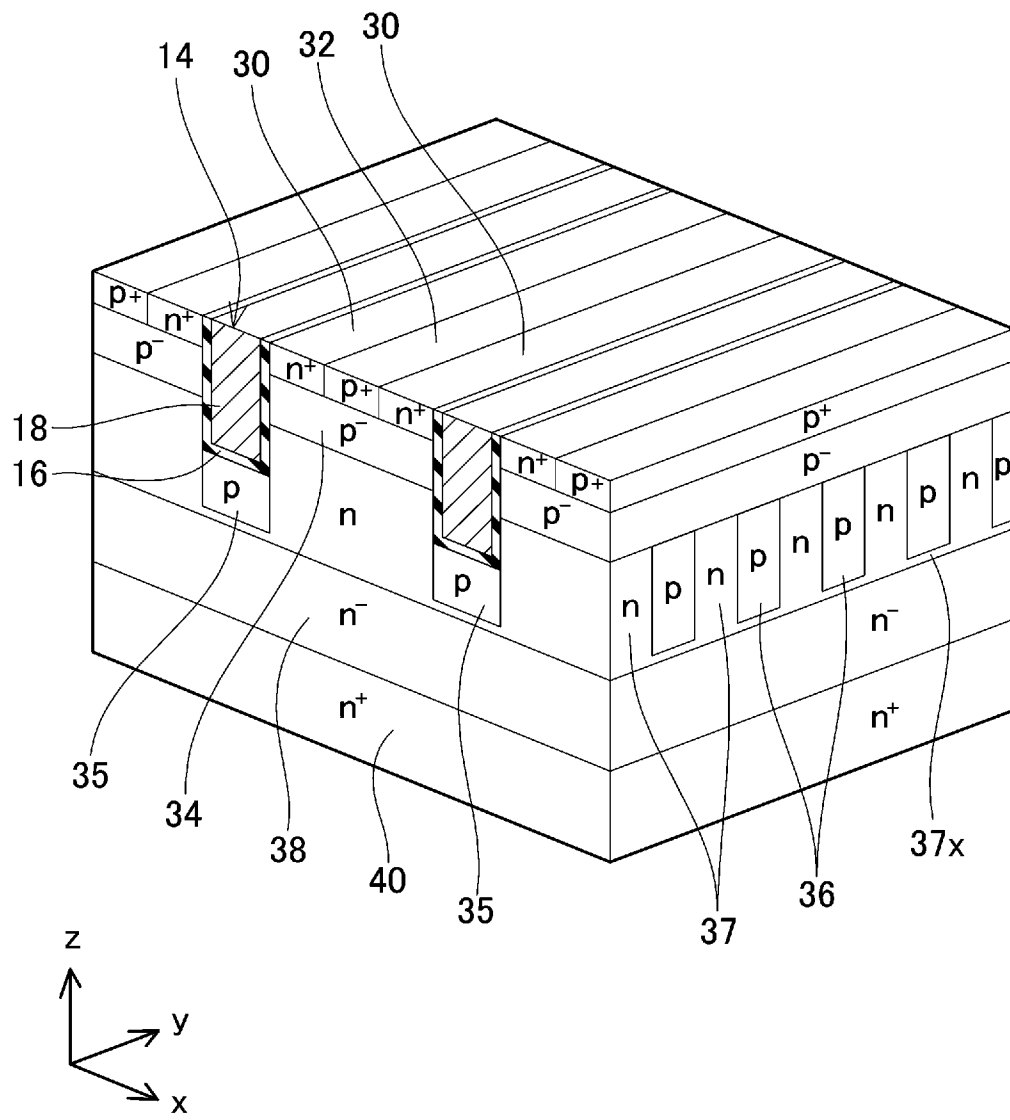
[図13]



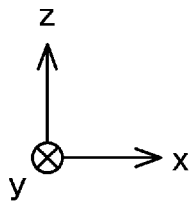
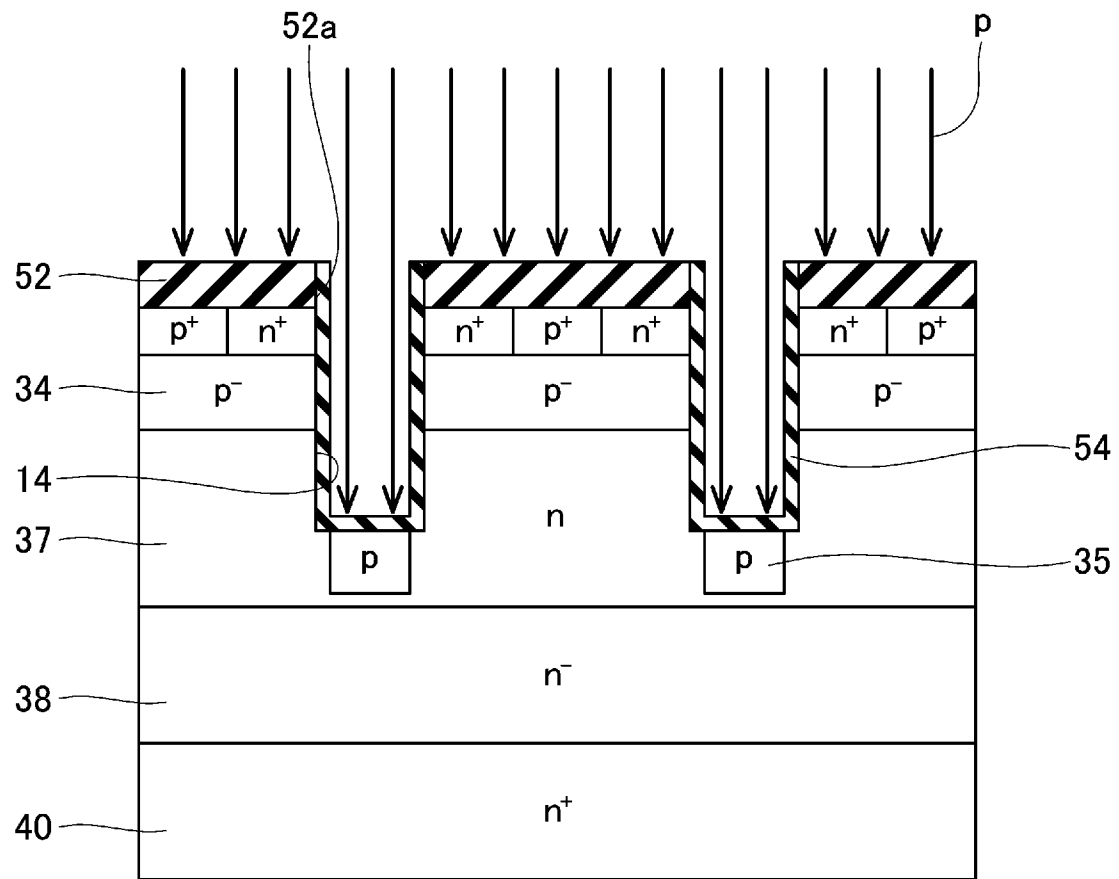
[図14]



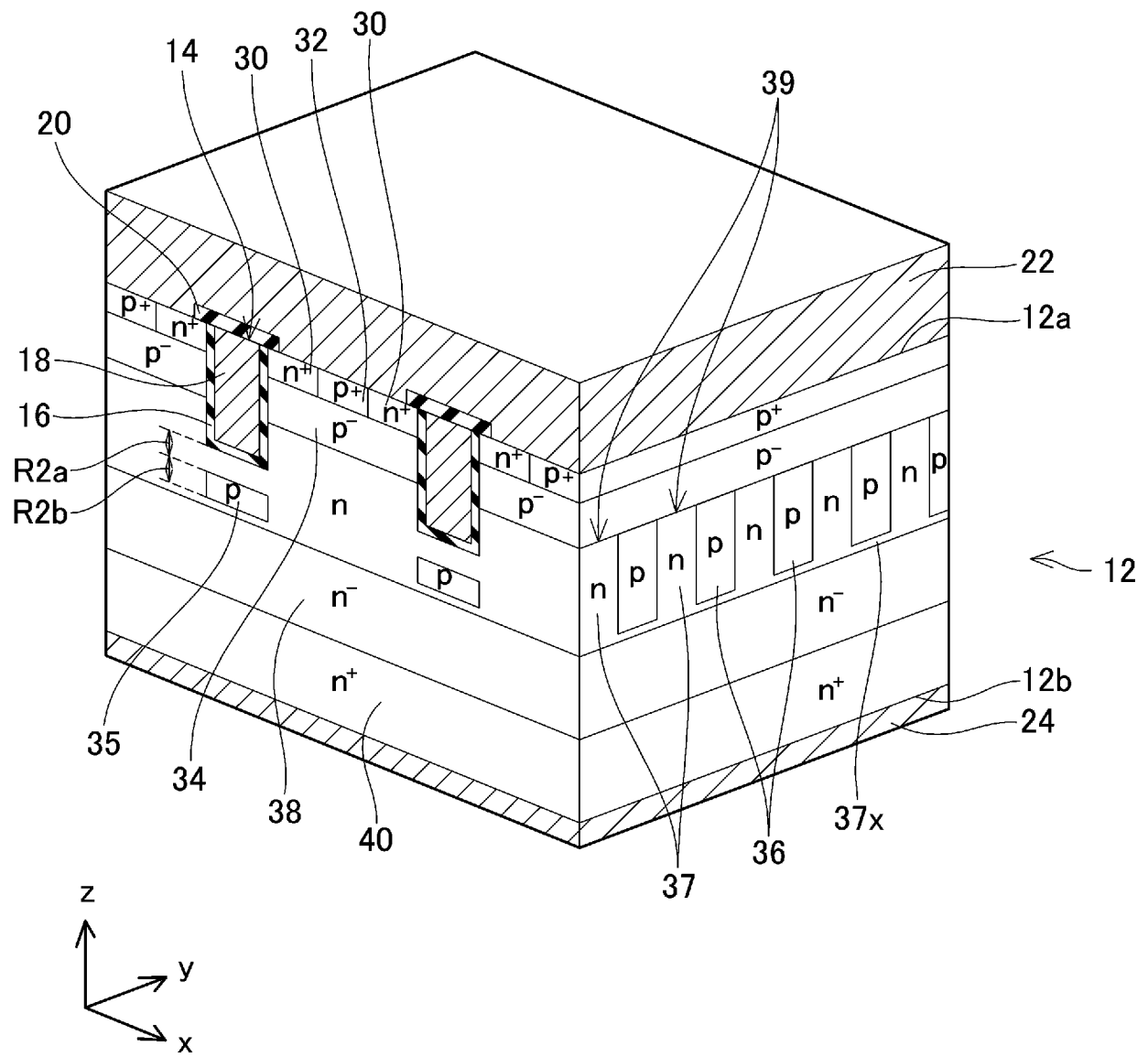
[図15]



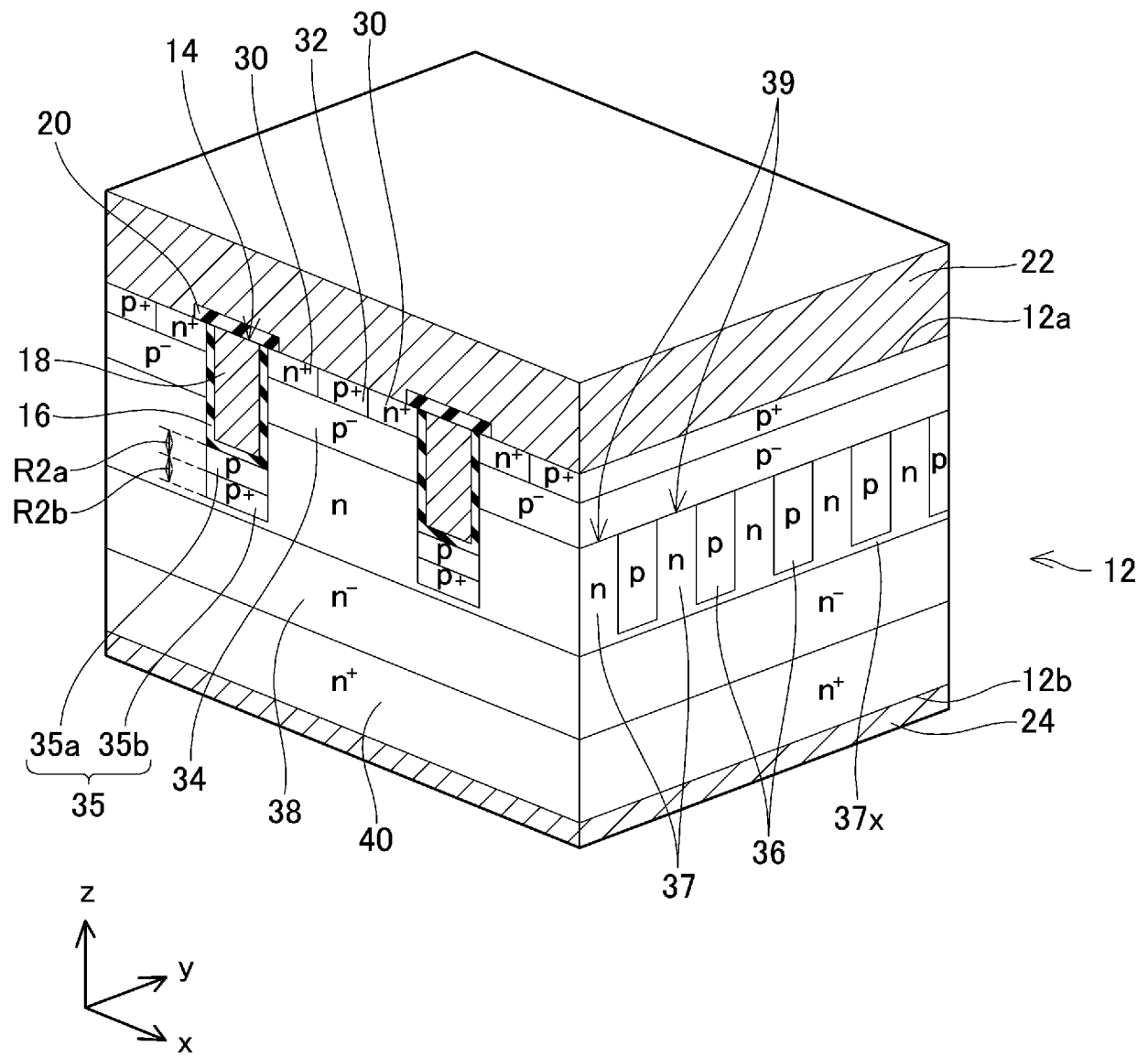
[図16]



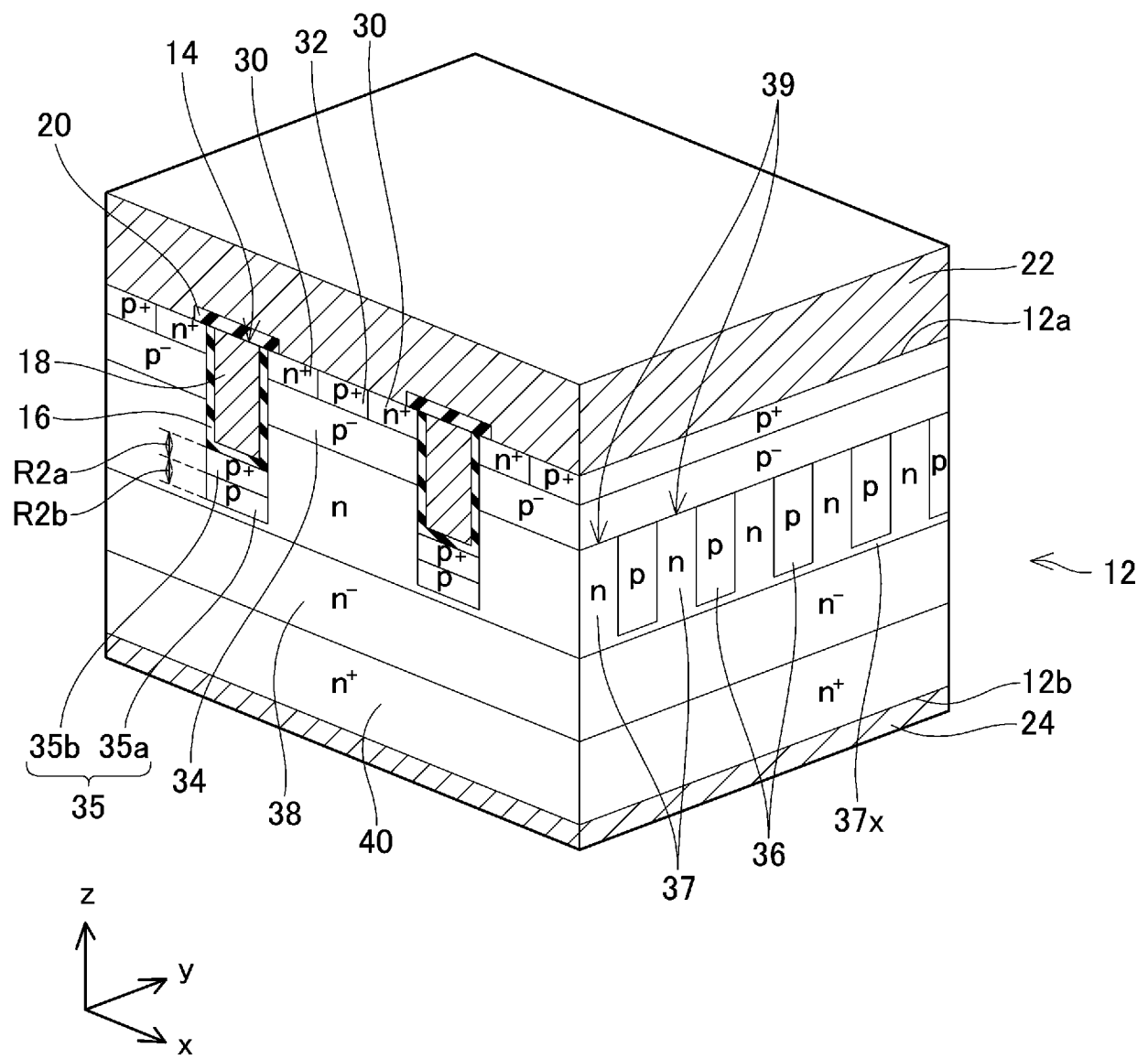
[図17]



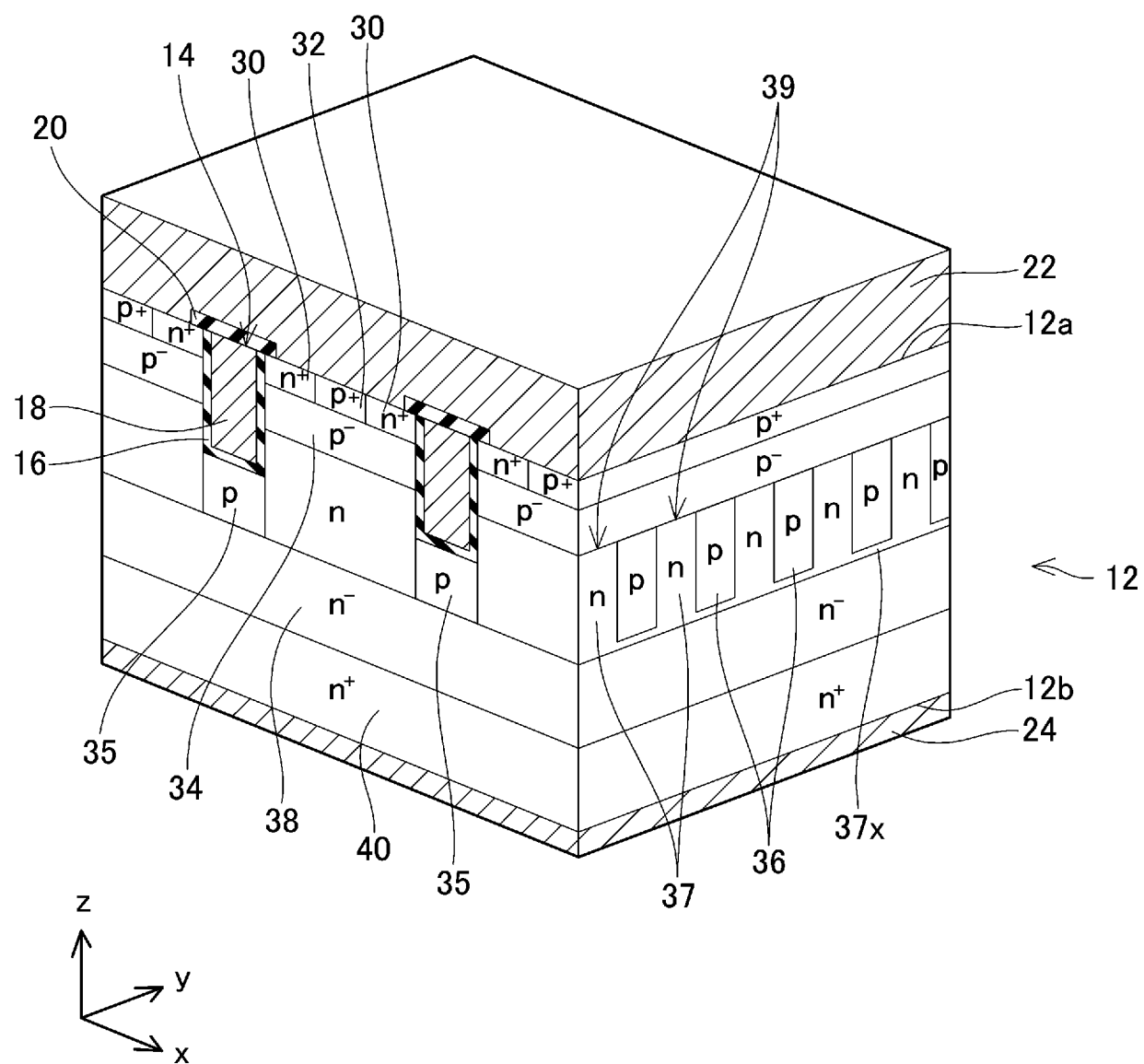
[図18]



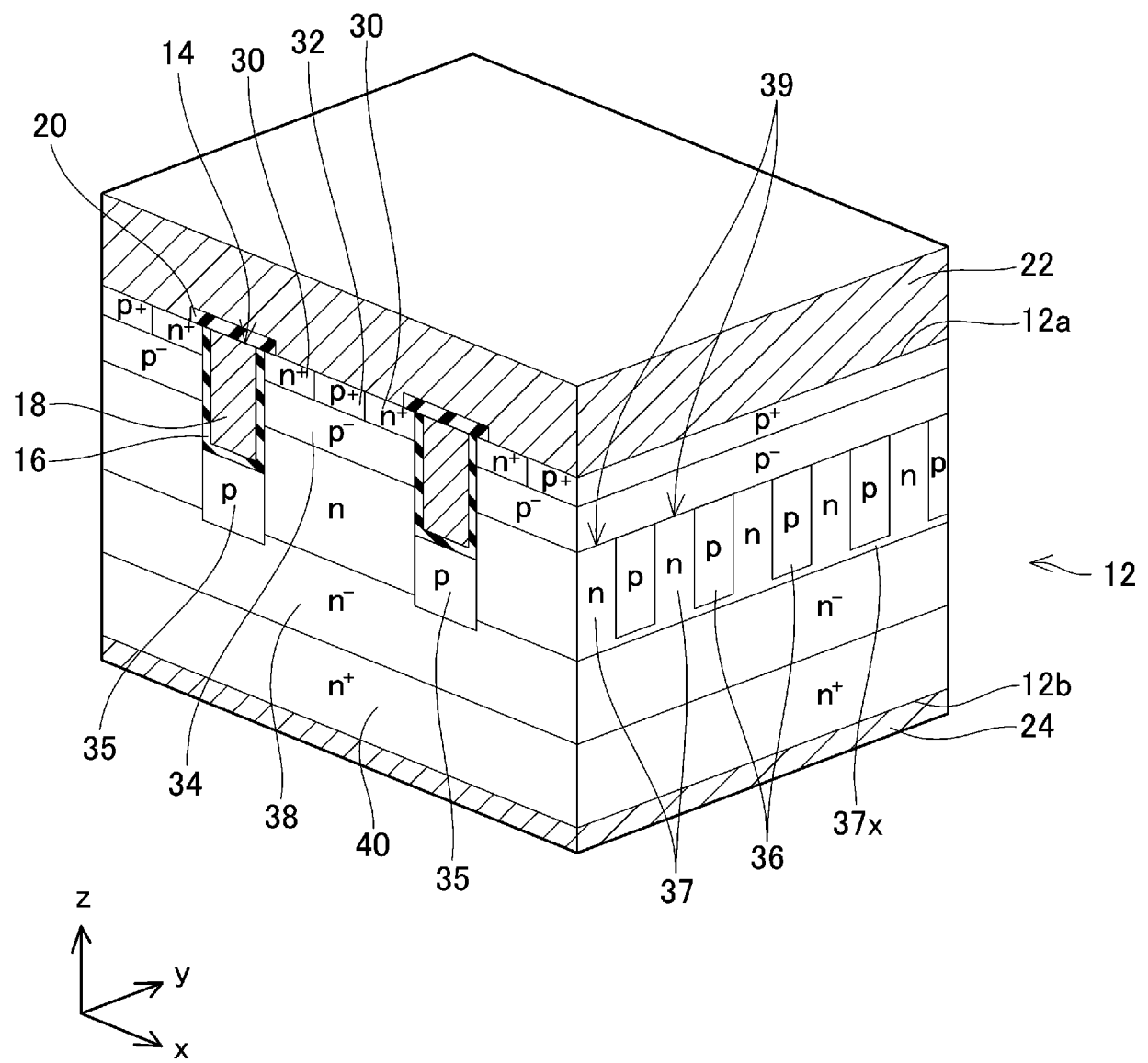
[図19]



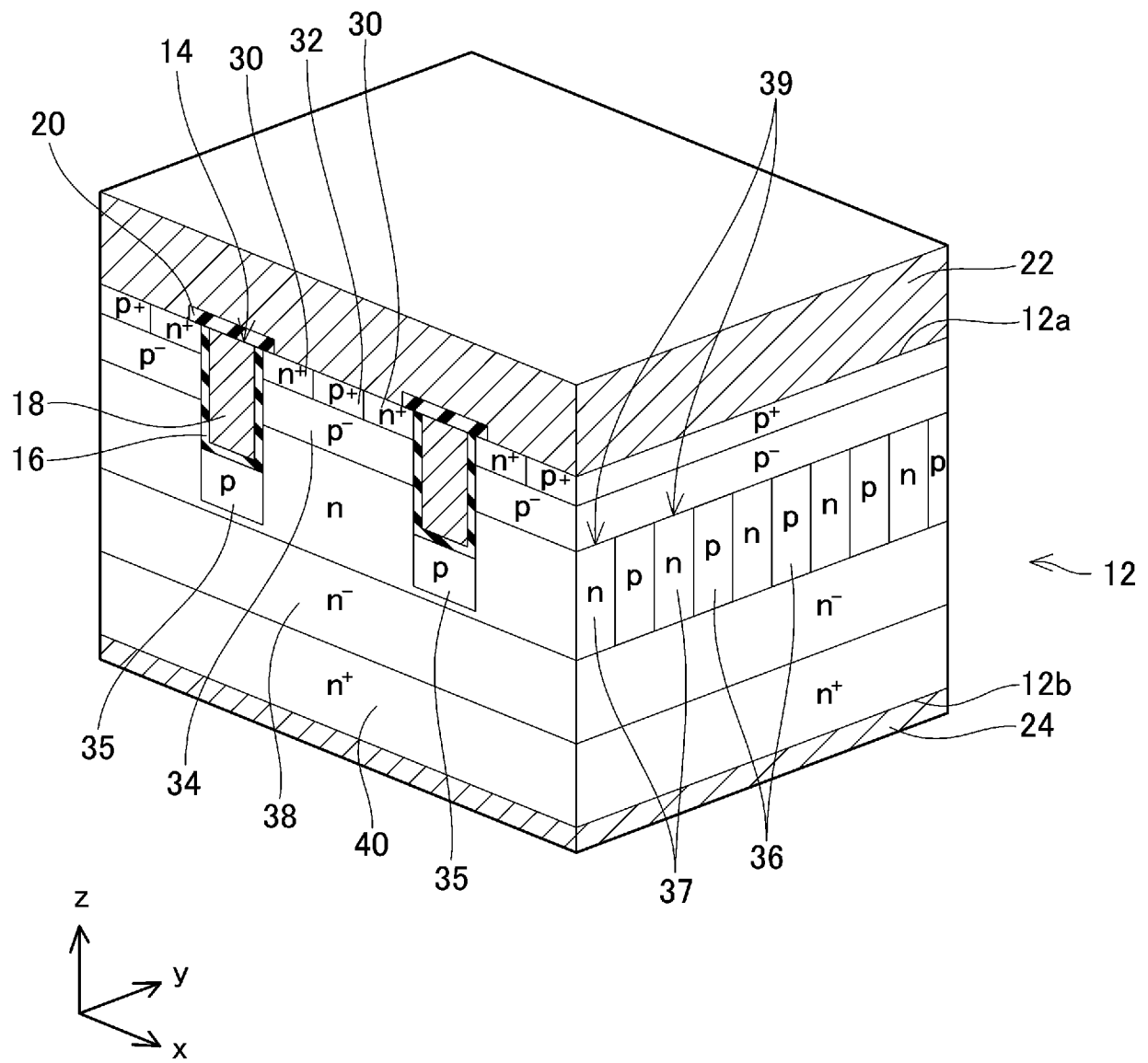
[図20]



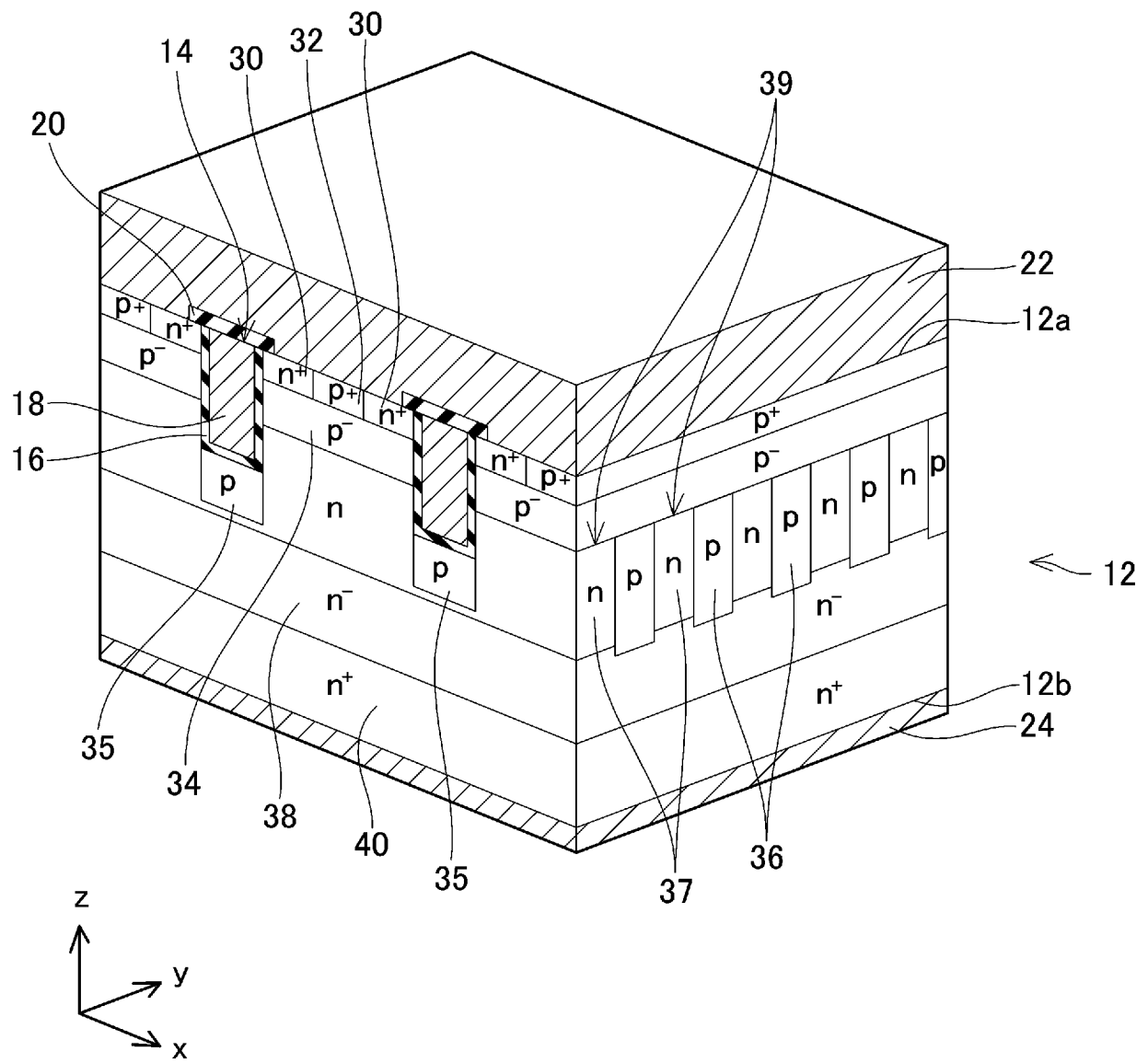
[図21]



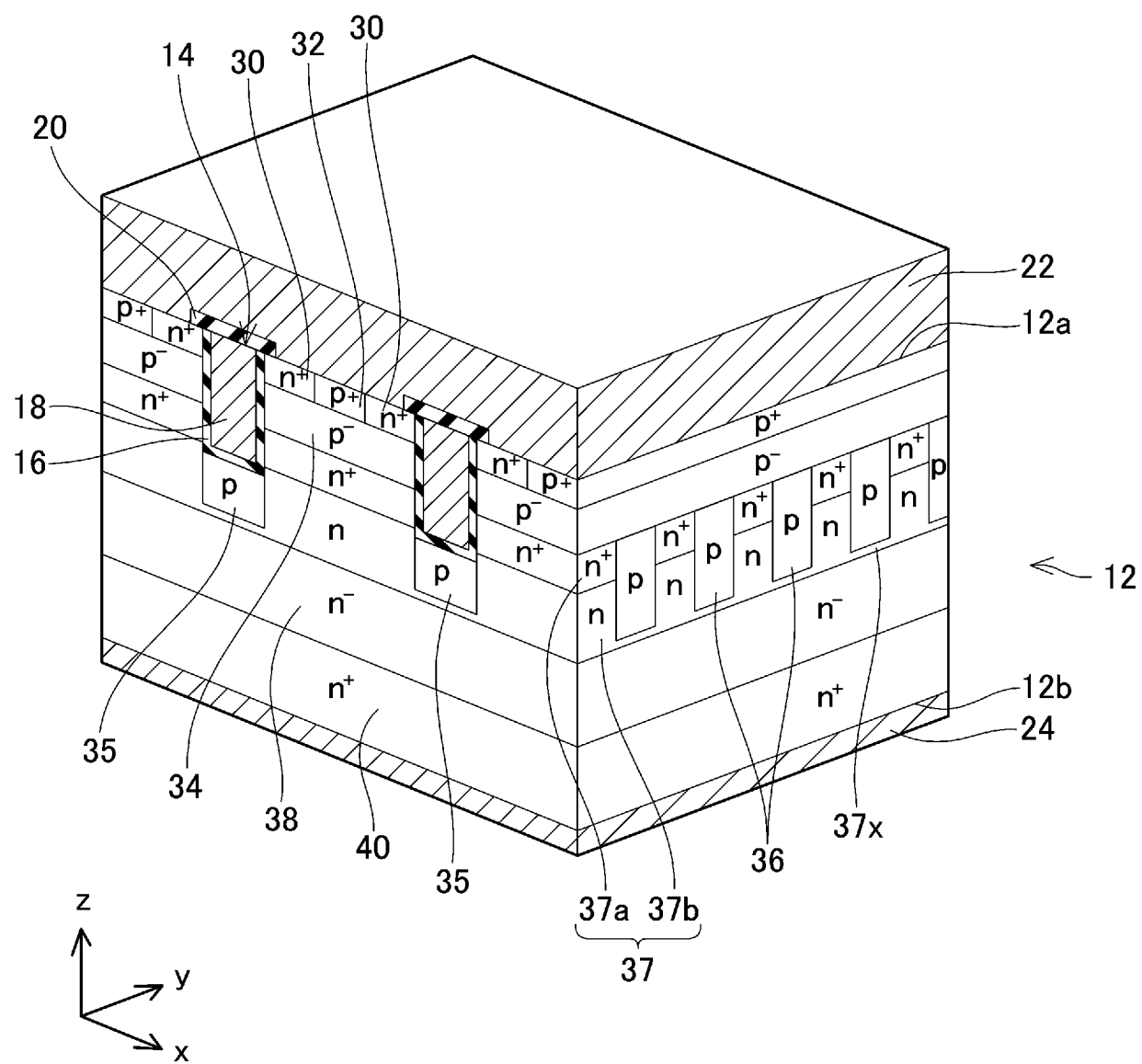
[図22]



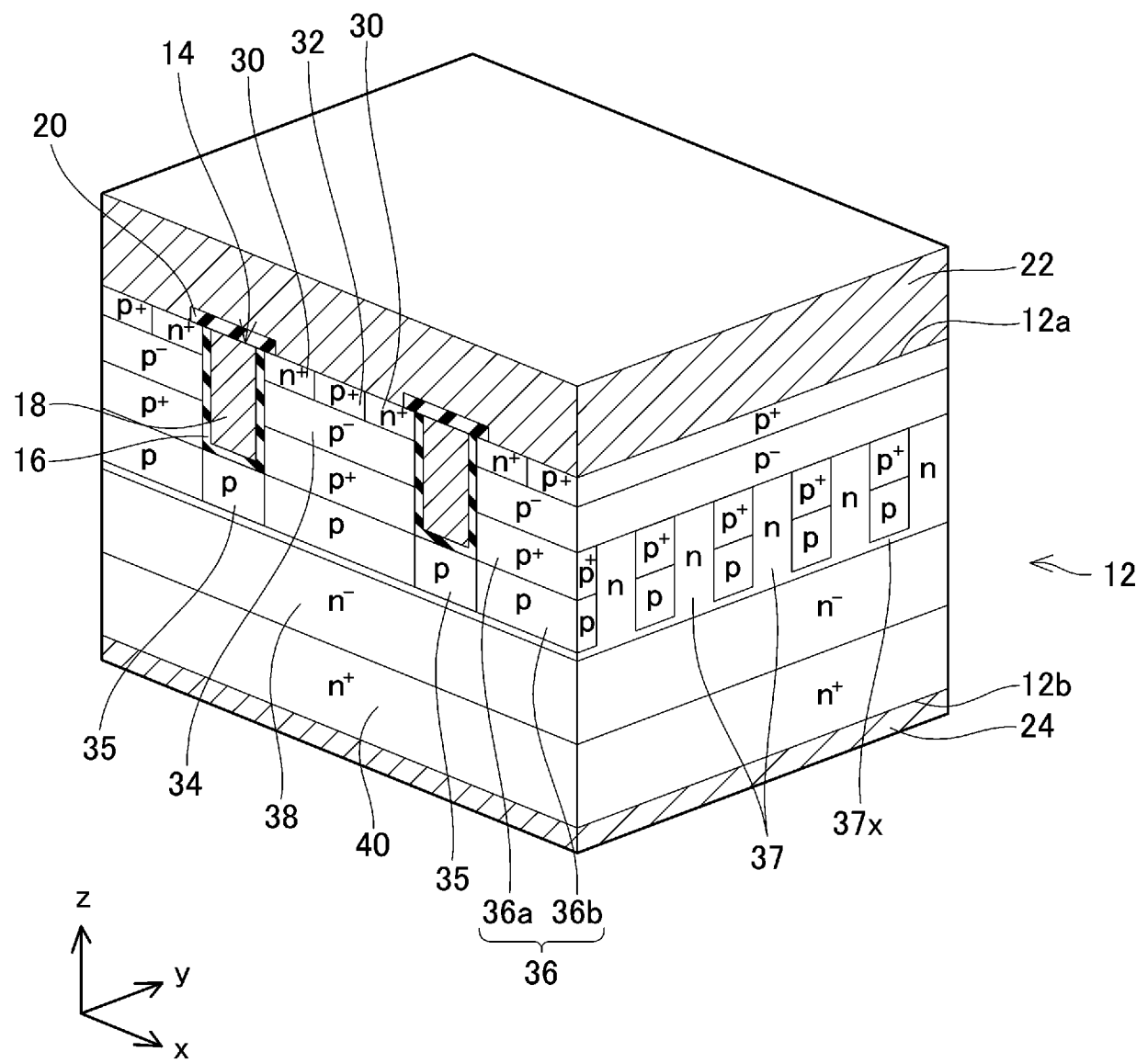
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/044980

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 21/336</i> (2006.01)i; <i>H01L 29/78</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i FI: H01L29/78 658A; H01L29/78 653A; H01L29/78 652I; H01L29/78 652F; H01L29/78 652S; H01L29/78 652T; H01L29/78 652H According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336; H01L29/78; H01L29/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-099721 A (DENSO CORPORATION) 05 July 2022 (2022-07-05) paragraphs [0016]-[0060], fig. 1-8	1-8
Y	JP 2017-117951 A (TOYOTA MOTOR CORP., TOYOTA CENTRAL R&D LABS., INC., DENSO CORPORATION) 29 June 2017 (2017-06-29) paragraph [0026], fig. 4B, paragraphs [0029]-[0030], fig. 4E-4F	1-8
Y	JP 2021-027139 A (KABUSHIKI KAISHA TOSHIBA) 22 February 2021 (2021-02-22) paragraph [0069], fig. 6, paragraphs [0071]-[0072], fig. 7, 8	1-8
Y	JP 2022-140217 A (DENSO CORPORATION) 26 September 2022 (2022-09-26) paragraphs [0031]-[0032], fig. 13	4, 5
A		1-3, 6-8
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 19 February 2024		Date of mailing of the international search report 05 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/044980

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-099721	A	05 July 2022	WO 2022/138743 A1 paragraphs [0016]-[0060], fig. 1-8	
JP	2017-117951	A	29 June 2017	(Family: none)	
JP	2021-027139	A	22 February 2021	US 2021/0036149 A1 paragraph [0097], fig. 6, paragraphs [0099]-[0100], fig. 7, 8	
JP	2022-140217	A	26 September 2022	US 2023/0387194 A1 paragraphs [0051]-[0052], fig. 13	
				WO 2022/190456 A1	
				CN 116918072 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i

FI: H01L29/78 658A; H01L29/78 653A; H01L29/78 652J; H01L29/78 652F; H01L29/78 652S; H01L29/78 652T; H01L29/78 652H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/336; H01L29/78; H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2024年

日本国実用新案登録公報 1996-2024年

日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-099721 A（株式会社デンソー） 05.07.2022（2022-07-05） 段落0016-0060, 図1-8	1-8
Y	JP 2017-117951 A（トヨタ自動車株式会社, 豊田中央研究所, 株式会社デンソー） 29.06.2017（2017-06-29） 段落0026, 図4B, 段落0029-0030, 図4E-4F	1-8
Y	JP 2021-027139 A（株式会社東芝） 22.02.2021（2021-02-22） 段落0069, 図6, 段落0071-0072, 図7, 8	1-8
Y	JP 2022-140217 A（株式会社デンソー） 26.09.2022（2022-09-26） 段落0031-0032, 図13	4, 5
A		1-3, 6-8

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

19.02.2024

国際調査報告の発送日

05.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

恩田 和彦 5F 5896

電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/044980

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-099721	A	05.07.2022	WO 2022/138743 A1 段落0016-0060, 図1-8	
JP	2017-117951	A	29.06.2017	(ファミリーなし)	
JP	2021-027139	A	22.02.2021	US 2021/0036149 A1 段落0097, 図6, 段落 0099-0100, 図7, 8	
JP	2022-140217	A	26.09.2022	US 2023/0387194 A1 段落0051-0052, 図13 WO 2022/190456 A1 CN 116918072 A	