

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6024103号
(P6024103)

(45) 発行日 平成28年11月9日(2016.11.9)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl. F I
H O 1 L 27/146 (2006.01) H O 1 L 27/14 A

請求項の数 15 (全 42 頁)

(21) 出願番号	特願2011-267559 (P2011-267559)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成23年12月7日(2011.12.7)	(74) 代理人	100082131 弁理士 稲本 義雄
(65) 公開番号	特開2013-33896 (P2013-33896A)	(74) 代理人	100121131 弁理士 西川 孝
(43) 公開日	平成25年2月14日(2013.2.14)	(72) 発明者	山川 真弥 東京都港区港南1丁目7番1号 ソニー株式会社社内
審査請求日	平成26年11月25日(2014.11.25)	審査官	上田 智志
(31) 優先権主張番号	特願2011-145563 (P2011-145563)		
(32) 優先日	平成23年6月30日(2011.6.30)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 撮像素子、撮像素子の駆動方法、撮像素子の製造方法、および電子機器

(57) 【特許請求の範囲】

【請求項1】

画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、
 所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部と

を有する画素を備え、

前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、

前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される

撮像素子。

【請求項2】

前記光電変換部から前記蓄積部への電荷の転送が、複数の前記画素において同時に行われるように駆動され、前記蓄積部に蓄積された電荷が前記接続部を介して前記容量部に保

10

20

持される

請求項 1 に記載の撮像素子。

【請求項 3】

前記容量部に保持されている電荷に応じたレベルの信号を出力する出力部が、複数の前記画素により共有されて構成されている

請求項 1 に記載の撮像素子。

【請求項 4】

前記シリコン基板に前記配線層が積層される面に対して反対側を向く面である前記シリコン基板の裏面に、前記光電変換部が受光する光が入射する構造である

請求項 1 に記載の撮像素子。

10

【請求項 5】

複数の前記画素により前記蓄積部が共有されて構成されている

請求項 1 に記載の撮像素子。

【請求項 6】

前記蓄積部に、複数の前記接続部を介して前記容量部がそれぞれ接続されて構成されている

請求項 1 に記載の撮像素子。

【請求項 7】

前記光電変換部が形成されるシリコン基板と前記接続部との間に、光を遮光する遮光膜が形成されている

請求項 1 に記載の撮像素子。

20

【請求項 8】

前記容量部は、互いに所定の間隔を有するように交互に配置された配線部分を有する 1 対の櫛型形状の電極により形成されている

請求項 1 に記載の撮像素子。

【請求項 9】

前記容量部は、絶縁膜を挟み込んで向かい合うように形成された 1 対の平板形状の電極により形成されている

請求項 1 に記載の撮像素子。

【請求項 10】

画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部と

を有する画素を備える撮像素子の駆動方法であって、

前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われるステップを含み、

前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される

撮像素子の駆動方法。

【請求項 11】

前記撮像素子は、前記シリコン基板に前記配線層が積層される面に対して反対側を向く面である前記シリコン基板の裏面に、前記光電変換部が受光する光が入射する構造である

請求項 10 に記載の駆動方法。

【請求項 12】

40

50

画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、
 所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部と

を有する画素を備え、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される撮像素子の製造方法であって、

前記容量部を、前記光電変換部が形成されるシリコン基板から層間絶縁膜を介して配置される配線層中に配線を形成するのと同時に形成する

ステップを含む撮像素子の製造方法。

【請求項 1 3】

前記撮像素子は、前記シリコン基板に前記配線層が積層される面に対して反対側を向く面である前記シリコン基板の裏面に、前記光電変換部が受光する光が入射する構造である請求項 1 2 に記載の製造方法。

【請求項 1 4】

画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、
 所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、
 前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部と

を有する画素を備え、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、

前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される撮像素子を有する電子機器。

【請求項 1 5】

前記撮像素子は、前記シリコン基板に前記配線層が積層される面に対して反対側を向く面である前記シリコン基板の裏面に、前記光電変換部が受光する光が入射する構造である請求項 1 4 に記載の電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、撮像素子、撮像素子の駆動方法、撮像素子の製造方法、および電子機器に関し、特に、より良好な画像を撮像することができるようにした撮像素子、撮像素子の駆動方法、撮像素子の製造方法、および電子機器に関する。

【背景技術】

【0002】

従来、半導体を用いた固体撮像素子（イメージセンサ）において、受光した光を電気的な信号に変換する光電変換素子として、半導体の p n 接合を利用した光電変換部である P D（Photodiode：フォトダイオード）が知られている。また、P D を利用した素子は、デジタルカメラ、ビデオカメラ、監視用カメラ、複写機、ファクシミリなど多くの機器に搭

10

20

30

40

50

載されている。近年、固体撮像素子として、周辺回路も含めてCMOS (Complementary Metal Oxide Semiconductor) プロセスで製造される、いわゆるCMOS型固体撮像素子が多く用いられている。

【0003】

例えば、固体撮像素子では、画素が有するPDで光電変換された電荷が、浮遊拡散領域であるFD (Floating Diffusion: フローティングディフュージョン) に転送され、FDの電位を測定することで、PDで発生した電荷に応じた電圧の信号が取り出される。

【0004】

つまり、図1に示すように画素11は構成されており、画素11において、PD12で発生した電荷は、転送トランジスタ13の駆動に従ってFD14に転送され、FD14が有する容量15において蓄積される。そして、FD14に蓄積された電荷は、増幅トランジスタ16により電圧に変換され、選択トランジスタ17の駆動に従って垂直信号線に出力される。垂直信号線は、定電圧でバイアスされたトランジスタ(定電流源)に接続されており、このトランジスタと増幅トランジスタ16とが組み合わされて、いわゆるソースフォロワ回路が構成されている。また、FD14に蓄積された電荷は、リセットトランジスタ18の駆動に従って定電圧源VDDに排出される。

10

【0005】

このような構成の画素11が半導体基板上にマトリックス状に配置されて構成された固体撮像素子では、単位電子あたりの出力電圧(変換効率)は、電荷を蓄積可能なFD14の全容量成分と、ソースフォロワ回路の変調度により決定される。ここで、電荷を蓄積可能なFD14の全容量成分は、FD14が有する容量15と、FD14に接続されている各トランジスタにより生じる容量とを合算して求められる。

20

【0006】

ところで、従来の固体撮像素子では、FD14が有する容量は固定されており、ダイナミックレンジや低照度時の出力電圧などが変更されない構成となっていた。そこで、ダイナミックレンジや低照度時の出力電圧などを動的に変更するために、電荷を蓄積可能なFD14の容量を変更することができる画素を備えた固体撮像素子が提案されている(特許文献1参照)。

【0007】

図2は、電荷を蓄積可能なFD14'の容量を変更することができる画素の平面的な構造を模式的に示した図である。

30

【0008】

画素11'は、PD12が、転送トランジスタ13を介してFD14'に接続され、FD14'が、増幅トランジスタ16のゲート電極に接続され、増幅トランジスタ16の両側に選択トランジスタ17およびリセットトランジスタ18が配置されて構成されている。そして、画素11'では、転送トランジスタ13およびリセットトランジスタ18の間のFD14'にスイッチング素子19が配置されている。これにより、FD14'は、FD14'が有する容量15と、スイッチング素子19を介してFD14'に接続される付加容量15'とにより電荷を蓄積することができる。

【0009】

このような構成の画素11'において、PD12で発生した電荷は、低輝度時には容量15において蓄積され、高輝度時には容量15および付加容量15'において蓄積されるように、スイッチング素子19の駆動が制御される。このように、電荷を蓄積可能なFD14'の全容量成分がスイッチング素子19により動的に変更されることにより、画素11'では、高ダイナミックレンジが実現される。

40

【0010】

一方、従来のCMOS型固体撮像素子では、画素の行ごとに順番で画素信号の読み出しが行われることにより画像に歪が発生してしまう。そこで、このような歪の発生を回避するために、固体撮像素子が有する全てのPDで一斉に電荷の転送を行うグローバルシャッタと呼ばれる技術が開発されている。

50

【 0 0 1 1 】

例えば、特許文献 2 には、配線層中に配置した薄膜トランジスタを用いてグローバルシャッタを実現する固体撮像装置が開示されている。また、非特許文献 1 にも、配線層中に薄膜トランジスタを配置した CMOS イメージセンサが開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 特開 2 0 0 8 - 2 0 5 6 3 8 号公報

【 特許文献 2 】 特開 2 0 1 1 - 1 1 9 9 5 0 号公報

【 非特許文献 1 】 Aoki et al., "Electronic Global Shutter CMOS Image Sensor using Oxide Semiconductor FET with Extremely Low Off-state Current", Symp. on VLSI Technology 2011, p.174, 2011

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

しかしながら、特許文献 1 で開示されている画素構造では、FD が有する容量と、FD に接続される付加容量との間のスイッチング素子や、付加容量などが光電変換領域 (PD) と同じシリコン基板中に作成されている。同様に、特許文献 2 に開示されている固体撮像装置においても、PD で発生した電荷を保持する容量素子がシリコン基板中に設けられている。この場合、光電変換領域の面積が低下してしまい、光電変換効率が低下することが懸念される。

20

【 0 0 1 4 】

また、非特許文献 1 に開示されている CMOS イメージセンサにおいては、ストレージ容量素子が設けられていないため、保持できる電荷量が少なくなってしまう、ダイナミックレンジを増加することは困難であると想定される。

【 0 0 1 5 】

ところで、グローバルシャッタを実現することによる歪のない画像や、ダイナミックレンジが拡張された画像などを得るために、画素内に容量素子を追加することが検討されているが、容量素子を追加することによる光電変換領域の面積の低下を回避して、より良好な画像を撮像することが求められている。

30

【 0 0 1 6 】

本開示は、このような状況に鑑みてなされたものであり、より良好な画像を撮像することができるようにするものである。

【 課題を解決するための手段 】

【 0 0 1 7 】

本開示の一側面の撮像素子は、画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部とを有する画素を備え、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される。

40

【 0 0 1 9 】

本開示の一側面の撮像素子の駆動方法は、画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、所定の容量を有し、前記光電変換部から転送されてくる電荷

50

を蓄積する蓄積部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部とを有する画素を備える撮像素子の駆動方法であって、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われるステップを含み、前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される。

10

【0020】

本開示の一側面の撮像素子の製造方法は、画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部とを有する画素を備え、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される撮像素子の製造方法であって、前記容量部を、前記光電変換部が形成されるシリコン基板から層間絶縁膜を介して配置される配線層中に配線を形成するのと同時に形成するステップを含む。

20

【0021】

本開示の一側面の電子機器は、画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部の容量に対して付加的に前記電荷を蓄積可能な容量部と、前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置され、前記蓄積部および前記容量部を接続する薄膜トランジスタからなる接続部とを有する画素を備え、前記画素から信号を読み出す読み出し期間中に、前記接続部が前記蓄積部と前記容量部との接続を切り替えるように駆動することで、前記接続部により前記蓄積部および前記容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記容量部を非接続状態とした信号の読み出しとが行われ、前記蓄積部および前記容量部を接続状態とした信号の信号量を超えたときには、前記蓄積部および前記容量部を非接続状態とした信号が採用される撮像素子を有する。

30

【0022】

本開示の一側面においては、容量部および接続部が、光電変換部が形成されるシリコン基板から層間絶縁膜を介して配線層中に配置される配線層中に形成され、容量部は、蓄積部の容量に対して付加的に電荷を蓄積可能とされ、接続部は、蓄積部および容量部を接続する薄膜トランジスタからなる。そして、画素から信号を読み出す読み出し期間中に、接続部が蓄積部と容量部との接続を切り替えるように駆動することで、接続部により蓄積部および容量部を接続状態とした信号の読み出しと、接続部により蓄積部および容量部を非接続状態とした信号の読み出しとが行われ、蓄積部および容量部を接続状態とした信号の信号量を超えたときには、蓄積部および容量部を非接続状態とした信号が採用される。

40

【発明の効果】

【0023】

50

本開示の一側面によれば、より良好な画像を撮像することができる。

【図面の簡単な説明】

【0024】

【図1】従来の固体撮像素子の画素の構成例を示す回路図である。

【図2】電荷を蓄積可能なFDの容量を変更することができる画素の平面的な構造を模式的に示した図である。

【図3】本技術を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【図4】画素の第1の構成例を示す回路図である。

【図5】画素の断面的および平面的な構成例を示す図である。

10

【図6】入射光量と信号量との関係を示す図である。

【図7】第1の駆動方法による画素の駆動タイミングの例を示す図である。

【図8】第2の駆動方法による画素の駆動タイミングの例を示す図である。

【図9】画素の第2の構成例を示す回路図である。

【図10】第3の駆動方法による画素の駆動タイミングの例を示す図である。

【図11】シリコン基板上のレイアウトを示す図である。

【図12】第1のメタル配線層のレイアウトを示す図である。

【図13】第2のメタル配線層のレイアウトを示す図である。

【図14】画素の第3の構成例を示す断面図である。

【図15】画素の第4の構成例を示す断面図である。

20

【図16】画素の第5の構成例を示す回路図である。

【図17】第4の駆動方法による画素の駆動タイミングの例を示す図である。

【図18】画素の第6の構成例を示す回路図である。

【図19】第5の駆動方法による画素の駆動タイミングの例を示す図である。

【図20】薄膜トランジスタの各種の構成例を示す図である。

【図21】画素の製造方法について説明する図である。

【図22】画素の第7の構成例を示す回路図である。

【図23】画素の断面的および平面的な構成例を示す図である。

【図24】第6の駆動方法による画素の駆動タイミングの例を示す図である。

【図25】画素の第8の構成例を示す回路図である。

30

【図26】第7の駆動方法による画素の駆動タイミングの例を示す図である。

【図27】画素の第9の構成例を示す回路図である。

【図28】第8の駆動方法による画素の駆動タイミングの例を示す図である。

【図29】画素の第10の構成例を示す回路図である。

【図30】画素の平面的な構成例を示す図である。

【図31】画素の第11の構成例を示す回路図である。

【図32】電子機器に搭載される撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0025】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

40

【0026】

図3は、本技術を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【0027】

図3において、固体撮像素子31は、画素アレイ部32、垂直駆動回路33、水平駆動回路34、および出力回路35を備えて構成される。

【0028】

画素アレイ部32には、複数の画素41が行列状に配置されており、それぞれの画素41は、水平信号線42により行ごとに垂直駆動回路33に接続されるとともに、垂直信号

50

線 4 3 により列ごとに水平駆動回路 3 4 に接続されている。

【 0 0 2 9 】

垂直駆動回路 3 3 は、水平信号線 4 2 を介して駆動信号（例えば、転送信号 T X、選択信号 S E L、およびリセット信号 R S T）を出力して、画素アレイ部 3 2 に配置されている画素 4 1 を行ごとに駆動する。

【 0 0 3 0 】

水平駆動回路 3 4 は、垂直信号線 4 3 を介して画素アレイ部 3 2 の各画素 4 1 から出力される信号から、CDS(Correlated Double Sampling：相関 2 重サンプリング)動作により信号レベルを検出するカラム処理を行い、光電変換により画素 4 1 で発生した電子に応じた出力信号を出力回路 3 5 に出力する。

10

【 0 0 3 1 】

出力回路 3 5 は、水平駆動回路 3 4 から順次出力される出力信号を、所定のレベルの電圧値に増幅して、後段の画像処理回路などに出力する。

【 0 0 3 2 】

図 4 は、画素 4 1 の第 1 の構成例を示す回路図である。

【 0 0 3 3 】

図 4 に示すように、画素 4 1 は、P D 5 1、転送トランジスタ 5 2、増幅トランジスタ 5 3、選択トランジスタ 5 4、リセットトランジスタ 5 5、および薄膜トランジスタ 5 6 を備えて構成される。また、転送トランジスタ 5 2 と増幅トランジスタ 5 3 との接続点が F D 5 7 を構成しており、F D 5 7 は、F D 5 7 が有する容量 5 8 と、薄膜トランジスタ 5 6 を介して接続される付加容量 5 9 とにより電子を蓄積することができる。

20

【 0 0 3 4 】

P D 5 1 は、シリコン基板内に形成される p n 接合により構成され、入射した光を光電変換により電荷（電子または正孔）に変換して蓄積する光電変換部である。また、P D 5 1 は、アノード端子が接地されているとともに、カソード端子が転送トランジスタ 5 2 を介して F D 5 7 に接続されている。

【 0 0 3 5 】

転送トランジスタ 5 2 は、水平信号線 4 2 T を介して垂直駆動回路 3 3（図 3）から供給される転送信号 T X に従って駆動し、転送信号 T X がパルス状に High レベルとなるタイミングでオンとなる。そして、転送トランジスタ 5 2 がオンになると、P D 5 1 で発生した電子が転送トランジスタ 5 2 を介して F D 5 7 に転送される。

30

【 0 0 3 6 】

増幅トランジスタ 5 3 のゲート電極に F D 5 7 が接続されており、増幅トランジスタ 5 3 は、F D 5 7 に蓄積されている電子に応じたレベルの電圧、即ち、光電変換により P D 5 1 で発生して F D 5 7 に転送された電子に応じたレベルの電圧を出力する。

【 0 0 3 7 】

選択トランジスタ 5 4 は、水平信号線 4 2 S を介して垂直駆動回路 3 3 から供給される選択信号 S E L に従って駆動し、選択信号 S E L がパルス状に High レベルとなるタイミングでオンとなる。そして、選択トランジスタ 5 4 がオンになると、増幅トランジスタ 5 3 から出力される電圧が、選択トランジスタ 5 4 を介して垂直信号線 4 3 に出力可能な状態となる。

40

【 0 0 3 8 】

例えば、垂直信号線 4 3 には、複数の画素 4 1 が接続されており、ある特定のライン（行）の選択トランジスタ 5 4 をオンにすることで、所望の P D 5 1 からの信号が出力される。なお、垂直信号線 4 3 は、図 3 の水平駆動回路 3 4 が有する定電流源 6 0 に接続されており、増幅トランジスタ 5 3 および定電流源 6 0 からなるソースフォロワ回路により、F D 5 7 に蓄積されている電子に応じたレベルを示す信号が出力（Output）される。

【 0 0 3 9 】

リセットトランジスタ 5 5 は、水平信号線 4 2 R を介して垂直駆動回路 3 3 から供給されるリセット信号 R S T に従って駆動し、リセット信号 R S T がパルス状に High レベルと

50

なるタイミングでオンとなる。リセットトランジスタ55がオンになると、リセットトランジスタ55を介して、FD57に蓄積されている電子が定電圧源VDDに排出されて、FD57がリセットされる。

【0040】

薄膜トランジスタ56は、FD57と付加容量59との接続をオン/オフするスイッチング素子(接続部)である。薄膜トランジスタ56は、水平信号線42STRを介して垂直駆動回路33から供給される接続信号STRに従って駆動し、接続信号STRがパルス状にオンとなるタイミングで、FD57に付加容量59を接続する。

【0041】

FD57は、転送トランジスタ52を介してPD51から転送されてくる電子を蓄積する。例えば、薄膜トランジスタ56がオフである場合、FD57は、FD57が有する容量58において電子を蓄積する。一方、薄膜トランジスタ56がオンである場合、FD57は、FD57が有する容量58、および、薄膜トランジスタ56を介して接続される付加容量59において電子を蓄積する。

【0042】

次に、図5を参照して、画素41の構造について説明する。図5Aには、画素41のFD57の近傍における断面的な構成例が示されており、図5Bには、画素41の配線層における平面的な構成例が示されている。

【0043】

また、図5に示されている画素41は、いわゆる裏面照射型の固体撮像素子の構造を採用することで、光電変換領域に入射する光量を減少することなく層間絶縁膜中に薄膜トランジスタ56および付加容量59が配置される構成となっている。なお、裏面照射型の固体撮像素子の構造については、例えば、本願出願人が出願した特許3759435号に詳細に開示されている。

【0044】

画素41は、図5Aにおいて下側を向くシリコン基板61の裏面に対して入射光が入射され、その裏面に対して反対側を向く面が表面とされる。そして、シリコン基板61の表面に層間絶縁膜62-1が積層され、層間絶縁膜62-1に層間絶縁膜62-2が積層されており、層間絶縁膜62-1および62-2の間に配線層が形成されている。

【0045】

PD51は、例えば、P型のシリコン基板61の内部に形成されるN型領域により構成され、転送トランジスタ52のゲート電極63が、PD51に隣接するようにシリコン基板61の表面に絶縁層64を介して配置されている。また、PD51に対して転送トランジスタ52を挟んで離間する位置のシリコン基板61内の表面部分に形成されるN型領域によりFD57が構成される。

【0046】

FD57は、層間絶縁膜62-1を貫通するように形成されたコンタクトビア65を介して、層間絶縁膜62-1および62-2の間に形成された配線層のメタル配線66に接続されている。

【0047】

メタル配線66の一端は、増幅トランジスタ53およびリセットトランジスタ55に接続されており、メタル配線66の他端は、配線層に形成された薄膜トランジスタ56の一端に接続されている。そして、薄膜トランジスタ56の他端に付加容量59の一方の電極59Aが接続されており、付加容量59の他方の電極59Bは接地(GND)されている。なお、付加容量59の他方の電極59Bは定電圧源VDDに接続されていてもよい。

【0048】

ここで、図5Bに示すように、付加容量59を構成する1対の電極59Aおよび59Bは、いわゆる櫛形状をしており、櫛の歯に対応する配線部分が、互いに所定の間隔を有するように交互に配置されている。この櫛の歯に対応する配線部分が、電子を蓄積する容量として機能する。また、付加容量59は、ある一定の面積を有して形成され、平面的に見

10

20

30

40

50

たときに、PD51と重なり合う領域に形成されている。

【0049】

このように画素41は構成されており、薄膜トランジスタ56が垂直駆動回路33の制御に従って駆動することにより、FD57と付加容量59との接続がオン/オフされる。例えば、垂直駆動回路33は、入射光の光量に応じて薄膜トランジスタ56のオン/オフを制御する。

【0050】

また、画素41では、図5に示すように、薄膜トランジスタ56および付加容量59が、PD51が形成されるシリコン基板61中ではなく、シリコン基板61から層間絶縁膜62-1を介して配置される配線層中に形成される。これにより、例えば、シリコン基板61中にスイッチング素子や付加容量などを形成するような構造よりも、PD51の面積を広くとることができ、そのような構造においてPD51の光電変換効率が低下するようなことを回避することができる。なお、付加容量の一部にメタル配線などを使用している構成例においても、スイッチング素子やメタル配線部分などへのコンタクトが残っている場合には、PD51の面積が低下してしまうが、画素41では、PD51の面積の低下が回避されている。

10

【0051】

さらに、画素41では、上述したように裏面照射型の固体撮像素子の構造を採用し、配線層のメタル配線66を用いてPD51と重なるように配線層に付加容量59を形成することにより、容量の確保と工数の削減とを同時に実現することができる。

20

【0052】

図6には、入射光量と信号量との関係が示されている。

【0053】

例えば、FD57は、薄膜トランジスタ56がオフである場合には、FD57が有する容量58において電子を蓄積する。また、FD57は、薄膜トランジスタ56がオンである場合には、FD57が有する容量58と薄膜トランジスタ56を介して接続される付加容量59とにおいて電子を蓄積する。そして、FD57において電子を蓄積可能な容量が少ない場合には、FD57において電子を蓄積可能な容量が多い場合と比較して、入射光量に対する出力信号の信号量の傾斜が急勾配（高ゲイン）となる。

【0054】

30

従って、入射光量が少ない場合には薄膜トランジスタ56をオフにし、FD57において電子を蓄積可能な容量を小さくすることで、高ゲインで信号レベルを出力することができるようにする。一方、入射光量が多い場合には薄膜トランジスタ56をオンにし、FD57において電子を蓄積可能な容量を大きくすることで、大きな光量まで対応可能にする。

【0055】

次に、画素41の駆動方法について説明する。

【0056】

図7には、第1の駆動方法による画素41の駆動タイミングの例が示されている。第1の駆動方法では、信号の読み出し期間中に薄膜トランジスタ56をオンにしておくか、オフにしておくかにより、画素41のダイナミックレンジを選択することができる。また、水平信号線42を介して供給される信号は、それぞれHighレベルおよびLowレベルのいずれかを取り得る。なお、図7に示す時刻T1から時刻T6までの期間（以下、適宜、読み出し期間と称する）の前に、PD51に、光量に応じて光電変換された電子が蓄積されているものとする。

40

【0057】

垂直駆動回路33は、行列状に配置されている画素41の行ごとに読み出しを順次行っており、画素41に対する読み出し期間を開始する時刻T1になると、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをHighレベルにする。これにより、画素41の信号が垂直信号線43を介して水平駆動回路34に出力することができる

50

状態になる。

【 0 0 5 8 】

時刻 T 2 において、垂直駆動回路 3 3 は、水平信号線 4 2 R を介してリセットトランジスタ 5 5 に供給するリセット信号 R S T を High レベルにして、リセットトランジスタ 5 5 をオンにし、F D 5 7 に蓄積されている電子を排出する。

【 0 0 5 9 】

時刻 T 3 において、垂直駆動回路 3 3 は、リセット信号 R S T を Low レベルにしてリセットトランジスタ 5 5 をオフにし、F D 5 7 のリセットを完了する。このとき、F D 5 7 とリセットトランジスタ 5 5 とのカップリング容量によって出力電圧が若干低下するため、出力電圧が安定した後、F D 5 7 のリセットレベルを示す信号が、検出値 D 1 として水平駆動回路 3 4 の検出器により検出される。

10

【 0 0 6 0 】

時刻 T 4 において、垂直駆動回路 3 3 は、水平信号線 4 2 T を介して転送トランジスタ 5 2 に供給する転送信号 T X を High レベルにして、転送トランジスタ 5 2 をオンにし、P D 5 1 に蓄積されている電子を F D 5 7 に転送する。

【 0 0 6 1 】

時刻 T 5 において、垂直駆動回路 3 3 は、転送信号 T X を Low レベルにして転送トランジスタ 5 2 をオフにして電子の転送を完了する。その後、F D 5 7 に蓄積された電子に応じたレベルを示す信号が、検出値 D 2 として水平駆動回路 3 4 の検出器により検出される。

20

【 0 0 6 2 】

時刻 T 6 において、垂直駆動回路 3 3 は、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L を Low レベルにして、画素 4 1 に対する読み出し期間が終了する。

【 0 0 6 3 】

このような駆動タイミングで垂直駆動回路 3 3 は画素 4 1 を駆動し、検出値 D 1 と検出値 D 2 との差分を示す信号が、光電変換により P D 5 1 で発生した電子に応じたレベルを示す出力信号として水平駆動回路 3 4 から出力される。

【 0 0 6 4 】

ここで、垂直駆動回路 3 3 は、画素 4 1 から信号の読み出しを開始する前に、低ゲインモードまたは高ゲインモードのいずれかを予め選択する。例えば、垂直駆動回路 3 3 は、1 フレーム前に出力された信号に基づいた光量や、図示しないセンサから出力される光量などに従い、入射光の光量に応じて、低ゲインモードまたは高ゲインモードの選択を行うことができる。

30

【 0 0 6 5 】

そして、垂直駆動回路 3 3 は、光量が少ない場合には高ゲインモードを選択して、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を Low レベルにして、F D 5 7 が有する容量 5 8 により、電子を蓄積するように駆動する。一方、垂直駆動回路 3 3 は、光量が多い場合には低ゲインモードを選択して、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を、時刻 T 2 から時刻 T 6 までの期間において High レベルにする。これにより、F D 5 7 が有する容量 5 8 と、薄膜トランジスタ 5 6 を介して F D 5 7 に接続される付加容量 5 9 とにより、電子を蓄積するように駆動する。

40

【 0 0 6 6 】

従って、固体撮像素子 3 1 では、低照度時には高ゲインモードが選択されて、高ゲインで増幅された出力信号が出力され、高照度時には低ゲインモードが選択されて、大きな光量まで対応することが可能となる。このように、F D 5 7 において電子を蓄積可能な容量を動的に変更することで、固体撮像素子 3 1 は、ダイナミックレンジを拡大することができる。さらに、低照度時でもノイズの少ない画像を得ることができ、かつ、高照度時でも適切な（オーバーフローのない）画像を得ることができる。

50

【 0 0 6 7 】

ここで、図 7 を参照して説明した第 1 の駆動方法では、高ゲインモードまたは低ゲインモードを予め選択する必要がある。これに対し、例えば、出力信号の信号量に応じて、高ゲインモードおよび低ゲインモードのどちらを用いるのかを自動で選択する駆動方法を採用してもよい。

【 0 0 6 8 】

図 8 には、第 2 の駆動方法による画素 4 1 の駆動タイミングの例が示されている。

【 0 0 6 9 】

時刻 T 1 において、垂直駆動回路 3 3 は、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L を High レベルにする。これにより、画素 4 1 の信号が垂直信号線 4 3 を介して水平駆動回路 3 4 に出力することができる状態になる。

10

【 0 0 7 0 】

時刻 T 2 において、垂直駆動回路 3 3 は、水平信号線 4 2 R を介してリセットトランジスタ 5 5 に供給するリセット信号 R S T を High レベルにするとともに、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を High レベルにする。これにより、F D 5 7 に付加容量 5 9 が接続された状態で、容量 5 8 および付加容量 5 9 に蓄積されている電子が排出され、F D 5 7 がリセットされる。

【 0 0 7 1 】

時刻 T 3 において、垂直駆動回路 3 3 は、リセット信号 R S T を Low レベルにしてリセットトランジスタ 5 5 をオフにし、F D 5 7 のリセットが完了する。その後、付加容量 5 9 が接続された状態での F D 5 7 のリセットレベルの信号が、検出値 D 1 として水平駆動回路 3 4 の検出器により検出される。

20

【 0 0 7 2 】

時刻 T 4 において、垂直駆動回路 3 3 は、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を Low レベルにして薄膜トランジスタ 5 6 をオフにする。その後、付加容量 5 9 が接続されない状態での F D 5 7 のリセットレベルの信号が、検出値 D 2 として水平駆動回路 3 4 の検出器により検出される。

【 0 0 7 3 】

時刻 T 5 において、垂直駆動回路 3 3 は、水平信号線 4 2 T を介して転送トランジスタ 5 2 に供給する転送信号 T X を High レベルにして、転送トランジスタ 5 2 をオンにし、P D 5 1 に蓄積されている電子を F D 5 7 に転送する。

30

【 0 0 7 4 】

時刻 T 6 において、垂直駆動回路 3 3 は、転送信号 T X を Low レベルにして転送トランジスタ 5 2 をオフにし、P D 5 1 から F D 5 7 への電子の転送を完了する。このとき、F D 5 7 には付加容量 5 9 は接続されておらず、F D 5 7 が有する容量 5 8 において、光電変換により P D 5 1 に発生した電子が蓄積される。その後、容量 5 8 に蓄積された電子に応じたレベルの信号が、検出値 D 3 として水平駆動回路 3 4 の検出器により検出される。

【 0 0 7 5 】

時刻 T 7 において、垂直駆動回路 3 3 は、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を High レベルにして薄膜トランジスタ 5 6 をオンにする。これにより、F D 5 7 に付加容量 5 9 が接続された状態となり、その後、容量 5 8 および付加容量 5 9 に蓄積された電子に応じたレベルの信号が、検出値 D 4 として水平駆動回路 3 4 の検出器により検出される。

40

【 0 0 7 6 】

時刻 T 8 において、垂直駆動回路 3 3 は、水平信号線 4 2 S T R を介して薄膜トランジスタ 5 6 に供給する接続信号 S T R を Low レベルにするとともに、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L を Low レベルにする。これにより、画素 4 1 に対する読み出し期間が終了する。

【 0 0 7 7 】

このように、第 2 の駆動方法では、画素 4 1 から信号を読み出す読み出し期間中に、F

50

D 5 7 と付加容量 5 9 との接続が切り替えられ、F D 5 7 と付加容量 5 9 とが接続された状態での信号の読み出しと、F D 5 7 と付加容量 5 9 とが接続されていない状態での信号の読み出しとが行われる。

【 0 0 7 8 】

このような駆動により、検出値 D 2 と検出値 D 3 との差分を示す信号が、F D 5 7 が有する容量 5 8 において P D 5 1 で発生した電子が蓄積されたレベルに応じた出力信号 S i g 1 として出力される。即ち、出力信号 S i g 1 は、高ゲインモードでの出力信号である。一方、検出値 D 1 と検出値 D 4 との差分を示す信号が、F D 5 7 が有する容量 5 8 と F D 5 7 に接続された付加容量 5 9 とにおいて、P D 5 1 で発生した電子が蓄積されたレベルに応じた出力信号 S i g 2 として出力される。即ち、出力信号 S i g 2 は、低ゲインモードでの出力信号である。

10

【 0 0 7 9 】

例えば、高ゲインモードでの出力信号 S i g 1 は、低ゲインモードでの出力信号 S i g 2 に対して、より低い光量で飽和してしまうため、高ゲインモードの飽和信号量を予め求めておき、その信号量を超えたときに低ゲインモードの信号を採用することで、低光量時の感度を確保しつつ、より大きな光量にも対応することができる。

【 0 0 8 0 】

つまり、第 2 の駆動方法では、高ゲインモードでの出力信号 S i g 1 に応じて、高ゲインモードでの出力信号 S i g 1 と、低ゲインモードでの出力信号 S i g 2 とのどちらを採用するのかを一意に選択することができる。これにより、低照度時には高ゲインモードを選択し、高照度時には低ゲインモードを選択する処理を自動で行うことができ、ダイナミックレンジが広い固体撮像素子 3 1 を実現することができる。

20

【 0 0 8 1 】

図 9 は、画素 4 1 の第 2 の構成例を示す回路図である。

【 0 0 8 2 】

図 9 に示すように、画素 4 1 A は、2 つの画素 4 1 - 1 および 4 1 - 2 から構成されたいわゆる 2 画素共有とされているが、例えば、4 画素や 8 画素などのように共有する画素 4 1 の個数を増やしてもよい。

【 0 0 8 3 】

画素 4 1 A は、画素 4 1 - 1 および画素 4 1 - 2 が、増幅トランジスタ 5 3、選択トランジスタ 5 4、リセットトランジスタ 5 5、および F D 5 7 を共有するように構成されている。つまり、画素 4 1 A は、画素 4 1 - 1 が有する P D 5 1 - 1 が、転送トランジスタ 5 2 - 1 を介して F D 5 7 に接続され、画素 4 1 - 2 が有する P D 5 1 - 2 が、転送トランジスタ 5 2 - 2 を介して F D 5 7 に接続されるように構成されている。また、画素 4 1 A では、図 4 の画素 4 1 と同様に、F D 5 7 に、薄膜トランジスタ 5 6 を介して付加容量 5 9 が接続されている。

30

【 0 0 8 4 】

図 1 0 には、第 3 の駆動方法による画素 4 1 A の駆動タイミングの例が示されている。

【 0 0 8 5 】

2 画素共有の構造となっている画素 4 1 A では、例えば、1 番目の画素の読み出し期間において画素 4 1 - 1 から信号が読み出され、続いて、2 番目の画素の読み出し期間において画素 4 1 - 2 から信号が読み出される。

40

【 0 0 8 6 】

時刻 T 1 において、垂直駆動回路 3 3 は、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L を High レベルにする。これにより、画素 4 1 A の信号が垂直信号線 4 3 を介して水平駆動回路 3 4 に出力することができる状態になる。

【 0 0 8 7 】

時刻 T 2 から時刻 T 8 までが、1 番目の画素の読み出し期間とされ、図 8 で説明した時刻 T 2 から時刻 T 8 までと同様に、画素 4 1 - 1 から信号が読み出される。つまり、時刻 T 5 において、転送トランジスタ 5 2 - 1 に供給される転送信号 T X 1 が High レベルにな

50

って転送トランジスタ52-1がオンとなり、PD51-1に蓄積されている電子がFD57に転送される。

【0088】

そして、時刻T4の後に検出される検出値D2-1と、時刻T6の後に検出される検出値D3-1との差分を示す信号が、FD57が有する容量58において、PD51-1で発生した電子が蓄積されたレベルに応じた出力信号Sig1-1として出力される。また、時刻T3の後に検出される検出値D1-1と、時刻T7の後に検出される検出値D4-1との差分を示す信号が、FD57が有する容量58とFD57に接続された付加容量59とにおいて、PD51-1で発生した電子が蓄積されたレベルに応じた出力信号Sig2-1として出力される。

10

【0089】

次に、時刻T8から時刻T14までが、2番目の画素の読み出し期間とされ、図8で説明した時刻T2から時刻T8までと同様に、画素41-2から信号が読み出される。つまり、時刻T11において、転送トランジスタ52-2に供給される転送信号TX2がHighレベルになって転送トランジスタ52-2がオンとなり、PD51-2に蓄積されている電子がFD57に転送される。

【0090】

そして、時刻T10の後に検出される検出値D2-2と、時刻T12の後に検出される検出値D3-2との差分を示す信号が、FD57が有する容量58において、PD51-2で発生した電子が蓄積されたレベルに応じた出力信号Sig1-2として出力される。また、時刻T9の後に検出される検出値D1-2と、時刻T13の後に検出される検出値D4-2との差分を示す信号が、FD57が有する容量58とFD57に接続された付加容量59とにおいて、PD51-2で発生した電子が蓄積されたレベルに応じた出力信号Sig2-2として出力される。

20

【0091】

以上のように、画素41-1および41-2を画素共有するように構成された画素41Aにおいて、画素41-1から出力信号Sig1-1およびSig2-1を読み出し、画素41-2から出力信号Sig1-2およびSig2-2を読み出すことができる。また、この第3の駆動方法は、図8を参照して説明した第2の駆動方法と同様に、出力信号Sig1-1および出力信号Sig1-2に応じて、高ゲインモードと低ゲインモードとを選択する処理を自動で行うことができる。なお、図7を参照して説明した第1の駆動方法と同様に、低ゲインモードまたは高ゲインモードのいずれかを予め選択するような駆動方法を、画素41Aに適用してもよい。

30

【0092】

次に、図11乃至図13を参照して、画素41Aの平面的な構成例について説明する。なお、画素41Aは、図9に示した回路図では、1組の薄膜トランジスタ56および付加容量59を有した構成とされているが、図11乃至図13に示すように、同一の接続信号STRに従って駆動する2組の薄膜トランジスタ56および付加容量59を有して構成される。

【0093】

図11には、シリコン基板上のレイアウトが示されている。

40

【0094】

PD51-1およびPD51-2の間に共通のFD57が配置されており、PD51-1は転送トランジスタ52-1を介してFD57に接続され、PD51-2は転送トランジスタ52-2を介してFD57に接続されている。また、FD57に隣接してリセットトランジスタ55が配置されている。そして、リセットトランジスタ55に隣接して増幅トランジスタ53が配置され、増幅トランジスタ53に隣接して選択トランジスタ54が配置されており、出力バッファとなるソースフォロワとなる。また、PD51-1およびPD51-2の間の分離領域に、ウェルコンタクト67が形成されている。

【0095】

50

図 1 2 には、シリコン基板に対して第 1 の層間絶縁膜を介して形成される第 1 のメタル配線層のレイアウトが示されている。

【 0 0 9 6 】

F D 5 7 に接続されたコンタクトビア 6 5 - 1 にメタル配線 6 6 が接続されている。また、メタル配線 6 6 は、増幅トランジスタ 5 3 にコンタクトビア 6 5 - 2 を介して接続されるとともに、薄膜トランジスタ 5 6 - 1 および 5 6 - 2 の一端に接続されている。そして、薄膜トランジスタ 5 6 - 1 の他端は付加容量 5 9 - 1 に接続され、薄膜トランジスタ 5 6 - 2 の他端は付加容量 5 9 - 2 に接続されている。

【 0 0 9 7 】

薄膜トランジスタ 5 6 - 1 および付加容量 5 9 - 1 は、平面的に見て P D 5 1 - 1 に重なる領域に形成されており、薄膜トランジスタ 5 6 - 2 および付加容量 5 9 - 2 は、平面的に見て P D 5 1 - 2 に重なる領域に形成されている。また、付加容量 5 9 - 1 および 5 9 - 2 は、図 5 B を参照して説明したように、楕型に形成されている。

【 0 0 9 8 】

また、垂直信号線 4 3 を構成する出力信号配線 4 3 S I G に、選択トランジスタ 5 4 の出力（ソース電極）が接続されており、垂直信号線 4 3 を構成する接地配線 4 3 G N D に、ウェルコンタクト 6 7 が接続されている。

【 0 0 9 9 】

図 1 3 には、第 1 のメタル配線層に対して第 2 の層間絶縁膜を介して形成される第 2 のメタル配線層のレイアウトが示されている。

【 0 1 0 0 】

第 2 のメタル配線層に形成されている配線 6 8 - 1 を介して、付加容量 5 9 - 1 の一方の電極が接地配線 4 3 G N D に接続されており、配線 6 8 - 2 を介して、付加容量 5 9 - 2 の一方の電極が接地配線 4 3 G N D に接続されている。

【 0 1 0 1 】

また、第 2 のメタル配線層には、水平信号線 4 2 S T R - 1 および 4 2 S T R - 2、水平信号線 4 2 T - 1 および 4 2 T - 2、水平信号線 4 2 S、並びに水平信号線 4 2 R が形成されている。水平信号線 4 2 S T R - 1 および 4 2 S T R - 2 は、薄膜トランジスタ 5 6 - 1 および 5 6 - 2 にそれぞれ接続されており、水平信号線 4 2 T - 1 および 4 2 T - 2 は、転送トランジスタ 5 2 - 1 および 5 2 - 2 にそれぞれ接続されている。また、水平信号線 4 2 S は、選択トランジスタ 5 4 に接続されており、水平信号線 4 2 R は、リセットトランジスタ 5 5 に接続されている。

【 0 1 0 2 】

以上のようなレイアウトで、画素 4 1 - 1 および 4 1 - 2 による 2 画素共有構造の画素 4 1 A を構成することができる。また、増幅トランジスタ 5 3、選択トランジスタ 5 4、リセットトランジスタ 5 5、および F D 5 7 を共有することにより、P D 5 1 - 1 および 5 1 - 2 の面積を広くことができ、光電変換効率を向上させることができる。

【 0 1 0 3 】

なお、図 1 1 乃至図 1 3 に示したレイアウトは、本実施の形態における機能を実現する一例であり、同様の機能を実現可能な様々なレイアウトを採用することができる。

【 0 1 0 4 】

次に、図 1 4 は、画素 4 1 の第 3 の構成例を示す断面図である。

【 0 1 0 5 】

図 1 4 に示すように、画素 4 1 B は、シリコン基板 6 1 の表面に層間絶縁膜 6 2 - 1 乃至 6 2 - 3 が積層されており、層間絶縁膜 6 2 - 1 および 6 2 - 2 の間に第 1 の配線層が形成され、層間絶縁膜 6 2 - 2 および 6 2 - 3 の間に第 2 の配線層が形成されている。そして、画素 4 1 B では、薄膜トランジスタ 5 6 および付加容量 5 9 が第 2 の配線層に形成されており、シリコン基板 6 1 と第 2 の配線層との間の第 1 の配線層に遮光膜 6 9 が形成されている。遮光膜 6 9 は、第 1 の配線層のメタルを使用して、シリコン基板 6 1 側から見て薄膜トランジスタ 5 6 を覆うように配置される。

10

20

30

40

50

【0106】

このように、画素41Bでは、遮光膜69を形成することにより、裏面から入射された光のうち、シリコン基板61で吸収されなかった光を遮光膜69で遮光することができる。例えば、シリコン基板61で吸収されなかった光が薄膜トランジスタ56に到達する場合には、バンドギャップが狭い半導体層を使用していると、薄膜トランジスタ56での光電変換によってリーク電流が発生する恐れがある。

【0107】

これに対し、画素41Bでは、薄膜トランジスタ56よりもシリコン基板61側に遮光膜69を形成することにより、上述したようなリーク電流の発生を防止することができる。これにより、よりノイズの少ない固体撮像素子31を実現することができる。

10

【0108】

次に、図15は、画素41の第4の構成例を示す図である。図15Aには、画素41CのFD57の近傍における断面的な構成例が示されており、図15Bには、画素41Cの配線層における平面的な構成例が示されている。

【0109】

画素41Cは、積層型の付加容量59'を備えて構成される。即ち、画素41Cにおいて、付加容量59'は、平面形状に形成された1対の電極59A'および59B'の間に、絶縁膜59Cが挟み込まれて構成される。

【0110】

このように、画素41Cでは、積層型の付加容量59'を採用することにより、櫛型の付加容量59を採用した場合よりも、より大容量化を図ることができる。これにより、画素41Cは、より大きな光量まで対応することができる。

20

【0111】

次に、図16は、画素41の第5の構成例を示す回路図である。

【0112】

図16に示すように、画素41Dは、PD51、転送トランジスタ52、増幅トランジスタ53、選択トランジスタ54、リセットトランジスタ55を備える点で、図4の画素41と共通する。但し、画素41Dは、薄膜トランジスタ56-1および56-2、並びに、付加容量59-1および59-2を備える点で、図4の画素41と異なる構成となっている。

30

【0113】

画素41Dでは、薄膜トランジスタ56-1が水平信号線42STR-1に接続されており、薄膜トランジスタ56-2が水平信号線42STR-2に接続されており、薄膜トランジスタ56-1および56-2は、それぞれ独立して駆動する。

【0114】

このように構成されている画素41Dでは、光電変換によりPD51で発生した電子が、容量58に蓄積され、容量58および付加容量59-1に蓄積され、または、容量58と付加容量59-1および59-2に蓄積されるように、電子を蓄積可能なFD57の容量を変更することができる。

【0115】

次に、図17には、第4の駆動方法による画素41Dの駆動タイミングの例が示されている。

40

【0116】

時刻T1において、垂直駆動回路33は、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをHighレベルにする。これにより、画素41Dの信号が垂直信号線43を介して水平駆動回路34に出力することができる状態になる。

【0117】

時刻T2において、垂直駆動回路33は、水平信号線42Rを介してリセットトランジスタ55に供給するリセット信号RSTをHighレベルにする。また、このとき、垂直駆動回路33は、水平信号線42STR-1を介して薄膜トランジスタ56-1に供給する接

50

続信号STR1をHighレベルにするとともに、水平信号線42STR-2を介して薄膜トランジスタ56-2に供給する接続信号STR2をHighレベルにする。これにより、FD57が有する容量58と、薄膜トランジスタ56-1および56-2を介してFD57に接続される付加容量59-1および59-2とがリセットされる。

【0118】

時刻T3において、垂直駆動回路33は、リセット信号RSTをLowレベルにしてリセットトランジスタ55をオフにし、FD57のリセットが完了する。その後、FD57が有する容量58に、付加容量59-1および59-2が接続された状態でのFD57のリセットレベルの信号が、検出値D1として水平駆動回路34の検出器により検出される。

【0119】

時刻T4において、垂直駆動回路33は、水平信号線42STR-1を介して薄膜トランジスタ56-1に供給する接続信号STR1をLowレベルにして薄膜トランジスタ56-1をオフにする。その後、FD57が有する容量58に付加容量59-2が接続された状態でのFD57のリセットレベルの信号が、検出値D2として水平駆動回路34の検出器により検出される。

【0120】

時刻T5において、垂直駆動回路33は、水平信号線42STR-2を介して薄膜トランジスタ56-2に供給する接続信号STR2をLowレベルにして薄膜トランジスタ56-2をオフにする。その後、容量58だけの状態でのFD57のリセットレベルの信号が、検出値D3として水平駆動回路34の検出器により検出される。

【0121】

時刻T6において、垂直駆動回路33は、水平信号線42Tを介して転送トランジスタ52に供給する転送信号TXをHighレベルにして、転送トランジスタ52をオンにし、PD51に蓄積されている電子をFD57に転送する。

【0122】

時刻T7において、垂直駆動回路33は、転送信号TXをLowレベルにして転送トランジスタ52をオフにし、PD51からFD57への電子の転送を完了する。その後、容量58だけが接続された状態でFD57に蓄積された電子に応じたレベルの信号が、検出値D4として水平駆動回路34の検出器により検出される。

【0123】

時刻T8において、垂直駆動回路33は、水平信号線42STR-2を介して薄膜トランジスタ56-2に供給する接続信号STR2をHighレベルにして薄膜トランジスタ56-2をオンにする。その後、容量58に付加容量59-2が接続された状態でFD57に蓄積された電子に応じたレベルの信号が、検出値D5として水平駆動回路34の検出器により検出される。

【0124】

時刻T9において、垂直駆動回路33は、水平信号線42STR-1を介して薄膜トランジスタ56-1に供給する接続信号STR1をHighレベルにして薄膜トランジスタ56-1をオンにする。その後、容量58に付加容量59-1および59-2が接続された状態でFD57に蓄積された電子に応じたレベルの信号が、検出値D6として水平駆動回路34の検出器により検出される。

【0125】

時刻T10において、垂直駆動回路33は、水平信号線42STR-1および42STR-2を介して薄膜トランジスタ56-1および56-2に供給する接続信号STR1およびSTR2を、それぞれLowレベルにする。また、このとき、垂直駆動回路33は、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをLowレベルにする。これにより、画素41Dに対する読み出し期間が終了する。

【0126】

このような駆動タイミングで垂直駆動回路33は画素41Dを駆動し、検出値D3と検出値D4との差分を示す信号が、FD57が有する容量58においてPD51で発生した

10

20

30

40

50

電子が蓄積されたレベルに応じた出力信号 $Sig1$ として出力される。また、検出値 $D2$ と検出値 $D5$ との差分を示す信号が、容量 58 に付加容量 $59-2$ が接続された状態の $FD57$ において $PD51$ で発生した電子が蓄積されたレベルに応じた出力信号 $Sig2$ として出力される。また、検出値 $D1$ と検出値 $D6$ との差分を示す信号が、容量 58 に付加容量 $59-1$ および $59-2$ が接続された状態の $FD57$ において $PD51$ で発生した電子が蓄積されたレベルに応じた出力信号 $Sig3$ として出力される。

【0127】

以上のように、画素 $41D$ では、光電変換により $PD51$ で発生した電子が、それぞれ異なる3種類の容量からなる $FD57$ において出力信号に変換されるので、照射される光量に適したゲインで変換することができる。

【0128】

次に、図18は、画素 41 の第6の構成例を示す回路図である。

【0129】

図18に示すように、画素 $41E$ は、2画素共有の構成となっている点で、図9の画素 $41A$ と共通する。但し、画素 $41E$ は、薄膜トランジスタ $56-1$ および $56-2$ 、並びに、付加容量 $59-1$ および $59-2$ を備え、薄膜トランジスタ $56-1$ および $56-2$ は、それぞれ独立して駆動する点で、図9の画素 $41A$ と異なる構成となっている。

【0130】

次に、図19には、第5の駆動方法による画素 $41E$ の駆動タイミングの例が示されている。

【0131】

2画素共有の構造となっている画素 $41E$ では、例えば、1番目の画素の読み出し期間において画素 $41-1$ から信号が読み出され、続いて、2番目の画素の読み出し期間において画素 $41-2$ から信号が読み出される。

【0132】

時刻 $T1$ において、垂直駆動回路 33 は、水平信号線 $42S$ を介して選択トランジスタ 54 に供給する選択信号 SEL をHighレベルにする。これにより、画素 $41E$ の信号が垂直信号線 43 を介して水平駆動回路 34 に出力することができる状態になる。

【0133】

時刻 $T2$ から時刻 $T10$ までが、1番目の画素の読み出し期間とされ、図17で説明した時刻 $T2$ から時刻 $T10$ までと同様に、画素 $41-1$ から信号が読み出される。つまり、時刻 $T6$ において、転送トランジスタ $52-1$ に供給される転送信号 $TX1$ がHighレベルになって転送トランジスタ $52-1$ がオンとなり、 $PD51-1$ に蓄積されている電子が $FD57$ に転送される。

【0134】

そして、時刻 $T5$ の後に検出される検出値 $D3-1$ と、時刻 $T7$ の後に検出される検出値 $D4-1$ との差分を示す信号が、 $FD57$ が有する容量 58 において $PD51-1$ で発生した電子が蓄積されたレベルに応じた出力信号 $Sig1-1$ として出力される。また、時刻 $T4$ の後に検出される検出値 $D2-1$ と、時刻 $T8$ の後に検出される検出値 $D5-1$ との差分を示す信号が、容量 58 に付加容量 $59-2$ が接続された状態の $FD57$ において $PD51-1$ で発生した電子が蓄積されたレベルに応じた出力信号 $Sig2-1$ として出力される。また、時刻 $T3$ の後に検出される検出値 $D1-1$ と、時刻 $T9$ の後に検出される検出値 $D6-1$ との差分を示す信号が、容量 58 に付加容量 $59-1$ および $59-2$ が接続された状態の $FD57$ において $PD51-1$ で発生した電子が蓄積された出力信号 $Sig3-1$ として出力される。

【0135】

次に、時刻 $T10$ から時刻 $T18$ までが、2番目の画素の読み出し期間とされ、図17で説明した時刻 $T2$ から時刻 $T10$ までと同様に、画素 $41-2$ から信号が読み出される。つまり、時刻 $T14$ において、転送トランジスタ $52-2$ に供給される転送信号 $TX2$ がHighレベルになって転送トランジスタ $52-2$ がオンとなり、 $PD51-2$ に蓄積され

10

20

30

40

50

ている電子がFD57に転送される。

【0136】

そして、時刻T13の後に検出される検出値D3-2と、時刻T15の後に検出される検出値D4-2との差分を示す信号が、FD57が有する容量58においてPD51-2で発生した電子が蓄積されたレベルに応じた出力信号Sig1-2として出力される。また、時刻T12の後に検出される検出値D2-2と、時刻T16の後に検出される検出値D5-2との差分を示す信号が、容量58に付加容量59-2が接続された状態のFD57においてPD51-2で発生した電子が蓄積されたレベルに応じた出力信号Sig2-2として出力される。また、時刻T11の後に検出される検出値D1-2と、時刻T17の後に検出される検出値D6-2との差分を示す信号が、容量58に付加容量59-1および59-2が接続された状態のFD57においてPD51-2で発生した電子が蓄積された出力信号Sig3-2として出力される。

10

【0137】

以上のように、2画素共有の構成とされる画素41Eにおいて、光電変換によりPD51-1および51-2で発生した電子が、それぞれ異なる3種類の容量からなるFD57において出力信号に変換されるので、照射される光量に適したゲインで変換することができる。

【0138】

次に、図20を参照して、画素41で採用される薄膜トランジスタ56の各種の構成例について説明する。薄膜トランジスタ56については、さまざまな材料、構造のものが利用可能である。

20

【0139】

図20Aには、逆スタガー構造の薄膜トランジスタ56Aが示されている。薄膜トランジスタ56Aは、層間絶縁膜62の表面に、まず、金属からなるゲート電極71を形成し、ゲート絶縁膜72を形成した後、半導体層73を作成する。次に、ソース/ドレイン電極となる金属層をメタル配線66で形成し、逆スタガー構造の薄膜トランジスタ56Aが完成する。

【0140】

ゲート電極71およびメタル配線66は、例えばAl、Cu、Ti、Mo、W、Crや、それらの窒化物、酸化物、ITO、ZnOなどの透明金属、あるいはこれらのうちの複数の金属の積層構造が利用可能である。またゲート絶縁膜72としてはSi酸化物、Si窒化物、Hf酸化物、Al酸化物、Ta酸化物やそれらの積層構造を用いることができる。半導体層73としては、ZnO、SnO、InOやそれらにGaを添加したもの、またはこれらのうちの元素を複数含有した酸化物半導体を用いることができる。なお、半導体層73として有機薄膜を用いた構成を採用することで、塗布により容易に製造することができる。

30

【0141】

図20Bには、半導体層73とメタル配線66との間に、コンタクト層74が挟まれた構造の薄膜トランジスタ56Bが示されている。コンタクト層の材料としては、導電率を向上させた酸化物半導体を用いることができ、例えば、In-Ga-Zn-O系、In-Sn-Zn-O系、Ga-Sn-Zn-O系、In-Zn-O系、Sn-Zn-O系、In-Sn-O系、Ga-Zn-O系、In-O系、Sn-O系またはZn-O系の酸化物半導体を用いることができる。

40

【0142】

図20Cには、ゲート電極71が層間絶縁膜62に埋め込まれた構造の薄膜トランジスタ56Cが示されている。

【0143】

図20Dには、ゲート電極71が層間絶縁膜62に埋め込まれ、ゲート電極71および層間絶縁膜62の全面にゲート絶縁膜72が残されるような構造の薄膜トランジスタ56Dが示されている。

【0144】

50

図20Eには、スタガー構造の薄膜トランジスタ56Eが示されており、薄膜トランジスタ56Eとして、薄膜トランジスタ56A乃至56Dのような逆スタガー構造ではなく、スタガー構造を採用することができる。

【0145】

次に、図21を参照して、固体撮像素子31の製造方法について説明する。

【0146】

まず、第1の工程において、例えば、イオン注入法などにより、シリコン基板61の内部にPD51およびFD57を形成する。

【0147】

次に、第2の工程において、シリコン基板61の表面に、絶縁層64を介して転送トランジスタ52のゲート電極63を形成し、層間絶縁膜62-1を積層した後に、コンタクトビア65を形成してFD57に接続する。

【0148】

そして、第3の工程において、薄膜トランジスタ56(図20のゲート電極71、ゲート絶縁膜72、および半導体層73)を形成した後に、メタル配線66を形成すると同時に、櫛形状の付加容量59を形成する。

【0149】

その後、第4の工程において、層間絶縁膜62-2を積層することにより、画素41が形成された固体撮像素子31を製造することができる。

【0150】

以上のように、固体撮像素子31の製造方法では、メタル配線66を形成すると同時に、櫛形状の付加容量59を形成することができ、従来の製造方法から付加容量59を形成するためだけに工程を増やすことはなく、固体撮像素子31を製造することができる。なお、以下で説明する構成例の画素41を有する固体撮像素子31も同様の製造方法により製造することができる。

【0151】

次に、図22乃至図31を参照し、グローバルシャッタの機能を有する固体撮像素子31に採用される画素41の構成例について説明する。

【0152】

つまり、図5に示したような、層間絶縁膜62-1および62-2の間に付加容量59が形成されている画素41の構造を応用して、全ての画素41の露光タイミングを揃えて、一括読み出しを行う、いわゆるグローバルシャッタ機能を有する固体撮像素子31を実現することができる。

【0153】

図22は、画素41の第7の構成例を示す回路図である。

【0154】

図22に示すように、画素41Fは、PD51、転送トランジスタ52、増幅トランジスタ53、選択トランジスタ54、リセットトランジスタ55、FD57、容量58、排出トランジスタ81、薄膜トランジスタ82、および容量83を備えて構成される。

【0155】

画素41Fでは、PD51のアノード端子が接地され、PD51のカソード端子が、転送トランジスタ52を介してFD57に接続されるとともに、排出トランジスタ81を介して定電圧源VDDに接続されている。また、FD57は、容量58を介して接地され、リセットトランジスタ55を介して定電圧源VDDに接続され、薄膜トランジスタ82を介して増幅トランジスタ53のゲート電極に接続されている。そして、薄膜トランジスタ82と増幅トランジスタ53のゲート電極との接続点は、容量83を介して電源VCSに接続されている。また、増幅トランジスタ53は、一方の端子が定電圧源VDDに接続されるとともに、他方の端子が、選択トランジスタ54を介して、定電流源60が接続された垂直信号線43に接続されている。

【0156】

10

20

30

40

50

また、転送トランジスタ 5 2 のゲート電極には水平信号線 4 2 T が接続され、選択トランジスタ 5 4 のゲート電極には水平信号線 4 2 S が接続され、リセットトランジスタ 5 5 のゲート電極には水平信号線 4 2 R が接続されている。さらに、排出トランジスタ 8 1 のゲート電極には水平信号線 4 2 A B G が接続され、薄膜トランジスタ 8 2 のゲート電極には水平信号線 4 2 S T R が接続されている。

【 0 1 5 7 】

つまり、画素 4 1 F では、F D 5 7 と増幅トランジスタ 5 3 との間の接続を切り替える薄膜トランジスタ 8 2 (スイッチング素子) が接続され、薄膜トランジスタ 8 2 と増幅トランジスタ 5 3 との接続点に容量 8 3 の一方の端子が接続され、容量 8 3 の他方の端子に電源 V C S が接続されている点で、図 4 の画素 4 1 の異なる構成とされている。また、画素 4 1 F では、P D 5 1 に蓄積された電子を排出するために、排出トランジスタ 8 1 が設けられている点でも、図 4 の画素 4 1 の異なる構成とされている。

10

【 0 1 5 8 】

このように画素 4 1 F は構成されており、複数の画素 4 1 F が画素アレイ部 3 2 に行列状に配置された固体撮像素子 3 1 では、グローバルシャッタの機能を実現するために、全ての画素 4 1 F において、P D 5 1 から F D 5 7 へ同時に電子が転送される。その後、薄膜トランジスタ 8 2 を介して F D 5 7 から容量 8 3 に電子が転送され、容量 8 3 において電子が保持される。そして、画素信号の読み出し対象となった画素 4 1 F では、容量 8 3 に蓄積されている電子に応じたレベルの信号、即ち、光電変換により P D 5 1 で発生して F D 5 7 に転送された後に容量 8 3 に転送された電子に応じたレベルの信号が出力される。

20

【 0 1 5 9 】

次に、図 2 3 を参照して、画素 4 1 F の構造について説明する。図 2 3 A には、画素 4 1 F の F D 5 7 の近傍における断面的な構成例が示されており、図 2 3 B には、画素 4 1 F の配線層における平面的な構成例が示されている。なお、図 2 3 では、図 5 の画素 4 1 と共通する構成について同一の符号を付しており、その詳細な説明については省略する。

【 0 1 6 0 】

画素 4 1 F は、図 5 の画素 4 1 と同様に、シリコン基板 6 1 に層間絶縁膜 6 2 - 1 および 6 2 - 2 が積層され、層間絶縁膜 6 2 - 1 および 6 2 - 2 の間に配線層が形成されて構成されている。また、その配線層に形成される容量 8 3 は、図 5 を参照して説明した付加容量 5 9 と同様に、櫛形状をしている。但し、図 2 2 に示したように、画素 4 1 F では、薄膜トランジスタ 8 2 を介して F D 5 7 および増幅トランジスタ 5 3 が接続される点で、画素 4 1 と異なる構成とされている。

30

【 0 1 6 1 】

即ち、F D 5 7 は、コンタクトビア 6 5 を介して、層間絶縁膜 6 2 - 1 および 6 2 - 2 の間に形成された配線層のメタル配線 6 6 に接続され、メタル配線 6 6 の一端は、リセットトランジスタ 5 5 に接続されている。また、メタル配線 6 6 の他端は、配線層に形成された薄膜トランジスタ 8 2 の一端に接続されており、薄膜トランジスタ 8 2 の他端に、容量 8 3 を構成する一方の電極 8 3 A が接続されている。さらに、電極 8 3 A は、増幅トランジスタ 5 3 に接続されており、容量 8 3 を構成する他方の電極 8 3 B は、電源 V C S に接続されている。

40

【 0 1 6 2 】

ここで、図 2 3 B に示すように、容量 8 3 を構成する 1 対の電極 8 3 A および 8 3 B は、いわゆる櫛形状をしており、櫛の歯に対応する配線部分が、互いに所定の間隔を有するように交互に配置されている。この櫛の歯に対応する配線部分が、電子を蓄積する容量として機能する。また、容量 8 3 は、ある一定の面積を有して形成され、平面的に見たときに、P D 5 1 と重なり合う領域に形成されている。

【 0 1 6 3 】

このように画素 4 1 F は構成されており、薄膜トランジスタ 8 2 が垂直駆動回路 3 3 の制御に従って駆動することにより、F D 5 7 と容量 8 3 との接続がオン/オフされる。例

50

えば、PD51からFD57に電子が転送された後、薄膜トランジスタ82がオンとなり、FD57に蓄積されている電子が、容量83に転送される。なお、このとき、電極83Bに接続される電源VCSがHighレベルの状態とされることで、電極83Aの電圧が上昇し、FD57に蓄積されている電子を容量83に転送することが可能となる。なお、電源VCSのHighレベルの電圧は、0Vから定電圧源VDDまでの間の適当な値とすることができる。

【0164】

このように、画素41Fでは、グローバルシャッタの機能を有する固体撮像素子31において、全ての画素41Fで同時にPD51から転送された電子を保持する容量83が、シリコン基板61から層間絶縁膜62-1を介して配置される配線層中に形成される。また、薄膜トランジスタ82も、容量83と同じ配線層中に形成される。このように、薄膜トランジスタ82および容量83が配線層中に形成されることで、それらがシリコン基板61中に形成されるような構造よりも、PD51の面積を広くとることができる。従って、そのような構造においてPD51の光電変換効率が低下するようなことを回避することができる。

【0165】

図24には、第6の駆動方法による画素41Fの駆動タイミングの例が示されている。第6の駆動方法は、グローバルシャッタ動作における読み出し方法であり、各信号は、HighレベルおよびLowレベルの2値を取り得る。

【0166】

まず、時刻T1において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、PD51、FD57、および容量83のリセットを行うために、リセット信号RST、接続信号STR、および排出信号ABGをHighレベルにする。

【0167】

接続信号STRは、水平信号線42STRを介して薄膜トランジスタ82に供給され、接続信号STRがHighレベルになると薄膜トランジスタ82がオンになり、FD57と容量83とが接続される。リセット信号RSTは、水平信号線42Rを介してリセットトランジスタ55に供給され、リセット信号RSTがHighレベルになるとリセットトランジスタ55がオンになり、FD57および容量83がリセットされる。また、排出信号ABGは、水平信号線42ABGを介して排出トランジスタ81に供給され、排出信号ABGがHighレベルになると排出トランジスタ81がオンになり、PD51に蓄積されている電子が定電圧源VDDに排出される。

【0168】

時刻T2において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、リセット信号RST、接続信号STR、および排出信号ABGをLowレベルにして、リセットトランジスタ55、薄膜トランジスタ82、および排出トランジスタ81がオフになる。これにより、PD51、FD57、および容量83のリセットが完了し、全ての行の画素41Fにおいて同時に、PD51の露光が開始される。

【0169】

時刻T3において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、リセット信号RSTおよび接続信号STRをHighレベルにして、時刻T4において、リセット信号RSTおよび接続信号STRをLowレベルにする。これにより、リセットトランジスタ55および薄膜トランジスタ82がオンになり、露光期間中に主にFD57でリークによって生成された電子が、FD57および容量83から排出される。

【0170】

時刻T5において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、水平信号線42Tを介して転送トランジスタ52に供給する転送信号TXをHighレベルにして、転送トランジスタ52をオンにする。これにより、画素41Fの露光が終了し、全ての行の画素41Fにおいて同時に、PD51に蓄積されている電子がFD57に転送される。この転送動作が、全ての画素41Fで同時に行われることにより、グローバルシャッタ

10

20

30

40

50

動作が実現される。

【0171】

時刻T6において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、転送信号TXをLowレベルにして転送トランジスタ52をオフにして電子の転送を完了する。

【0172】

時刻T7において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、水平信号線42STRを介して薄膜トランジスタ82に供給する接続信号STRをHighレベルにし、薄膜トランジスタ82を介してFD57および容量83を接続する。このとき、垂直駆動回路33は、薄膜トランジスタ82と接続される端子に対して反対側となる容量83の端子(図23の電極83B)に接続されている電源VCSの電位を、時刻T6から時刻T9までの間においてHighレベルにする。これにより、FD57から容量83へ電子が転送されるようにポテンシャルが形成され、FD57に蓄積されている電子を容量83に転送することができる。

10

【0173】

また、時刻T7において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、水平信号線42ABGを介して排出トランジスタ81に供給される排出信号ABGをHighレベルにする。排出信号ABGは、時刻T7以降においてHighレベルが維持され、PD51において光電変換により発生する電子が定電圧源VDDに排出され続けることで、PD51に余分な電子が蓄積されないようにする。

【0174】

20

時刻T8において、垂直駆動回路33は、全ての行の画素41Fに対して同時に、水平信号線42STRを介して薄膜トランジスタ82に供給する接続信号STRをLowレベルにして、FD57から容量83への電子の転送を完了する。

【0175】

ここで、時刻T1から時刻T8までの動作は、全ての画素41Fで同じタイミングで行われ、全ての画素41FのPD51において発生した電子が容量83に蓄積されており、その後、画素41Fの行ごとに順次、信号の読み出しが行われる。例えば、時刻T9から時刻T12までが1行目の画素41Fの読み出し期間とされ、時刻T13から時刻T16までが2行目の画素41Fの読み出し期間とされる。そして、以下同様に、最終行まで順次、読み出し期間とされた行の画素41Fの信号の読み出しが行われる。

30

【0176】

時刻T9において、垂直駆動回路33は、1行目の画素41Fに対して、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをHighレベルにし、画素41Fの信号が垂直信号線43を介して水平駆動回路34に出力することができる状態にする。そして、出力電圧が安定した後、容量83に蓄積された電子に応じたレベルを示す信号が、検出値D1として水平駆動回路34の検出器により検出される。

【0177】

時刻T10において、垂直駆動回路33は、1行目の画素41Fに対して、リセット信号RSTおよび接続信号STRをHighレベルにして、リセットトランジスタ55および薄膜トランジスタ82をオンにする。これにより、FD57および容量83に蓄積された電子が定電圧源VDDに排出されて、FD57および容量83がリセットされる。

40

【0178】

時刻T11において、垂直駆動回路33は、リセット信号RSTおよび接続信号STRをLowレベルにしてリセットトランジスタ55および薄膜トランジスタ82をオフにし、FD57および容量83のリセットを完了する。そして、出力電圧が安定した後、容量83のリセットレベルを示す信号が、検出値D2として水平駆動回路34の検出器により検出される。

【0179】

時刻T12において、垂直駆動回路33は、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをLowレベルにして、1行目の画素41Fに対する読み

50

出し期間が終了する。

【0180】

このように、時刻T₉から時刻T₁₂までが1行目の画素41Fの読み出し期間とされ、検出値D₁と検出値D₂との差分を示す信号が、光電変換によりPD51で発生した電子に応じたレベルを示す出力信号S_{ig}として水平駆動回路34から出力される。

【0181】

その後、時刻T₉から時刻T₁₂までと同様に、時刻T₁₃から時刻T₁₆までが2行目の画素41Fの読み出し期間とされ、2行目の画素41FのPD51で発生した電子に応じたレベルを示す出力信号S_{ig}が出力される。以下、全ての行の画素41Fについて同様の動作が繰り返され、全ての画素41Fから画素信号が出力される。

10

【0182】

以上のように、画素41Fを有する固体撮像素子31において、グローバルシャッタ動作を実現することができる。

【0183】

図25は、画素41の第8の構成例を示す回路図である。

【0184】

図25に示されている画素41Gは、リセットレベルを示す信号が読み出された後に、PD51から転送された電子に応じたレベルを示す信号を読み出して画素信号を算出する相関二重サンプリングが可能な構成である。

【0186】

20

図25に示すように、画素41Gは、PD51、転送トランジスタ52、増幅トランジスタ53、選択トランジスタ54、リセットトランジスタ55、FD57、容量58、排出トランジスタ81、薄膜トランジスタ82、および容量83を備える点で、図22の画素41Fと共通する。但し、画素41Gは、薄膜トランジスタ84および容量85を備える点で、図22の画素41Fと異なる構成となっている。

【0187】

薄膜トランジスタ84および容量85は、薄膜トランジスタ82および容量83と同様に、層間絶縁膜62-1および62-2(図23)の間に形成される。

【0188】

薄膜トランジスタ84は、薄膜トランジスタ82および容量83の接続点と、増幅トランジスタ53のゲート電極との接続を切り替えることができるように配置される。そして、薄膜トランジスタ84と増幅トランジスタ53との接続点には、容量85の一方の端子が接続されるとともに、リセットトランジスタ55を介して定電圧源VDDが接続される。また、薄膜トランジスタ82のゲート電極には水平信号線42STR1が接続され、薄膜トランジスタ84のゲート電極には水平信号線42STR2が接続され、容量85の他方の端子には水平信号線42CSが接続されている。

30

【0189】

このように画素41Gは構成されており、複数の画素41Gが画素アレイ部32に行列状に配置された固体撮像素子31では、グローバルシャッタの機能を実現するために、全ての画素41Gにおいて、PD51からFD57へ同時に電子が転送される。その後、薄膜トランジスタ82を介してFD57から容量83に電子が転送され、容量83において電子が保持される。そして、画素信号の読み出し対象となった画素41Gでは、容量85のリセットレベルの信号が出力された後に、薄膜トランジスタ84を介して容量83から容量85に電子が転送されて、容量85に蓄積されている電子に応じたレベルの信号が出力される。

40

【0190】

図26には、第7の駆動方法による画素41Gの駆動タイミングの例が示されている。

【0191】

まず、時刻T₁において、垂直駆動回路33は、全ての行の画素41Gに対して同時に、PD51、FD57、容量83、および容量85のリセットを行うために、リセット信

50

号 R S T、排出信号 A B G、接続信号 S T R 1、および接続信号 S T R 2 をHighレベルにする。

【 0 1 9 2 】

接続信号 S T R 1 は、水平信号線 4 2 S T R 1 を介して薄膜トランジスタ 8 2 に供給され、接続信号 S T R 1 がHighレベルになると薄膜トランジスタ 8 2 がオンになり、F D 5 7 と容量 8 3 とが接続される。接続信号 S T R 2 は、水平信号線 4 2 S T R 2 を介して薄膜トランジスタ 8 4 に供給され、接続信号 S T R 2 がHighレベルになると薄膜トランジスタ 8 4 がオンになり、容量 8 3 と容量 8 5 とが接続される。

【 0 1 9 3 】

リセット信号 R S T は、水平信号線 4 2 R を介してリセットトランジスタ 5 5 に供給され、リセット信号 R S T がHighレベルになるとリセットトランジスタ 5 5 がオンになり、F D 5 7、容量 8 3、および容量 8 5 がリセットされる。また、排出信号 A B G は、水平信号線 4 2 A B G を介して排出トランジスタ 8 1 に供給され、排出信号 A B G がHighレベルになると排出トランジスタ 8 1 がオンになり、P D 5 1 に蓄積されている電子が定電圧源 V D D に排出される。

10

【 0 1 9 4 】

時刻 T 2 において、垂直駆動回路 3 3 は、リセット信号 R S T、排出信号 A B G、接続信号 S T R 1、および接続信号 S T R 2 をLowレベルにして、リセットトランジスタ 5 5、排出トランジスタ 8 1、薄膜トランジスタ 8 2、および薄膜トランジスタ 8 4 がオフになる。これにより、P D 5 1、F D 5 7、容量 8 3、および容量 8 5 のリセットが完了し、全ての行の画素 4 1 G において同時に、P D 5 1 の露光が開始される。

20

【 0 1 9 5 】

時刻 T 3 において、垂直駆動回路 3 3 は、全ての行の画素 4 1 G に対して同時に、リセット信号 R S T、接続信号 S T R 1、および接続信号 S T R 2 をHighレベルにして、時刻 T 4 において、それらの信号をLowレベルにする。これにより、リセットトランジスタ 5 5、薄膜トランジスタ 8 2、および薄膜トランジスタ 8 4 がオンになり、露光期間中に主に F D 5 7 でリークによって生成された電子が、F D 5 7、容量 8 3、および容量 8 5 から排出される。

【 0 1 9 6 】

そして、時刻 T 5 から時刻 T 8 までが、図 2 4 の時刻 T 5 から時刻 T 8 までと同様に、全ての行の画素 4 1 G に対して同時に、P D 5 1 に蓄積されている電子が F D 5 7 に転送され、さらに F D 5 7 から容量 8 3 へ電子が転送される。その後、行ごとに順次、信号の読み出しが行われるが、図 2 6 には、それらのうちの 1 行の駆動タイミングが示されている。このとき、垂直駆動回路 3 3 は、時刻 T 6 から時刻 T 9 までの間において電源 V C S の電位をHighレベルにする。これにより F D 5 7 から容量 8 3 へ電子が転送されるようにポテンシャルが形成され、F D 5 7 に蓄積されている電子を容量 8 3 に転送することができる。

30

【 0 1 9 7 】

時刻 T 9 において、垂直駆動回路 3 3 は、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L をHighレベルにし、画素 4 1 G の信号が垂直信号線 4 3 を介して水平駆動回路 3 4 に出力することができる状態にする。同時に、垂直駆動回路 3 3 は、リセット信号 R S T をHighレベルにして、リセットトランジスタ 5 5 をオンにする。これにより、容量 8 5 に蓄積された電子が定電圧源 V D D に排出されて、容量 8 5 がリセットされる。

40

【 0 1 9 8 】

時刻 T 1 0 において、垂直駆動回路 3 3 は、リセット信号 R S T をLowレベルにしてリセットトランジスタ 5 5 をオフにし、容量 8 5 のリセットを完了する。そして、出力電圧が安定した後、容量 8 5 のリセットレベルを示す信号が、検出値 D 1 として水平駆動回路 3 4 の検出器により検出される。

【 0 1 9 9 】

50

時刻 T 1 1 において、垂直駆動回路 3 3 は、水平信号線 4 2 S T R 2 を介して薄膜トランジスタ 8 4 に供給する接続信号 S T R 2 を High レベルにして、容量 8 3 と容量 8 5 と薄膜トランジスタ 8 4 を介して接続する。このとき、垂直駆動回路 3 3 は、薄膜トランジスタ 8 4 と接続される端子に対して反対側となる容量 8 5 の端子に接続されている水平信号線 4 2 C S の電位を、時刻 T 1 0 から時刻 T 1 3 までの間において High レベルにする。これにより、容量 8 3 から容量 8 5 へ電子が転送されるように、容量 8 3 側よりも容量 8 5 側（増幅トランジスタ 5 3 びゲート端子側）の電圧が高くなり、容量 8 3 に蓄積されている電子を容量 8 5 に転送することができる。

【 0 2 0 0 】

時刻 T 1 2 において、垂直駆動回路 3 3 は、水平信号線 4 2 S T R 2 を介して薄膜トランジスタ 8 4 に供給する接続信号 S T R 2 を Low レベルにして、容量 8 3 から容量 8 5 への電子の転送を完了する。そして、出力電圧が安定した後、容量 8 5 に蓄積された電子に応じたレベルを示す信号が、検出値 D 2 として水平駆動回路 3 4 の検出器により検出される。

【 0 2 0 1 】

時刻 T 1 3 において、垂直駆動回路 3 3 は、水平信号線 4 2 S を介して選択トランジスタ 5 4 に供給する選択信号 S E L を Low レベルにして、読み出し期間が終了する。なお、その後、次の行の画素 4 1 G が順次読み出しの対象とされ、時刻 T 9 から時刻 T 1 3 までの動作が繰り返され、全ての行の画素 4 1 G が読み出しの対象とされることで、全ての画素 4 1 G からの信号の読み出しが完了する。

【 0 2 0 2 】

このように、画素 4 1 G では、増幅トランジスタ 5 3 のゲート電極に接続される容量 8 5 のリセットを行った後、そのリセットレベルを示す信号の読み出しと、P D 5 1 で発生した電子に応じたレベルを示す信号の読み出しとが連続して行われる。これにより、画素 4 1 G を有する固体撮像素子 3 1 では、グローバルシャッタ動作を実現するとともに、相関二重サンプリングが可能となり、リセット時のノイズを低減することができる。

【 0 2 0 3 】

図 2 7 は、画素 4 1 の第 9 の構成例を示す回路図である。

【 0 2 0 4 】

図 2 7 に示すように、画素 4 1 H は、2 つの画素 4 1 H - 1 および 4 1 H - 2 を有し、図 9 の画素 4 1 A と同様に、増幅トランジスタ 5 3、選択トランジスタ 5 4、およびリセットトランジスタ 5 5 を共有する 2 画素共有とされている。

【 0 2 0 5 】

画素 4 1 H - 1 は、P D 5 1 - 1、転送トランジスタ 5 2 - 1、F D 5 7 - 1、容量 5 8 - 1、排出トランジスタ 8 1 - 1、薄膜トランジスタ 8 2 - 1、容量 8 3 - 1、および薄膜トランジスタ 8 6 - 1 を備えて構成される。

【 0 2 0 6 】

画素 4 1 H - 1 では、P D 5 1 - 1 のアノード端子が接地され、P D 5 1 - 1 のカソード端子が、転送トランジスタ 5 2 - 1 を介して F D 5 7 - 1 に接続されるとともに、排出トランジスタ 8 1 - 1 を介して定電圧源 V D D に接続されている。また、F D 5 7 - 1 は、容量 5 8 - 1 を介して接地され、薄膜トランジスタ 8 2 - 1 および薄膜トランジスタ 8 6 - 1 を介して増幅トランジスタ 5 3 のゲート電極に接続されている。そして、薄膜トランジスタ 8 2 - 1 と薄膜トランジスタ 8 6 - 1 との接続点は、容量 8 3 - 1 を介して電源 V C S に接続され、薄膜トランジスタ 8 6 - 1 と増幅トランジスタ 5 3 との接続点は、リセットトランジスタ 5 5 を介して定電圧源 V D D に接続されている。

【 0 2 0 7 】

また、転送トランジスタ 5 2 - 1 のゲート電極には水平信号線 4 2 T - 1 が接続され、排出トランジスタ 8 1 - 1 のゲート電極には水平信号線 4 2 A B G - 1 が接続されている。また、薄膜トランジスタ 8 2 - 1 のゲート電極には水平信号線 4 2 S T R 1 - 1 が接続され、薄膜トランジスタ 8 6 - 1 のゲート電極には水平信号線 4 2 S T R 2 - 1 が接続さ

10

20

30

40

50

れている。

【0208】

画素41H-2は、PD51-2、転送トランジスタ52-2、FD57-2、容量58-2、排出トランジスタ81-2、薄膜トランジスタ82-2、容量83-2、および薄膜トランジスタ86-2を備えて構成され、画素41H-1と同様の接続構成を有している。

【0209】

このように、画素41H-1および41H-2は、PD51-1および51-2で発生した電荷を保持する容量83-1および83-2をそれぞれ備えており、図22の画素41Fと同様に、グローバルシャッタ動作を実現することができる。

10

【0210】

図28には、第8の駆動方法による画素41Hの駆動タイミングの例が示されている。

【0211】

まず、時刻T1において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、PD51-1および51-2、FD57-1および57-2、並びに、容量83-1および83-2のリセットを行うために、リセット信号RST、排出信号ABG1およびABG2、接続信号STR1-1およびSTR2-1、並びに、接続信号STR1-2およびSTR2-2をHighレベルにする。

【0212】

リセット信号RST、並びに、接続信号STR1-1およびSTR2-1がHighレベルになることにより、リセットトランジスタ55、薄膜トランジスタ82-1および86-1がオンになり、FD57-1および容量83-1がリセットされる。同様に、リセット信号RST、並びに、接続信号STR1-2およびSTR2-2がHighレベルになることにより、リセットトランジスタ55、薄膜トランジスタ82-2および86-2がオンになり、FD57-2および容量83-2がリセットされる。また、排出信号ABG1およびABG2がHighレベルになることにより、排出トランジスタ81-1および81-2がオンになり、PD51-1および51-2に蓄積されている電子が定電圧源VDDに排出される。

20

【0213】

時刻T2において、垂直駆動回路33は、リセット信号RST、排出信号ABG1およびABG2、接続信号STR1-1およびSTR2-1、並びに、接続信号STR1-2およびSTR2-2をLowレベルにする。これに応じて、リセットトランジスタ55、排出トランジスタ81-1および81-2、並びに、薄膜トランジスタ82-1および82-2がオフになる。これにより、PD51-1および51-2、FD57-1および57-2、並びに、容量83-1および83-2のリセットが完了し、全ての行の画素41Hにおいて同時に、PD51-1および51-2の露光が開始される。

30

【0214】

時刻T3において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、リセット信号RST、接続信号STR1-1およびSTR2-1、並びに、接続信号STR1-2およびSTR2-2をHighレベルにして、時刻T4において、それらの信号をLowレベルにする。これにより、露光期間中に主にFD57-1および57-2でリークによって生成された電子が、FD57-1および57-2、並びに、容量82-1および82-2から排出される。

40

【0215】

時刻T5において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、水平信号線42T-1および42T-2を介して転送トランジスタ52-1および52-2に供給する転送信号TX1およびTX2をそれぞれHighレベルにして、転送トランジスタ52-1および52-2をオンにする。これにより、画素41Hの露光が終了し、全ての行の画素41Hにおいて同時に、PD51-1および51-2に蓄積されている電子がFD57-1および57-2にそれぞれ転送される。この転送動作が、全ての画素41Hで同

50

時に行われることにより、グローバルシャッタ動作が実現される。

【0216】

時刻T6において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、転送信号TX1およびTX2をLowレベルにして転送トランジスタ52-1および52-2をオフにして電子の転送を完了する。

【0217】

時刻T7において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、水平信号線42STR-1および42STR-2を介して薄膜トランジスタ82-1および82-2に供給する接続信号STR1およびSTR2をそれぞれHighレベルにする。これに応じて、FD57-1および容量83-1が薄膜トランジスタ82-1を介して接続され、FD57-2および容量83-2が薄膜トランジスタ82-2を介して接続される。

10

【0218】

このとき、垂直駆動回路33は、電源VCSの電位を、時刻T6から時刻T9までの間においてHighレベルにしている。電源VCSは、薄膜トランジスタ82-1と接続される端子に対して反対側となる容量83-1の端子、および、薄膜トランジスタ82-2と接続される端子に対して反対側となる容量83-2の端子に接続されている。

【0219】

これにより、薄膜トランジスタ82-1と接続されていない側の容量83-1の端子の電圧が上がり、FD57-1に蓄積されている電子が容量83-1に転送される。同様に、薄膜トランジスタ82-2と接続されていない側の容量83-2の端子の電圧が上がり、FD57-2に蓄積されている電子が容量83-2に転送される。

20

【0220】

また、時刻T7において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、水平信号線42ABG-1および42ABG-2を介して排出トランジスタ81-1および81-2に供給される排出信号ABG1およびABG2をそれぞれHighレベルにする。排出信号ABG1およびABG2は、時刻T7以降においてHighレベルが維持され、PD51-1および51-2において光電変換により発生する電子が定電圧源VDDに排出され続けることで、PD51-1および51-2に余分な電子が蓄積されないようにする。

【0221】

時刻T8において、垂直駆動回路33は、全ての行の画素41Hに対して同時に、水平信号線42STR1-1および42STR1-2を介して薄膜トランジスタ82-1および82-2に供給する接続信号STR1-1およびSTR1-2をLowレベルにする。これに応じて、FD57-1から容量83-1への電子の転送、および、FD57-2から容量83-2への電子の転送を完了する。

30

【0222】

時刻T9において、垂直駆動回路33は、電源VCSをLowレベルにする。ここまでの動作は、全ての画素41Hにおいて同時に行われており、全てのPD51で発生した電子は、それぞれ対応する容量83に保持された状態となる。

【0223】

時刻T10において、垂直駆動回路33は、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをHighレベルにし、画素41Hの信号が垂直信号線43を介して水平駆動回路34に出力することができる状態にする。また、時刻T10において、垂直駆動回路33は、リセット信号RSTをHighレベルにして、リセットトランジスタ55をオンにする。これにより、薄膜トランジスタ86-1および86-2と増幅トランジスタ53のゲート電極との接続点から不要な電子を排出する。

40

【0224】

時刻T11において、垂直駆動回路33は、リセット信号RSTをLowレベルにするとともに、水平信号線42STR2-1を介して薄膜トランジスタ86-1に供給する接続信号STR2-1をHighレベルにする。これにより、容量83-1と増幅トランジスタ5

50

3のゲート電極とが接続され、容量83-1に保持されている電子のレベルに応じた信号が増幅トランジスタ53から出力される。そして、出力電圧が安定した後、容量83-1に保持されている電子のレベルに応じた信号が、検出値D1-1として水平駆動回路34の検出器により検出される。

【0225】

時刻T12において、垂直駆動回路33は、リセット信号RSTをHighレベルにして、リセットトランジスタ55をオンにする。これにより、容量83-1に保持されている電子が定電圧源VDDに排出されて、容量83-1がリセットされる。

【0226】

時刻T13において、垂直駆動回路33は、リセット信号RSTをLowレベルにして、容量83-1のリセットを完了する。そして、出力電圧が安定した後、容量83-1のリセットレベルを示す信号が、検出値D2-1として水平駆動回路34の検出器により検出される。

10

【0227】

そして、時刻T11の後に検出される検出値D1-1と、時刻13の後に検出される検出値D2-1との差分を示す信号が、つまり、PD51-1で発生した電子が蓄積されたレベルに応じた出力信号Sig1が、画素41H-1の画素信号として検出される。

【0228】

時刻T14において、垂直駆動回路33は、水平信号線42STR2-1を介して薄膜トランジスタ86-1に供給する接続信号STR2-1をLowレベルにして、容量83-1と増幅トランジスタ53のゲート電極との接続を解除する。同時に、垂直駆動回路33は、リセット信号RSTをHighレベルにして、増幅トランジスタ53のゲート電極の接続点から不要な電子を排出する。

20

【0229】

時刻T15において、垂直駆動回路33は、リセット信号RSTをLowレベルにするとともに、水平信号線42STR2-2を介して薄膜トランジスタ86-2に供給する接続信号STR2-2をHighレベルにする。これにより、容量83-2と増幅トランジスタ53のゲート電極とが接続され、容量83-2に保持されている電子のレベルに応じた信号が増幅トランジスタ53から出力される。そして、出力電圧が安定した後、容量83-2に保持されている電子のレベルに応じた信号が、検出値D1-2として水平駆動回路34の検出器により検出される。

30

【0230】

時刻T16において、垂直駆動回路33は、リセット信号RSTをHighレベルにして、リセットトランジスタ55をオンにする。これにより、容量83-2に保持されている電子が定電圧源VDDに排出されて、容量83-2がリセットされる。

【0231】

時刻T17において、垂直駆動回路33は、リセット信号RSTをLowレベルにして、容量83-2のリセットを完了する。そして、出力電圧が安定した後、容量83-2のリセットレベルを示す信号が、検出値D2-2として水平駆動回路34の検出器により検出される。

40

【0232】

そして、時刻T15の後に検出される検出値D1-2と、時刻17の後に検出される検出値D2-2との差分を示す信号が、つまり、PD51-2で発生した電子が蓄積されたレベルに応じた出力信号Sig2が、画素41H-2の画素信号として検出される。

【0233】

時刻T18において、垂直駆動回路33は、水平信号線42STR2-2を介して薄膜トランジスタ86-2に供給する接続信号STR2-2をLowレベルにするとともに、水平信号線42Sを介して選択トランジスタ54に供給する選択信号SELをLowレベルにして、画素41Hに対する読み出し期間が終了する。なお、その後、次の行の画素41Hが順次読み出しの対象とされ、時刻T10から時刻T18までの動作が繰り返され、全て

50

の行の画素 4 1 H が読み出しの対象とされることで、全ての画素 4 1 H からの信号の読み出しが完了する。

【 0 2 3 4 】

以上のように、画素 4 1 H - 1 および 4 1 H - 2 により増幅トランジスタ 5 3 などを共有する構造の画素 4 1 H においては、トランジスタを配置する面積を削減することにより P D 5 1 の面積を広くすることができ、光電変換効率を向上させることができる。

【 0 2 3 5 】

なお、画素 4 1 H では、相関二重サンプリング (C D S) を行うことができる構成となっていないが、図 2 5 の画素 4 1 G のように、薄膜トランジスタ 8 4 および容量 8 5 を設け、図 2 6 を参照して説明したような駆動タイミングで駆動することにより、画素 4 1 H においても相関二重サンプリングを行うことができる。

【 0 2 3 6 】

図 2 9 は、画素 4 1 の第 1 0 の構成例を示す回路図である。

【 0 2 3 7 】

図 2 9 に示すように、画素 4 1 J は、P D 5 1、転送トランジスタ 5 2、増幅トランジスタ 5 3、選択トランジスタ 5 4、リセットトランジスタ 5 5、薄膜トランジスタ 5 6、F D 5 7、容量 5 8、付加容量 5 9、排出トランジスタ 8 1、薄膜トランジスタ 8 2、および容量 8 3 を備えて構成される。即ち、画素 4 1 J は、図 2 2 に示した画素 4 1 F の構成に、図 4 を参照して説明したような、F D 5 7 が有する容量 5 8 と薄膜トランジスタ 5 6 を介して接続される付加容量 5 9 とにより電子を蓄積することができる構成が組み合わ

【 0 2 3 8 】

画素 4 1 J では、P D 5 1 のアノード端子が接地され、P D 5 1 のカソード端子が、転送トランジスタ 5 2 を介して F D 5 7 に接続されるとともに、排出トランジスタ 8 1 を介して定電圧源 V D D に接続されている。また、F D 5 7 は、容量 5 8 を介して接地され、リセットトランジスタ 5 5 を介して定電圧源 V D D に接続され、薄膜トランジスタ 8 2 を介して増幅トランジスタ 5 3 のゲート電極に接続されている。

【 0 2 3 9 】

そして、薄膜トランジスタ 8 2 と増幅トランジスタ 5 3 のゲート電極との接続点は、容量 8 3 を介して電源 V C S に接続されている。さらに、この接続点は、薄膜トランジスタ 5 6 を介して付加容量 5 9 の一方の端子に接続され、付加容量 5 9 の他方の端子は接地されている。また、増幅トランジスタ 5 3 は、一方の端子が定電圧源 V D D に接続されるとともに、他方の端子が、選択トランジスタ 5 4 を介して、定電流源 6 0 が接続された垂直信号線 4 3 に接続されている。

【 0 2 4 0 】

また、転送トランジスタ 5 2 のゲート電極には水平信号線 4 2 T が接続され、選択トランジスタ 5 4 のゲート電極には水平信号線 4 2 S が接続され、リセットトランジスタ 5 5 のゲート電極には水平信号線 4 2 R が接続されている。さらに、排出トランジスタ 8 1 のゲート電極には水平信号線 4 2 A B G が接続され、薄膜トランジスタ 8 2 のゲート電極には水平信号線 4 2 S T R 1 が接続され、薄膜トランジスタ 5 6 のゲート電極には水平信号線 4 2 S T R 2 が接続されている。

【 0 2 4 1 】

つまり、画素 4 1 J では、薄膜トランジスタ 8 2 と増幅トランジスタ 5 3 のゲート電極との接続点に、薄膜トランジスタ 5 6 を介して付加容量 5 9 が接続可能に構成されている点で、図 2 2 の画素 4 1 F の異なる構成とされている。

【 0 2 4 2 】

このように構成されている画素 4 1 J では、図 2 2 の画素 4 1 F と同様に、グローバルシャッタの機能を実現することができるのに加えて、図 4 の画素 4 1 と同様に、増幅トランジスタ 5 3 のゲート電極の接続点に接続される蓄積容量を可変とすることができる。つまり、画素 4 1 J では、P D 5 1 で発生した電子を、容量 8 3 の蓄積容量で蓄積し、また

10

20

30

40

50

は、容量 8 3 に付加容量 5 9 を接続した蓄積容量で蓄積することができる。即ち、画素 4 1 J を有する固体撮像素子 3 1 では、グローバルシャッタの機能により歪のない画像を得ることができるとともに、ダイナミックレンジを拡大した画像を得ることができる。

【 0 2 4 3 】

次に、図 3 0 を参照して、画素 4 1 J の構造について説明する。図 3 0 A には、画素 4 1 J のシリコン基板上のレイアウトの構成例が示されており、図 3 0 B には、画素 4 1 J の配線層における平面的な構成例が示されている。

【 0 2 4 4 】

図 3 0 A に示すように、P D 5 1 は転送トランジスタ 5 2 を介して F D 5 7 に接続され、F D 5 7 に隣接してリセットトランジスタ 5 5 が配置されている。また、P D 5 1 には、排出トランジスタ 8 1 が接続されている。そして、リセットトランジスタ 5 5 に隣接して増幅トランジスタ 5 3 が配置され、増幅トランジスタ 5 3 に隣接して選択トランジスタ 5 4 が配置されており、出力バッファとなるソースフォロワとなる。また、選択トランジスタ 5 4 から離間した位置にウェルコンタクト 6 7 が形成されている。

【 0 2 4 5 】

図 3 0 B に示すように、容量 8 3 を構成する 1 対の電極 8 3 A および 8 3 B は、いわゆる櫛形状をしており、櫛の歯に対応する配線部分が、互いに所定の間隔を有するように交互に配置されている。同様に、付加容量 5 9 を構成する 1 対の電極 5 9 A および 5 9 B は、いわゆる櫛形状をしており、櫛の歯に対応する配線部分が、互いに所定の間隔を有するように交互に配置されている。そして、容量 8 3 および付加容量 5 9 は、ある一定の面積を有して形成され、平面的に見たときに、P D 5 1 と重なり合う領域に形成されている。

【 0 2 4 6 】

また、F D 5 7 に接続されるメタル配線 6 6 が、薄膜トランジスタ 8 2 を介して、容量 8 3 を構成する一方の電極 8 3 A に接続されており、容量 8 3 を構成する他方の電極 8 3 B は、電源 V C S に接続されている。また、電極 8 3 A は、増幅トランジスタ 5 3 に接続されるとともに、薄膜トランジスタ 5 6 を介して付加容量 5 9 を構成する一方の電極 5 9 A に接続されており、付加容量 5 9 を構成する一方の電極 5 9 B は接地 (G N D) されている。

【 0 2 4 7 】

このように画素 4 1 J は構成されており、画素 4 1 J を有する固体撮像素子 3 1 では、グローバルシャッタの機能により歪のない画像を得ることができるとともに、ダイナミックレンジを拡大した画像を得ることができる。

【 0 2 4 8 】

次に、図 3 1 は、画素 4 1 の第 1 1 の構成例を示す図である。図 3 1 A には、画素 4 1 K の F D 5 7 の近傍における断面的な構成例が示されており、図 3 1 B には、画素 4 1 K の配線層における平面的な構成例が示されている。なお、図 3 1 では、図 2 3 の画素 4 1 F と共通する構成について同一の符号を付しており、その詳細な説明については省略する。

【 0 2 4 9 】

画素 4 1 K は、図 2 2 の画素 4 1 F と同様の回路構成をしており、櫛形状をしている容量 8 3 に替えて、積層型の容量 8 3 ' を備えて構成される。即ち、画素 4 1 K では、F D 5 7 が薄膜トランジスタ 8 2 を介して、積層型の容量 8 3 ' および増幅トランジスタ 5 3 に接続されている。

【 0 2 5 0 】

図 3 1 に示すように、容量 8 3 ' は、平面形状に形成された 1 対の電極 8 3 A ' および 8 3 B ' の間に、絶縁膜 8 3 C が挟み込まれて構成される。このように、画素 4 1 K では、積層型の容量 8 3 ' を採用することにより、櫛型の容量 8 3 を採用した場合よりも、より大容量化を図ることができる。これにより、画素 4 1 K は、より大きな光量まで対応することができる。

【 0 2 5 1 】

10

20

30

40

50

また、上述したような固体撮像素子31は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

【0252】

図32は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

【0253】

図32に示すように、撮像装置101は、光学系102、撮像素子103、DSP(Digital Signal Processor)104を備えており、バス107を介して、DSP104、表示装置105、操作系106、メモリ108、記録装置109、および電源系110が接続されて構成され、静止画像および動画を撮像可能である。

10

【0254】

光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光(入射光)を撮像素子103に導き、撮像素子103の受光面(センサ部)に結像させる。

【0255】

撮像素子103としては、上述したいずれかの構成例の画素41を有する固体撮像素子31が適用される。撮像素子103には、光学系102を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子103に蓄積された電子に応じた信号がDSP104に供給される。

【0256】

DSP104は、撮像素子103からの信号に対して各種の信号処理を施して画像を取得し、その画像のデータを、メモリ108に一時的に記憶させる。メモリ108に記憶された画像のデータは、記録装置109に記録されたり、表示装置105に供給されて画像が表示されたりする。また、操作系106は、ユーザによる各種の操作を受け付けて撮像装置101の各ブロックに操作信号を供給し、電源系110は、撮像装置101の各ブロックの駆動に必要な電力を供給する。

20

【0257】

このように構成されている撮像装置101では、撮像素子103として、上述したような固体撮像素子31を適用することにより、よりダイナミックレンジの広い高画質な撮像画像を取得することができる。

【0258】

また、本技術における固体撮像素子の構成は、裏面照射型のCMOS型固体撮像素子や、表面照射型のCMOS型固体撮像素子、CCD(Charge Coupled Device)型固体撮像素子に採用することができる。

30

【0259】

なお、本技術は以下のような構成も取ることができる。

(1)

画素ごとに設けられ、受光した光に応じた電荷を発生する光電変換部と、
所定の容量を有し、前記光電変換部から転送されてくる電荷を蓄積する蓄積部と、
前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配置される容量部と、

40

前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配置され、前記蓄積部および前記容量部を接続する接続部と

を有する画素を備える撮像素子。

(2)

前記光電変換部から前記蓄積部への電荷の転送が、複数の前記画素において同時に行われるように駆動され、前記蓄積部に蓄積された電荷が前記接続部を介して前記容量部に保持される

上記(1)に記載の撮像素子。

(3)

前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配

50

置される第 2 の容量部と、

前記光電変換部および前記蓄積部が形成されるシリコン基板から層間絶縁膜を介して配置され、前記容量部と前記第 2 の容量部とを接続する第 2 の接続部と

をさらに有し、

前記第 2 の容量部のリセットレベルの信号が読み出された後に、前記第 2 の接続部を介して前記容量部から前記第 2 の容量部に電荷が転送され、前記第 2 の容量部に保持されている電荷に応じたレベルの信号が読み出される

上記(1)または(2)に記載の撮像素子。

(4)

前記容量部に保持されている電荷に応じたレベルの信号を出力する出力部が、複数の前記画素により共有されて構成されている

上記(1)から(3)までのいずれかに記載の撮像素子。

(5)

前記蓄積部の容量に対して付加的に、前記電荷を蓄積可能な付加容量部と、

前記蓄積部と前記付加容量部との接続を切り替える接続切替部と

をさらに有し、

前記付加容量部および前記接続切替部は、前記光電変換部が形成されるシリコン基板から層間絶縁膜を介して配置される配線層中に形成されている

上記(1)から(4)までのいずれかに記載の撮像素子。

(6)

前記容量部は、前記蓄積部の容量に対して付加的に、前記電荷を蓄積可能な付加容量部であり、

前記接続部は、前記画素から信号を読み出す読み出し期間中に、前記蓄積部と前記付加容量部との接続を切り替えるように駆動される

上記(1)に記載の撮像素子。

(7)

前記画素から信号を読み出す読み出し期間中に、前記接続部により前記蓄積部および前記付加容量部を接続状態とした信号の読み出しと、前記接続部により前記蓄積部および前記付加容量部を非接続状態とした信号の読み出しとが行われる

上記(6)に記載の撮像素子。

(8)

前記シリコン基板に前記配線層が積層される面に対して反対側を向く面である前記シリコン基板の裏面に、前記光電変換部が受光する光が入射する構造である

上記(6)または(7)に記載の撮像素子。

(9)

複数の前記画素により前記蓄積部が共有されて構成されている

上記(6)から(8)までのいずれかに記載の撮像素子。

(10)

前記蓄積部に、複数の前記接続部を介して前記容量部がそれぞれ接続されて構成されている

上記(6)から(9)までのいずれかに記載の撮像素子。

(11)

前記光電変換部が形成されるシリコン基板と前記接続部との間に、光を遮光する遮光膜が形成されている

上記(6)から(10)までのいずれかに記載の撮像素子。

(12)

前記容量部は、互いに所定の間隔を有するように交互に配置された配線部分を有する 1 対の櫛形状の電極により形成されている

上記(1)から(11)までのいずれかに記載の撮像素子。

(13)

10

20

30

40

50

前記容量部は、絶縁膜を挟み込んで向かい合うように形成された1対の平板形状の電極により形成されている

上記(1)から(11)までのいずれかに記載の撮像素子。

【0260】

なお、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

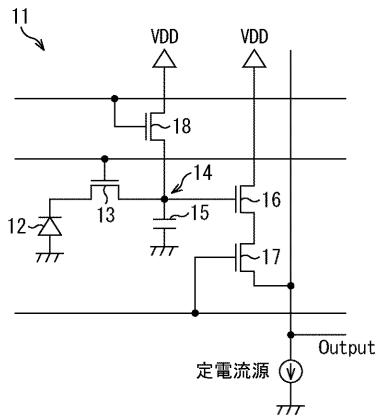
【符号の説明】

【0261】

31 固体撮像素子, 32 画素アレイ部, 33 垂直駆動回路, 34 水平駆動回路, 35 出力回路, 41 画素, 42 水平信号線, 43 垂直信号線, 51 PD, 52 転送トランジスタ, 53 増幅トランジスタ, 54 選択トランジスタ, 55 リセットトランジスタ, 56 薄膜トランジスタ, 57 FD, 58 容量, 59 付加容量, 60 定電流源

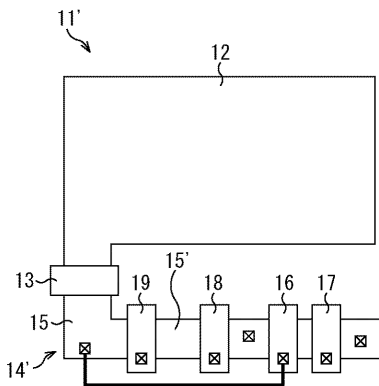
【図1】

図1



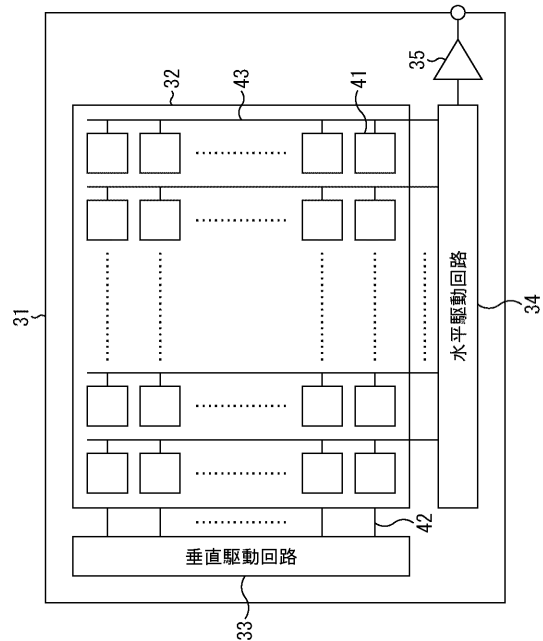
【図2】

図2



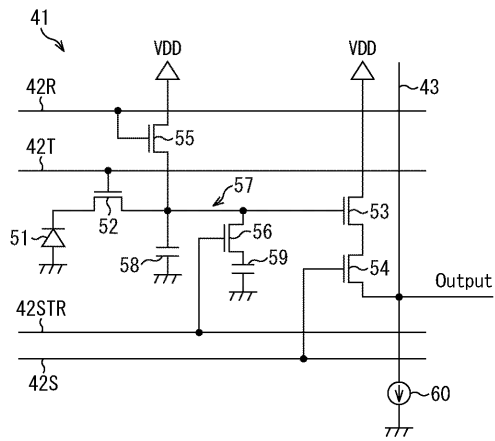
【図3】

図3



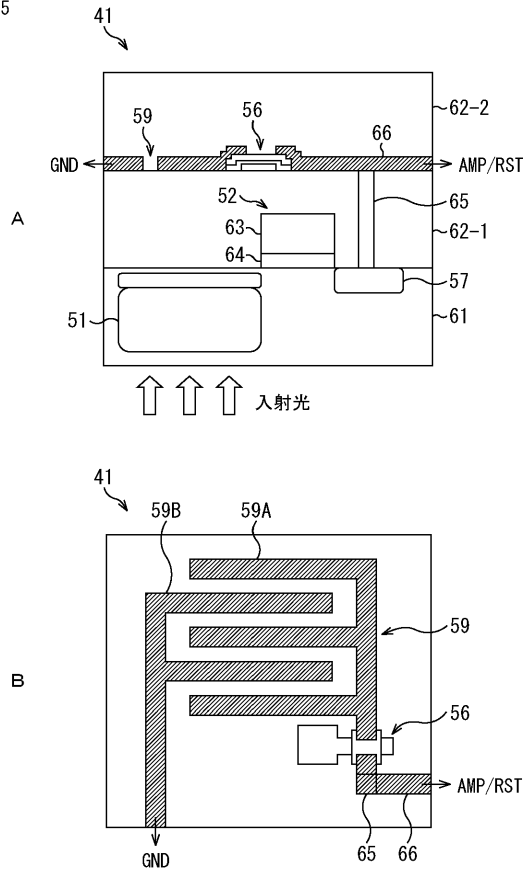
【 図 4 】

図4



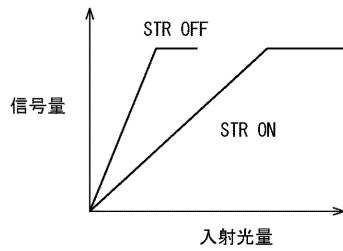
【 図 5 】

図5



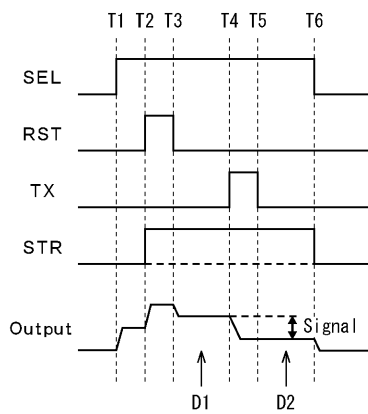
【 図 6 】

図6



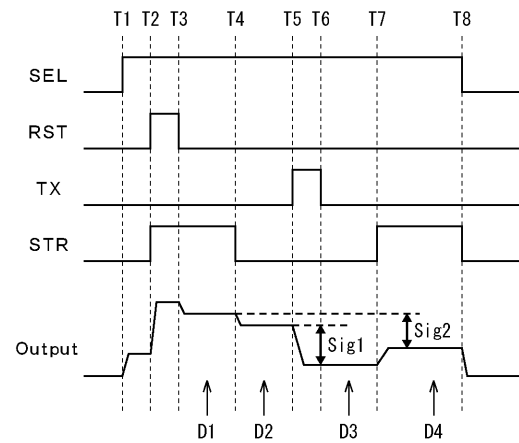
【 図 7 】

図7



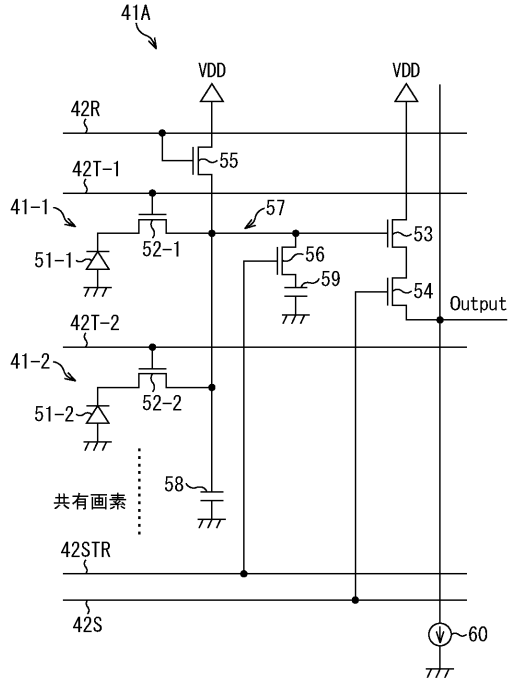
【 図 8 】

図8



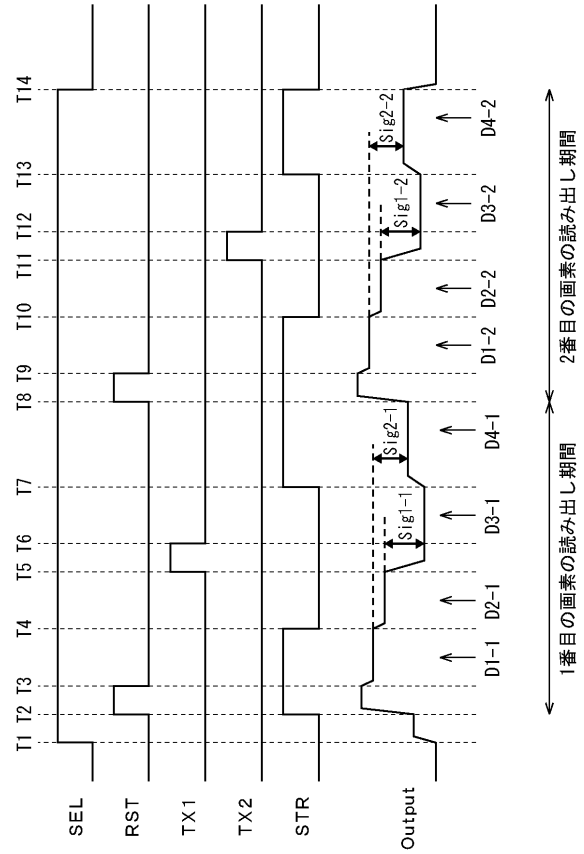
【図9】

図9



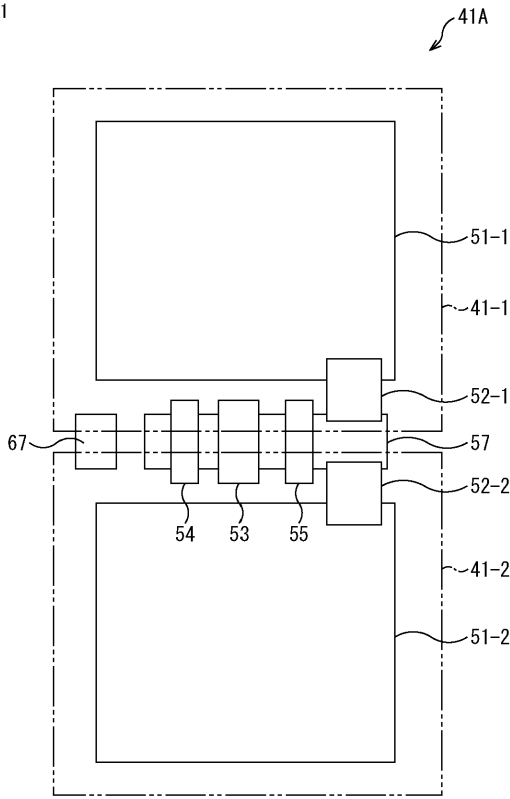
【図10】

図10



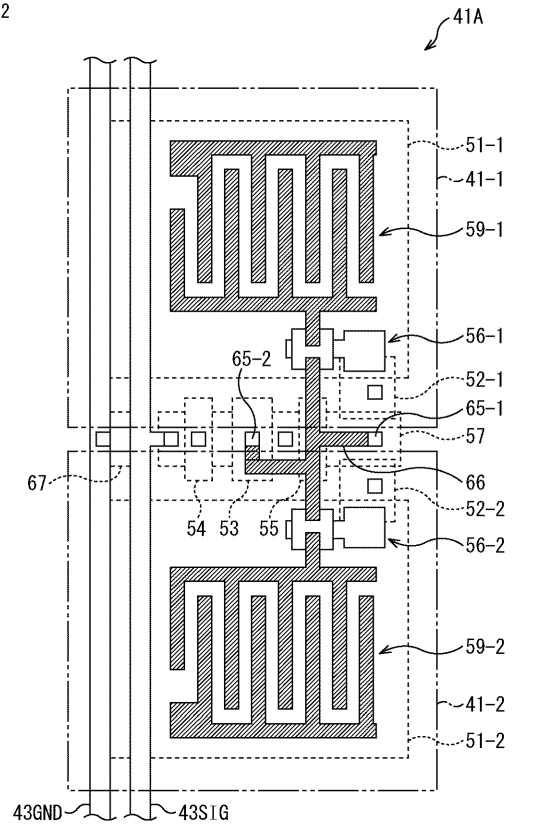
【図11】

図11



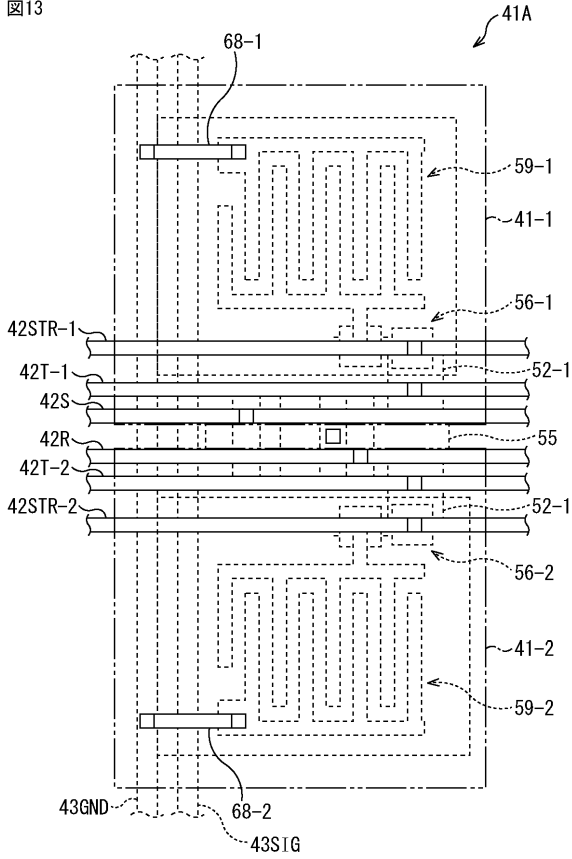
【図12】

図12



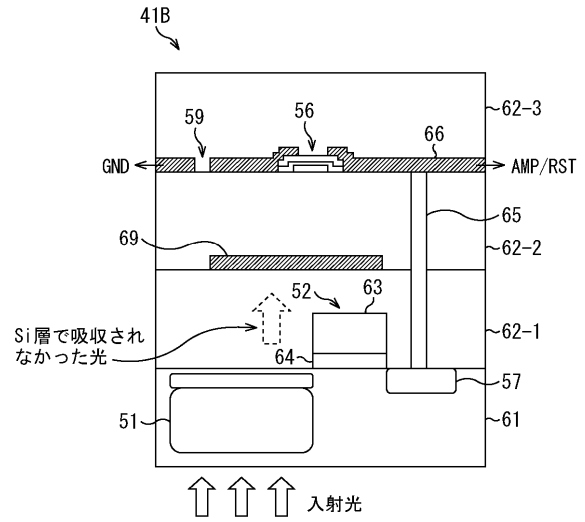
【図13】

図13



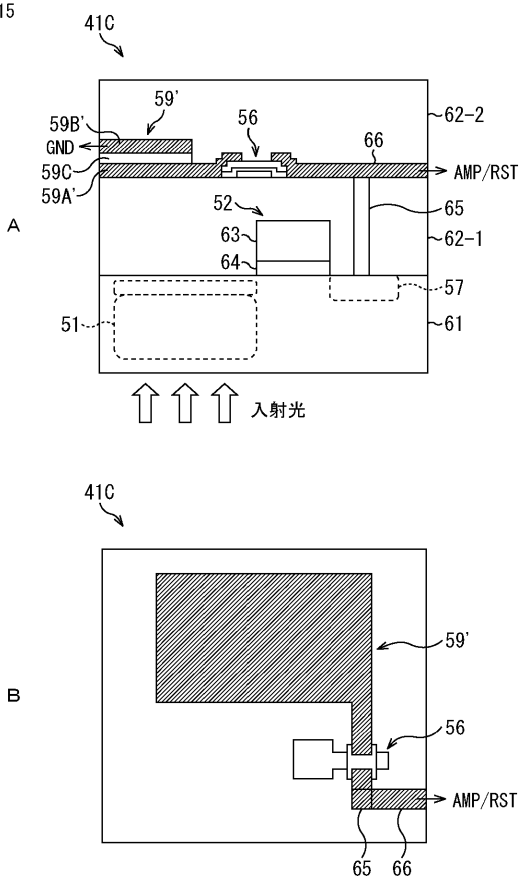
【図14】

図14



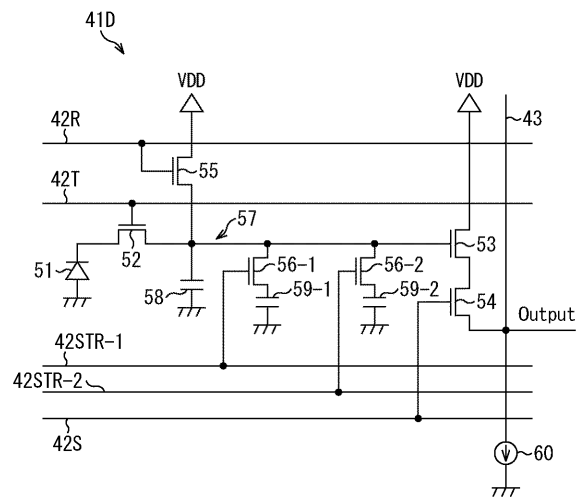
【図15】

図15



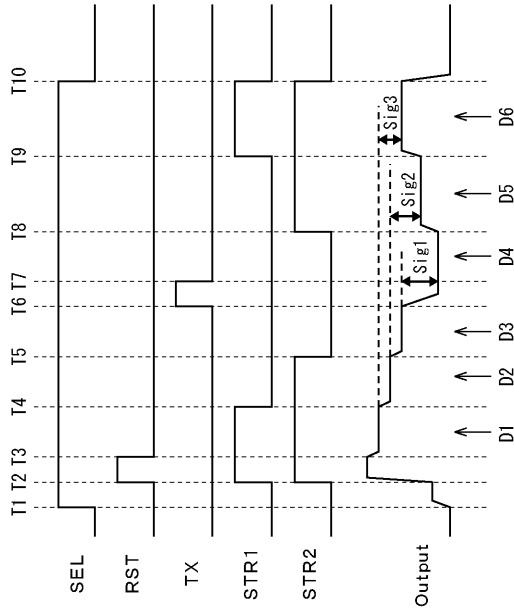
【図16】

図16



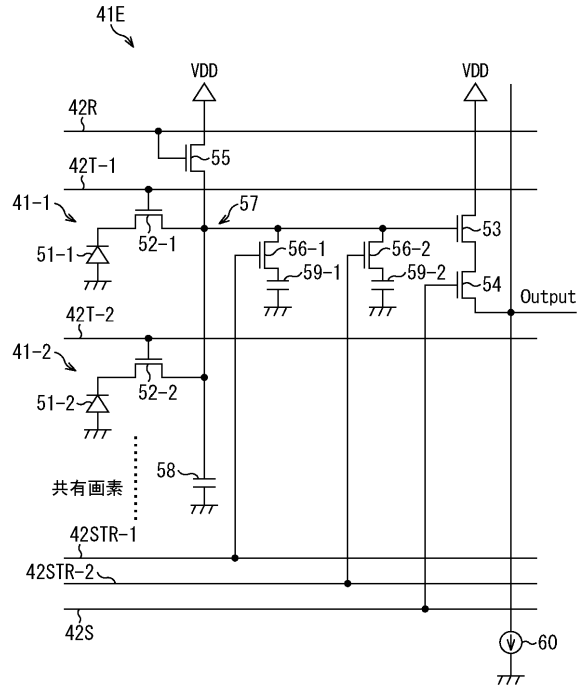
【図17】

図17



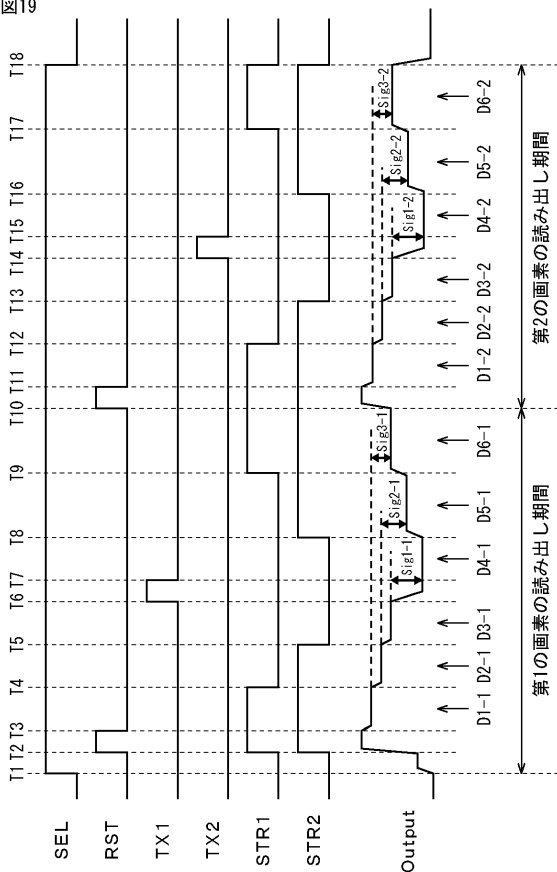
【図18】

図18



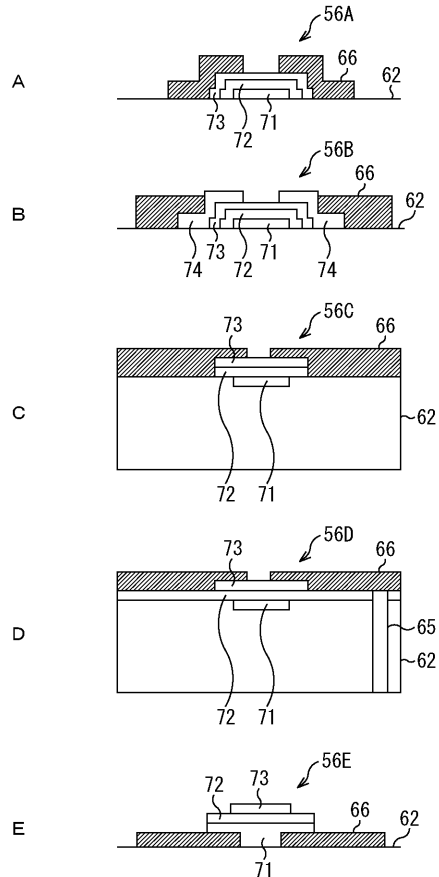
【図19】

図19



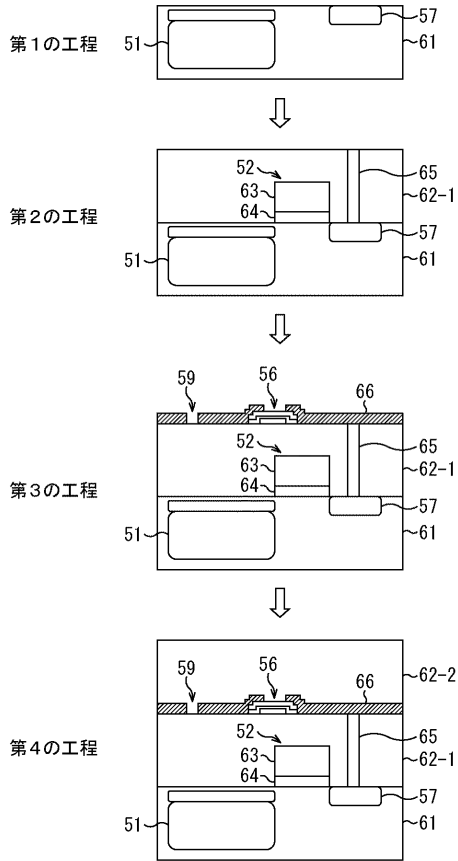
【図20】

図20



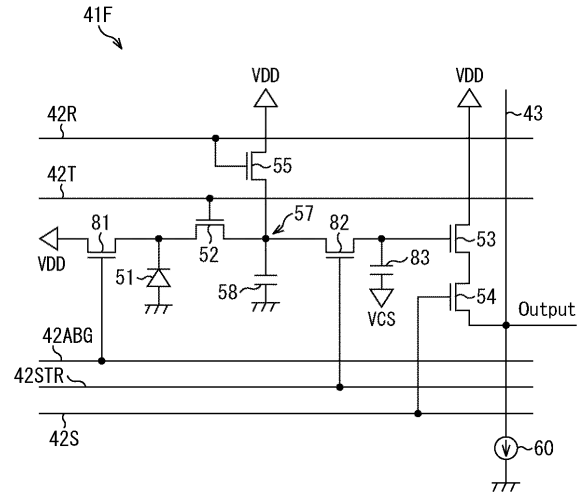
【図21】

図21



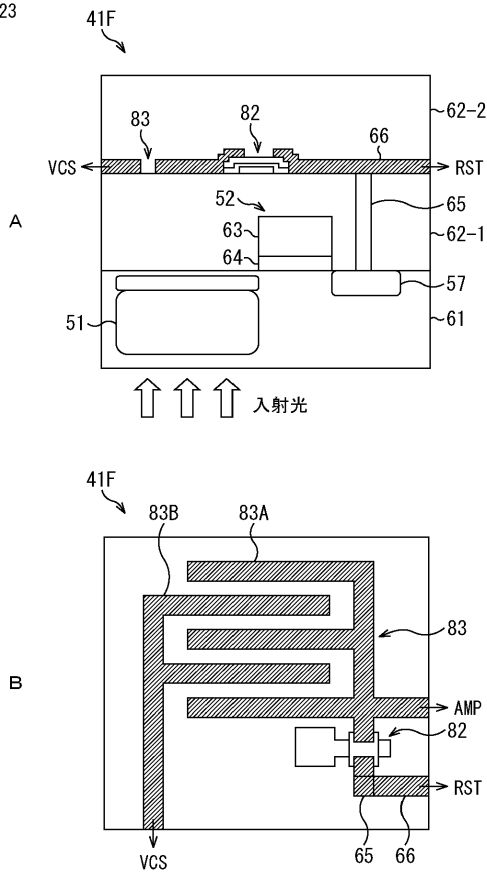
【図22】

図22



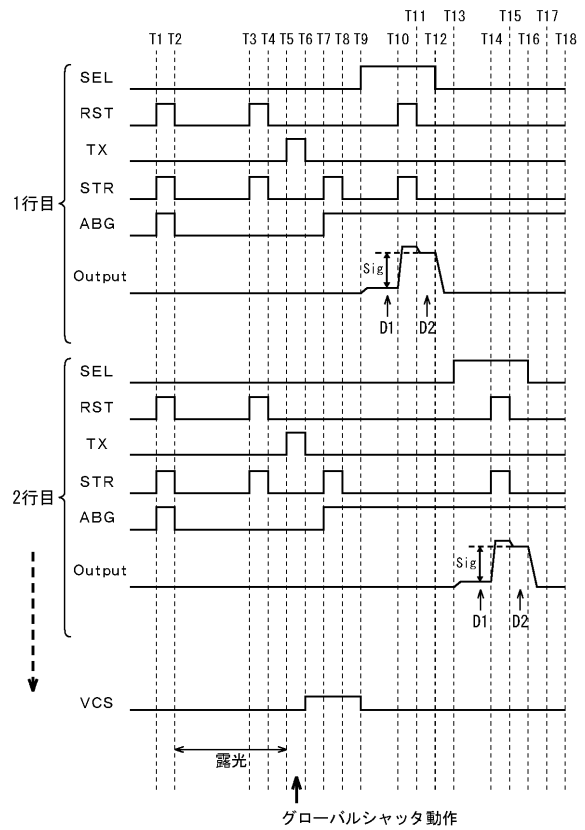
【図23】

図23



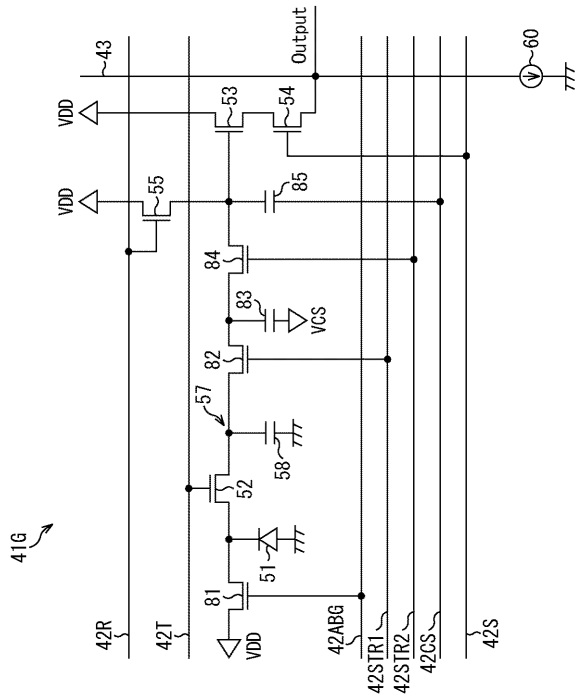
【図24】

図24



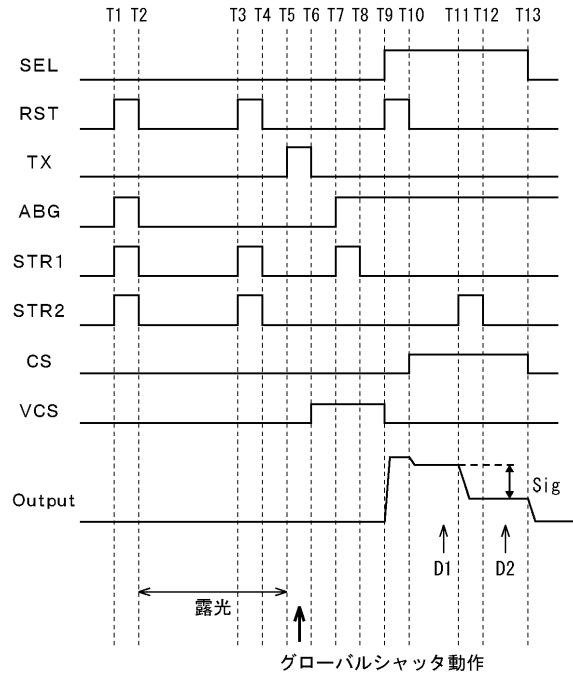
【図 25】

図25



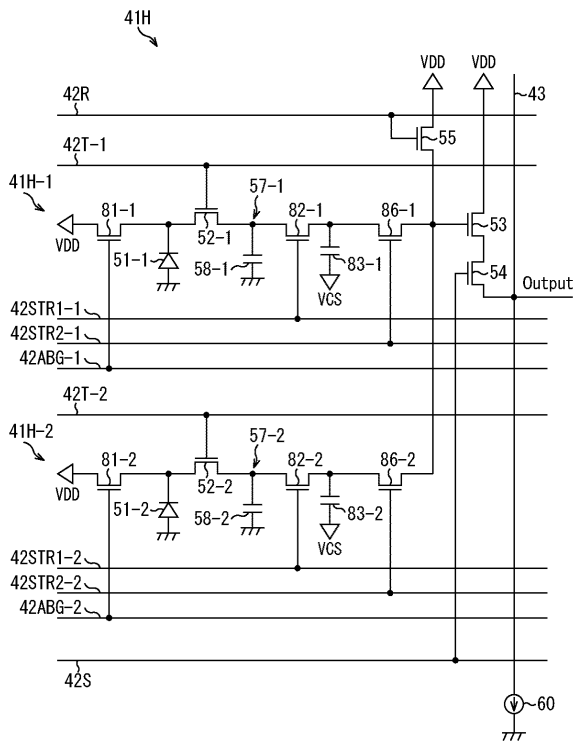
【図 26】

図26



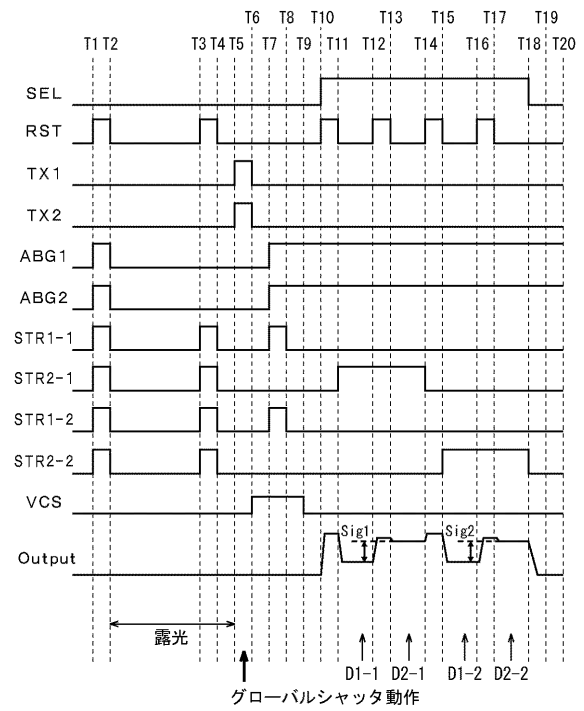
【図 27】

図27



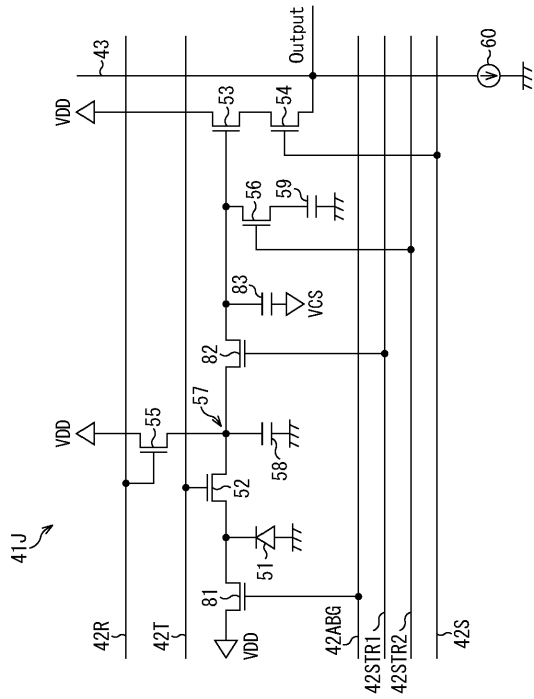
【図 28】

図28



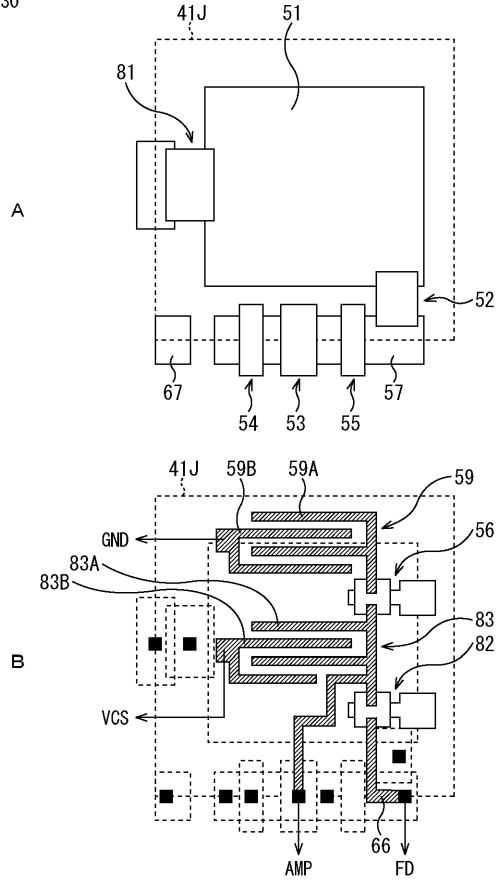
【図29】

図29



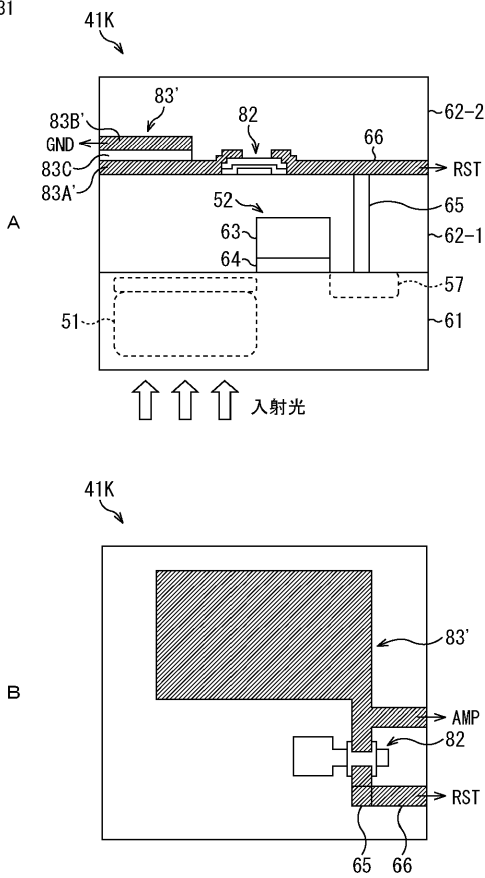
【図30】

図30



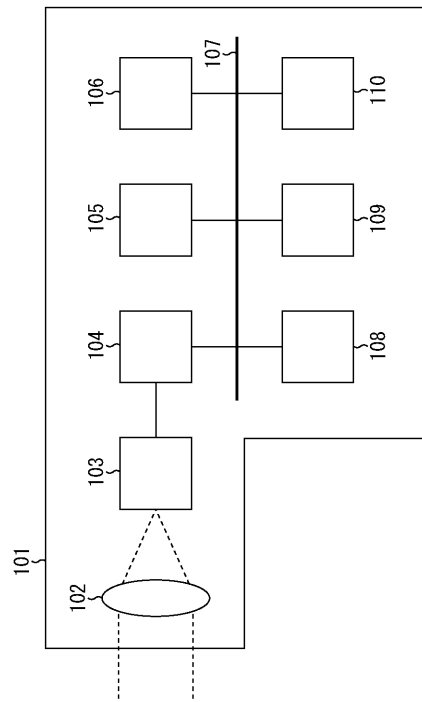
【図31】

図31



【図32】

図32



フロントページの続き

- (56)参考文献 特開2010-219339(JP,A)
特開2003-274294(JP,A)
国際公開第2005/083790(WO,A1)
特開2003-134396(JP,A)
特開2006-245522(JP,A)
特開2011-119710(JP,A)
特開2011-119711(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14, 27/146