(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/28 (2006.01)

(45) 공고일자 2007년08월10일
(11) 등록번호 10-0748377
(24) 등록일자 2007년08월06일

(21) 출원번호 10-2001-0003256
(22) 출원일자 2001년01월19일
심사청구일자 2006년01월19일

(65) 공개번호 10-2001-0076401
(43) 공개일자 2001년08월11일

(30) 우선권주장 09/487,472 2000년01월19일 미국(US)

(73) 특허권자 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501

(72) 발명자 토빈필립제이.
미국,택사스78759,오스틴,윈더머레메도우11410

에데투투올루분미
미국,택사스78729,오스틴,파트리지벤드12919

마이티비카스
미국,택사스78759,오스틴,졸리빌리로드#21231150

(74) 대리인 이병호
장훈

(56) 선행기술조사문헌
KR1019980071537 A

심사관 : 이우식

전체 청구항 수 : 총 5 항

(54) 반도체 디바이스 및 도전성 구조를 형성하기 위한 공정

(57) 요약

반도체 디바이스들 및 도전성 구조들(conductive structures)은 금속층을 가지고 형성될 수 있다. 일실시예에서, 반도체 디바이스는 비정질 금속층(amorphous metallic layer)(22) 및 결정질 금속층(crystalline metallic layer)(42)을 포함한다. 비정질 금속층(22)은 비정질 금속층(22)을 통하여 오염물(contaminants)의 침투(penetration) 가능성을 감소시키는데 도움을 준다. 더 높은 도전성의 결정질 금속층(42)은 저항을 상대적으로 낮게 유지하는데 도움을 주는 비정질 금속층(22) 상에 형성될 수 있다. 도전성 구조를 형성할 때, 금속-함유 전구체 가스(metal-containing precursor gas) 및 스카벤지 가스(scavenger gas)는 적어도 한 시점 동안 동시에 흐른다. 도전성 구조는 게이트 전극의 일부가 될 수 있다.

대표도

도 8

특허청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.

반도체 디바이스를 형성하기 위한 공정에 있어서:

반도체 기판(10) 위에 절연층(14)을 형성하는 단계;

상기 절연층(14) 위에 비정질 금속-함유층(amorphous metal-containing layer; 22)을 형성하는 단계로서, 상기 비정질 금속-함유층(22)은,

텅스텐 헥사플루오르화물(tungsten hexafluoride)를 포함하는 텅스텐-함유 가스, 및

실란(silane)을 포함하는 반도체-함유 가스로서, 실란 대 텅스텐 헥사플루오르화물의 가스 흐름 비율이 3:1보다 작은, 상기 반도체-함유 가스를 이용하여 형성되는 텅스텐 함유층인, 상기 비정질 금속-함유층(22)을 형성하는 단계; 및

상기 비정질 금속-함유층(22) 위에 결정질 금속-함유층(crystalline metal-containing layer; 42)을 형성하는 단계를 포함하는 것을 특징으로 하는, 반도체 디바이스 형성 공정.

청구항 7.

제 6 항에 있어서,

상기 절연층(14)은 게이트 유전층이고,

상기 비정질 금속-함유층(22)과 상기 결정질 금속-함유층(42)의 조합은 게이트 전극층의 일부를 형성하는 것을 특징으로 하는, 반도체 디바이스 형성 공정.

청구항 8.

제 7 항에 있어서,

상기 절연층(14)을 형성한 후 그리고 상기 비정질 금속-함유층(22)을 형성하기 전에, 내화 금속 질화물층(refractory metal nitride layer) 및 실리콘층으로 구성되는 그룹으로부터 선택된 중간층(intermediate layer)을 형성하는 것을 또한 특징으로 하는, 반도체 디바이스 형성 공정.

청구항 9.

도전성 구조를 형성하기 위한 공정에 있어서:

금속-함유 전구체 가스(metal-containing precursor gas)를 흘리는 단계; 및

스카벤지 가스(scavenging gas)를 흘리는 단계를 포함하고;

상기 스카벤지 가스는 반도체성 원소, 질소, 및 산소로 구성되는 그룹으로부터 선택된 적어도 하나의 가스 전구체를 포함하고,

상기 금속-함유 전구체 가스 및 상기 스카벤지 가스는 적어도 한 시점 동안 동시에 흐르고,

비정질 금속-함유층(22)이 형성되고 상기 스카벤지 가스 내에 10 % 미만의 임의의 원소를 포함하는 것을 특징으로 하는, 도전성 구조 형성 공정.

청구항 10.

제 9 항에 있어서,

상기 금속-함유 전구체 가스는 탄소 원자들을 포함하고, 상기 스카벤지 가스는 산소 원자들을 포함하는 것을 특징으로 하는, 도전성 구조 형성 공정.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 일반적으로 반도체 디바이스에 관한 것이며, 보다 상세하게는, 반도체 디바이스를 형성하기 위한 공정에 관한 것이다.

발명이 이루고자 하는 기술적 과제

관련 기술

더 작은 반도체 디바이스는, 고성능 반도체 트랜지스터를 제작하는데 이용될 새로운 재료를 요구한다. 초점이 되는 두 영역은 하이-K 게이트 유전체 재료(high-K gate dielectric material) 및 금속 게이트들의 사용을 포함한다. 중간-밴드 갭 레벨 재료는 금속 전극으로서 사용하기 위해 연구되었다. 이러한 금속 게이트에 대해 연구된 재료는 티타늄(titanium), 탄탈(tantalum) 및 텅스텐 화합물(tungsten compound)과 같은 내화 금속(refractory metal)을 포함한다. 텅스텐은, 전형적으로 텅스텐 헥사플루오르화물(WF_6) 및 수소 분자(H_2) 가스의 반응으로 생성된다는데 문제를 갖는다. 반응 동안, 플루오르(fluorine)가 증착됨에 따라 많은 양의 플루오르가 막(film) 안에 포함된다. 웨이퍼가 더 처리될수록, 플루오르는 텅스텐을 떠나고, 게이트 유전체로 확산될 수 있다. 게이트 유전체에서, 플루오르는 게이트 유전체의 품질을 떨어뜨리고 그것의 유전 상수를 감소시킨다. 하이-K 게이트 유전체가 사용되는 디바이스에서, 플루오르는 하이-K 게이트 유전체의 효과를

방해한다. 더욱이, 실리콘 이산화물 게이트가 사용된다고 할지라도, 막(film)의 유효 유전 상수는 감소되고, 게이트 전극과 하부 반도체 기판 사이의 용량성 결합(capacitive coupling)을 감소시킨다. WF_6 및 H_2 반응을 사용할 때의 또 다른 문제점은 너무 많은 플루오르가, 산화층과 금속층 사이의 부착(adhesion) 문제들 및 형성된 트랜지스터에 더 많은 누설 전류를 생기게 한다는 것이다.

어떤 내화성 금속 질화물의 사용은, 그 자체로, 플루오르 침투(fluorine penetration)를 막기에 불충분할 수 있다. 예를 들면, 만약 전형적인 티타늄 질화물 층이 종래 대로 형성된 텅스텐층에 의해 둘러싸이게 된다면, 플루오르는 후속 어닐링 단계(anneal step) 동안 티타늄 질화물을 통해 계속 침투할 수 있고, 유사한 문제를 일으킬 수 있다.

금속 게이트 재료의 물리적 기상 증착은 좋은 해결책이 될 수 없다. 물리적 기상 증착 동안, 전형적으로, 플라즈마가 발생된다. 스프터링 공정(sputtering process) 동안, 게이트 유전체는 점차 손상되거나 또는 실제로 게이트 유전체의 일부를 제거할 수 있다. 그러므로 금속 게이트에 대한 PVD는 전형적으로 바람직하지 않다. 카르보닐 소스(carbonyl source)(예를 들면, $W(CO)_6$)로부터의 화학적 기상 증착은 탄소 오염(carbon contamination)의 문제들을 가질 수도 있다.

본 발명은 예시에 의한 방법으로 설명되지만, 첨부된 도면에 한정되지 않고, 도면들에서 유사한 참조 번호는 동일한 요소를 가리킨다.

발명의 구성

당업자들은 도면들 내의 요소들이 단순하고 명확하게 도시되었고 반드시 일정하게 도시된 것이 아님을 이해할 것이다. 예를 들면, 도면들 내의 몇몇 요소들의 치수들은 본 발명의 실시예들의 이해를 돕기 위해 다른 요소들에 비해 과장될 수도 있다.

상세한 설명

반도체 디바이스들 및 도전성 구조들은 금속층을 가지고 형성될 수 있다. 일 실시예에서, 반도체 디바이스는 비정질 금속층 및 결정질 금속층을 포함한다. 비정질 금속층은 비정질 금속층을 통한 오염물(contaminants)의 침투 가능성을 감소시키는데 도움을 준다. 더 높은 도전성의 결정질 금속층은, 저항을 상대적으로 낮게 유지하는데 도움을 주기 위해 비정질 금속층 상에 형성된다. 도전성 구조를 형성할 때, 금속 함유 가스 및 스카벤지 가스(scavenger gas)는 적어도 한 시점에서 동시에 흐른다. 도전성 구조는 게이트 전극의 일부일 수 있다. 본 발명은 청구항들에 의해 정의되고, 후술될 실시예들의 설명을 읽은 후에 더 잘 이해될 것이다.

삭제

삭제

도 1은 반도체 디바이스 기판(10)의 일부분에 대한 단면도이다. 본 명세서 안에서 사용되었듯이, 반도체 디바이스 기판은 단결정 반도체 웨이퍼, 반도체-온-절연체(semiconductor-on-insulator) 웨이퍼, 화합물 반도체 웨이퍼(예를 들면, 실리콘-게르마늄 웨이퍼, 실리콘 게르마늄 카본 웨이퍼 또는 반도체 디바이스를 생성하기 위해 이용되는 다른 어떤 기판)를 포함한다. 전계 절연 영역(field isolation region)(12)는 기판(10) 내에 형성된다. 그리고, 게이트 유전층(14)은 기판상에 형성된다. 이 특정한 실시예에서, 게이트 유전층(14)은 실리콘 이산화물(silicon-dioxide), 실리콘 질화물(silicon-nitride), 실리콘 질산화물(silicon -oxynitride) 등등을 포함하는 전통적인 게이트 유전체 재료를 포함할 수 있고, 티타늄 이산화물, 티타늄 오산화물(titanium pentoxide), 스트론튬 티타늄 산화물(strontium titanium oxide) 또는 하이-K 게이트 유전체 재료를 포함하는 금속 산화물일 수도 있다. 본 명세서의 목적을 위해, 하이-K 게이트 유전체는 적어도 약 10인 유전 상수를 갖는 재료이다.

이후 비정질 금속층(22)이 도 2에서 도시된 것처럼 게이트 유전층(14)위에 형성된다. 이 증착 동안, 적어도 두 개의 가스가 사용된다. 하나의 가스는 금속 원소를 포함하고, 다른 가스는 반도체성 원소를 포함한다. 여기서 사용되었듯이 반도체성 원소는 실리콘, 게르마늄 등을 포함하는 IVA 족 원소들 중 어느 하나를 포함한다. 제 1 가스는 텅스텐 함유(tungsten-containing), 티타늄 함유 또는 탄탈 함유 화합물을 포함할 수 있다. 예들은 금속 할로겐 화합물(metal halides)(예를 들면, 텅스텐 헥사플루오르화물(WF_6), 티타늄사염화물($TiCl_4$)등등), 텅스텐 카르보닐($W(CO)_6$), 탄탈 함유 화합물 및 전형적으로 텅스텐, 티타늄, 탄탈 하프늄(hafnium), 지르코늄(zirconium), 알루미늄 등을 포함하는 다양한 금속 유기 화합물을 포함한다. 상기 금속 게이트는 이들 특정 금속 중 어느 하나로 한정되지 않는다. 그러나, 다른 금속에 비하여 비교적 높은 온도에서 처리될 수 있기 때문에, 내화 금속(refractory metal)이 전형적으로 사용된다.

제 2 가스는 전형적으로 "스카벤지(scavenging)" 가스를 포함한다. 상기 스카벤지 가스는 금속 원자(들)에 부착된 그룹을 중화하도록 도와준다, 예를 들면, 만약 금속 원자에 부착된 그룹들이 할로겐화물들(F, Cl, Br, 또는 I)이라면, 스카벤지 가스는 전형적으로 반도체성 원소 또는 질소를 포함한다. 예들은 실란(silane), 디클로실란(dichlorosilane), 다양한 클로로실란, 디실란(disilane), 및 다양한 다른 게르마늄 함유 또는 실리콘 함유 화합물들을 포함한다. 만약 금속 원자(들)에 부착된 그룹들이 유기물(예를 들면, 카보닐 그룹)이라면, 스카벤지 가스는 전형적으로 산소를 포함한다. 유기물 그룹이 금속 원자에 부착됐을 때, 스카벤지 가스는 반도체성 원소 또는 질소를 포함할 수 있다. 그러므로, 거의 모든 반도체성 원소, 질소, 및 산소의 조합이 스카벤지 가스 내에서 사용될 수 있다.

비정질 금속층(22)을 형성하는 동안, 금속 전구체(metal precursor)는 스카벤지 가스로부터의 원소의 현저한 포함 없이 비정질 금속층을 형성하게 된다. 만약 너무 많은 반도체성 원소가 막에 포함되면, 이것은 두 개의 잠재적 손실(potential detriment)을 갖는 실리사이드층을 형성할 것이다. 하나는, 실리콘이 금속 산화물 게이트 유전체 안에서 산화물과 반응하여 금속 산화물의 일부를 실리콘 산화물로 변환시키기 쉽다는 것이다. 이것은 유전 물질의 유전 상수를 낮추기 때문에 바람직하지 않다. 명백하게, 만일 게이트 유전층이 오직 실리콘 함유 화합물만을 포함한다면, 이것은 문제되지 않을 수 있다. 그러나, 게이트 유전 재료에 무관하게, 만약 너무 많은 실리콘이 존재한다면, 텅스텐 실리사이드 층이 생길 것이고 그것은 텅스텐보다 약 10 배 높은 저항을 가진다. 그러므로, 충분한 반도체 가스가 부가되어, 금속층이 대응하는 실리사이드 층을 형성하지 않고 비정질상태로 형성되도록 허용한다.

산소 함유 가스를 사용할 때도, 유사한 이유가 따른다. 만약 $W(CO_6)$가 비정질 금속층(22)에 대하여 사용되면, 충분한 산소가 부가되어 산화 카보닐 그룹을 산화시키지만, 너무 많은 산소가 삽입되거나 또는 텅스텐을 산화시킬 정도로 많지는 않다. 스카벤지 가스 안의 원자들과 상관없이, 비정질 금속층(22)은 스카벤지 가스 안의 어떤 원소의 약 10 중량 %보다 많지 않아야된다. 전형적으로, 이것은 스카벤지 가스 안의 어떤 원소의 1 중량 % 미만일 것이다.

하나의 특정한 예에서, 비정질 금속층(22)은 WF_6 및 실란(SiH_4)을 이용하여 형성될 수 있다. 가스 안의 반도체성 원자 대 금속 원자의 비율은 약 3:1을 초과하여서는 안된다. 이것은, 예를 들면, 반도체성 원소 재료의 많아야 3개의 원자에 대해 텅스텐의 하나의 원자이다. 전형적으로, 상기 비율은 하나의 금속 원자당 적어도 1.5개의 반도체성 원자의 비율이다. 상대 가스 유량은 다양한 가스 속에 얼마나 많은 반도체성 또는 금속 원자가 있느냐에 의해 영향을 받음을 주목하라. 예를 들면, 만약 텅스텐 헥사플루오르화물 및 실란이 사용된다면, 실란은 텅스텐 헥사플루오르화물 유량보다 약 2.5 배나 더 높게 흐를 것이다. 그러나 만약, 디실란(disilane)이 사용된다면, 디실란은 디실란 분자당 두 개의 실리콘 원자를 가지므로, 디실란의 유량은 텅스텐 헥사플루오르화물의 유량보다 약 1.25배 클 것이다.

비정질 금속층을 형성하기 위해 사용된 실제의 동작 조건은 사용된 반응기(reactor)에 따른다. 예를 들면, 만일 Centura^{TM} 가 Applied Meterals,Inc. of Santa Clara, California로부터의 도구상에 공간을 만든다면, 금속 함유 종의 가스 유량은 전형적으로 분당 100 표준 큐빅 센티미터(sccm)보다 더 크지 않다. 반응기의 압력은 전형적으로 약 10 토르(torr)보다 크지 않고, 증착 온도는 전형적으로 섭씨 약 300도 내지 600도 범위에 있다. 더욱 전형적으로, 증착 온도는 섭씨 약 350 내지 400도 범위에 있다. 비정질 금속층(22)을 게이트 유전층(14) 바로 위에 형성할 때, 어떤 부분을 제거하거나 하부 게이트 유전층(14)을 손상시킬 가능성 때문에 플라즈마는 전형적으로 사용되지 않는다. 그러나 만약 비정질 금속층(22)이 두꺼운 절연체 층상 또는 다른 금속 함유층상에서 형성되면, 플라즈마가 사용될 것이다. 만약 플라즈마가 이용된다면, 전력은 200밀리미터 직경 기판에 대하여 약 200 내지 500 와트의 범위에 있을 것이다. 전력은 처리될 기판의 표면 영역에 부분적으로 의존한다. 그러나 당업자는 어떻게 정확한 기판 크기에 대하여 플라즈마 전력을 조절하는지 이해할 것이다.

비정질 금속층이 텅스텐 질화물(WN)과 같은 내화 금속 질화물이라면, 질소함유 가스가 일반적으로 사용된다. 예를 들면, 분자 질소(N_2)는 텅스텐 질화물 형성을 돕기 위해 텅스텐 헥사플루오르화물 및 실란과 함께 도입될 수 있다. 요구되지는 않지만, 당업자는 반응 중 암모니아 가스가 암모니아 염을 생성하기 때문에 암모니아 가스(NH_3)의 사용을 피하기를 원할 것이다. 다른 질소 함유 가스는 아산화질소(N_2O) 또는 산화질소(NO)를 포함하여 사용될 수 있다. 다른 예에서, 비정질 TiN층은 $TiCl_4$, N_2 및 SiH_4를 이용하여 형성될 수 있다.

비정질 금속층(22)은 복수의 상이한 막들을 포함할 수 있다. 예를 들면, 비정질 TiN 막은 트랜지스터의 일함수를 설정하고 비정질 텅스텐 막으로 덮일 수 있다. 비정질 금속층(22)의 총두께는 일반적으로 약 2 내지 20 나노미터의 범위 안이다.

비정질 금속층(22)을 형성한 후, 도 3에서 도시된 표면(24)을 갖는다. 도 3은 표면의 스캐닝 전자 현미경 분석(scanning electron microscopic analysis)을 예시한다. 층(22)은 본질적으로 비정질이기 때문에, 층이 비교적 매끄러운 표면을 갖는 것으로 보여질 수 있다. 층(22)이 비정질이라고 불려질지라도, 약간의 나노결정이 형성될 수 있지만, 층의 주요한 특성은 그것이 본질적으로 비정질 층으로서 동작한다는 것이다.

공정은 도 4에서 도시된 게이트 스택의 일부분인 다른 층의 증착으로 이어진다. 이후 종래의 다결정 금속층(42)은 비정질 금속층(22)상에서 형성된다. 이 특정 실시예에서, 결정질 금속층은 텅스텐 헥사플루오르화물 및 수소를 이용한 반응으로 형성된 텅스텐이다. 하부층의 형성과는 달리, 비 실리콘 함유(no silicon-containing) 및 다른 반도체성 원소 함유 가스들이 그 형성에 이용된다. 형성된 층의 두께는 디바이스에 대한 전기적 요구와 다른 기하학적인 요구에 따라 결정된다. 전형적으로, 층(42)의 두께는 일반적으로 약 20-150 나노미터의 범위에 있다. 결정질 금속층(42)은 일반적으로 도 5에서 도시된 것과 같은 표면(42)을 갖는다. 층(42)이 구조 안에서 실질적으로 결정이므로, 그 표면은 도 3에서 보여진 것보다 거칠다.

층(42)을 형성한 후에, 반사 방지층(anti-reflective layer; 46)이 도 4에 도시된 것과 같이 표면(44) 위에 형성된다. 반사 방지층(46)은 전형적으로 절연체이고, 실리콘 질화물, 실리콘-리치 실리콘 질화물(silicon-rich silicon nitride)을 포함하거나 또는 만약 그것이 도체이면, 그것은 티타늄 질화물, 티타늄 리치 티타늄 질화물 등을 포함할 수 있다. 두 층(22 및 42) 사이의 특징은 비정질 금속층이 적어도 약 300 마이크로옴 센티미터의 저항을 가질 수 있다는 것이다. 결정질 금속층(42)은 비정질 금속층(22)에 대하여 상당히 낮은 저항을 갖는다. 예를 들면, 결정질 금속층(42)은 약 10 마이크로 옴 센티미터의 저항을 가질 수 있다. 텅스텐에 대해 특정하게 설명되어 있지만, 만일 다른 재료가 사용되면, 유사한 저항비가 보여질 수 있다. 부가적으로 결정질 금속층(42)을 형성할 때, 비정질 금속층(22)은 결정질 금속층(42)의 확산성보다 적어도 약 10배나 낮은 플루오르 확산도(fluorine diffusivity)를 갖는다. 유사한 효과는 다른 할로겐, 붕소, 카본 또는 기타 등에서 보여질 수 있다.

상기 층들을 형성한 후에, 상기 층은 도 6에 도시된 것처럼 게이트 스택(60)을 형성하기 위해 패터닝 된다. 이 에치는 층(22,42 및 46)을 통해서 확장된다. 측벽 스페이서들(62)은 게이트 스택(60)의 수직 에지에 인접하여 형성된다. 도핑된 영역(64)은 반도체 기판 내에 형성되고, 전형적으로 스페이서의 형성 전, 후 및 전후 둘 다에서 형성된다. 도핑된 영역(64)은 도 6에 도시된 것처럼 트랜지스터에 대한 소스 및 드레인 영역인 도핑된 영역으로 저항 접촉(ohmic contacts)이 형성될 수 있게 전형적으로 적어도 큐빅 센티미터 당 1E19 원자인 도핑 농도를 갖는다.

도 7에 도시된 것과 같이 공정은 계속된다. 제 1 인터레벨 유전체(ILD)층(72)은 게이트 구조와 게이트 기판위에 형성된다. 제 1 ILD층은 산화물, 질화물, 질산화물, 로우-k 또는 다른 재료와 같은 하나 이상의 절연 재료의 층을 포함할 수 있다. 제 1 ILD 층(72)은 접점 개구(contact opening)(74)를 정의하도록 패터닝된다. 그 후에, 접촉 플러그 구조는 개구 안에 형성되고 부착/장벽(adhesion/barrier) 막(76) 및 도전성 충전 재료(78)를 포함한다. 하나의 특정 실시예에서, 부착/장벽 층은 티타늄/티타늄 질화물 막이고 도전성 충전 재료는 텅스텐이다. 다른 재료들이 도전성 플러그 구조에 대하여 사용될 수 있다.

공정은 도 8에 도시되어 있는 것처럼 실질적으로 완성된 디바이스를 형성하도록 계속된다. 도 8은 부착/장벽 막(82) 및 도전성 충전 재료(84)를 포함한다. 하나의 특정한 실시예에서, 부착/장벽 막(82)은 탄탈, 탄탈 질화물, 또는 다른 내화 금속이나 내화 금속 질화물을 포함한다. 도전성 충전 재료(84)는 대부분 알루미늄, 텅스텐, 또는 구리를 포함할 수 있다. 소량의 도펀트가 전자 이동(electromigration)에 대한 저항 및 다른 역효과를 증가시키기 위해서 도전성 충전 재료(84)에 첨가될 수 있다. 이후 패시베이션층(86)이 디바이스의 형성을 완료하기 위해 상호접속들의 최상 레벨 위에 형성된다. 패시베이션층(86)은 산화물, 질화물, 질산화물 등과 같은 절연 재료의 하나 이상의 층을 포함할 수 있다.

도 1-8에 도시된 실시예는, 복수의 층을 증착한 다음 에칭함으로써 형성되는 게이트 구조를 포함했다. 대안으로 게이트 전극은 상감된 게이트 구조(inlaid gate structure)를 포함할 수 있다.

논의되지는 않았지만, 층(22 및 42)은 어닐링(anneal)되거나 또는 어닐링되지 않을 수 있다. 더욱이 어닐링은 비정질 도전층(22), 결정질 도전체층(46)의 형성 후, 무반사층(46) 이후 또는 어떤 다른 후속 공정 단계에서 수행될 수 있다. 막 안의 응력이 문제이면, 응력이 너무 높아지기 전에 어닐링이 수행될 필요가 있다.

다른 실시예에서, 다른 층은 상기 게이트 유전층 바로 위에 형성될 수 있다. 예를 들면, 일실시예에서, 티타늄 질화물 또는 실리콘층이 게이트 유전체 상에서 형성될 수 있고, 비정질 도전층(22)이 형성되기 전에 게이트 전극에 직접 접속되어 형성될 수 있다. 결정질 도전체 재료(42) 전에 비정질 도전체 재료가 형성되므로, 결정질 도전체층(42)으로부터의 어떠한 플루오르도 티타늄 질화물 또는 실리콘층을 현격하게 방해하거나 통과하지 않을 수 있다.

본 발명의 실시예들은, 게이트 유전체 막의 유전 상수를 낮추거나 또는 부착의 문제 또는 전류 누설 문제를 일으키는 것과 같은 플루오르에 관련된 문제에 덜 영향을 받는 금속 게이트를 갖는 게이트 스택이 형성되게 허용한다. 상기 실시예들은 플루오르로부터의 악영향 없이 원하는 특성을 갖는 저저항 게이트 전극들이 형성될 수 있도록 위에 놓인 금속들(overlying metals)에 대해 더 큰 유연성을 허용한다. 막을 어닐링 한 이후에도, 결정질 금속층(42)으로부터의 플루오르는 비정질 도전층을 통해 완벽하게 확산되지 않는다. 그러므로, 형성된 구조는 증착시에 플루오르의 도움을 덜 받을 뿐만아니라, 위에 놓인 막으로부터의 플루오르가 하부 게이트 유전체 또는 다른 민감한 막에 대해 문제를 일으키지 않는다. 비록 도시된 실시예가 오직 하나의 비정질 막과 하나의 결정질 막을 포함하지만, 막들은 형성될 수 있는 많은 다른 비정질과 결정질 막의 복합물이 형성되도록 쌓일 수 있다. 예를 들면, 막은 비정질/결정질/비정질 또는 비정질/결정질/비정질/결정질 등을 포함할 수 있다. 층들(22 내지 42)의 에칭 및 폴리싱(polishing) 특성은 종래의 텅스텐 에칭 또는 폴리시(polish)와 동일할 수 있다. 그러므로, 디바이스의 에칭 또는 폴리싱(polishing) 특성들의 임의의 변화들은 예상되지 않는다.

삭제

전술한 명세서에서, 본 발명을 특정한 실시예를 참조로 하여 설명하였다. 그러나 당업자는, 첨부된 청구항에 설명된 것처럼 본 발명의 범위에서 벗어나지 않고 다양한 변경과 수정이 이루어질 수 있음을 이해한다. 따라서, 명세서 및 도면은 본 발명을 제한하기보다는 설명하기 위한 것이며, 모든 이러한 수정은 본 발명의 범위에 포함되도록 의도되었다.

여러 가지 이점들과, 문제점에 대한 해결책들이 특정한 실시예들에 관련하여 위에서 설명되었다. 그러나 그러한 이점들과 문제점들에 대한 해결책들 및 어떤 이점이나 해결책들이 얻어지게 하거나 더 명백하게 되는 어떤 요소(들)는 임의의 청구항 또는 모든 청구항에서 결정적인 것이나, 요구되거나 본질적인 특징으로 간주 되어서는 안된다. 본 명세서에서 사용된, 단어 "포함한다(comprise)" "포함하는(comprising)" 또는 그의 다양한 변형적인 표현은, 열거된 요소들을 포함하는 공정, 방법, 물품 또는 장치 뿐 아니라 다른 열거되지 않은 요소나 이러한 공정, 방법, 물품 또는 장치에 고유한 요소를 배제하지 않는, 비배타적인 포함을 포괄하도록 의도되었다.

발명의 효과

본 발명에 의하면, 전술한 종래 기술의 문제점을 해결한 반도체 디바이스 및 반도체 디바이스 형성 공정이 제공된다.

도면의 간단한 설명

도 1은 게이트 유전층(gate dielectric layer)을 형성한 후의 반도체 디바이스 기판의 일부 단면을 도시한 도면.

도 2는 비정질 금속층(amorphous metallic layer)을 형성한 후의 도 1의 기판의 단면을 도시한 도면.

도 3은 도 2에서 형성된 비정질 금속층의 최상부 표면을 도시한 도면.

도 4는 결정질 금속층과 캡핑층(capping layer)을 형성한 후의 도 2의 기판의 단면을 도시한 도면.

도 5는 도 4에서 형성된 결정질 금속층의 최상부 표면을 도시한 도면.

도 6은 전계 효과 트랜지스터를 형성한 후의 도 4의 기판의 단면을 도시한 도면.

도 7은 중간 유전층 및 접촉 구조를 형성한 후의 도 6의 기판의 단면을 도시한 도면.

도 8은 실질적으로 완성된 디바이스를 형성한 후의 도 7의 기판의 단면을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명 *

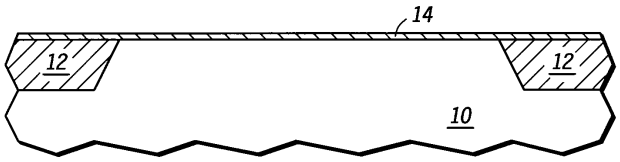
10: 기판 12: 전계 절연부

14: 게이트 유전층 22: 비정질 금속층

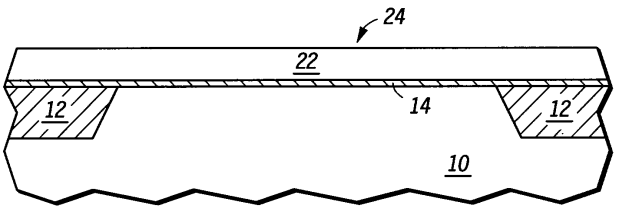
42: 결정질 금속층 46: 무반사층

도면

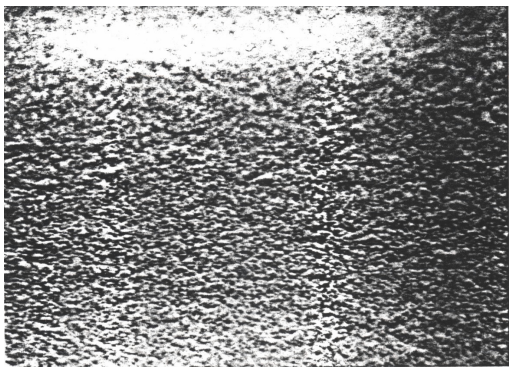
도면1



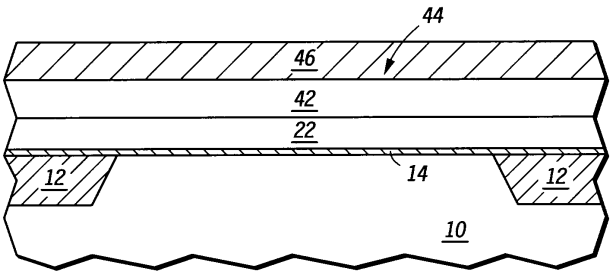
도면2



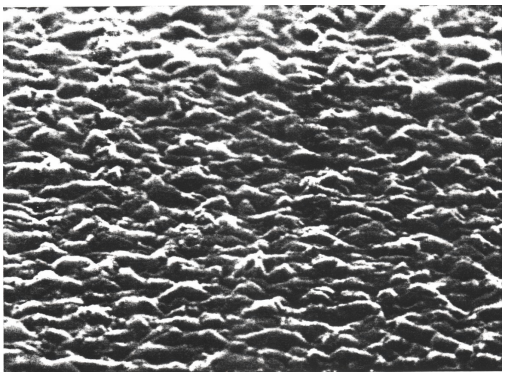
도면3



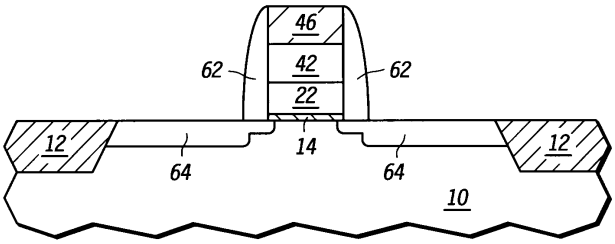
도면4



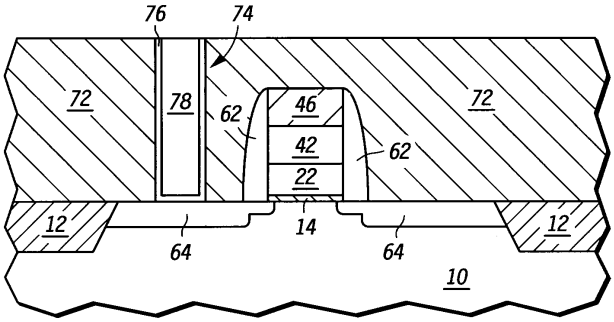
도면5



도면6



도면7



도면8

