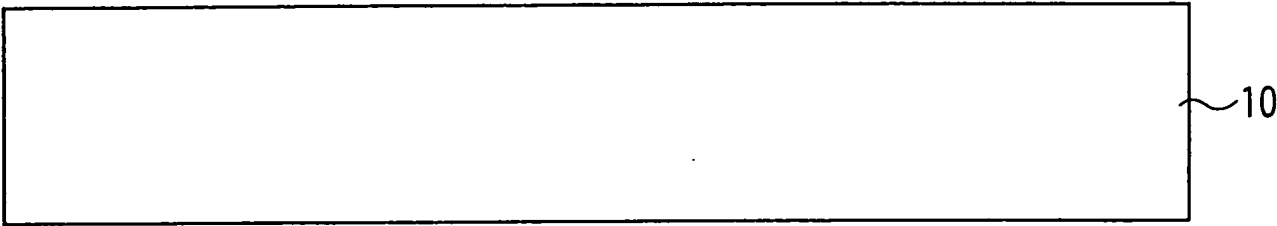
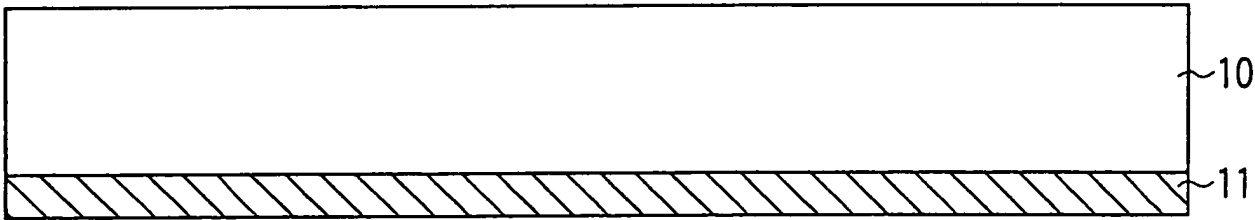


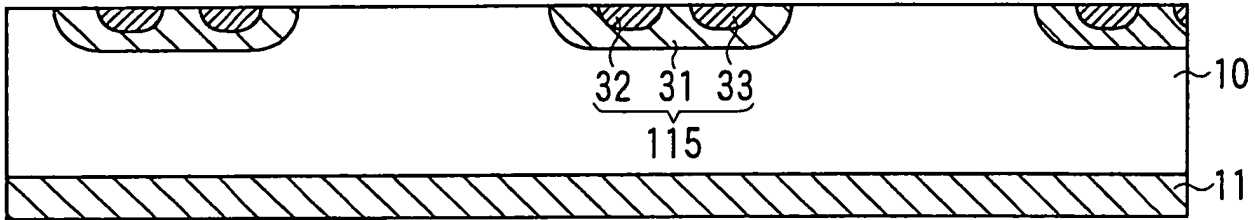
第1圖



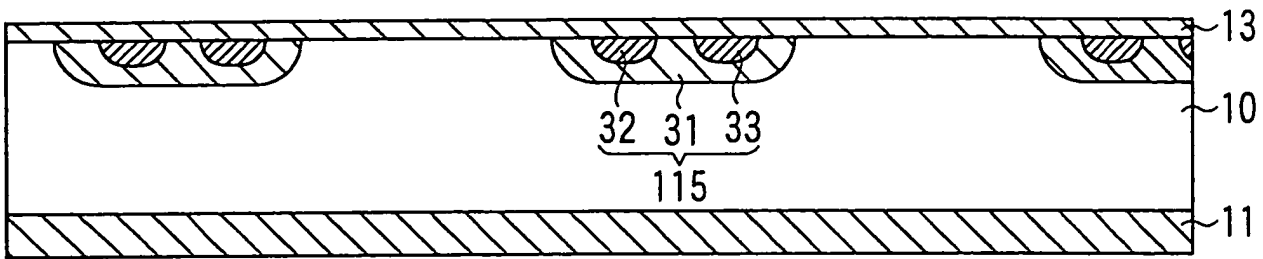
第2圖



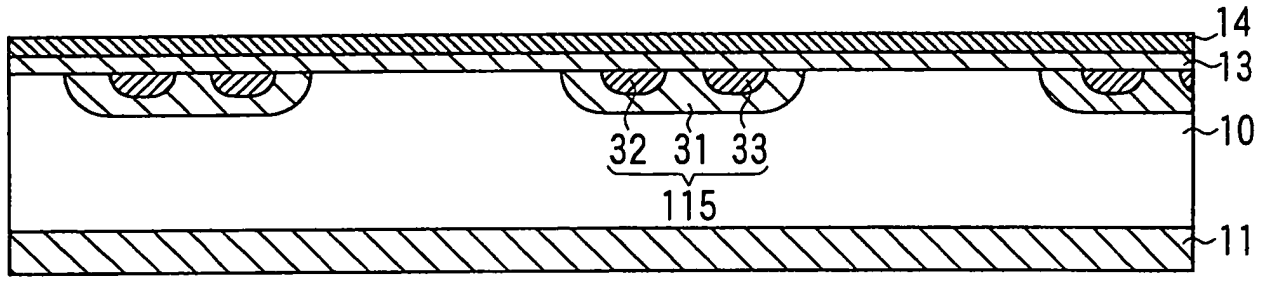
第3圖



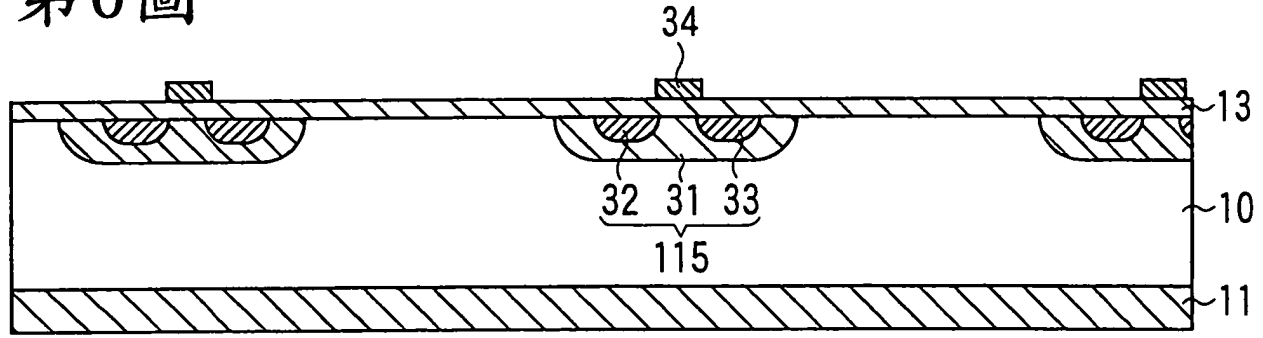
第4圖



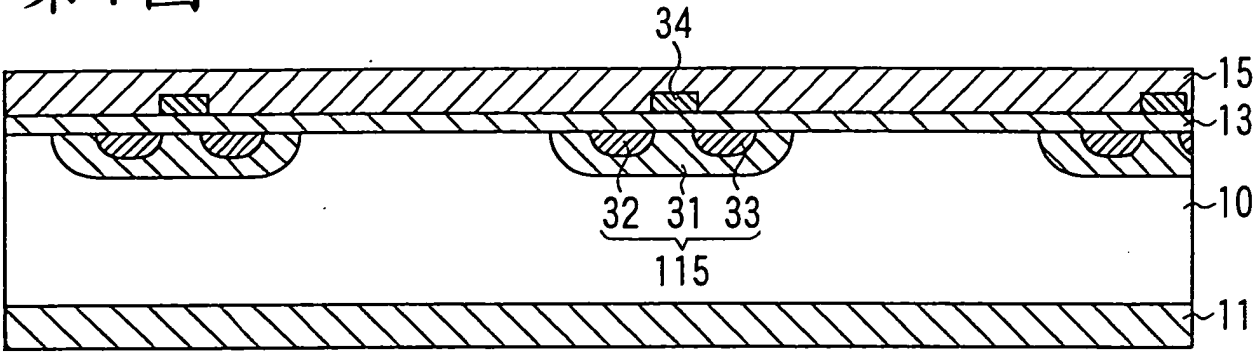
第5圖



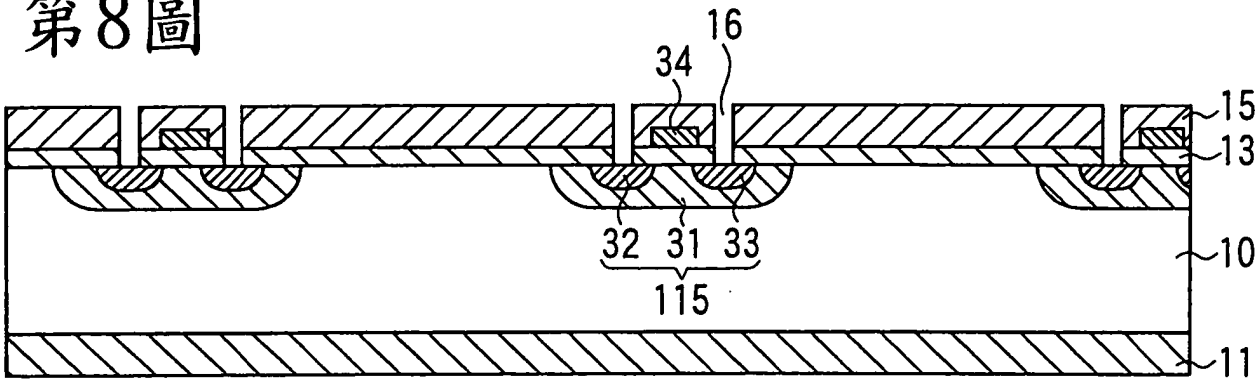
第6圖



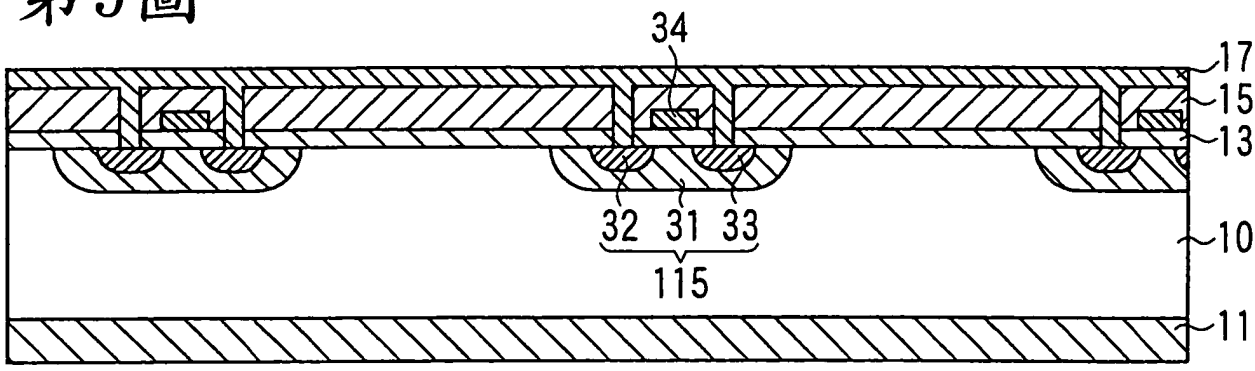
第7圖



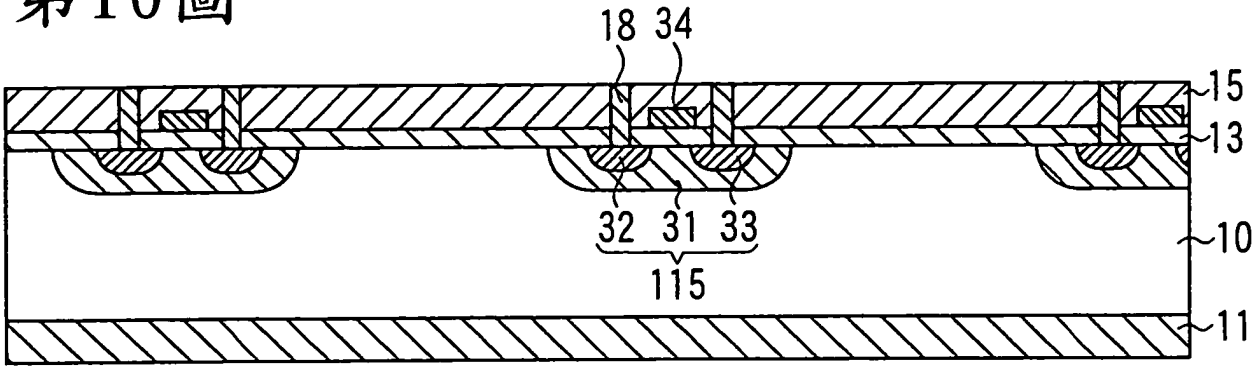
第8圖



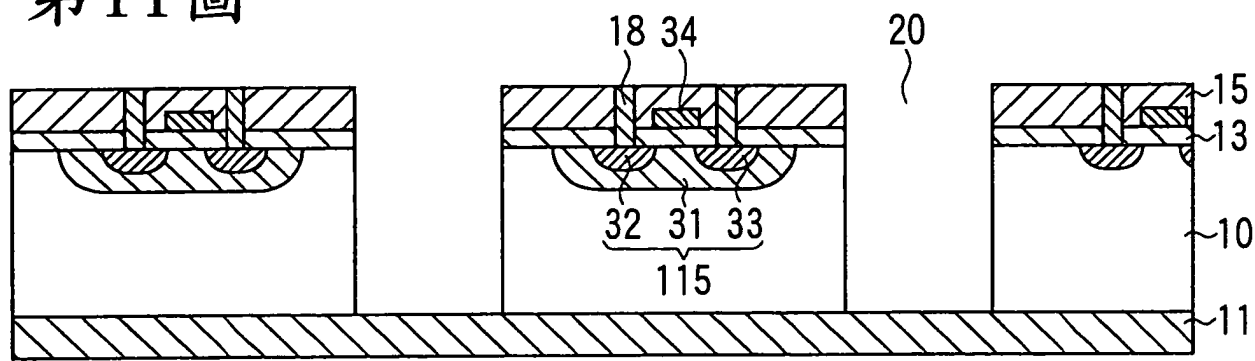
第9圖



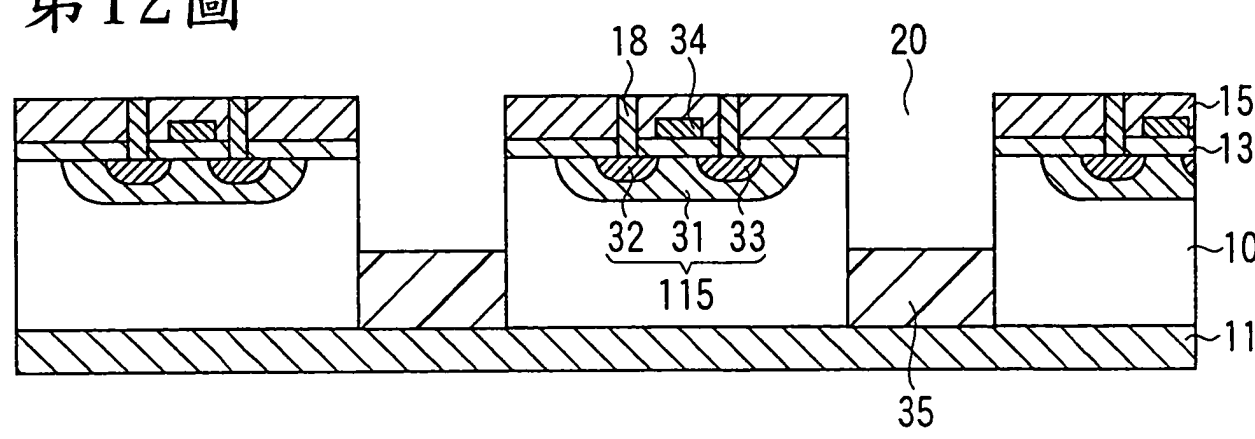
第10圖



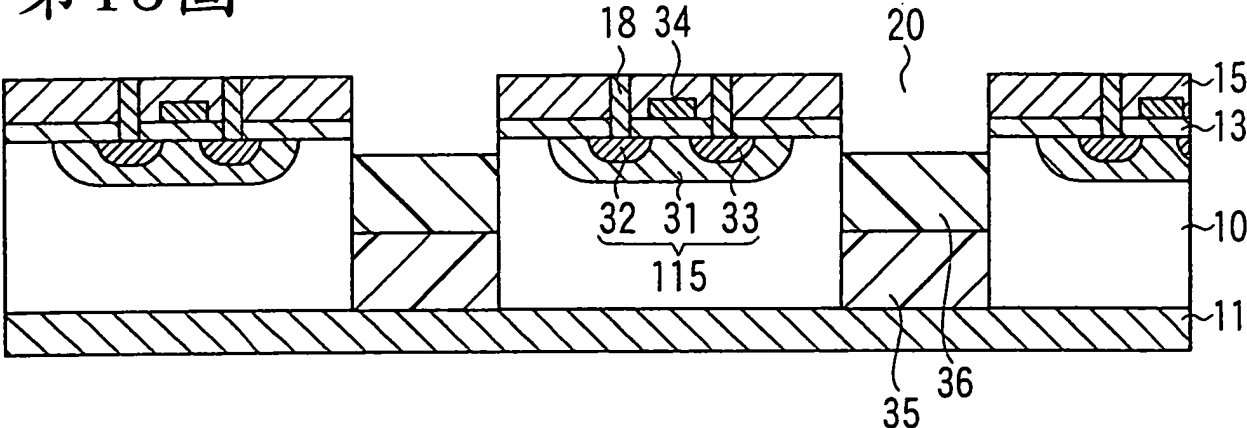
第11圖



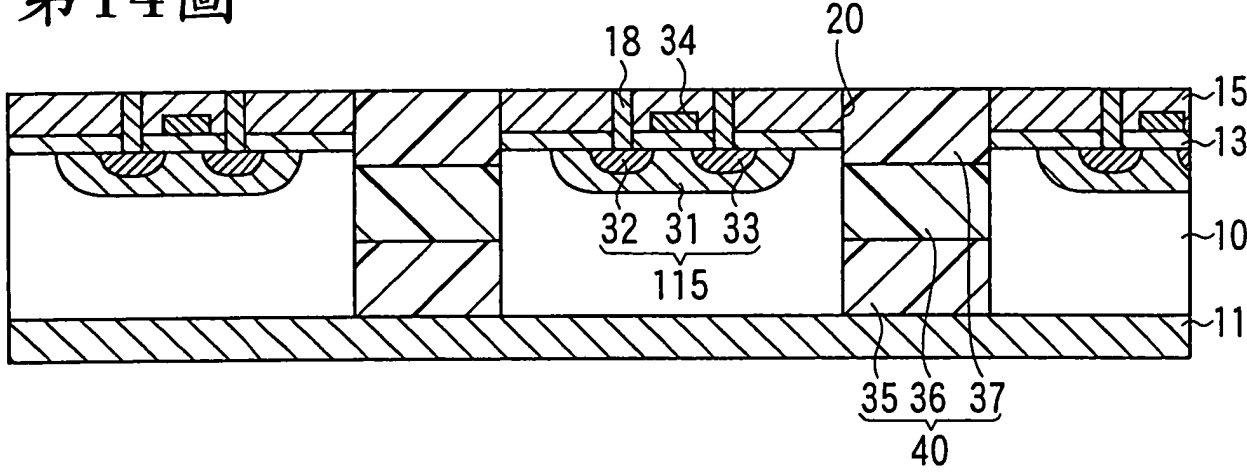
第12圖



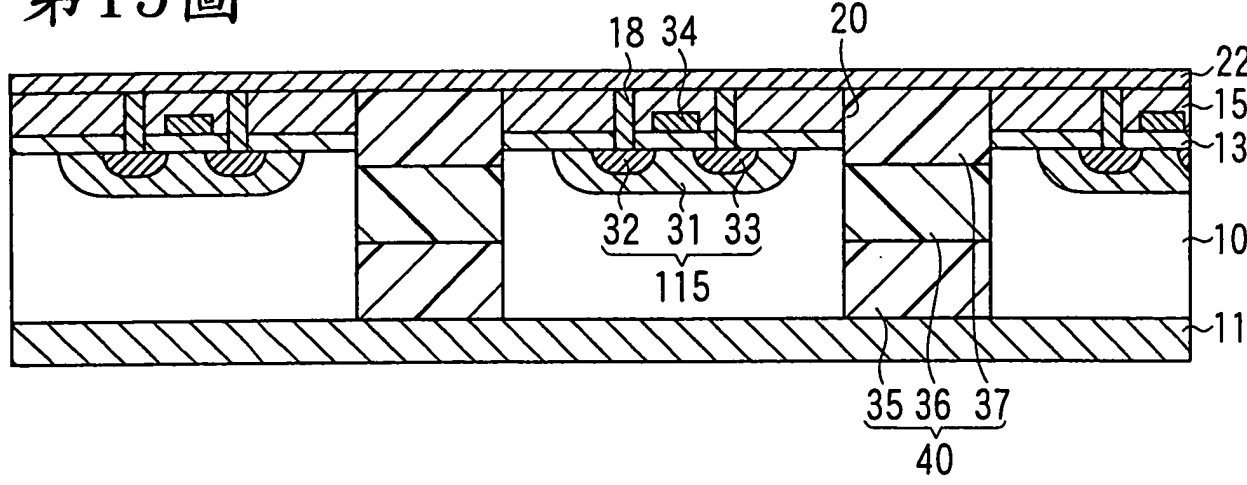
第13圖



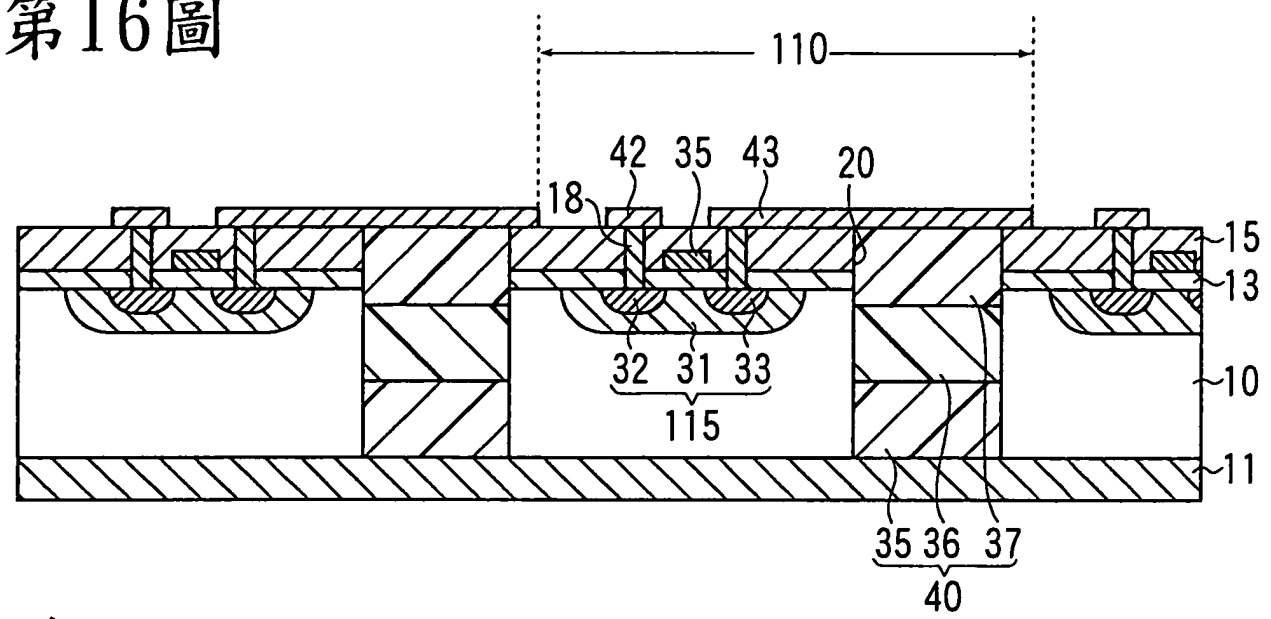
第14圖



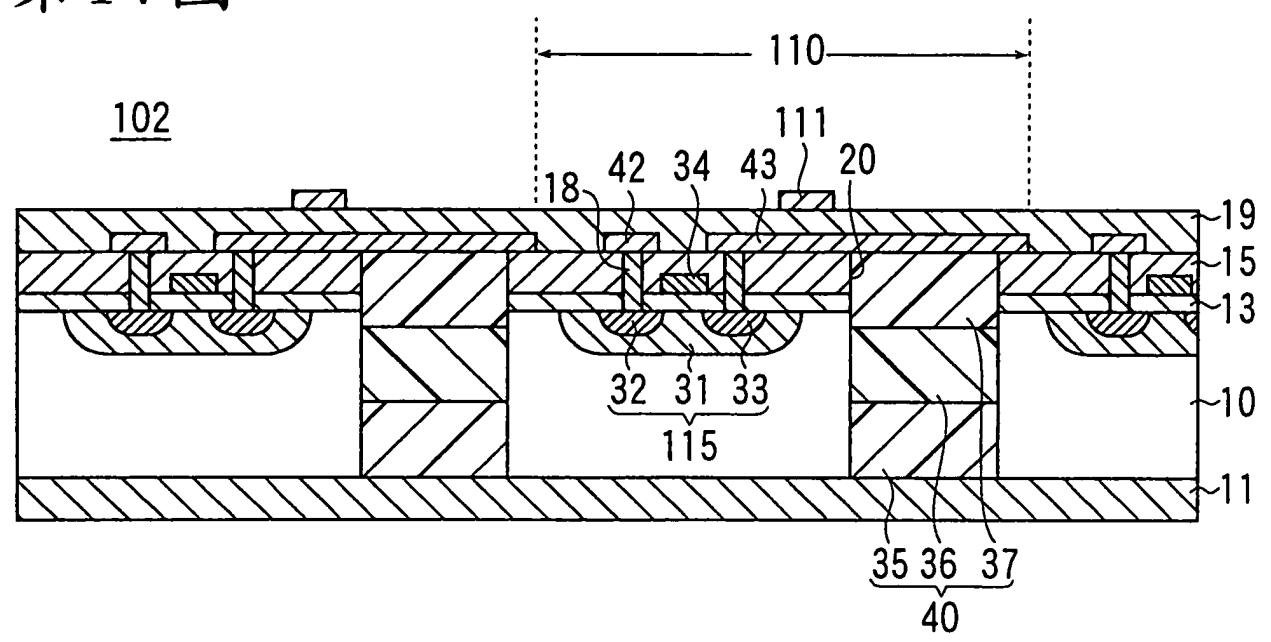
第15圖



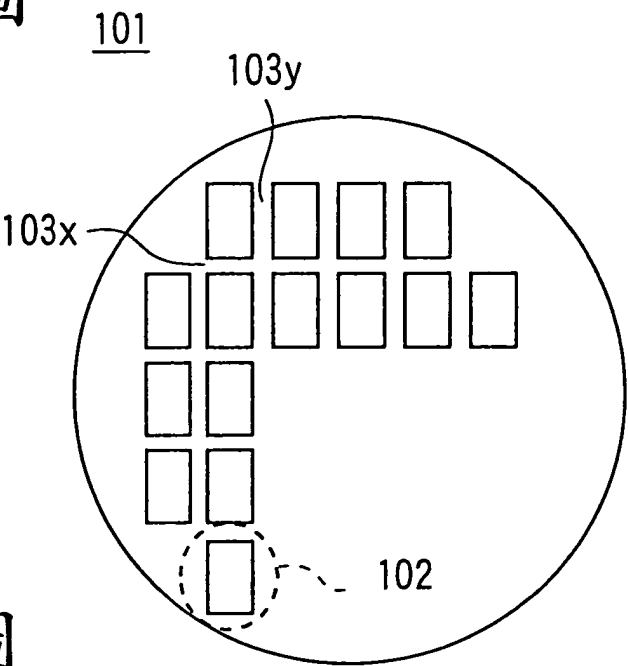
第16圖



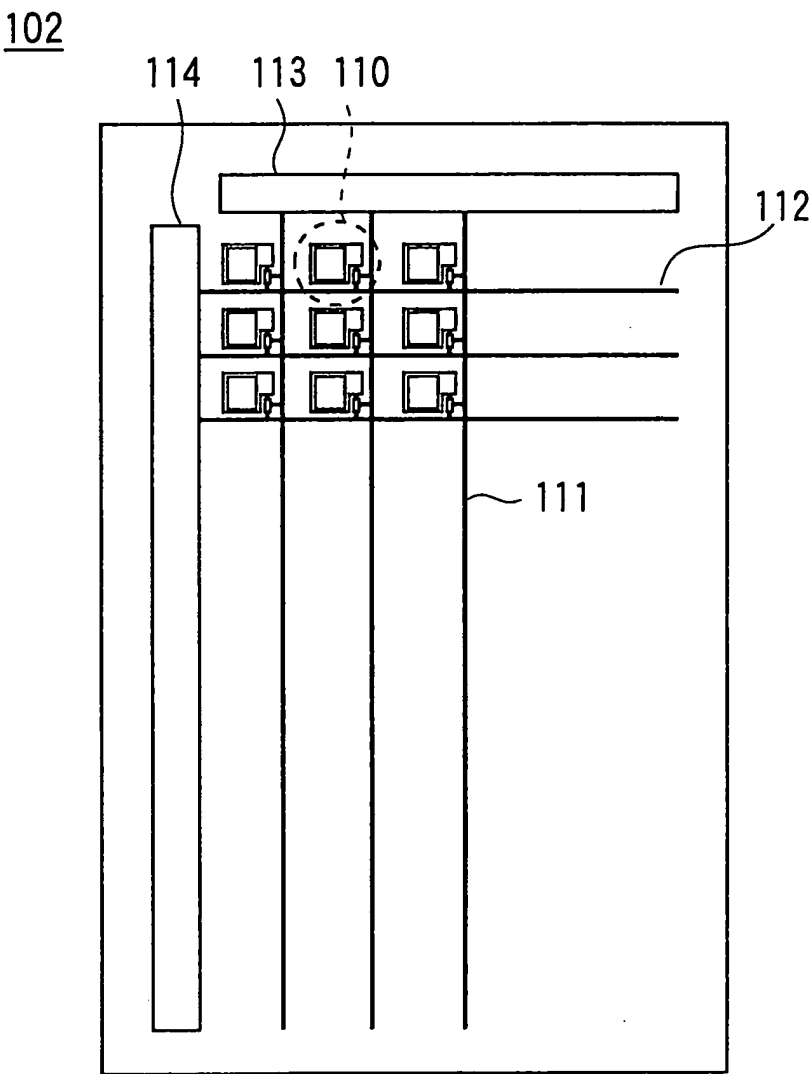
第17圖



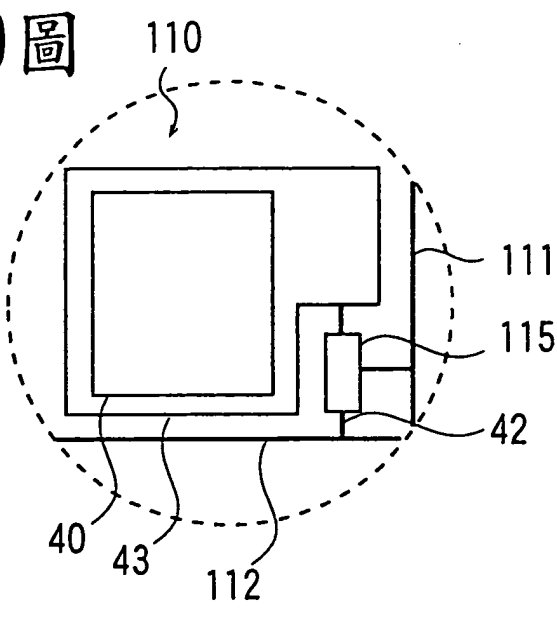
第18圖



第19圖



第20圖



發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：094115404

※申請日期：94 年 05 月 12 日

※IPC 分類：H05B 33/10 (2006.01)

一、發明名稱：

(中) 顯示裝置、顯示裝置之製造方法

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 愛發科股份有限公司

(英) ULVAC, INC.

代表人：(中) 1. 中村久三

(英) 1. NAKAMURA, KYUZO

地 址：(中) 日本國神奈川縣茅崎市萩園二五〇〇

(英) 2500, Hagisono, Chigasaki-shi, Kanagawa-ken, 253-8543,
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 根岸敏夫

(英) NEGISHI, TOSHIO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/05/13 ; 2004-143373 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：094115404

※申請日期：94 年 05 月 12 日

※IPC 分類：H05B 33/10 (2006.01)

一、發明名稱：

(中) 顯示裝置、顯示裝置之製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 愛發科股份有限公司
(英) ULVAC, INC.

代表人：(中) 1. 中村久三

(英) 1. NAKAMURA, KYUZO

地 址：(中) 日本國神奈川縣茅崎市萩園二五〇〇

(英) 2500, Hagisono, Chigasaki-shi, Kanagawa-ken, 253-8543,
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 根岸敏夫

(英) NEGISHI, TOSHIO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/05/13 ; 2004-143373 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明是關於有機 EL 裝置之技術，尤其關於不使用 ITO(Indium-tin oxide)之有機 EL 裝置。

【先前技術】

於頭盔顯示器 (Head Mount Display) 或投影機使用有機 EL 顯示裝置時，必須作成小型且高畫質之有機 EL 顯示裝置。爲了作成小型且高畫質之有機 EL，必須微細作成發光元件部。

但是，要如以往般利用在玻璃基板上形成 ITO 等之透明電極的方法，來實現如此微細之發光元件則有困難。該是因一般 ITO 膜以濺鍍所形成膜，故有發生凹凸或缺陷，或者，由於飛濺使得 ITO 膜有發生凹凸缺陷的情形。當爲了實現小型有機 EL 而薄化 ITO 膜時，如此之缺陷則容易造成短路。

並且，以濺鍍所作成之 ITO 膜因異方生長，故非爲細密組織。因此，於圖案製作時所使用之蝕刻液有進入至 ITO 膜之情形，被形成在 ITO 膜上之有機層有受損之情形。因此，於使用 ITO 時，製作小型之有機 EL 裝置則爲困難。

並且，ITO 膜爲了降低電阻，必須在 200℃ 以上退火。

[專利文獻 1]日本特開 2001-76884 號

[專利文獻 2]日本特開 2002-237383 號

【發明內容】

[發明所欲解決之課題]

本發明之目的為以使用 Si 晶圓代替玻璃基板，作成小型且高畫質之有機 EL 顯示裝置。

再者，本發明之目的是提供一種不使用 ITO，而具有微細之發光元件的有機 EL 顯示裝置。

[用以解決課題之手段]

為了解決上述課題，申請專利範圍第 1 項所記載之發明，是一種顯示裝置，其特徵為：具備有

半導體基板；被形成在上述半導體基板上之複數連接電晶體；被形成在上述半導體基板之複數孔；各被配置在上述各孔內，當流通電流時發光的有機發光層；和各被配置在上述有機發光層之表面上的畫素電極，上述各連接電晶體是各具有第 1、第 2 之主端子，和用以控制上述第 1、第 2 主端子間之導通的控制端子，上述各有機發光層上之畫素電極是互相電性分離，上述各畫素電極是被連接於不同之上述連接電晶體之上述第 1 主端子。

申請專利範圍第 2 項所記載之發明，是如申請專利範圍第 1 項所記載之顯示裝置，其中，上述各孔是被形成有底面，在底面露出共通電極，上述有機發光層之底面是接觸至上述共通電極。

申請專利範圍第 3 項所記載之發明，是如申請專利範圍第 2 項所記載之顯示裝置，其中，上述共通電極是被形成在上述半導體基板之內部的雜質區域。

申請專利範圍第 4 項所記載之發明，是如申請專利範圍第 3 項所記載之顯示裝置，其中，上述半導體基板之底面和上述各孔之底面之間的厚度是被設為 500nm 以下，上述有機發光層之發光光線是透過上述孔底面之上述半導體基板而被放射至外部。

申請專利範圍第 5 項所記載之發明，是如申請專利範圍第 3 項或第 4 項中之任一項所記載之顯示裝置，其中，上述雜質區域之導電型是與上述半導體基板相反的導電型。

申請專利範圍第 6 項所記載之發明，是一種顯示裝置，其特徵為：構成爲具備有半導體基板；被形成在上述半導體基板上之複數孔；各位於上述各孔之底面的共通電極；各被配置在上述各孔內之有機發光層；和被配置在上述各有機發光層之表面上，互相電性分離的畫素電極，在上述共通電極和上述畫素電極之間施加電壓，當電流通於上述有機發光層時，上述有機發光層則發光的顯示裝置，上述共通電極是由被形成在上述半導體基板內之雜質區域所構成。

申請專利範圍第 7 項所記載之發明，是如申請專利範圍第 6 項所記載之顯示裝置，其中，在上述半導體基板內形成複數連接電晶體，上述各連接電晶體是各具有第 1、

第 2 主端子，和用以控制上述第 1、第 2 主端子間之導通的控制端子，上述各畫素電極是被連接於不同上述連接電晶體之上述第 1 主端子。

請專利範圍第 8 項所記載之發明，是如申請專利範圍第 6 項或第 7 項中之任一項所記載之顯示裝置，其中，上述半導體基板之底面和上述各孔之底面之間的厚度是被設為 200nm 以上 500nm 以下，上述有機發光層之發光光線是透過上述孔底面之上述半導體基板而被放射至外部。

申請專利範圍第 9 項所記載之發明，是如申請專利範圍第 1~5、7、8 項中之任一項所記載之顯示裝置，其中，在上述半導體基板上，形成包含與上述連接電晶體不同之電晶體的複數電子元件，藉由上述電子元件，在上述半導體基板上，形成被連接於上述各連接電晶體之上述控制端子的導通控制電路，和被連接於上述第 2 主端子之電壓施加電路，藉由上述導通控制電路和上述電壓施加電路，使上述複數連接電晶體中之所欲的電晶體予以導通，將電流通於被連接於該被導通之連接電晶體之上述第 1 主端子的上述有機發光層上，構成使上述有機發光層予以發光。

申請專利範圍第 10 項所記載之發明，是一種顯示裝置之製造方法，其特徵為：具備有將第 2 導電型之雜質導入至第 1 導電型之半導體基板之背面，形成共通電極之步驟；在上述半導體基板之表面形成複數孔，使上述共通電極露出至上述各孔內的步驟；在上述孔內形成有機發光層之步驟；和在上述各有機發光層表面形成畫素電極之步

驟。

申請專利範圍第 11 項所記載之發明，是如申請專利範圍第 10 項所記載之顯示裝置之製造方法，其中，具備有在上述半導體基板內形成第 2 導電型之通道區域，在上述通道區域內各形成以第 1 導電型互相被分離之第 1、第 2 區域，形成連接電晶體的步驟，並將上述第 1 區域連接於上述畫素電極。

本發明是在半導體基板上形成有底的孔，並在該孔內形成有機發光層。

在孔底面上，藉由雜質擴散配置電阻率低之擴散區域。將此當作共通電極。然後，當將存在於各孔底面之共通電極的厚度，即是共通電極以構成半導體基板之半導體結晶所構成之時，該部分之半導體結晶之厚度，先設為有機發光層之發光光線可以透過的厚度時，發光光線則透過共通電極，而被放射至外部。

因此，必須要自有機發光層之面中，與共通電極相反側之面放射發光光線，故可以在與共通面相反側之面上配置金屬電極。

[發明效果]

本發明因將半導體晶圓之一部分當作電極使用，故即使不使用 ITO 亦可以作成具有微細發光元件之有機 EL 顯示裝置。

再者，本發明因不需要 LSI 作成所要求之高品質半導

體晶圓，故可以使用至此被廢棄或是不合被當作回收資源再利用的 LSI 規格，例如規格外之 Si 晶圓。

【實施方式】

第 18 圖之符號 101 為半導體晶圓，形成複數個本發明之顯示裝置 102。

各顯示裝置 102 是被行列狀配置，在各顯示裝置 102 之行與行之間和列與列之間，各配置有劃線 103x、103y。劃線 103x、103y 上之半導體晶圓 101 之表面是被露出，當切斷劃線 103x、103y 之部分時，各顯示裝置 102 則各被分離。

第 19 圖是用以說明 1 個顯示裝置 102 之構造的模式性平面圖，省略保護膜及後述之第 1、第 2 層間絕緣膜等。

該顯示裝置 102 具有複數個相當於最小 1 像點之顯示單位的畫素 110。各畫素 110 被配置成行列狀，在各畫素 110 之行與行之間和列與列之間，各圍繞有掃描線 112 和資料線 111。

第 20 圖是放大畫素 110 之模式平面圖，各畫素 110 是各具有有機 EL 層 40，和連接電晶體 115。

連接電晶體 115 是具有由輸出端子或是輸入端子所形成之第 1、第 2 主端子，和用以控制上述第 1、第 2 之主端子間之導通的控制端子。

在此，連接電晶體 115 為 n 通道 MOSFET，控制端子

被稱為閘極端子。該閘極端子被連接於資料線 111。

有機 EL 層 40 之表面上被配置有畫素電極 43。控制電晶體 115 之第 1 主端子為汲極端子，畫素電極 43 被連接於其汲極端子上。

再者，第 2 主端子為源極端子，該源極端子是被連接於掃描線 112。

資料線 111 和掃描線 112 是各被連接於導通控制電路 113 和電壓施加電路 114。導通控制電路 113 和電壓施加電路 114 是被構成各可施加電壓至所欲之資料線 111 和掃描線 112 上，當特定之資料線 111 和掃描線 112 被施加電壓時，則選擇被連接於其資料線 111 和掃描線 112 之雙方的畫素 110，僅導通其畫素 110 之連接電晶體 115。

藉由連接電晶體 115 之導通，被連接於其連接電晶體 115 之畫素電極 43 是連接於掃描線 112 上，有機 EL 層 40 則被施加電壓。依據該電壓當電流通於有機 EL 層 40 時，有機 EL 層 40 則發光，自所選擇之畫素 110 放射發光光線。

以下，針對將 p 型和 n 型之一方當作第 1 導電型，且將另一方當作第 2 導電型的畫素 110 之構造及製造工程予以說明。

第 1 圖之符號 10 是由以矽單晶構成之矽晶圓 101 之一部分所形成之第 1 導電型之半導體基板。當將第 2 導電型之雜質注入至其背面側，並予以擴散時，則如第 2 圖所示般，形成由第 2 導電型之擴散層所形成之共通電極

11。第 1 導電型為 n 型，第 2 導電型為 p 型之時，第 2 導電型之雜質則可以使用硼。該是第 2 導電型之雜質被注入至半導體基板 10 背面之全面，因此，共通電極 11 是被形成在半導體基板 10 之背面側之全面上。共通電極 11 之厚度設成 $2000\text{\AA}\sim 5000\text{\AA}$ 。電阻以 $5\sim 10\ \Omega/\square$ 左右為佳。

接著，對於與形成有半導體基板 10 之共通電極 11 之面相反的面，反復執行微影成像工程或蝕刻工程或雜質注入工程或擴散工程等，除了 n 通道 MOSFET 或 P 通道 MOSFET 之外，因應所需，形成電阻元件或電容器等之電子元件。

第 3 圖之符號 115 是表示形成擴散區域後之狀態的連接電晶體，具有屬於第 2 導電型之雜質區域之通道區域 31；被配置在該通道區域 31 之內部的第 1 導電型之源極區域 32 和汲極區域 33。

以下，在圖面上表示該連接電晶體 115，不圖示構成導通控制電路 113 或電壓施加電路 114 之電子零件之剖面。

通道區域 31 是在形成 1 個顯示裝置 102 之區域內被配置成行列狀，源極區域 32 和汲極區域 33 是一個一個互相分開被設置在 1 個通道區域 31 內。

然後，在至少使以源極區域 32 和汲極區域 33 所包夾之部分的通道區域 31 之表面予以露出之狀態下，如第 4 圖所示形成由絕緣性物質所形成之閘極絕緣膜 13。該雖然是閘極絕緣膜 13 為矽氧化膜，使包含有通道區域 31 和

元及區域 32 和汲極區域 33 之表面的半導體基板 10 之表面全部露出，藉由熱氧化處理等所形成，但是並不限定於氧化膜。

接著，如第 5 圖所示般，在閘極絕緣膜 13 之表面形成聚矽等之導電性材料所構成之導電性薄膜 14。

接著，如第 6 圖所示般，圖案製作導電性薄膜 14，至少除去形成有後述之孔 20 或開口 16 之部分。另一方面，殘留源極區域 32 和汲極區域 33 之間的位置部分，依據殘留之部分構成閘極電極 34。

接著，如第 7 圖所示般，在包含有閘極絕緣膜 13 或閘極電極 34 之表面的半導體基板 10 之單側表面上，形成由絕緣材料所形成之第 1 層絕緣膜 15，依據微影成像工程和蝕刻工程，至少除去第 1 層間絕緣膜 15 中，源極區域 32 上之部分和汲極區域 33 上之部分，如第 8 圖所示般，在源極區域 32 和汲極區域 33 上形成開口 16。

在該開口 16 之底面上，露出有源極區域 32 或汲極區域 33 之表面，在其狀態下依據濺鍍法等，如第 9 圖所示般，在層間絕緣膜 15 之表面和開口 16 之內部形成金屬膜 17。開口 16 之內部是由金屬膜 17 填充。當除去金屬膜 17 中，開口 16 之內部部分以外之部分時，則如第 10 圖所示般，取得下端接觸於源極區域 32 或是汲極區域 33 之插塞 18。位於不同開口 16 之內部的插塞 18 彼此為互相分離，在第 10 圖之狀態中，插塞 18 彼此是互相電性絕緣。

接著，藉由微影成像工程和蝕刻工程，蝕刻連接電晶體 115 之間之位置的第 1 層間絕緣膜 15 和閘極絕緣膜 13 和半導體基板 10，如第 11 圖所示般，形成複數孔。

各孔 20 是被形成在通道區域 31 或源極區域 32 或汲極區域 33 不接觸之位置上，貫通第 1 層間絕緣膜 15 和閘極絕緣膜 13。在各孔 20 之上部側面上露出有閘極絕緣膜 13 和第 1 層間絕緣膜 15。

各孔 20 不貫通半導體基板 10，各孔 20 是被形成共通電極 11 被露出在各孔 20 之底面的深度。各孔 20 之底面除了位於共通電極 11 之表面的情形外，即使位於共通電極 11 之內部，共通電極 11 露出於各孔 20 之側面的下端亦可。

在比各孔側面之共通電極 11 還上方，比半導體基板 10 之表面還下方之部分，露出有半導體基板 10 之第 1 導電型之部分。再者，各孔 20 是以一定距離分開被配置成行列狀。

接著，藉由噴墨法等噴出電洞輸送性之有機薄膜原料至各孔 20 內，並予以加熱，當蒸發溶劑時，則如第 12 圖所示般，在孔 20 內形成電洞輸送性之第 1 有機薄膜 35。

在此，第 1 有機薄膜 35 雖然與共通電極 11 接觸，但是即使在第 1 有機薄膜 35 和共通電極 11 之間設置具有導電性之緩衝層，不使第 1 有機薄膜 35 和共通電極 11 直接接觸亦可。

接著，如第 13 圖所示般，圖所示般，在第 1 有機薄

膜 35 之表面上，藉由噴墨法噴出並加熱有機材料，而形成發光性之第 2 有機薄膜 36，接著，如第 14 圖所示般，在第 2 有機薄膜 36 表面上，當與第 1、第 2 有機薄膜 35、36 之形成方法相同，噴出並加熱有機材料而形成電子輸送性之第 3 有機薄膜 37 時，藉由第 1~第 3 之有機薄膜 35~37 而在各孔 20 內形成有機發光層 40。不同之孔 20 內之有機發光層 40 是互相被分離。有機材料是不被噴出至孔 20 之外部。

在此，有機發光層 40 是被形成有機發光層 40 之表面的高度與第 1 層間絕緣膜 40 之表面高度大略一致的厚度。

接著，在閘極電極 34 上之無圖示位置中，於第 1 層間絕緣膜 15 上形成開口，使閘極電極 34 表面露出至開口之底面。

該狀態是第 1 層間絕緣膜 15 之表面，有機發光層 40 之第 3 有機薄膜 37 之表面，和插塞 18 之上端也被露出，其狀態如第 15 圖所示般，當藉由濺鍍法等形成第 1 配線薄膜 22 時，插塞 18 之上端、有機發光層 40 之表面及閘極電極 34 之表面等接觸於第 1 配線薄膜 22。該第 1 配線薄膜 22、上述金屬膜 17 及後述之第 2 配線薄膜是可以使用鋁等之金屬薄膜。

接著，圖案製作第 1 配線薄膜 22，如第 16 圖所示般，形成經由插塞 18 而被連接至源極區域 32 之源極配線 42，同樣的經由插塞 18 而被連接於汲極區域 33，並覆蓋

有機發光層 4 表面之畫素電極 43，和在無圖示之位置被連接於閘極電極 34 之閘極配線。

源極配線 42 是被連接於掃描線 112，閘極配線是被連接於資料線 111。

在各有機發光層 40 上各配置有畫素電極 43，各畫素電極 43 彼此為分離，被電性絕緣。再者，各畫素電極 43 和源極配線 42 也分離，被電性絕緣。

第 16 圖之符號 110 是表示畫素。該畫素 110 是表示具有 1 個連接電晶體 115，和經由畫素電極 43 而被連接於該連接電晶體 115 之汲極區域 33(第 1 主端子)的 1 個有機發光層 40 的畫素。

第 1 配線薄膜 22 之圖案製作時，藉由第 1 配線薄膜 22 也形成掃描線 112，與源極配線 42 連接。

接著，在源極配線 42 或畫素電極 43 或第 1 層間絕緣膜 15 上，形成第 2 層間絕緣膜後，在第 2 層間絕緣膜之規定位置形成開口，使閘極電極 34 之一部分，或是被連接於閘極電極 34 之第 1 配線薄膜 22 之一部分，露出在其開口底面上的狀態下，在第 2 層間絕緣膜上形成第 2 配線薄膜，當圖案製作，形成資料線 111 時，則如第 17 圖所示般，取得本發明之顯示裝置 102。第 17 圖之符號 19 是表示第 2 層間絕緣膜，資料線 111 和掃描線 112 之間是藉由第 2 層間絕緣膜 19 而被絕緣。再者，掃描線 112 和閘極電極 35 之間是藉由第 1 層間絕緣膜 15 而被絕緣。

當形成顯示裝置 102 之連接電晶體 115 時，則在配置

有畫素 110 之區域外側，也形成與連接電晶體 115 不同之電晶體（在此，為 n 通道 MOSFET 或 p 通道 MOSFET）或電阻元件或二極體等之電子元件，依據該些電子元件，形成有被連接於各連接電晶體 115 之控制端子上的導通控制電路 113 和被連接於第 2 主端子之電壓施加電路 114。

該顯示裝置 102 是在半導體基板 10 之表面側上具有以第 1 配線薄膜 22 或第 2 配線薄膜 19 之一部分所構成之複數腳位 (pad)，當該些腳位藉由打線接合等而連接於外部電路時，導通控制電路 113 或電壓施加電路 114 則被連接至外部電路上。

再者，當共通電極 11 之表面被露出，將顯示裝置 102 搭載在導線架 (lead frame) 使成電性連接時，則構成藉由施加電壓至導線架而可以施加電壓至共通電極 11。

一條資料線 111 上連接有被配置成 1 個顯示裝置 102 相同列的所有連接電晶體 115 之控制端子，並且被連接於相同資料線 111 之所有連接電晶體 115 之第 2 主端子，是被連接於互相銅之掃描線 112。

再者，一條掃描線 112 上連接有被配置成 1 個顯示裝置 102 內之相同行之所有連接電晶體 115 之第 2 主端子，並且，被連接於相同掃描線 112 之所有連接電晶體 115 之控制端子是互相被連接於不同資料線 111 上。

當依據導通控制電路 113 和電壓施加電路 114，選擇 1 條資料線 111 和 1 條掃描線 112 而施加電壓時，則僅被

連接該資料線 111 和掃描線 112 之 1 個連接電晶體 115 導通。

第 1 導電型為 n，連接電晶體 115 為 n 通道 MOSFET 時，先將正電壓施加至 1 條資料線 111，將另一資料線 111 連接至接地電位上。並且，先將 1 條掃描線 112 連接於接地電位，將另一掃描線 112 施加至正電壓。

因在共通電極 11 和半導體基板 10 之第 1 導電型 10 之第 1 導電型之部分之間形成有 pn 接合，故第 1 導電型為 n 型，共通電極 11 為 p 型之時，則在將正電壓施加至共通電極 11，並對與共通電及 11 接觸之半導體基板 10 之第 1 導電型之部分，施加與共通電極 11 相同或比較高之正電壓，而使 pn 接合逆偏壓之狀態下，當導通所選擇之連接電晶體 115 而將畫素電極 43 連接於資料線 11 時，則在有機發光層 40 之表面和背面之間施加電壓。

當施加電壓至有機發光層 40 時，則在第 1、第 3 有機薄膜 35、37 內各流通電洞和電子，在第 2 有機薄膜 36 內結合而第 2 有機薄膜 36 發光。

共通電極 11 被設定成 $200\text{nm}(200 \times 10^{-9}\text{m})$ 以上 $500\text{nm}(500 \times 10^{-9}\text{m})$ 以下之厚度，以單晶矽構成半導體基板 10 時，可是光之透過率則為 85% 以上。

因此，發光光線透過第 1 有機薄膜 35 或共通電極 11，並被放射至外部。

共通電極 11 被架設在導線架時，則在配置有畫素 110 之區域上之導線架之部分上先形成貫通孔等，使不會

遮蔽到發光光線。

然後，藉由在形成有畫素電極 43 之側面上形成凸塊，將凸塊連接於硬配線基板或是撓性配線基板，當將顯示裝置 102 搭載於配線基板時，因可以使共通電極 11 表面予以露出，故不截斷發光光線。此時，藉由打線接合等將共通電極 11 連接於硬配線基板或撓性配線基板，共通電極 11 也被連接於外部電路。例如，可以在不遮蔽到共通電極 11 之發光光線的部分上形成金屬薄膜，將其金屬薄膜當作電極而連接打線接合之金屬細線。

上述實施例雖然是連接電晶體 115 為 n 通道 MOSFET 時，但是亦可以使用 p 通道電晶體或雙極電晶體等，其他開關元件。

再者，上述實施例雖然將 n 通道 MOSFET 之汲極端子連接至畫素電極 43，使掃描線 112 成為接地電位而將正電壓施加至共通電極 11，但是即使將 n 通道 MOSFET 之源極端子連接至畫素電極，並使共通電極 11 成接地電位而將正電壓施加至掃描線 112 上，在有機發光層流通電流亦可。此時，接觸於共通電極之第 1 有機薄膜 35 成為電子輸送性，接觸於畫素電極 43 之第 3 有機薄膜 37 成為電子輸送性。

上述實施例中，雖然共通電極 11 被設為 1 個，各有機發光層 40 之單面被設為電性相同電位，但是於將第 2 導電型之雜質注入至半導體基板 10 之背面時，亦可以將圖案製作後的矽氧化膜等當作罩幕，圖案製作共通電極

11。例如，亦可以依據共通電極 11 形成平行之複數配線，將被配置成行列狀之有機發光層 40 之相同行或是相同列之有機發光層 40 連接於相同之共通電極 11 之配線。

再者，上述實施例中，雖然半導體基板 10 是由單晶矽所構成，但是即使除了矽之多晶外，即使為以 GaAs 等、其他之半導體之單晶或多晶所構成之半導體基板亦可。

本發明並不限定於以各畫素為相同單色之光所發光之情形，也包含以 RGB 三色之 R、G、B 所發光，可以執行彩色顯示之情形。再者，以單色發光時，也包含在共通電極 11 側配置彩色濾光片，執行彩色顯示之時。

並且，在半導體基板 10 上形成共通電極 11 後，即使研磨其共通電極 11 之表面，或研磨半導體基板 10 之背面，薄化半導體基板 10 之厚度後，形成共通電極，薄化存在於孔 20 底面之半導體基板 10 之厚度(上述實施例中為共通電極 11 之厚度)亦可。

【圖式簡單說明】

第 1 圖是用以說明本發明之顯示裝置之製造工程的剖面圖(1)。

第 2 圖是用以說明本發明之顯示裝置之製造工程的剖面圖(2)。

第 3 圖是用以說明本發明之顯示裝置之製造工程的剖面圖(3)。

第 4 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（4）。

第 5 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（5）。

第 6 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（6）。

第 7 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（7）。

第 8 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（8）。

第 9 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（9）。

第 10 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（10）。

第 11 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（11）。

第 12 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（12）。

第 13 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（13）。

第 14 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（14）。

第 15 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（15）。

第 16 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（16）。

第 17 圖是用以說明本發明之顯示裝置之製造工程的剖面圖（17）。

第 18 圖是用以說明本發明之顯示裝置之半導體基板內之配置的平面圖。

第 19 圖是用以說明本發明之顯示裝置之模式性平面圖。

第 20 圖是用以說明本發明之顯示裝置之畫素的模式性平面圖。

【主要元件符號說明】

10：半導體基板

11：共通電極

20：孔

40：有機發光層

43：畫素電極

102：顯示裝置

115：連接電晶體

五、中文發明摘要

發明之名稱：顯示裝置、顯示裝置之製造方法

提供不使用 ITO 膜之有機 EL 之顯示裝置。

在半導體基板 10 之背面形成由雜質區域所構成之共通電極 11 後，將有底之孔 20 配置成行列狀，並在各孔 20 內形成有機發光層 40，在該些表面上各配置畫素電極 43。當在共通電極 40 和畫素電極 43 之間施加電壓時，有機發光層 40 則發光，發光光線透過共通電極 40 被放出至外部。也形成連接電晶體 115，當僅使所欲之畫素 110 發光時，則取得顯示裝置 102。

六、英文發明摘要

發明之名稱：

十、申請專利範圍

- 1.一種顯示裝置，其特徵為：具備有
半導體基板；
被形成在上述半導體基板上之複數連接電晶體；
被形成在上述半導體基板之複數孔；
各被配置在上述各孔內，當流通電流時發光的有機發光層；和
各被配置在上述有機發光層之表面上的畫素電極，
上述各連接電晶體是各具有第 1、第 2 之主端子，和
用以控制上述第 1、第 2 主端子間之導通的控制端子，
上述各有機發光層上之畫素電極是互相電性分離，
上述各畫素電極是被連接於不同之上述連接電晶體之
上述第 1 主端子。
- 2.如申請專利範圍第 1 項所記載之顯示裝置，其中，
上述各孔是被形成有底面，在底面露出共通電極，上述有機發光層之底面是接觸至上述共通電極。
- 3.如申請專利範圍第 2 項所記載之顯示裝置，其中，
上述共通電極是被形成在上述半導體基板之內部的雜質區域。
- 4.如申請專利範圍第 3 項所記載之顯示裝置，其中，
上述半導體基板之底面和上述各孔之底面之間的厚度是被設為 500nm 以下，上述有機發光層之發光光線是透過上述孔底面之上述半導體基板而被放射至外部。
- 5.如申請專利範圍第 3 項所記載之顯示裝置，其中，

上述雜質區域之導電型是與上述半導體基板相反的導電型。

6.一種顯示裝置，構成具備有

半導體基板；

被形成在上述半導體基板上之複數孔；

各位於上述各孔之底面的共通電極；

各被配置在上述各孔內之有機發光層；和

被配置在上述各有機發光層之表面上，互相電性分離的畫素電極，

在上述共通電極和上述畫素電極之間施加電壓，當電流通於上述有機發光層時，上述有機發光層則發光，該顯示裝置之特徵為：

上述共通電極是由被形成在上述半導體基板內之雜質區域所構成。

7.如申請專利範圍第 6 項所記載之顯示裝置，其中，在上述半導體基板內形成複數連接電晶體，

上述各連接電晶體是各具有第 1、第 2 主端子，和用以控制上述第 1、第 2 主端子間之導通的控制端子，

上述各畫素電極是被連接於不同上述連接電晶體之上述第 1 主端子。

8.如申請專利範圍第 6 項所記載之顯示裝置，其中，上述半導體基板之底面和上述各孔之底面之間的厚度是被設為 200nm 以上 500nm 以下，上述有機發光層之發光光線是透過上述孔底面之上述半導體基板而被放射至外部。

9.如申請專利範圍第 1～5、7、8 項中之任一項所記載之顯示裝置，其中，在上述半導體基板上，形成包含與上述連接電晶體不同之電晶體的複數電子元件，

藉由上述電子元件，在上述半導體基板上，形成被連接於上述各連接電晶體之上述控制端子的導通控制電路，和被連接於上述第 2 主端子之電壓施加電路，

藉由上述導通控制電路和上述電壓施加電路，使上述複數連接電晶體中之所欲的電晶體予以導通，將電流通於被連接於該被導通之連接電晶體之上述第 1 主端子的上述有機發光層上，構成使上述有機發光層予以發光。

10.一種顯示裝置之製造方法，其特徵為：具備有將第 2 導電型之雜質導入至第 1 導電型之半導體基板之背面，形成共通電極之步驟；

在上述半導體基板之表面形成複數孔，使上述共通電極露出至上述各孔內的步驟；

在上述孔內形成有機發光層之步驟；和

在上述各有機發光層表面形成畫素電極之步驟。

11.如申請專利範圍第 10 項所記載之顯示裝置之製造方法，其中：具備有在上述半導體基板內形成第 2 導電型之通道區域，在上述通道區域內各形成以第 1 導電型互相被分離之第 1、第 2 區域，形成連接電晶體的步驟，

並將上述第 1 區域連接於上述畫素電極。

七、指定代表圖：

(一)、本案指定代表圖為：第(17)圖

(二)、本代表圖之元件符號簡單說明：

10：半導體基板
 11：共通電極
 13：閘極絕緣膜
 15：第1層間絕緣膜
 18：插塞
 19：第2層間絕緣膜
 20：孔
 31：通道區域
 32：源極區域
 33：汲極區域
 34：閘極電極
 40：有機發光層
 42：源極配線
 43：畫素電極
 102：顯示裝置
 110：畫素
 111：資料線
 115：連接電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：