

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月18日(18.06.2020)



(10) 国際公開番号

WO 2020/121449 A1

(51) 国際特許分類:
H01L 33/38 (2010.01) H01L 33/00 (2010.01)

6号 大阪証券取引所ビル10階 奥田
国際特許事務所 Osaka (JP).

(21) 国際出願番号: PCT/JP2018/045729

(22) 国際出願日: 2018年12月12日(12.12.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 岸本 克彦(KISHIMOTO, Katsuhiko).

(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041
大阪府大阪市中心区北浜一丁目8番1

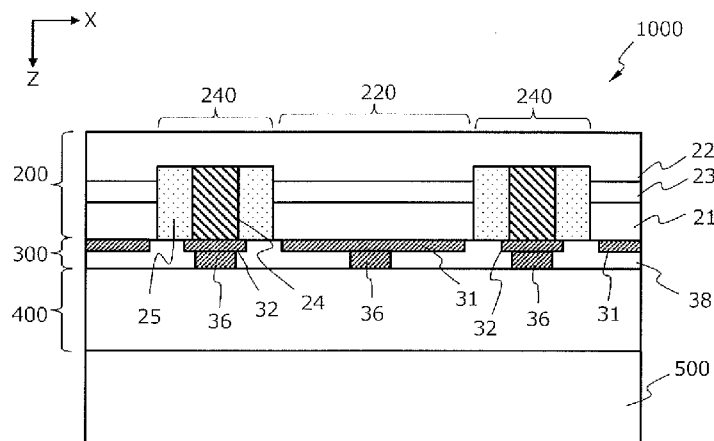
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: MICRO LED DEVICE, AND METHOD FOR MANUFACTURING MICRO LED DEVICE

(54) 発明の名称: マイクロLEDデバイスおよびその製造方法

[図1A]



(57) Abstract: This micro LED device of the present disclosure comprises: a plurality of micro LEDs (220) that respectively have a first semiconductor layer (21) of a first conductive type and a second semiconductor layer (22) of a second conductive type; as well as a front plane (200) that includes element isolation regions (240) positioned between the micro LEDs. The element isolation region has at least one metal plug (24) that is electrically connected to the second semiconductor layer. This device comprises: an intermediate layer (300) that includes a first contact electrode (31) that is electrically connected to the first semiconductor layer and a second contact electrode (32) that is connected to the metal plug; and a back plane (400) that is formed on the intermediate layer. This device further comprises a support substrate (500) that is fixed to at least one of the back plane and the front plane.

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：本開示のマイクロLEDデバイスは、それぞれが第1導電型の第1半導体層（21）および第2導電型の第2半導体層（22）を有する複数のマイクロLED（220）、ならびにマイクロLEDの間に位置する素子分離領域（240）を含むフロントプレーン（200）を備える。素子分離領域は、第2半導体層に電氣的に接続された少なくともひとつの金属プラグ（24）を有する。このデバイスは、第1半導体層に電氣的に接続された第1コンタクト電極（31）および金属プラグに接続された第2コンタクト電極（32）を含む中間層（300）と、中間層上に形成されたバックプレーン（400）とを備える。このデバイスは、バックプレーンおよびフロントプレーンの少なくとも一方に固定された支持基板（500）を更に備える。

明 細 書

発明の名称：マイクロLEDデバイスおよびその製造方法

技術分野

[0001] 本開示は、マイクロLEDデバイスおよびその製造方法に関する。

背景技術

[0002] 多数のマイクロLEDが狭ピッチで配列されたディスプレイ装置を実用化するためには、微細なマイクロLEDをTFT基板などの実装回路基板上の所定位置に実装する量産技術の開発が必要である。個々のマイクロLEDをピックアンドプレイス (pick-and-place) 方式で回路上に実装する技術によれば、多数のマイクロLEDを例えば数10 μ mのピッチで回路上に実装することは非常に長い作業時間を必要とする。

[0003] 特許文献1は、TFT基板上に転写された多数のマイクロLEDを備えるディスプレイ装置およびその製造方法を開示している。

[0004] 特許文献2は、複数のLEDが形成されたGaNウェハと、このGaNウェハが接合されたバックプレーン制御部 (TFT基板) とを備えるディスプレイ装置およびその製造方法を開示している。

先行技術文献

特許文献

[0005] 特許文献1：特表2016-522585号公報

特許文献2：特表2017-538290号公報

発明の概要

発明が解決しようとする課題

[0006] 多数のマイクロLEDをTFT基板上に転写する方法は、マイクロLEDのサイズが小さくなり、その個数が増えると、TFT基板に対するマイクロLEDの位置合わせが難しくなるという問題がある。また、GaNウェハをバックプレーン制御部に接合する方法も、GaNウェハを一時的に保持するウェハに移しかえ、かつ、更にバックプレーン制御部に実装するという複雑

な工程が必要になる。

[0007] 本開示は、上記の課題を解決することができる、マイクロLEDデバイスの新しい構造および製造方法を提供する。

課題を解決するための手段

[0008] 本開示のマイクロLEDデバイスは、例示的な実施形態において、フロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンと、前記バックプレーンおよび前記フロントプレーンの少なくとも一方に固定された支持基板とを備える。前記複数の薄膜トランジスタのそれぞれは、前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している。

[0009] ある実施形態において、前記支持基板は、フレキシブル基板である。

[0010] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している。

[0011] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの側面をそれぞれ覆う複数の絶縁層を有しており、前記金属プラグは、前記素子分離領域内において、前記複数の絶縁層によっ

て囲まれた空間を埋めている。

[0012] ある実施形態において、前記フロントプレーンは、平坦な表面を有しており、前記平坦な表面は前記中間層に接している。

[0013] ある実施形態において、前記中間層は、平坦な表面を有する層間絶縁層を含み、前記層間絶縁層は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している。

[0014] ある実施形態において、前記バックプレーンの前記電気回路は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極にそれぞれ接続された複数の金属層を有しており、前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む。

[0015] ある実施形態において、前記複数のマイクロLEDのそれぞれは、可視、紫外、または赤外の電磁波を放射する。

[0016] ある実施形態において、前記フロントプレーンは、各マイクロLEDの前記第2半導体層を電氣的に接続する導電体層を有する。

[0017] ある実施形態において、前記支持基板は、金属または合成樹脂から形成されている。

[0018] 本開示のマイクロLEDデバイスの製造方法は、例示的な実施形態において、結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層を備える積層構造体を用意する工程と、前記積層構造

体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程と、前記バックプレーンを支持基板で覆う工程と、前記結晶成長基板から前記積層構造体を剥離する剥離工程と、を含む。前記バックプレーンを形成する工程は、前記積層構造体上に半導体層を堆積する工程と、前記積層構造体上の前記半導体層をパターニングする工程と、を含む。

[0019] ある実施形態において、前記剥離工程は、前記結晶成長基板を透過する光で前記結晶成長基板と前記フロントプレーンとの界面を照射する工程を含む。

[0020] ある実施形態において、前記剥離工程の後、前記フロントプレーン上に導電層を形成する工程を含む。

[0021] ある実施形態において、前記積層構造体を用意する工程は、前記結晶成長基板上に窒化チタニウム層を形成する工程を含む。

[0022] ある実施形態において、前記支持基板は、フレキシブル基板である。

発明の効果

[0023] 本発明の実施形態によれば、前記の課題を解決するマイクロLEDデバイスおよびその製造方法が提供される。

図面の簡単な説明

[0024] [図1A]本開示によるμLEDデバイス1000の一部を示す断面図である。

[図1B]μLEDデバイス1000におけるμLED220の配置例を示す平面図である。

[図1C]本開示によるμLEDデバイス1000の他の例における一部を示す断面図である。

[図1D]本開示による製造工程中のμLEDデバイス1000の一部を示す断面図である。

[図1E]μLEDデバイス1000における金属プラグ24の配置例を示す平

面図である。

[図1F] μ LEDデバイス1000における金属プラグ24の他の配置例を示す平面図である。

[図2] μ LEDデバイス1000における第1コンタクト電極31および第2コンタクト電極32の配置例を示す斜視図である。

[図3] μ LEDデバイス1000における電気回路の一部の例を示す回路図である。

[図4A] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4B] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4C] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4D] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4E] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4F] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4G] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4H] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図5A] 円柱形の μ LED220を備える μ LEDデバイス1000の一部を示す斜視図である。

[図5B] 円柱形の μ LED220を備える μ LEDデバイス1000の平面図である。

[図6] 本開示の実施形態における μ LEDデバイス1000Aの断面図である。
。

[図7A] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7D] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7E] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7F] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7G] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7H] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7I] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図8] 本開示の実施形態における製造工程中の μ LEDデバイス1000Aの他の構成例を示す断面図である。

[図9] 本開示の実施形態における製造工程中の μ LEDデバイス1000Aの更に他の構成例を示す断面図である。

[図10] 本開示の実施形態における μ LEDデバイス1000Aの更に他の構成例を示す断面図である。

[図11A] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11D] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11E] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11F] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図12A]本開示による他の実施形態における μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。

[図12B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図12C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図13A]本開示による更に他の実施形態における μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。

[図13B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図14A]本開示による他の実施形態における製造工程中の μ LEDデバイス1000Aの構成を模式的に示す斜視図である。

[図14B]図14Aの μ LEDデバイス1000Aの製造工程中の構成を模式的に示す斜視図である。

[図14C]図14Aの μ LEDデバイス1000Aの製造工程中の構成を模式的に示す断面図である。

[図15] μ LEDデバイス1000Aの製造工程中の他の構成を模式的に示す断面図である。

[図16A]改変例における素子分離領域240の構成例を示す断面図である。

[図16B]改変例における素子分離領域240の構成例を示す平面図である。

[図16C]改変例における素子分離領域240の製造工程を説明するための断面図である。

[図16D]改変例における素子分離領域240の製造工程を説明するための断面図である。

[図17]本開示による更に他の実施形態における μ LEDデバイス1000Bの構成を模式的に示す断面図である。

[図18]本開示による更に他の実施形態における μ LEDデバイス1000C

の構成を模式的に示す断面図である。

[図19]図18の μ LEDデバイス1000Cの構成を模式的に示す斜視図である。

[図20]本開示による更に他の実施形態における μ LEDデバイス1000Dの構成を模式的に示す断面図である。

[図21]本開示による更に他の実施形態における μ LEDデバイス1000Eの構成を模式的に示す断面図である。

[図22]製造工程中における μ LEDデバイス1000Fの一部を示す断面図である。

[図23] μ LEDデバイス1000Fにおける μ LEDアレイの配置例を示す平面図である。

[図24] μ LEDから放射された光の一部が金属プラグによって反射される様子を模式的に示す図である。

[図25A]製造工程中における μ LEDデバイス1000Fの一部を示す断面図である。

[図25B] μ LEDデバイス1000Fにおける μ LEDアレイの配置例を示す平面図である。

[図26]製造工程中における μ LEDデバイス1000Fの他の構成例を示す断面図である。

[図27]製造工程中における μ LEDデバイス1000Fの更に他の構成例を示す断面図である。

[図28]側面220Sが円錐台の側面から形成されている例を示す斜視図である。

[図29]製造工程中における μ LEDデバイス1000Fの更に他の構成例を示す断面図である。

[図30]製造工程中における μ LEDデバイス1000Fの更に他の構成例を示す断面図である。

発明を実施するための形態

[0025] <定義>

本開示における「マイクロLED」とは、占有領域のサイズが $100\mu\text{m} \times 100\mu\text{m}$ の領域内に含まれる大きさを有する発光ダイオード(LED)を意味する。マイクロLEDが放射する「光」は、可視光に限定されず、可視、紫外、または赤外の電磁波を広く含む。以下、「マイクロLED」を「 μLED 」と表記することがある。

[0026] μLED は、第1導電型の第1半導体層および第2導電型の第2半導体層を有する。第1導電型はp型およびn型の一方であり、第2導電型はp型およびn型の他方である。例えば第1導電型がp型であるとき、第2導電型はn型である。逆に第1導電型がn型であるとき、第2導電型はp型である。第1半導体層および第2半導体層のそれぞれは、単層構造または多層構造を有し得る。典型的には、少なくとも1個の量子井戸（またはダブルヘテロ構造）を有する発光層が第1半導体層と第2半導体層との間に形成される。

[0027] 本開示における「マイクロLEDデバイス（ μLED デバイス）」とは、複数の μLED を備えるデバイスである。 μLED デバイスにおける複数の μLED を「 μLED アレイ」と呼ぶことがある。 μLED デバイスの典型例はディスプレイデバイスであるが、 μLED デバイスはディスプレイデバイスに限定されない。

[0028] <基本構成>

図1Aおよび図1Bを参照して、本開示の μLED デバイスの基本構成例を説明する。図1Aは、 μLED デバイス1000の一部を示す断面図である。図1Bは、 μLED デバイス1000における μLED アレイの配置例を示す平面図である。図1Aに示されている μLED デバイス1000の断面は、図1BのA-A線断面に相当する。

[0029] μLED デバイス1000は、例えば100万個を超えるような多数の μLED を備え得る。図1Aおよび図1Bは、 μLED デバイス1000のうちの、数個の μLED を含む一部分のみを示している。 μLED デバイス1000の全体は、図示されている部分が周期的に配列された構成を備えてい

る。

[0030] μ LEDデバイス1000は、支持基板500と、支持基板500に支持されたフロントプレーン200と、フロントプレーン200に支持された中間層300と、中間層に支持されたバックプレーン400とを備えている。

[0031] 添付図面において、 μ LEDなどの各構成要素の縦方向サイズに対する横方向サイズの比率は、実施形態における実際の比率を必ずしも反映していない。図面では、わかりやすさを優先した比率で各構成要素が記載されている。また図面における各構成要素の向きは、実際に μ LEDデバイスを製造するときの向き、および、使用時における向きを何ら制限しない。図1Aおよび図1Bには、参考のため、相互に直交するX軸、Y軸、およびZ軸の右手系座標軸が記載されている。

[0032] 図1Cは、本開示による μ LEDデバイス1000の他の例における一部を示す断面図である。図1Cの構成が図1Aの構成から異なる点は、フロントプレーン200の一部にある。この相違点については、後に説明する。

[0033] 本開示による μ LEDデバイス1000は、後述するように、図1Aおよび図1Bにおいて図示されていない結晶成長基板上に、フロントプレーン200と、中間層300と、バックプレーン400とを順次形成した後、結晶成長基板を取り除くことによって作製され得る。結晶成長基板を取り除く前または後に、フロントプレーン200およびバックプレーン400の少なくとも一方と支持基板500とが固定される。結晶成長基板とフロントプレーン200との分離は、例えばレーザーリフトオフ法によって実行され得る。

[0034] <支持基板>

支持基板500は、ガラス、プラスチック、金属から形成され得る。図1Aの例において、フロントプレーン200の μ LEDから放射された光を支持基板500から取り出す（Z軸の正方向に光を取り出す）場合、支持基板500は、その光を透過する材料から形成される。ただし、Z軸の負方向に光を取り出す場合、支持基板500は透光性を有する必要はない。なお、図1Aの例において、支持基板500はバックプレーン400の側に配置され

てバックプレーン400に固定されているが、本開示の実施形態は、そのような例に限定されない。支持基板500とバックプレーン400との間に、レンズシート、拡散シートなどの光学素子、および／または、電気電子回路もしくは回路素子が設けられていてもよい。また、支持基板500はフロントプレーン200の側に配置されていてもよい。その場合、支持基板500とフロントプレーン200との間に、上記の光学素子または回路素子が配置されていてもよい。更には、2枚の支持基板がそれぞれフロントプレーン200およびバックプレーン400に直接または間接的に固定されていてもよい。

[0035] 支持基板500は、可撓性を有するフィルムから形成されていてもよい。そのようなフィルムの典型例は、ポリエチレンナフタレート（PEN）、ポリエチレンテレフタレート（PET）、ポリイミド（PI）の単層または多層のフィルムを含む。可撓性を有するフィルムの他の例は、金属箔を含み得る。

[0036] 支持基板500には、バックプレーン400に含まれる電気回路に接続される配線が形成されていてもよい。そのような支持基板500は、プリント配線基板としての機能も発揮し得る。支持基板500のZ軸の負方向を向いた面には、不図示の回路素子が取り付けられてもよい。

[0037] 支持基板500の材料および厚さは、用途に応じて、任意に選択され得る。μLEDデバイス1000を例えばフレキシブルディスプレイとして利用する場合、支持基板500は、可撓性を有するフィルムから形成される。その場合、支持基板500の変形に応じて、フロントプレーン200、中間層300、およびバックプレーン400が湾曲したり、屈曲したりすることが必要である。具体的には、フロントプレーン200において、個々のμLED、あるいは、複数のμLEDを含むユニットごとに、ある程度の角度で傾斜が可能となるように半導体が分割され得る。図1Cに示されている例において、フロントプレーン200内の半導体層はμLEDごとに分割されている。このような構成例の詳細は、後述する。

[0038] 本開示では、結晶成長基板上に、フロントプレーン200と、中間層300と、バックプレーン400を順次形成するため、以下、これらの構成を結晶成長基板から順番に詳細に説明する。

[0039] まず、図1Dを参照する。図1Dは、本開示による製造工程中の μ LEDデバイス1000の一部を示す断面図である。図1Dに示されている状態の μ LEDデバイス1000は、まだ結晶成長基板100を備えている。結晶成長基板100上には、フロントプレーン200と、中間層300と、バックプレーン400とを形成されている。図1Dにおけるフロントプレーン200、中間層300、およびバックプレーン400の構成は、図1Aにおけるフロントプレーン200、中間層300、およびバックプレーン400の構成と上下が反転している点を除いて実質的に同一である。なお、本開示では、便宜上、結晶成長基板100に支持された製造途中の μ LEDデバイスについても、製造工程後の μ LEDデバイスと同じ参照符号（例えば「1000」）を付して説明する。

[0040] <結晶成長基板>

結晶成長基板100は、 μ LEDを構成する半導体結晶がエピタキシャル成長する基板である。結晶成長基板100の結晶成長が生じる面100Tを「上面」または「結晶成長面」と呼び、結晶成長基板100の反対側の面100Bを「下面」と称する。本明細書において、「上面」および「下面」の語句は、結晶成長基板100の実際の向きに依存することなく用いられる。

[0041] 本開示の実施形態で利用され得る半導体結晶の典型例は、窒化ガリウム系化合物半導体である。以下、窒化ガリウム系化合物半導体を「GaN」と表記することがある。GaNにおけるガリウム（Ga）原子の一部は、アルミニウム（Al）原子またはインジウム（In）原子によって置換されていてもよい。Ga原子の一部がAl原子で置換されたGaNを「AlGaN」と表記する場合がある。また、Ga原子の一部がIn原子で置換されたGaNを「InGaN」と表記する場合がある。更には、Ga原子の一部がAl原子およびIn原子で置換されたGaNを「AlInGaN」または「InAlGaN」と表記する場合がある。

「 AlGaIn 」と表記することがある。 GaIn のバンドギャップは、 AlGaIn のバンドギャップよりも小さく、 InGaIn のバンドギャップよりも大きい。なお、本開示では、構成原子の一部が他の原子で置換された窒化ガリウム系化合物半導体を総称して「 GaIn 」と表記する場合がある。「 GaIn 」には、不純物イオンとして n 型不純物および／または p 型不純物がドーピングされる。導電型が n 型である GaIn は「 $n\text{-GaIn}$ 」、導電型が p 型である GaIn は「 $p\text{-GaIn}$ 」と表記する。半導体結晶の成長方法の詳細については、後述する。なお、本開示の実施形態において、 μLED を構成する半導体結晶は、 GaIn 系半導体に限定されず、 AlIn 、 InIn 、または AlInIn などの窒化物半導体、あるいは他の半導体から形成されていてもよい。

[0042] 結晶成長基板100の例は、サファイア基板、 GaIn 基板、 SiC 基板、および Si 基板などを含む。本開示の実施形態において、結晶成長基板100は、最終的な μLED デバイス1000の構成要素ではない。結晶成長基板100の厚さは、例えば $30\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下、好ましくは $500\mu\text{m}$ 以下であり得る。結晶成長基板100の役割は、結晶成長のベースとなることであるため、最終的な μLED デバイス1000の剛性は、支持基板500によって補強される。

[0043] 結晶成長基板100の典型例は、サファイア基板である。結晶成長基板100がサファイアから形成されていると、レーザリフトオフ技術を利用して結晶成長基板100からフロントプレーン200を剥離することが容易になる。ただし、他の剥離技術を利用してもよく、その場合、結晶成長基板100の材料はサファイアに限定されない。

[0044] 結晶成長基板100の上面（結晶成長面）100Tには、結晶格子歪を緩和するような溝またはリッジなどの構造が付与されていてもよい。また、結晶格子歪を低減するためのバッファ層が結晶成長基板100の上面100Tに形成されていてもよい。

[0045] 本開示において、図1Dに示される Z 軸の正方向（矢印の向き）を「結晶成長方向」または「半導体積層方向」と呼ぶ場合がある。また、結晶成長基

板 100 の下面 100B および上面 100T を、それぞれ、結晶成長基板 100 の「正面」および「背面」と呼んでもよい。

[0046] <フロントプレーン>

フロントプレーン 200 は、複数の μLED 220 と、複数の μLED 220 の間に位置する素子分離領域 240 とを含む。複数の μLED 220 は、製造途中、結晶成長基板 100 の上面 100T に平行な 2 次元平面 (XY 面) 内において、行および列状に配列され得る。複数の μLED 220 のそれぞれは、図 1D に示されるように、第 1 導電型の第 1 半導体層 21 および第 2 導電型の第 2 半導体層 22 を有する。第 2 半導体層 22 は、第 1 半導体層 21 に比べて、結晶成長基板 100 に近い位置にある。

[0047] 本開示の実施形態において、各 μLED 220 は、他の μLED 220 から独立して発光し得る発光層 23 を有している。発光層 23 は、第 1 半導体層 21 と第 2 半導体層 22 との間に位置している。素子分離領域 240 は、第 2 半導体層 22 に電氣的に接続された少なくともひとつの金属プラグ 24 を有している。金属プラグ 24 は、 μLED 220 の基板側電極として機能する。

[0048] 第 1 導電型の第 1 半導体層 21 の典型例は、 $p\text{-Ga}\text{N}$ 層である。第 2 導電型の第 2 半導体層 22 の典型例は、 $n\text{-Ga}\text{N}$ 層である。 $p\text{-Ga}\text{N}$ 層および $n\text{-Ga}\text{N}$ 層は、それぞれ、基板 100 の上面 100T に垂直な方向 (半導体積層方向: Z 軸の正方向) に沿って同一の組成を有している必要はなく、多層構造を有し得る。前述したように、 GaN の Ga は Al および／または In によって少なくとも部分的に置換され得る。このような置換は、 GaN のバンドギャップおよび／または屈折率を調整するために行われ得る。また、 n 型不純物および p 型不純物の濃度、すなわちドーピングレベルも、半導体積層方向 (Z 軸の正方向) に沿って一様である必要はない。

[0049] 発光層 23 の典型例は、少なくともひとつの $\text{In}\text{Ga}\text{N}$ 井戸層を含む。発光層 23 が複数の $\text{In}\text{Ga}\text{N}$ 井戸層を含む場合、それぞれの $\text{In}\text{Ga}\text{N}$ 井戸層の間には、 $\text{In}\text{Ga}\text{N}$ 井戸層よりもバンドギャップが大きな GaN 障壁層

またはA l G a N障壁層が配置され得る。I n G a N井戸層およびA l G a N障壁層は、それぞれI n A l G a N井戸層およびI n A l G a N障壁層であってもよい。I n G a N井戸層のバンドギャップは、発光波長を規定する。具体的には、真空中における発光波長を λ [nm]、バンドギャップを E_g [エレクトロンボルト: eV] とすると、 $\lambda \times E_g = 1240$ の関係が成立する。従って、例えば $\lambda = 450$ nmの青色光を放射させるには、I n G a N井戸層のバンドギャップ E_g を約2.76 eVに調整すればよい。I n G a N井戸層のバンドギャップは、I n G a N井戸層におけるI n組成比率に応じて調整され得る。I n A l G a N井戸層を用いる場合は、同様にI nおよびA l組成比率に応じてバンドギャップが調整され得る。結晶成長基板100上に成長するI n G a N井戸層におけるI n組成比率は、結晶成長基板100の全面において、ほぼ同一の値を持つ。このため、同一の結晶成長基板100上に形成された複数の μ LED220は、ほぼ等しい波長を有する光を放射することになる。

[0050] 各 μ LED220を構成する上記複数の半導体層は、それぞれ、結晶成長基板100上にエピタキシャル成長した単結晶の層（エピタキシャル層）である。素子分離領域240は、結晶成長基板100上にエピタキシャル成長した複数の半導体層を部分的にエッチングすることによって形成されたトレンチ状の凹部（以下、「トレンチ」と称する）によって規定される。トレンチによって分離された個々の μ LED220の占有領域は、 $100\mu\text{m} \times 100\mu\text{m}$ の領域内に含まれる大きさ（例えば $10\mu\text{m} \times 10\mu\text{m}$ の領域）を有している。なお、 μ LED220の占有領域は、素子分離領域240によって区分された第1半導体層21の輪郭によって規定される。

[0051] 図1Bに示されるように、素子分離領域240は各 μ LED220を取り囲み、個々の μ LED220を他の μ LED220から分離している。より具体的には、素子分離領域240は、個々の μ LED220の第1半導体層21および発光層23を、他の μ LED220の第1半導体層21および発光層23から、電氣的・空間的に分離している。

[0052] 図1Dに示されるように、第2半導体層22は、 μ LED220ごとに完全に分離されていなくてもよい。図1Dに示される例において、複数の μ LED220のそれぞれが有する第2半導体層22は、1層の連続した半導体層から形成されており、複数の μ LED220によって共有されている。1層の連続した第2半導体層22が複数の μ LED220によって共有されていると、この第2半導体層22が複数の μ LED220に対する第2導電側の共通電極として機能する。もし、各 μ LED220の第2半導体層22が相互に分離され、かつ、第2半導体層22が個別にバックプレーン400における第2導電側の電極（配線）に接続されている形態では、第2導電側の電極または配線の一部に断線不良が発生すると、一部の μ LED220に通電不良が発生してしまう。しかし、複数の μ LED220のそれぞれが有する第2半導体層22が1層の連続した半導体層から形成されている形態によれば、そのような不良の発生を抑制することができる。本開示の実施形態は、このような例に限定されない。各 μ LED220の第2半導体層22は、金属プラグ24、または後述するTiNバッファ層などと適切に接続されているのであれば、他の μ LED220の第2半導体層22から分離されていてもよい。

[0053] この例において、素子分離領域240は、複数の μ LED220の間を埋める（fill）埋め込み絶縁物（embedded insulator）25を有している。埋め込み絶縁物25は、金属プラグ24のための1個または複数個のスルーホールを有している。スルーホールは金属プラグ24を構成する金属材料によって埋められている。金属プラグ24は、異なる金属の層がスタックされた構造を有していてもよい。

[0054] 図1Bに示される例では、複数の金属プラグ24が離散的に配置されているが、本開示の実施形態は、このような例に限定されない。複数の金属プラグ24のそれぞれが、対応する μ LED220を囲むリング形状を有していてもよい。また、金属プラグ24は、図1Eに示すように、一方向に平行に延びるストライプ形状を有してもよいし、図1Fに示すように、格子形状を

有する１個の導電物であってもよい。

[0055] 金属プラグ２４は、光を透過しない。このため、金属プラグ２４が、個々の μ ＬＥＤ２２０を囲む形状を有する場合（例えば図１Ｆの形状を有する場合）、金属プラグ２４は、個々の μ ＬＥＤ２２０から放射された光が、他の μ ＬＥＤ２２０から放射された光と混合されないようにする効果を生じさせる。金属プラグ２４がこのような遮光部材として機能する代わりに、個々の μ ＬＥＤ２２０を囲む遮光部材を、別途、素子分離領域２４０内に設けてもよい。このように素子分離領域２４０は、個々の μ ＬＥＤ２２０の発光層２３を他の μ ＬＥＤ２２０の発光層２３から光学的に分離する付加的な機能を有していてもよい。

[0056] 本開示の実施形態において、フロントプレーン２００の上面は、図１Ｄに示されるように平坦化されていることが好ましい。このような平坦化は、素子分離領域２４０における金属プラグ２４および埋め込み絶縁物２５の上面のレベルが、 μ ＬＥＤ２２０における第１半導体層２１の上面のレベルに略一致することにより実現されている。

[0057] <中間層>

中間層３００は、複数の第１コンタクト電極３１と、第２コンタクト電極３２とを含む（図１Ｄ参照）。複数の第１コンタクト電極３１は、それぞれ、複数の μ ＬＥＤ２２０の第１半導体層２１に電氣的に接続されている。少なくともひとつの第２コンタクト電極３２は、金属プラグ２４に接続されている。

[0058] 図２は、第１コンタクト電極３１および第２コンタクト電極３２の配置例を示す斜視図である。図２では、コンタクト電極３１、３２の配置例を示すため、バックプレーン４００の記載が省略されている。図２に示されている構造は、 μ ＬＥＤデバイス１０００の一部にすぎず、前述したように、 μ ＬＥＤデバイス１０００の実施形態は多数の μ ＬＥＤ２２０を備えている。

[0059] 図２に示されている第２コンタクト電極３２は、金属プラグ２４を介して、第２半導体層２２に電氣的に接続されている。第２コンタクト電極３２の

形状およびサイズは、図示されている例に限定されない。前述したように、金属プラグ24が多様な形状を取り得るため、金属プラグ24を介して第2半導体層22に電氣的に接続される限り、第2コンタクト電極32の配置の自由度は高い。これに対して、第1コンタクト電極31は、複数の μ LED220の第1半導体層21に、それぞれ、独立して電氣的に接続されている。結晶成長基板100の上面100Tに垂直な方向から視たとき、第1コンタクト電極31の形状および大きさは、第1半導体層21の形状および大きさに一致している必要はない。

[0060] 前述したように、フロントプレーン200の上面が平坦化されているため、結晶成長基板100から第1コンタクト電極31および第2コンタクト電極32までの距離、言い換えると、これらのコンタクト電極31、32の「高さ」または「レベル」は、相互に等しい。このことは、半導体製造技術を用いて後述するバックプレーン400を形成することを容易にする。本開示における「半導体製造技術」とは、半導体、絶縁体、または導電体の薄膜を堆積する工程と、リソグラフィおよびエッチング工程によって薄膜をパターンニングする工程とを含む。なお、本明細書において、「平坦化された表面」とは、その表面に存在する凸部または凹部による段差が300nm以下である表面を意味するものとする。好ましい実施形態において、この段差は100nm以下である。

[0061] 再び図1Dを参照する。図1Dに示される例において、中間層300は、平坦な表面を有する層間絶縁層38を含む。層間絶縁層38は、第1および第2コンタクト電極31、32をそれぞれバックプレーン400の電気回路に接続するための複数のコンタクトホールを有している。コンタクトホールは、ビア電極36によって埋められている。

[0062] 本開示の実施形態では、バックプレーン400を形成する前の段階において、層間絶縁層38の上面を平坦化することが好ましい。バックプレーン400を形成する前、あるいは形成途中の工程における絶縁層の平坦化には、エッチバック以外に化学的機械的研磨（CMP）処理が好適に用いられ得る。

。

[0063] <バックプレーン>

バックプレーン400は、図1Dにおいて不図示の電気回路を有している。電気回路は、複数の第1コンタクト電極31および少なくともひとつの第2コンタクト電極32を介して、複数の μ LED220に電氣的に接続されている。電気回路は、複数の薄膜トランジスタ(TFT)およびその他の回路要素を含む。後述するように、TFTのそれぞれは、結晶成長基板100に支持されたフロントプレーン200および／または中間層300上に成長した半導体層を有している。

[0064] 図3は、 μ LEDデバイス1000がディスプレイデバイスとして機能する場合におけるサブ画素の基本的な等価回路図である。ディスプレイデバイスの1個の画素は、例えばR、G、Bなどの異なる色のサブ画素によって構成され得る。図3に示される例において、バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、保持容量CHを有している。図3に示されている μ LEDは、バックプレーン400ではなく、フロントプレーン200内に存在している。

[0065] 図3の例において、選択用TFT素子Tr1は、データラインDLと選択ラインSLとに接続されている。データラインDLは、表示されるべき映像を規定するデータ信号を運ぶ配線である。データラインDLは選択用TFT素子Tr1を介して駆動用TFT素子Tr2のゲートに電氣的に接続される。選択ラインSLは、選択用TFT素子Tr1のオン／オフを制御する信号を運ぶ配線である。駆動用TFT素子Tr2は、パワーラインPLと μ LEDとの間の導通状態を制御する。駆動用TFT素子Tr2がオンすれば、 μ LEDを介してパワーラインPLから接地ラインGLに電流が流れる。この電流が μ LEDを発光させる。選択用TFT素子Tr1がオフしても、保持容量CHにより、駆動用TFT素子Tr2のオン状態は維持される。

[0066] バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、データラインDL、および選択ラインSLなどを含み得る

が、電気回路の構成は、このような例に限定されない。

[0067] 本実施形態における μ LEDデバイス1000は、単独でディスプレイデバイスとして機能し得るが、複数の μ LEDデバイス1000をタイリングして、より大きな表示面積を有するディスプレイデバイスを実現してもよい。

[0068] <製造方法>

次に、 μ LEDデバイス1000を製造する方法の基本的な例を説明する。

[0069] まず、図4Aに示すように、上面（結晶成長面）100Tを有する結晶成長基板100を用意する。図4Aは、上面100Tに平行な平面に沿って広がる結晶成長基板100の一部を示しているにすぎない。

[0070] 図4Bに示すように、結晶成長基板100の上面100Tから第2導電型の第2半導体層22、発光層23、および第1導電型の第1半導体層21を含む複数の半導体層をエピタキシャル成長させる。各半導体層は、窒化ガリウム系化合物半導体の単結晶エピタキシャル成長層である。窒化ガリウム系化合物半導体の成長は、例えばMOCVD（Metal Organic Chemical Vapor Deposition）法で行うことができる。各導電型を規定する不純物は、結晶成長中に気相中からドーピングされ得る。

[0071] 上記半導体層を含む半導体積層構造280を結晶成長基板100上に形成した後、図4Cに示すように、マスクM1を第1半導体層21上に形成する。マスクM1は、素子分離領域240の形状および位置を規定する開口部を有している。言い換えると、マスクM1は、 μ LED220の形状および位置を規定する。半導体積層構造280のうち、マスクM1によって覆われていない部分を上面からエッチングすることにより、図4Dに示すように、素子分離領域240を規定するトレンチを形成する。このエッチング（メサエッチング）は、例えば誘導結合性プラズマ（ICP）エッチング法または反応性イオンエッチング（RIE）法によって行うことができる。エッチングの深さは、トレンチの底部に第2半導体層22が現れるように決定される。

エッチングによって形成されるトレンチの深さは例えば $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、トレンチの幅は例えば $5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であり得る。個々の μLED 220の横幅は、例えば $5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、典型的には $15\mu\text{m}$ であり得る。エッチングによって μLED 220の側面220Sが露出している。言い換えると、個々の μLED 220は、エッチングされた側面 (etched side surfaces) 220Sを有している。図4Eは、第2半導体層22の上面付近がエッチングされた状態を模式的に示している。

[0072] 次に、図4Fに示すように、素子分離領域240を形成した後、第1コンタクト電極31および第2コンタクト電極32を形成する。この例における素子分離領域240は、埋め込み絶縁物25と、埋め込み絶縁物25の複数のスルーホール内にそれぞれ設けられた複数の金属プラグ24とを有している。

[0073] 図4Gに示すように中間層300の層間絶縁層（厚さ：例えば 500nm ～ 1500nm ）38を形成した後、バックプレーン400の電気回路をフロントプレーン200の μLED 220に接続するための複数のコンタクトホール（図4Gにおいて不図示）を層間絶縁層38に形成する。コンタクトホールは、下層に位置するコンタクト電極31、32に達するように形成される。コンタクトホールはビア電極で埋められる。なお、層間絶縁層38の上面はCMP処理によって平滑化され得る。

[0074] 図4Hに示すように、中間層300上にバックプレーン400を形成する。本開示において特徴的な点は、バックプレーン400を中間層300上に張り付けるのではなく、バックプレーン400を構成する各種の電子素子および配線を、半導体製造技術により、フロントプレーン200および中間層300を含む積層構造体の上に直接に形成することにある。この結果、バックプレーン400に含まれる複数のTFTのそれぞれは、結晶成長基板100に支持されたフロントプレーン200および中間層300からなる積層構造体の上に成長した半導体層を有している。

[0075] 前述したように、フロントプレーン200の上面および中間層300の上

面が平坦化されていると、TFTを含むバックプレーン400を半導体製造技術によって製造することが容易になる。一般に、半導体製造技術によってTFTを形成する場合、堆積した半導体層、絶縁層、および金属層のパターニングを行う必要がある。このようなパターニングは、露光を伴うリソグラフィ工程によって実現される。堆積した半導体層、絶縁層、および金属層の下地に大きな段差が存在する場合、露光時の焦点が合わず、精度の高い微細パターニングが実現しない。本開示の実施形態では、素子分離領域240を含むフロントプレーン200の全体が平坦化されることにより、中間層300も平坦化され、半導体製造技術によるバックプレーン400の形成が容易になる。

[0076] 結晶成長基板100上に上記の構成を形成した後、結晶成長基板100は、例えばリフトオフ法によって除去される。結晶成長基板100を取り除くことにより、 μ LED220から放射された光をデバイスの外部に取り出しやすくなる。結晶成長基板100が最終的な μ LEDデバイス1000に残っている場合、結晶成長基板100の側から光を取り出すには、結晶成長基板100の屈折率を調整することが難しく、 μ LED220と結晶成長基板100との界面、あるいは結晶成長基板100と空気との界面などで光の反射率を十分に低下できない可能性がある。結晶成長基板100を除去した後、フロントプレーン200の表面に反射防止膜などを形成して光取り出し効率を高めることも可能である。

[0077] なお、 μ LED220から放射された光を支持基板100の側から外部に取り出してもよい。その場合、支持基板100の屈折率、および／または層構成について、光取り出し効率を高める観点から、調整が行われ得る。

[0078] 上述の例において、 μ LED220の形状は、概略的に直方体であるが、 μ LED220の形状は、図5Aおよび図5Bに示されるように、円柱であってもよいし、六角柱などの多角柱、あるいは楕円柱であってもよい。図5Aは、円柱形の μ LED220を備える μ LEDデバイスの一部を示す斜視図であり、図5Bは、その平面図である。図5Bに示される例において、素

子分離領域 240 は、個々の μ LED 220 の側面を覆う埋め込み絶縁物 25 と、 μ LED 220 の間の空間を埋める金属プラグ 24 とを備えている。この金属プラグ 24 の働きにより、素子分離領域 240 は、個々の μ LED 220 から放射された光を他の μ LED 220 から放射された光と混合しないようにすることができる。

[0079] <実施形態>

以下、本開示による μ LED デバイスの基本的な実施形態を更に詳細に説明する。

[0080] 図 6 を参照する。本実施形態における μ LED デバイス 1000A は、前述した基本構成例と同様の構成を備えているディスプレイデバイスである。この μ LED デバイス 1000A は、フロントプレーン 200 と、フロントプレーン 200 上に形成された中間層 300 と、中間層 300 上に形成されたバックプレーン 400 と、これら支持する支持基板 500 とを備えている。

[0081] 次に、図 7A から図 10 を参照しながら、本実施形態における μ LED デバイス 1000A の構成および製造方法の一例を説明する。

[0082] まず、図 7A を参照する。本実施形態では、MOCVD 装置の反応室内に結晶成長基板 100 を置き、種々のガスを供給して窒化ガリウム (GaN) 系化合物半導体のエピタキシャル成長を行う。本実施形態における結晶成長基板 100 は、例えば厚さが約 50 ~ 600 μ m のサファイア基板である。結晶成長基板 100 の上面 100T は、典型的には C 面 (0001) であるが、m 面、a 面、r 面などの非極性面または半極性面を上面に有していてもよい。また、上面 100T は、これらの結晶面から数度程度は傾斜していてもよい。結晶成長基板 100 は典型的には円板状であり、その直径は、例えば 1 インチから 8 インチであり得る。結晶成長基板 100 の形状およびサイズは、この例に限定されず、矩形であってもよい。また、円板状の結晶成長基板 100 を用いて製造工程を進め、最終的に結晶成長基板 100 の周辺をカットして矩形形状に加工してもよい。また、比較的な大きな結晶成長基板

100を用いて製造工程を進め、最終的に1枚の結晶成長基板100を分割して複数の μ LEDデバイスを形成してもよい（シングュレーション）。

[0083] MOCVD装置の反応室内には、まず、トリメチルガリウム（TMG）またはトリエチルガリウム（TEG）、キャリアガスである水素（ H_2 ）、窒素（ N_2 ）と、アンモニア（ NH_3 ）およびシラン（ SiH_4 ）を供給する。結晶成長基板100を1100℃程度に加熱し、 n -Ga N 層（厚さ：例えば2 μ m）22nを成長させる。シランは n 型ドーパントであるSiを供給する原料ガスである。 n 型不純物のドーピング濃度は、例えば $5 \times 10^{17} \text{ cm}^{-3}$ であり得る。

[0084] 次に SiH_4 の供給を止め、結晶成長基板100の温度を800℃未満まで降温して発光層23を形成する。具体的には、まず、Ga N 障壁層を成長させる。更にトリメチルインジウム（TMI）の供給を開始して $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層を成長させる。Ga N 障壁層と $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層は2周期以上で交互に成長させることにより、発光部として機能するGa N / $InGa$ N 多重量子井戸を有する発光層（厚さ：例えば100nm）23を形成することができる。 $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層の数が多い方が、大電流駆動時において井戸層内部のキャリア密度が過剰に大きくなることを抑制できる。1つの発光層23が2つのGa N 障壁層によって挟まれた単一の $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層を有していてもよい。 n -Ga N 層22nの上に $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層を直接形成し、 $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層の上にGa N 障壁層を形成してもよい。 $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層は、Alを含んでもよい。例えば、 $In_yGa_{1-y}N$ （ $0 < y < 1$ ）井戸層は、 $Al_xIn_yGa_zN$ （ $0 \leq x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ ）から形成されていてもよい。

[0085] 発光層23の形成後、一旦、TMIの供給を停止させる。その後、キャリアガス（水素）に窒素に加えて、アンモニアの供給を再開し、成長温度を850℃～1000℃に上昇させ、トリメチルアルミニウム（TMA）と、 p 型ドーパントであるMgの原料としてビスシクロペンタジエニルマグネシウ

ム (Cp_2Mg) を供給し、 p-GaN オーバーフロー抑制層を成長させてもよい。次に TMA の供給を停止し、 p-GaN 層 (厚さ: 例えば $0.5 \mu\text{m}$) 21p を成長させる。 p 型不純物のドーピング濃度は、例えば $5 \times 10^{17} \text{cm}^{-3}$ であり得る。

[0086] 次に、図 7 B に示すように、MOCVD 装置の反応室から取り出した結晶成長基板 100 に対してフォトリソグラフィおよびエッチング工程を行うことにより、 p-GaN 層 21p および発光層 23 の所定領域 (素子分離領域 240 が形成される部分、深さ: 例えば $1.5 \mu\text{m}$) を除去し、 n-GaN 層 22n の一部を露出させる。窒化ガリウム系半導体のエッチングは、後述するように、塩素系ガスのプラズマを用いて行われ得る。

[0087] 図 7 C に示すように、素子分離領域 240 を規定する空間を埋め込み絶縁物 25 で満たす。埋め込み絶縁物 25 の材料および形成方法は、任意である。図示されている例において、埋め込み絶縁物 25 の上面は平坦化され、 p-GaN 層 21p の上面と同一のレベルに位置している。

[0088] 図 7 D に示すように、埋め込み絶縁物 25 の一部に n-GaN 層 22n に達する貫通孔 (スルーホール) 26 を形成する。このスルーホール 26 は、金属プラグ 24 の位置および形状を規定する。スルーホール 26 は、例えば一辺が $5 \mu\text{m}$ 以上の矩形形状、また直径 $5 \mu\text{m}$ 以上の円形を有している。また、スルーホール 26 は、例えば図 1 E および図 1 F に示されるような形状を有する金属プラグ 24 を収容する形状を有していてもよい。

[0089] 図 7 E に示すように、スルーホール 26 を埋める金属プラグ 24 を形成し、フロントプレーン 200 の上面を平坦化する。その後、第 1 コンタクト電極 31 および第 2 コンタクト電極 32 を形成する。平坦化は、例えば、エッチバック、選択成長、CMP またはリフトオフなどの各種のプロセスによって行うことができる。

[0090] 金属プラグ 24 は、 n-GaN 層 22n に n 型オーミック接触を行うため、例えばチタニウム (Ti) および／またはアルミニウム (Al) などの金属から形成され得る。金属プラグ 24 は、 n-GaN 層 22n に接触する部

分にTiを含む金属の層（例えばTiN層）を有していることが好ましい。TiN層の存在は、低抵抗のオーミック接触を実現することに寄与する。TiN層は、n-GaN層22nに接触するTi層を形成した後、例えば600℃程度の熱処理を30秒間行うことによって形成され得る。

[0091] 第1および第2コンタクト電極31、32は、金属層の堆積およびパターニングによって形成され得る。第1コンタクト電極31とμLED220のp-GaN層21pとの間では、金属-半導体界面が形成される。p型のオーミック接触を実現するため、第1コンタクト電極31の材料は、例えば白金(Pt)および/またはパラジウム(Pd)などの金属から選択され得る。PtまたはPdの層（厚さ：約50nm）を形成した後、例えば、350℃以上400℃以下の温度で30秒程度の熱処理が行われ得る。p-GaN層21pに直接に接触する部分にPtまたはPdの層が存在していれば、その層の上には他の金属、例えばTi層（厚さ：約50nm）および/またはAu層（厚さ：約200nm）が積層されていてもよい。

[0092] p-GaN層21pの上部には、p型不純物が相対的に高濃度にドーパされた領域が形成されていてもよい。第2コンタクト電極32は、半導体ではなく、金属プラグ24と電氣的に接続される。このため、第2コンタクト電極32の材料は、広い範囲から選択可能である。第1コンタクト電極31および第2コンタクト電極32は、一枚の連続した金属層をパターニングすることによって形成されてもよい。このパターニングは、リフトオフも含む。第1コンタクト電極31および第2コンタクト電極32の厚さが相互に等しいと、後述するTF40などの、バックプレーン400における電気回路との接続が容易になる。

[0093] 第1および第2コンタクト電極31、32を形成した後、これらは層間絶縁層（厚さ：例えば1000nmから1500nm）38によって覆われる。ある好ましい例において、層間絶縁層38の上面はCMP処理などによって平坦化され得る。上面が平坦化された層間絶縁層38の厚さは、「平均厚さ」を意味する。

- [0094] 図7Fに示すように、層間絶縁層38にコンタクトホール39を形成する。コンタクトホール39は、バックプレーン400の電気回路をフロントプレーン200の μ LED220に電氣的に接続するために使用される。
- [0095] 図7Gを参照して、バックプレーン400の電気回路に含まれるTFTの構造例および形成方法を以下に説明する。
- [0096] 図7Gに示されている例において、TFT40は、層間絶縁層38上に形成されたドレイン電極41およびソース電極42と、ドレイン電極41およびソース電極42のそれぞれの上面の少なくとも一部に接触する半導体薄膜43と、半導体薄膜43上に形成されたゲート絶縁膜44と、ゲート絶縁膜44上に形成されたゲート電極45とを有している。図示されている例において、ドレイン電極41およびソース電極42は、それぞれ、ビア電極36によって第1コンタクト電極31および第2コンタクト電極32に接続されている。これらTFT40の構成要素は、公知の半導体製造技術によって形成される。
- [0097] 半導体薄膜43は、多結晶シリコン、非晶質シリコン、酸化物半導体、および／または窒化ガリウム系半導体から形成され得る。多結晶シリコンは、例えば薄膜堆積技術によって非晶質シリコンを中間層300の層間絶縁層38上に堆積した後、非晶質シリコンをレーザビームで結晶化することにより、形成され得る。このようにして形成される多結晶シリコンは、LTPS (Low-Temperature Poly Silicon) と称される。多結晶シリコンはリソグラフィおよびエッチング工程で所望の形状にパターニングされる。
- [0098] 図7GにおけるTFT40は、絶縁層（厚さ：例えば500nm～3000nm）46に覆われている。絶縁層46には、不図示の開口孔が設けられ、TFT40の例えばゲート電極45を外部のドライバ集積回路素子などに接続することを可能にしている。絶縁層46の上面も平坦化されていることが好ましい。バックプレーン400の電気回路は、図示されていないTFT、キャパシタ、およびダイオードなどの回路要素を含み得る。このため、絶縁層46は、複数の絶縁層が積層された構成を有していてもよく、その場合

の各絶縁層には、必要に応じて回路要素を接続するビア電極が設けられ得る。また、各絶縁層上には、必要に応じて配線が形成され得る。

[0099] 本実施形態におけるバックプレーン400は、公知のバックプレーン（例えばTF T基板）と同様の構成を有することができる。ただし、本開示のバックプレーン400は、下層に位置する μ LED220の上に半導体製造技術によって形成される点に特徴を有している。このため、例えばTF T40のドレイン電極41およびソース電極42は、フロントプレーン200を覆うように堆積した金属層をパターニングすることによって形成され得る。このようなパターニングは、リソグラフィ技術による高精度の位置合わせを可能にする。特に本実施形態では、フロントプレーン200および／または中間層300がいずれも平坦化されているため、リソグラフィの解像度を高めることが可能になる。その結果、例えば $20\mu\text{m}$ 以下、極端な例では $5\mu\text{m}$ 以下の微細ピッチで配列された多数の μ LED220を備えるデバイスを歩留まり良く、かつ、低価格で製造することが可能になる。

[0100] 図7Gに示されるTF T40の構成は、一例である。説明をわかりやすくするため、TF T40のドレイン電極41が第1コンタクト電極31に電氣的に接続されている例を説明しているが、TF T40のドレイン電極41はバックプレーン400内の他の回路要素または配線に接続されていてもよい。また、TF T40のソース電極42は、第2コンタクト電極32に電氣的に接続されている必要はない。第2コンタクト電極32は、 μ LED220のn-GaN層22nに共通して所定の電位を与える配線（例えばグランド配線）に接続され得る。

[0101] 本実施形態において、バックプレーン400の電気回路は、第1コンタクト電極31および第2コンタクト電極32にそれぞれ接続された複数の金属層（ドレイン電極41およびソース電極42として機能する金属層）を有している。また、本実施形態において、複数の第1コンタクト電極31は、それぞれ、複数の μ LED220のp-GaN層21pを覆い、遮光層または反射層として機能する。個々の第1コンタクト電極31は、 μ LED220

の上面、すなわち、 $p\text{-Ga}N$ 層21pの上面の全体を全て覆っている必要はない。第1コンタクト電極31の形状、サイズ、および位置は、十分に低いコンタクト抵抗を実現し、かつ、発光層23から放射された光がTF T 40のチャネル領域に入射することを十分に抑制するように決定される。なお、発光層23から放射された光がTF T 40のチャネル領域に入射しないようにすることは、他の金属層を適切な位置に配置することによっても実現し得る。

[0102] 本開示の実施形態によれば、素子分離領域240を金属プラグ24および埋め込み絶縁物25によって埋め込んで実現した平坦な上面を有するフロントプレーン200上に、平坦化された上面を有する中間層300を形成する。これらの構造（下部構造）は、その上にTF Tなどの回路要素を形成するベースとして機能する。TF Tのための半導体を堆積するとき、あるいは、堆積後に熱処理をするとき、上記の下部構造は、例えば350℃以上の温度で処理される。このため、素子分離領域240内の埋め込み絶縁物25および中間層300に含まれる層間絶縁層38は、350℃以上の熱処理によっても劣化しない材料から形成されることが好ましい。例えばポリイミドおよびSOG (Spin-on Glass) は、好適に用いられ得る。

[0103] 次に、レーザリフトオフ工程を説明する。まず、図7Hに示すように、バックプレーン400を支持基板500で覆う。その後、結晶成長基板100を透過するレーザ光700で結晶成長基板100とフロントプレーン200との界面を照射する。例えば、波長248nmのレーザ光700は、結晶成長基板100の下面100Bから入射し、結晶成長基板100を透過する。このとき、レーザ光700は、結晶成長基板100の上面100Tからフロントプレーン200に入射し、結晶成長基板100とフロントプレーン200との界面近傍で吸収され、剥離が生じる。具体的には、波長が248nmの光はサファイア基板を透過するが、Ga Nでは深さ約20nmの領域で吸収される。このようなレーザ光700の照射エネルギーが例えば800mJ/cm²程度のとき、レーザ光700を吸収したGa Nは局所的に約1000℃

に昇温し、Ga原子およびN原子に分解する。また、フロントプレーン200の素子分離領域240におけるトレンチが結晶成長基板100の上面100Tに達している場合、素子分離領域240と結晶成長基板100との界面に位置する金属プラグ24および埋め込み絶縁物25の一部がレーザ光700を吸収して溶融または分解（消失）する。波長が248nmのレーザ光は、KrFエキシマレーザ光源によって得られるため、リフトオフに好適に用いられ得る。

[0104] 本開示の実施形態では、図7Hの紙面に垂直な方向（Y軸方向）に延びるライン状に成形されたレーザ光700で結晶成長基板100とフロントプレーン200との界面を照射し、その照射位置をX軸方向に走査する。フロントプレーン200、またはTiN層などのバッファ層のうち、結晶成長基板100に接触する領域は、レーザ光700を吸収して分解（消失）する。レーザ光700で上記の界面をスキャンすることにより、フロントプレーン200を結晶成長基板100から剥離することが可能になる。レーザ光700の波長は、上述したように典型的には紫外域にある。レーザ光700の波長は、レーザ光700が結晶成長基板100には、ほとんど吸収されず、できるだけフロントプレーン200またはバッファ層によって吸収されるように選択される。

[0105] レーザ光700の照射位置は、結晶成長基板100に対して相対的に移動し、レーザ光700のスキャンが実行される。レーザリフトオフ装置内において、レーザ光700を出射する光源および光学装置が固定され、結晶成長基板100が移動してもよいし、その逆であってもよい。

[0106] 図7Iに示すように、製造工程中のμLEDデバイス1000から結晶成長基板100を除去することにより、図1Aに示されているμLEDデバイス1000が得られる。

[0107] バックプレーン400における電気回路が含むTF Tの構成は、上記の例に限定されない。

[0108] 図8は、TF Tの他の例を模式的に示す断面図である。図9は、TF Tの

更に他の例を模式的に示す断面図である。

[0109] 図8の例において、TFT40は、層間絶縁層38上に形成されたドレイン電極41、ソース電極42、およびゲート電極45と、ゲート電極45上に形成されたゲート絶縁膜44と、ゲート絶縁膜44上に形成され、ドレイン電極41およびソース電極42のそれぞれの上面の少なくとも一部に接触する半導体薄膜43とを有している。図示されている例において、ドレイン電極41およびソース電極42は、それぞれ、ビア電極36によって第1コンタクト電極31および第2コンタクト電極32に接続されている。

[0110] 図9の例において、TFT40は、層間絶縁層38上に形成された半導体薄膜43と、層間絶縁層38上に形成され、それぞれが半導体薄膜43の一部に接触するドレイン電極41およびソース電極42と、半導体薄膜43上に形成されたゲート絶縁膜44と、ゲート絶縁膜44上に形成されたゲート電極45とを有している。図示されている例において、ドレイン電極41およびソース電極42は、それぞれ、ビア電極36によって第1コンタクト電極31および第2コンタクト電極32に接続されている。

[0111] TFT40の構成は、上記の例に限定されない。本開示の実施形態では、TFT40を形成する工程の初期段階において、中間層300における層間絶縁層38のコンタクトホール39を介してフロントプレーン200の第1および第2コンタクト電極31、32に接続される複数の金属層が形成される。これらの金属層は、TFT40のドレイン電極41またはソース電極42であり得るが、それらに限定されない。

[0112] 本実施形態におけるドレイン電極41およびソース電極42は、平坦化された中間層300における層間絶縁層38上に金属層を堆積した後、フォトリソグラフィおよびエッチング工程でパターニングされる。このため、フロントプレーン200（中間層300）とバックプレーン400との間で、歩留まり低下を招くような位置合わせずれは生じない。

[0113] <TiNバッファ層>

図10は、結晶成長基板100と各 μ LED220のn-GaN層22n

との間に位置する窒化チタニウム（TiN）層50を有するμLEDデバイスの一部を模式的に示す断面図である。TiN層50の厚さは、例えば5nm以上20nm以下であり得る。TiN層50は、サファイア、単結晶シリコン、またはSiCから形成された結晶成長基板100と組み合わせて好適に利用され得るが、結晶成長基板100は、これらの基板に限定されない。

[0114] TiN層50は、電気導電性を有する。本開示の実施形態では、広い範囲にわたって多数のμLED220が配列され、少なくとも1個の金属プラグ24によってμLED220のn-GaN層22nがバックプレーン400の電気回路に接続される。このため、n-GaN層22nから金属プラグ24に流れる電流に対する電気抵抗成分（シート抵抗）が高すぎると、消費電力の増加を招いてしまう。TiN層50は、結晶成長時には格子不整合を緩和するバッファ層として機能して結晶欠陥密度を低減することに寄与するとともに、デバイスの動作時には、上記の電気抵抗成分を低下させることに寄与する。TiN層50の厚さは、電気抵抗成分を低下させて基板側電極として機能させるという観点から、10nm以上であることが好ましく、12nm以上であることが更に好ましい。一方、μLED220から放射された光を透過させるという観点からは、TiN層50の厚さを例えば20nm以下にすることが好ましい。

[0115] 図10に示される例では、1層の連続したn-GaN層22n（第2半導体層）が複数のμLED220によって共有されている。しかし、n-GaN層22nは、μLED220ごとに分離されていてもよい。その場合、素子分離領域240を規定するトレンチの底は、TiN層50の上面に達し、金属プラグ24はTiN層50に接触する。1枚の連続したTiN層50が全てのμLED220におけるn-GaN層22nに電氣的に接続しているため、金属プラグ24と個々のμLED220のn-GaN層22nとの電氣的導通が確保される。この例において、TiN層50は、複数のμLED220のn側共通電極として機能する。本開示の実施形態では、複数のμLED220における第2導電側の電極が半導体層またはTiN層によって共

通化されているため、断線に起因して一部の μ LED 220に導通不良が生じるという問題が回避される。

[0116] <金属プラグの他の構成例>

以下、素子分離領域における金属プラグの他の構成例を説明する。

[0117] 図11Aから図11Fを参照しながら、金属プラグが第2半導体層に接触する窒化チタニウム層を有している μ LEDデバイスの構造および形成方法の例を説明する。半導体積層構造280の形成は、前述した方法によって行えばよい。

[0118] まず、図11Aに示すように、素子分離領域240の形状、位置およびサイズを規定する開口部を有するマスクM1を形成した後、素子分離領域240が形成されるべき領域にトレンチを形成する。このエッチングは、例えば誘導結合性プラズマ(ICP)エッチング法によって行うことができる。具体的には、 Cl_2 、 BCl_3 、 SiCl_4 、 CHCl_3 などの塩素系ガス、または、塩素系ガスを希ガスなどで希釈した混合ガスのプラズマを用いてエッチングが行われ得る。エッチングの深さは、トレンチの底部にn-GaN層22nが現れるように決定される。トレンチは、埋め込み絶縁物25によって埋められる。具体的には、例えば熱硬化性のポリイミドなどの樹脂材料を塗布した後、例えば400℃で60分間の熱処理によって樹脂材料を硬化させることにより、埋め込み絶縁物25を形成できる。埋め込み絶縁物25は、樹脂から形成されている必要はなく、例えばシリコン窒化物、シリコン酸化物などの無機絶縁材料から形成されていてもよい。

[0119] 本開示の実施形態では、バックプレーン400に含まれるTF Tおよびその他の構成要素を半導体製造技術によってフロントプレーン200および中間層300の上層に形成するため、これらの構成要素を形成するためのプロセス温度に耐える材料を用いてフロントプレーン200および中間層300を形成する必要がある。例えば、埋め込み絶縁物25、層間絶縁層38、絶縁層46は、有機材料から形成され得るが、この有機材料はバックプレーン400を形成するプロセスの最高温度に耐える必要がある。具体的には、TF

Tを形成する工程で例えば300℃を超えるような熱処理が行われる場合、300℃の熱処理でも劣化しにくい耐熱性のある樹脂材料（たとえばポリイミド）から、埋め込み絶縁物25、層間絶縁層38、および／または絶縁層46を形成することができる。

[0120] 埋め込み絶縁物25、層間絶縁層38および絶縁層46は、それぞれ、単層構造を有している必要はなく、多層構造を有していてもよい。多層構造は、例えば有機材料と無機材料の積層物（stack）を含み得る。

[0121] 次に、図11Bに示すように、埋め込み絶縁物25に形成するスルーホール26の形状、位置およびサイズを規定する開口部を有するマスクM2を形成する。マスクM2は、レジストマスクであり得る。このようなマスクM2を形成した後、例えば電子サイクロトロン共鳴（ECR）プラズマによる異方性エッチングを行うことにより、図11Cに示すように、スルーホール26を埋め込み絶縁物25中に形成することができる。埋め込み絶縁物25がポリイミドから形成されている場合、エッチングは酸素ガスのプラズマ、またはCF₄が添加された酸素ガスのプラズマを用いて行うことができる。埋め込み絶縁物25がシリコン窒化物またはシリコン酸化物から形成されている場合、例えばCF₄またはCHF₃などのガスのプラズマを用いて行うことができる。

[0122] 本実施形態では、図11Dに示すように、レジストから形成したマスクM2を直ちには除去せずに、スパッタ法などによってTiの堆積を行うことにより、スルーホール26の底部にTi層（厚さ：10～150nm、典型的には30nm程度）24Aを形成する。マスクM2上にもTi層24Bが形成される。

[0123] 次に、図11Eに示すように、スパッタ法などによってAl堆積物（厚さ：500～2000nm）24Cを形成する。Al堆積物24Cの厚さは、Al堆積物24Cによってスルーホール26の内部を満たすように決定される。Al堆積物24Cは、マスクM2上にも形成される。この後、Ti層24BおよびAl堆積物24Cの不要な部分は、マスクM2とともに除去され

る（リフトオフプロセス）。マスクM2を除去した後、必要に応じて平坦化のための研磨を行い、素子分離領域240の上面を μ LED220の上面と整合させる。なお、リフトオフプロセスを行うことなく、研磨による平坦化を行ってもよい。

[0124] マスクM2を除去した後、平坦化を行う場合は平坦化の前後を問わず、例えば600℃で30秒の短時間アニールを行う。図11Fに示されるように、このアニールにより、Ti層24Aの少なくとも一部はn-GaN層22nと反応してTiN層（厚さ：5～50nm）24Dを形成する。TiN層24Dは、n-GaN層22nに対する低抵抗オーミック接触を実現することに寄与する。

[0125] なお、図11Fに示される例において、結晶成長基板100の上面にはTiN層50が存在しているが、TiN層50は必須ではない。結晶成長基板100の上面には、他のバッファ層が設けられていてもよい。

[0126] 次に、図12Aから図12Cを参照して、金属プラグ24が埋め込み絶縁物25から突出してn-GaN層22nの凹部に接触している μ LEDデバイスの構造および形成方法の例を説明する。

[0127] まず、図12Aに示すように、素子分離領域240が形成されるべき領域にトレンチを形成する。

[0128] 図12Bに示すように、埋め込み絶縁物25を形成した後、埋め込み絶縁物25に形成するスルーホール26の形状、位置およびサイズを規定する開口部を有するマスクM2を形成する。マスクM2を用いて埋め込み絶縁物25をエッチングした後、引き続き、n-GaN層22nをエッチングして凹部22Xを形成する。こうして、埋め込み絶縁物25の底部よりも深い位置に底部を有するスルーホール26が形成される。埋め込み絶縁物25の底部とスルーホール26の底部との間にある段差は、例えば200nm以上1000nm以下である。なお、埋め込み絶縁物25のエッチングとn-GaN層22nのエッチングとは、それぞれに適した異なるエッチング装置および／または異なるエッチングガスを用いて実行され得る。

[0129] 図12Cに示すように、スルーホール26の内壁面および底面にTi層（厚さ：10～150nm）24Aを形成する。ステップカバレッジに優れたスパッタ法を用いることにより、スルーホール26の底面だけではなく内壁面、特にn-GaN層22nの凹部22Xの内壁面上にもTi層24Aを形成することができる。この後、前述した方法により、Al堆積物24Cでスルーホール26の内部を埋め込む。Al堆積物24Cの形成の前または後に、例えば600℃で30秒の短時間アニールを行う。このアニールにより、Ti層24Aの少なくとも一部はn-GaN層22nと反応してTiN層（厚さ：5～50nm）24Dを形成する。TiN層24Dは、n-GaN層22nの凹部22Xの側面にも形成されるため、TiN層24Dとn-GaN層22nとの接触面積が増加する。こうして、より広い接触面積を有するTiN層24Dは、n-GaN層22nに対するオーミック接触の抵抗を更に低下させることに寄与する。

[0130] 次に、図13Aおよび図13Bを参照して、金属プラグ24が埋め込み絶縁物25から突出し、TiN層50に接触するTi層24Aを有しているμLEDデバイスの構造および形成方法の例を説明する。

[0131] 前述した方法と同様の方法により、図13Aに示すスルーホール26を形成する。図13Aに示される構造で前述の構造と異なる点は、n-GaN層22nに形成された凹部22Xの底部がTiN層50に達していることにある。言い換えると、スルーホール26が半導体層を貫通してTiN層50に達している。スルーホール26は、その底部がTiN層50を露出させるように形成されることが好ましいが、スルーホール26は、TiN層50を貫通して結晶成長基板100に達してもよい。

[0132] 次に、図13Bに示すように、スルーホール26の内壁面および底面にTi層24Aを形成する。この後、前述した方法により、Al堆積物24Cでスルーホール26の内部を埋め込む。Al堆積物24Cの形成の前または後に、例えば600℃で30秒の短時間アニールを行う。このアニールにより、Ti層24Aの少なくとも一部はn-GaN層22nと反応してTiN層

(厚さ：5～50 nm) 24Dを形成する。TiN層24Dは、n-GaN層22nの凹部22Xの側面に形成される。スルーホール26の底部では、Ti層24AがTiN層50に接触している。

[0133] この例の改変例においては、Ti層24Aの一部をTiN層24Dに変化させるアニールを省略してもよい。スルーホール26の底部において、Ti層24AとTiN層50との間で低抵抗オーミック接触が実現するからである。

[0134] なお、図13Bに示す例において、結晶成長基板100と各μLED220のn-GaN層22nとの間にTiN層50が必要であるが、図11Fおよび図12Cに示す例において、TiN層50は不可欠ではない。

[0135] 上記の例における金属プラグ24の上面は、各μLED220の上面とほぼ同じ平面にあるため、その上に半導体製造技術によってTFT40などの回路要素および微細な配線を高い精度で形成することが可能になる。

[0136] 上記の例では、スルーホール26を埋める金属プラグ24が用いられているが、前述したように、金属プラグ24の形態はさまざまであり得る。金属プラグ24が例えば図1Dに示すような形状を有する場合、μLED220ごとにn-GaN層22n（第2半導体層）は分離される。この場合、金属プラグ24は、TiN層50を介して全てのμLED220におけるn-GaN層22nに電氣的に接続する。

[0137] <素子分離領域の改変例1>

以下、図14Aから図14Cを参照して、本開示の実施形態における素子分離領域の改変例を説明する。

[0138] 図14Aは、素子分離領域240が形成される部分にトレンチが形成された状態を模式的に示す斜視図である。この構成は、図4Eに示される構成と同一であり、同様の方法によって形成され得る。

[0139] 図14Bは、本改変例における素子分離領域240の構成を模式的に示す図であり、図14Cは、素子分離領域240の断面を示す図である。図示されている例において、素子分離領域240には埋め込み絶縁物は存在せず、

隣接する μ LED 220の間の空間は金属材料によって満たされている。この金属材料は、金属プラグ250として機能する。金属プラグ250は、各 μ LED 220のp-GaN層21pおよびn-GaN層22nに接触する金属表面層24Eを有している。n-GaN層22nと金属表面層24Eとの間にはオーミック接触が形成されているのに対して、p-GaN層21pの金属表面層24Eに接触する部分は抵抗性または絶縁性を有している。

[0140] 図示されている例において、金属プラグ250は、金属表面層24E以外の部分にAl堆積物24Cを有している。Al堆積物24Cは、他の導電材料から形成されていてもよいし、金属表面層24Eを構成する金属材料と同じ材料から形成されていてもよい。

[0141] 金属表面層24Eは、n-GaN層22nに対してオーミック接触を実現できる材料から形成され得る。一般に、p-GaN層21pと金属との間では低抵抗オーミック接触を形成することが難しい。また、本開示では、トレンチを形成するためのエッチングによってp-GaN層21pの表面に損傷が与えられる。このため、p-GaN層21pの表面(μ LED 220の側面)と金属表面層24Eとの界面は抵抗性または絶縁性を示し、電流はほとんど流れない状態を形成できる。特に金属表面層24Eの材料として、n-GaN層22nの仕事関数 ϕ_n よりも小さな仕事関数 ϕ_m を有する金属(例えばTi)を用いることにより、n-GaN層22nと金属表面層24Eとの間にオーミック接触を実現する一方で、p-GaN層21pと金属表面層24Eとの間には高抵抗層を形成することができる。

[0142] 本改変例によれば、素子分離領域240に埋め込み絶縁物25を形成する工程および埋め込み絶縁物25にスルーホールを形成する工程を省略できる。また、個々の μ LED 220の周囲が金属によって囲まれるため、個々の μ LED 220の発光層23から放射された光が他の μ LED 220の発光層23から放射された光と混合されにくいという効果も得られる。

[0143] 更に、素子分離領域240が金属のような導電性の高い材料で埋められるため、動作時に μ LED 220で発生した熱を外部に伝導して放熱性を向上

させる効果も得られる。

[0144] なお、金属プラグ250の構成は、上記の例に限定されず、例えば図15に示されるような積層構造（上層金属24Fおよび下層金属24G）を有していてもよい。上層金属24Fとp-GaN層21pとの間には高抵抗または絶縁性の界面が形成されるように上層金属24Fの材料が選択される。また、下層金属24Gとn-GaN層22nとの間には低抵抗オーミック接触が形成されるように下層金属24Gの材料が選択される。上層金属24Fは、例えばAlの他、Au、Ag、Cu、Mo、Ta、W、Mnなどの材料から形成される。下層金属24Gは、例えばTi、または、Tiを含有する合金もしくはTiを含有する化合物から形成され得る。

[0145] 素子分離領域240を規定するトレンチのエッチングを行う工程において、p-GaN層21pおよび発光層23のエッチングを行うときは、プラズマの放電条件およびエッチングガスの種類を調整することにより、GaNのエッチング表面の導電性を低下させることが好ましい。GaNのエッチング表面の導電性を低下させるには、p-GaN層21pおよび発光層23のエッチングを完了した段階で、エッチングによって露出した表面に対して、プラズマ処理、イオン注入、またはその他の方法による改質処理を行い、それによって表面の抵抗性または絶縁性を高めてもよい。

[0146] <素子分離領域の改変例2>

次に、図16Aから図16Dを参照しながら、本開示の実施形態における素子分離領域の他の改変例を説明する。

[0147] 図16Aおよび図16Bは、それぞれ、この改変例における素子分離領域240の構成例を示す断面図および平面図である。図16Cおよび図16Dは、本改変例における素子分離領域240の製造工程を説明するための断面図である。

[0148] 図16Aおよび図16Bに示されるように、この例における金属プラグ250は、各マイクロLED220を囲み、かつ、各マイクロLED220のp-GaN層21pおよびn-GaN層22nから離間した側面250Sを

有している。図示される例において、金属プラグ250の側面250Sと各マイクロLED220の側面220Sとの間には、空隙230が存在している。空隙の大きさ、言い換えると、側面250Sと側面220Sとの距離は、例えば500nm以上15 μ m以下の範囲にある。

[0149] このような構成は、例えば以下に説明する方法によって作製され得る。

[0150] この方法は、図16Cに示すように、p-GaN層21pおよびn-GaN層22nを含む半導体積層構造280を結晶成長基板100に形成する工程と、半導体積層構造280をエッチングすることにより、素子分離領域240が形成される領域にトレンチを形成し、それによってn-GaN層22nの一部を露出させる工程とを含む。このエッチングを行うとき、トレンチを規定する開口部を有するマスクM1が用いられる。

[0151] この方法は、更に図16Dに示すように、トレンチを金属材料で埋め込んで金属プラグ250を形成する工程と、複数のマイクロLED220の形状および位置を規定するマスク層M3を半導体積層構造280上に形成する工程と、半導体積層構造280のうちマスク層M3で覆われていない部分をエッチングすることにより、図16Aに示すように、各マイクロLED220のp-GaN層21pおよびn-GaN層22nと金属プラグ250との間に空隙230を形成する工程とを含む。この空隙230は絶縁物で埋め込まれてもよい。本実施形態では、マスク層M3がそのまま除去されることなく、第1コンタクト電極31として機能する。マスク層M3の一部または全部を除去した後、他の金属層を形成することにより、新たに第1コンタクト電極31を形成してもよい。

[0152] 上記の例において、トレンチを形成するためのエッチングは、第2半導体層22（n-GaN層22n）の途中で停止し、その結果、第2半導体層22（n-GaN層22n）の少なくとも一部は連続した層として拡がり、複数の μ LED220を電氣的に接続している。しかし、本開示の実施形態は、このような例に限定されない。図1Cの例では、フロントプレーン200の半導体層は、素子分離領域240には存在しておらず、素子分離領域24

0のトレンチによって各 μ LED 220は相互に分離されている。図1Cの例において、各 μ LED 220の第2半導体層22および素子分離領域240の金属プラグ24は、導電体層55によって電氣的に接続されている。この導電体層55は、結晶成長基板100が剥離された後において、フロントプレーン200の剥離面上に設けられ得る。その場合、導電体層55は、フロントプレーン200上に形成された配線層であってもよいし、フロントプレーン200に接着された金属箔であってもよい。また、導電体層55は、半導体結晶成長を行う前に結晶成長基板100の上面100T上に形成されたTiN層などの導電性バッファ層であってもよい。例えば、図10に示されるTiN層50を導電体層55として利用することができる。その場合、素子分離領域240のトレンチを形成するとき、TiN層50に達するまでエッチングを行えばよい。

[0153] μ LED 220から放射された光が導電体層55が形成されている面から外部に取り出される場合、導電体層55は、光を透過するための開口部を有しているか、「透光性」を有する材料から形成され得る。導電体層55は、いわゆる「透明導電層」から形成されていてもよいし、厚さが5nm以上10nm以下の金属層（光を透過し得る）から形成されていてもよい。

[0154] 図1Cに例示されるようにフロントプレーン200が一枚の連続した第2半導体層22を有しておらず、 μ LED 220ごとに半導体層が小さな個片に分割されている場合、可撓性を有する支持基板500を採用することにより、 μ LEDデバイス1000が全体として湾曲また折れ曲げが可能なフレキシブルデバイスとして機能し得る。

[0155] 支持基板500の代わりに一時的なキャリア部材をバックプレーン400に固定し、リフトオフ工程が終了した後、フロントプレーン200の側に支持基板500を固着してもよい。その場合、導電体層55は、フロントプレーン200に固着する前の支持基板500の表面に設けられていてもよい。導電体層55は、配線のパターンを有していてもよい。

[0156] 以下、本開示の μ LEDデバイスによるカラーディスプレイの実施形態を

説明する。

[0157] <カラーディスプレイI>

以下、図17を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Bの構成例を説明する。前述した μ LEDデバイス1000における構成要素に対応する構成要素に同一の参照符号を与え、それらの構成要素の説明はここでは繰り返さない。

[0158] 本実施形態における μ LEDデバイス1000Bは、フロントプレーン200、中間層300、バックプレーン400、および支持基板500を備えている。これらの要素は、前述した様々な構成を備え得る。

[0159] 図17に示される μ LEDデバイス1000Bは、複数の μ LED220のそれぞれから放射された光を白色光に変換する蛍光体層600と、白色光の各色成分を選択的に透過するカラーフィルタアレイ620とを更に備えている。カラーフィルタアレイ620は、蛍光体層600を間に挟んでフロントプレーン200に支持されており、レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bを有している。なお、図示されている例において、フロントプレーン200上には導電体層としてTiN層50が設けられている。また、フロントプレーン200内において μ LEDは個片化されている。このため、支持基板500がフレキシブル基板である場合、 μ LEDデバイス1000Bはフレキシブルディスプレイとして機能する。この点については、後述するカラーディスプレイでも同様である。

[0160] 本実施形態では、 μ LED220の発光層23から放射された光が青の波長(435~485nm)を有するように、発光層23の組成およびバンドギャップが調整されている。

[0161] 蛍光体層600の例は、「量子ドット」と呼ばれる多数のナノ粒子(量子ドット蛍光体)を含有するシートであり得る。量子ドット蛍光体は、例えばCdTe、InP、GaNなどの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤および緑の光を発するように調整された量子ドット分散シートを蛍光体層60

0として利用することができる。このような蛍光体層600を励起する光として青の光を用いると、蛍光体層600を透過する青の光と、蛍光体層600の量子ドットで赤または緑に変換された光とが混合して形成された白色光が蛍光体層600から出射され得る。

[0162] 量子ドット蛍光体の粒径は、例えば2 nm以上30 nm以下である。粒径が10 μ mを超えている一般的な蛍光体粉末粒子に比べると、量子ドット蛍光体の粒径は著しく小さい。 μ LED220が例えば5～10 μ m程度の狭ピッチで配列されているとき、粒径が10 μ mを超える蛍光体粉末粒子では、効率的な波長変換が難しくなる。また、通常の蛍光体粉末粒子を粉砕して粒径を1 μ mよりも小さくすると、蛍光体としての性能が著しく低下することが知られている。

[0163] 蛍光体層600は、主として青の光（励起光）をレイリー散乱させるようなサイズを有する散乱体を含んでいてもよい。レイリー散乱は、励起光の波長よりも小さな粒子によって引き起こされる。青の光を選択的に散乱させる散乱体としては、10 nm以上50 nm以下の直径（典型的には30 nm以下）を有する酸化チタン（ TiO_2 ）超微粒子が好適に用いられ得る。特に、ルチル型結晶の TiO_2 超微粒子は、物理的・化学的に安定であるため好ましい。このような TiO_2 超微粒子は、青の波長よりも長い波長の色（緑および赤）の光を散乱させる効果は低い。

[0164] TiO_2 超微粒子を蛍光体層600内で均一に分散させるには、アルカノールアミン、ポリオール、シロキサン、カルボン酸（例えばステアリン酸またはラウリン酸）などの有機物を用いた表面処理を行うことが好ましい。また、 $\text{Al}(\text{OH})_3$ または SiO_2 などの無機物を用いて表面処理を行ってもよい。

[0165] 青散乱体としては、酸化チタン微粒子に代えて、あるいは酸化チタン微粒子とともに酸化亜鉛微粒子（粒子径：例えば20 nm以上100 nm以下）を用いても良い。このような青散乱体が均一に分散されていることにより、方向に依存した色むらが生じにくくなり、視野角特性に優れた表示が実現す

る。

[0166] カラーフィルタアレイ 620 におけるレッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62Bは、それぞれ、 μ LED 220 に対向する位置に配置される。レッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62Bは、それぞれ、対応する μ LED 220 から放射された光によって励起された蛍光体層 600 から白色光を受け、その白色光に含まれる赤成分、緑成分、および青成分を透過する。

[0167] 各 μ LED 220 から放射された光を、対応するレッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62Bのいずれかに効率的に入射させるためには、金属プラグ 24、250 が個々の各 μ LED デバイス 1000B を取り囲む形状を有していることが望ましい。

[0168] カラーフィルタアレイ 620 において、レッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62Bの間は、遮光性または吸光性を有する材料から形成されたブラックマトリックスとして機能する部分が位置していることが好ましい。

[0169] 蛍光体層 600 は、カラーフィルタアレイ 620 に積層された (stacked) 蛍光体シートであってもよい。

[0170] 蛍光体層 600 は、量子ドット蛍光体が分散されたシートである必要はない。量子ドット蛍光体 (蛍光体粉末) を樹脂に分散してフロントプレーン 200 の剥離面側に塗布・硬化することにより、蛍光体層 600 を形成してもよい。この場合、蛍光体粉末はフロントプレーン 200 の剥離面側に位置している。

[0171] 蛍光体層 600 およびカラーフィルタアレイ 620 以外の光学シート、保護シート、またはタッチセンサなどがフロントプレーン 200 に取り付けられていてもよい。このことは、後述する他の実施形態でも同様である。

[0172] <カラーディスプレイ II>

以下、図 18 および図 19 を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LED デバイス 1000C の構成例を説明する。図

19は、 μ LEDデバイス1000Cの斜視図である。

[0173] 本実施形態における μ LEDデバイス1000Cは、フロントプレーン200、中間層300、バックプレーン400、および支持基板500を備えている。これらの要素は、前述した様々な構成を備え得る。

[0174] 図示されている μ LEDデバイス1000Cは、フロントプレーン200に支持され、複数の μ LEDから放射された光がそれぞれ入射する複数の画素開口部645を規定するバンク層（厚さ：0.5～3.0 μ m）640を備えている。また、 μ LEDデバイス1000Cは、バンク層640の複数の画素開口部645にそれぞれ配置された赤蛍光体64R、緑蛍光体64G、および青散乱体64Bを備えている。赤蛍光体64Rは、 μ LED220から放射された青の光を赤の光に変換し、緑蛍光体64Gは、 μ LED220から放射された青の光を緑の光に変換する。青散乱体64Bは、 μ LED220から放射された青の光を散乱する。青散乱体64Bは、赤蛍光体64Rまたは緑蛍光体64Gから発せられた光の強度が示す放射角依存性（例えばランバーシアン分布）に似た放射角依存性を持つように設計され得る。

[0175] 本実施形態では、 μ LED220の発光層23から放射された光が青の波長（435～485nm）を有するように、発光層23の組成およびバンドギャップが調整されている。

[0176] 図18に示されている例において、 μ LEDデバイス1000Cは、バンク層640における画素開口部645を覆う透明保護層650を備えている。簡単のため、図19では、透明保護層650の記載は省略されている。透明保護層650は、赤蛍光体64Rおよび緑蛍光体64Gが吸湿によって劣化しやすい場合、大気中の水分がこれらの蛍光体に悪影響を与えないように封止機能を発揮することが望ましい。透明保護層650は、有機層および無機層の積層体であってもよい。

[0177] バンク層640は、例えば格子形状を有しており、カーボンブラックまたは黒色染料などが分散された遮光材料から形成され得る。バンク層640は、感光性材料、アクリル、ポリイミドなどの樹脂材料、低融点ガラスを含む

ペースト材料、ゾルゲル材料（例えばSOG）などから形成され得る。バンク層640を感光性材料から形成するときは、フロントプレーン200に感光性材料を塗布した後、リソグラフィ工程で露光・現像によるパターンニングを行うことにより、所定位置に画素開口部645を形成すればよい。画素開口部645の位置および大きさは、 μ LED220の配置に整合するように決定される。画素開口部645のサイズは、例えば $10\mu\text{m} \times 10\mu\text{m}$ 以下であり得る。赤蛍光体64R、緑蛍光体64G、および青散乱体64Bの粒径は、 $1\mu\text{m}$ 以下であることが望ましい。赤蛍光体64Rおよび緑蛍光体64Gは、それぞれ、量子ドット蛍光体から好適に形成され得る。青散乱体64Bは、粒径が 10nm 以上 60nm 以下の透明な粉末粒子から形成され得る。

[0178] 青散乱体64Bは、 μ LED220から放射される青の光の波長（例えば約 450nm ）の10%程度の粒径を持つ粒子を、その屈折率（ n ）よりも十分に低い屈折率を有するマトリックス材料に分散させることによって形成され得る。このようにして形成された青散乱体64Bは、青の光にレイリー散乱を生じさせることができる。青散乱体64Bを構成する粉末粒子は、例えば酸化チタン（ $n=2.5 \sim 2.7$ ）、酸化クロム（ $n=2.5$ ）、酸化ジルコニウム（ $n=2.2$ ）、酸化亜鉛（ $n=1.95$ ）、アルミナ（ $n=1.76$ ）などの無機酸化物から形成され得る。マトリックス材料の屈折率は、粉末粒子の屈折率よりも0.25以上、例えば0.5以上は低いことが望ましい。

[0179] フロントプレーン200の剥離面は、 μ LED220から放射された光に作用する凹凸表面を有していてもよい。そのような凹凸表面の存在は、赤蛍光体64R、緑蛍光体64G、および青散乱体64Bから出射される光の放射強度依存性、またはフロントプレーン200の剥離面における反射率を調整する。

[0180] <カラーディスプレイIII>

以下、図20を参照しながら、本開示の実施形態におけるフルカラー表示

が可能な μ LEDデバイス1000Dの構成例を説明する。前述した μ LEDデバイス1000Aにおける構成要素に対応する構成要素に同一の参照符号を与え、それら構成要素の説明はここでは繰り返さない。

[0181] 本実施形態における μ LEDデバイス1000Dは、フロントプレーン200、中間層300、バックプレーン400、および支持基板500を備えている。これらの要素は、前述した様々な構成を備え得る。

[0182] 図20に示される μ LEDデバイス1000Dは、複数の μ LED220のそれぞれから放射された光を白色光に変換する蛍光体層600Xと、白色光の各色成分を選択的に透過するカラーフィルタアレイ620とを更に備えている。カラーフィルタアレイ620は、蛍光体層600Xを間に挟んでフロントプレーン200に支持されており、レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bを有している。

[0183] 本実施形態では、 μ LED220の発光層23から放射された光が紫外の波長（例えば365～400nm）または青紫の波長（400nm～420nm。典型的には、405nm）を有するように、発光層23の組成およびバンドギャップが調整されている。具体的には、発光層23を構成する $\text{In}_y\text{Ga}_{1-y}\text{N}$ におけるInの組成比率 y を、例えば $0 \leq y \leq 0.15$ の範囲内に設定する。 $y=0$ のとき、波長365nmの発光が得られる。 $y=0.1$ のとき、青紫の波長を有する発光が得られる。なお、発光層23を構成する半導体層を AlGaIn または InAlGaIn から形成することにより、365nmよりも短い波長を有する光を放射されることもできる。

[0184] 蛍光体層600Xの例は、「量子ドット」と呼ばれる多数のナノ粒子（量子ドット蛍光体）を含有するシートであり得る。量子ドット蛍光体は、例えばCdTe、InP、GaInなどの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤、緑、および青の光を発するように調整された量子ドット分散シートを蛍光体層600Xとして利用することができる。このような蛍光体層600Xを励起する光として紫外または青紫の光を用いると、蛍光体層600Xの量子

ドットで励起光から赤、緑、または青に変換された光が混合して形成された白色光が蛍光体層600Xから出射され得る。

[0185] 量子ドットの蛍光体は、有機樹脂、低融点ガラスなどの無機材料、または、有機材料と無機材料のハイブリット材料から形成されたマトリクス内に分散されて使用される。分散される蛍光体の量（重量比率）は、青、緑、赤の順序で少なくなる。

[0186] ある例における量子ドット蛍光体は、コア・シェル構造を有している。コアは、例えばCdS、InP、InGaP、InN、CdSe、GaInN、またはZnCdSeから形成され得る。特に波長360nm～460nmの発光を得る場合、CdSからコアが形成された蛍光体を好適に用いることができる。CdSからコアを形成する場合、コアの粒子径を4.0nm～7.3nmの範囲で調整すると、波長440nm～460nmの青の発光を得ることができる。他の材料（InP、InGaP、InN、CdSe）からコアを形成する場合、例えば、青の光（中心波長475nm）は1.4nm～3.3nmの粒子径、緑の光（中心波長530nm）は1.7nm～4.2nmの粒子径、赤の光（中心波長630nm）は2.0nm～6.1nmの粒子径で得ることが可能である。どのような材料から量子ドットを形成するかは、量子効率、粒子径などに基づいて適宜決定され得る。なお、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ からコアを形成した量子ドット蛍光体は、相対的に粒子径が大きいため、製造しやすいという利点がある。より高い量子効率を実現したい場合には、例えばGaを含有しないInPからコアが形成された量子ドットを用いることが望ましい。

[0187] 本実施形態における μLED デバイス1000Dが前述した μLED デバイス1000Bと異なる点は、 μLED 220から放射された光（励起光）の波長、および、蛍光体の構成にある。その他の点において、 μLED デバイス1000Dは μLED デバイス1000Bの構成と同様の構成を備えていてもよい。

[0188] μLED 220から放射された光をそのまま色の三原色のひとつとして用

いる代わりに、本実施形態では、 μ LED 220 から放射された光を赤、緑、および青のそれぞれの蛍光体を励起するために用いている。このため、 μ LED 220 の発光波長が変動またはシフトしても、色むらが発生しにくくなる。 μ LED 220 の発光波長は、発光層 23 の組成比率、駆動電流の大きさ、温度などによって変動し得る。しかし、本実施形態では、3 原色のそれぞれに量子ドットの蛍光体を用いているため、上記の原因から励起光の波長が変動しても、蛍光体から出る光の波長にはほとんど影響しない。このため、本実施形態によれば、色むらが生じにくく、より優れた表示特性が実現する。

[0189] <カラーディスプレイIV>

以下、図 21 を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LED デバイス 1000E の構成例を説明する。

[0190] 本実施形態における μ LED デバイス 1000E は、フロントプレーン 200、中間層 300、バックプレーン 400、および支持基板 500 を備えている。これらの要素は、前述した様々な構成を備え得る。ただし、本実施形態では、図 20 の例と同様に、 μ LED 220 の発光層 23 から放射された光が紫外の波長（例えば 365～400 nm）または青紫（例えば 400～420 nm。典型的には 405 nm）の波長を有するように、発光層 23 の組成およびバンドギャップが調整されている。

[0191] 図示されている μ LED デバイス 1000E は、フロントプレーン 200 に支持され、複数の μ LED から放射された励起光がそれぞれ入射する複数の画素開口部 645 を規定するバンク層（厚さ：0.5～3.0 μ m）640 を備えている。また、 μ LED デバイス 1000E は、バンク層 640 の複数の画素開口部 645 にそれぞれ配置された量子ドットの赤蛍光体 65R、量子ドットの緑蛍光体 65G、および量子ドットの青蛍光体 65B を備えている。赤蛍光体 65R は、 μ LED 220 から放射された励起光を赤の光に変換し、緑蛍光体 65G は、 μ LED 220 から放射された励起光を緑の光に変換する。青蛍光体 65B は、 μ LED 220 から放射された励起光を

青の光に変換する。

[0192] 各色の量子ドット蛍光体 65 R、65 G、65 B は、カラーディスプレイ I V の蛍光体層 600 X について説明した材料から形成され得る。蛍光体層 600 X では、励起光を赤、緑、青の光に変換する量子ドット蛍光体が混在しているが、本実施形態では、異なる色の量子ドット蛍光体 65 R、65 G、65 B が、空間的に分離した領域に位置している。

[0193] 本実施形態における μ LED デバイス 1000 E が前述した μ LED デバイス 1000 D と異なる点は、 μ LED 220 から放射された光（励起光）の波長、および、蛍光体の構成にある。その他の点において、 μ LED デバイス 1000 E は μ LED デバイス 1000 D の構成と同様の構成を備えていてもよい。

[0194] μ LED 220 から放射された光をそのまま色の三原色のひとつとして用いる代わりに、本実施形態では、 μ LED 220 から放射された光を赤、緑、および青のそれぞれの蛍光体を励起するために用いている。このため、前述したように、 μ LED 220 の発光波長が変動またはシフトしても、色むらが発生しにくく、より優れた表示特性が実現する。

[0195] <リフレクタ>

以下、各 μ LED 220 から放射された光を支持基板 500 およびバックプレーン 400 の一方または両方に向けて反射するリフレクタを備えるマイクロLED デバイスの実施形態を説明する。

[0196] 図 22 は、結晶成長基板 100 を剥離する前の製造工程中における μ LED デバイス 1000 F の一部を示す断面図である。図 23 は、 μ LED デバイス 1000 F における μ LED アレイの配置例を示す平面図である。図 22 に示されている μ LED デバイス 1000 F の断面は、図 23 の A-A 線断面に相当する。

[0197] μ LED デバイス 1000 F が図 1 D および図 1 F に示されている μ LED デバイス 1000 から異なる点は、金属プラグ 24 が各 μ LED 220 を取り囲み、かつ、各 μ LED 220 から放射された光に対するリフレクタ 2

60として機能する点にある。その他の点において、 μ LEDデバイス1000Fは μ LEDデバイス1000の構成と同様の構成を備えている。同様の構成については、ここで説明を繰り返さない。

[0198] 図22に示されるように、 μ LEDデバイス1000Fの素子分離領域240は、複数の μ LED220のそれぞれから放射された光をZ軸の負方向に向けて反射するリフレクタ260を備えている。より具体的には、素子分離領域240は、複数の μ LED220の間を埋める埋め込み絶縁物25を有しており、埋め込み絶縁物25は、金属プラグ24のためのV字型溝（スルーホール）を有している。埋め込み絶縁物25は、 μ LED220から放射された光を透過する材料から形成される。金属プラグ24は、V字型溝の底で第2半導体層22に接触している。この金属プラグ24は、各 μ LED220をバックプレーン400に電氣的に接続するための導電体として機能だけではなく、リフレクタ260としても機能する。図示されているように、金属プラグ24の側面（反射面260S）は、結晶成長基板100の上面100Tに対して直交しておらず、傾斜している。金属プラグ24は、少なくとも第2半導体層22に接触する部分においてオーミックコンタクトを実現する材料から形成されている。しかし、他の部分は、種々の金属材料から形成され得る。例えば、Ag、Au、Cu、Pd、Pt、Ti、Ni、Mo、およびWからなる群から選択された少なくとも1種の金属から形成され得る。 μ LED220から放射される光の波長が比較的短い場合、例えば青紫または紫外の場合、反射率を高くするという観点から、金属プラグ24の少なくとも側面はAlやAgなどの高反射率材料から形成されていることが望ましい。

[0199] リフレクタ260として機能する金属プラグ24は、図23に示されるように、個々の μ LED220を取り囲んでいる。このため、 μ LED220から四方に放射された光は、金属プラグ24の傾斜した側面（反射面260S）によってZ軸の負方向の方向に反射される。金属プラグ24は、格子形状を有する1個の導電物である必要はなく、複数の部分に分離されていても

よい。ただし、図1Bまたは図1Cに示されるように、 μ LED220の側面のうち、金属プラグ24に対向する部分の面積が小さいと、リフレクタ260としての機能が不十分になる。このため、金属プラグ24の形状は、 μ LED220の側面のうちで金属プラグ24に対向する部分の面積比率が50%を超えるように設計されていることが望ましい。

[0200] 図22に記載されている金属プラグ24の断面は、概略的に正三角形に類似した逆さの台形状を有している。しかし、金属プラグ24の断面の形状は、このような例に限定されない。図24に示すように、金属プラグ24のX軸方向（またはY軸方向）におけるサイズ（幅 w ）は、金属プラグ24のZ軸方向におけるサイズ（高さ h ）に比べて大きくてもよい。金属プラグ24の高さに対する幅の比率（ w/h ）の典型的な例は、0.5以上10以下であり得る。

[0201] 図24には、不図示の μ LED220から放射された光の一部が金属プラグ24によって反射される様子が模式的に示されている。金属が光（電磁波）を反射する主たるメカニズムは、自由電子の集団的な電場応答である。図24の左側に示されている金属プラグ24の例は、光を下方に反射するが、図24の右側に示されている金属プラグ24の例は、光を上方に反射する。ここで、リフレクタ260の反射面260SとXY面との間の角度を「反射面の傾斜角度 θ 」と定義する。本開示の実施形態において、傾斜角度 θ の範囲は、20度以上90度未満、または90度超160度以下である。傾斜角度 θ の典型的な大きさは、30度以上60度以下、または120度以上150度以下である。

[0202] 図25Aは、 μ LEDデバイス1000Fの他の構成例の一部を示す断面図であり、図25Bは、 μ LEDデバイス1000Fにおける μ LEDアレイの配置例を示す平面図である。図22および図23に示される例と図25Aおよび図25Bに示される例との間にある相違点は、金属プラグ24の形状の違いにある。具体的には金属プラグ24の側面（反射面260S）の傾斜角度が異なる。図25Aおよび図25Bに示される例では、 μ LED22

0から放射された光の一部が金属プラグ24によって反射されてバックプレーン400に向かう。なお、図25Aに示される第1コンタクト電極31は、 μ LED220から放射された光が透過し得る透明導電材料から形成されている。バックプレーン400の薄膜トランジスタなどの回路要素も μ LED220から放射された光を遮断しない領域、例えば素子分離領域240に対向する領域内に配置されていることが望ましい。

[0203] 図25Aに示されている μ LEDデバイス1000Fでは、バックプレーン400を透過した光によって表示などが実行される。カラー表示を実現するには、図17から図21を参照しながら説明した種々の構造がフロントンプレーン200ではなくバックプレーン400に形成され得る。

[0204] 次に、図26を参照する。図26に示される例では、金属プラグ24が側面に反射層28を有しており、この反射層28がリフレクタ260として機能する。反射層28は、金属プラグ24の材料とは異なる材料から形成され得る。反射層28の厚さは、例えば5nm以上30nm以下である。反射層28は、金属以外の材料から形成されていてもよい。反射層28は、例えば、埋め込み絶縁物25の屈折率とは異なる屈折率を有する誘電体材料から形成され得る。反射層28と埋め込み絶縁物25との界面に存在する屈折率差を利用して μ LED220から放射された光を反射することができる。この界面を透過して金属プラグ24に入射した光は、金属プラグ24そのものによって反射され得る。

[0205] 図27は、 μ LEDデバイス1000Fの他の構成例を示す断面図である。この例における複数の μ LED220のそれぞれは、傾斜した側面220Sを有している。金属プラグ24は、各 μ LED220が有する側面220Sに接触している。金属プラグ24の材料および構造は、図14Aから図14Cを参照して説明した金属プラグ24の材料および構造と同様である。この例において、金属プラグ24は、各 μ LED220が有する側面220Sに接触する反射面260Sを有しており、リフレクタ260として機能する。この例において、反射面260Sの傾斜角度 θ は、各 μ LED220が有

する側面 220S の傾斜角度を規定する。図 27 に示される例において、反射面 260S の傾斜角度 θ は 90 度未満であるが、前述したように、反射面 260S の傾斜角度 θ は 90 度超であってもよい。反射面 260S の傾斜角度 θ が 90 度未満のとき、 μ LED 220 が有する側面 220S は順テーパを形成している。これに対して、反射面 260S の傾斜角度 θ が 90 度超のとき、 μ LED 220 が有する側面 220S は逆テーパを形成する。

[0206] 各 μ LED 220 が有する側面 220S は、平面である必要はない。図 28 は、側面 220S が円錐台の側面から形成されている例を示す斜視図である。各 μ LED 220 の形状は、底面が多角形、円または楕円の任意の錐台から形成され得る。また、 μ LED 220 の側面 220S は、順テーパを形成するように傾斜している必要はなく、逆テーパを形成するように傾斜していてもよい。更に、一部の μ LED 220 の側面 220S が順テーパを形成するように傾斜し、他の μ LED 220 の側面 220S が逆テーパを形成するように傾斜していてもよい。また、個々の μ LED 220 の側面 220S の一部が順テーパを形成するように傾斜している部分と、逆テーパを形成するように傾斜している部分を含んでいてもよい。

[0207] 図 29 は、 μ LED デバイス 1000F の更に他の構成例を示す断面図である。この例における複数の μ LED 220 のそれぞれも、順テーパの側面 220S を有している。しかし、金属プラグ 24 は、各 μ LED が有する側面 220S に接触していない。この例において、金属プラグ 24 は、埋め込み絶縁物 25 に形成されたスルーホール内に位置している。この例において、各 μ LED 220 から放射された光を Z 軸の負方向に向けて反射するリフレクタ 260 は、埋め込み絶縁物 25 と μ LED 220 との界面（側面 220S）である。このような界面反射は、埋め込み絶縁物 25 の屈折率と μ LED 220 の屈折率との差異に起因して生じるフレネル反射である。 μ LED 220 を構成し得る半導体の屈折率は、例えば 2.1 以上 3.0 以下の範囲にある。これらの屈折率よりも低い屈折率を有する誘電体から埋め込み絶縁物 25 を形成した場合、反射面の傾斜角度を調整すれば、発光層 23 か

ら放射された光の全反射を生じさせることも可能である。

[0208] なお、埋め込み絶縁物 25 の屈折率は μLED 220 の屈折率よりも高くてもよい。

[0209] 図 30 は、 μLED デバイス 1000F の更に他の構成例を示す断面図である。この例における複数の μLED 220 のそれぞれも、順テーパの側面 220 を有している。しかし、この例において、リフレクタ 260 は、 μLED 220 が有する側面 220S に接触した反射層 28 から形成されている。この反射層 28 は、屈折率が異なる複数の誘電体層を交互に積層した誘電体多層膜であり得る。

[0210] 上記のリフレクタ 260 によって OZ 軸の負方向に向けて反射された光は、 μLED 220 から直接に Z 軸の負方向に向けて放射された光とともに、不図示の支持基板 500 を透過して外部に出る。このような光は、様々な用途に利用され得る。図 17 から図 21 を参照して説明したカラーディスプレイのための構成を採用することにより、フルカラーの画像を表示することも可能である。リフレクタ 260 の存在により、個々の μLED 220 から放射された光が画素ごとの蛍光体に効率的に入射する。その結果、画素間のクロストーク（混色）が生じにくく、輝度も向上するという効果が得られる。

産業上の利用可能性

[0211] 本発明の実施形態は、新しいマイクロ LED デバイスを提供する。マイクロ LED デバイスは、ディスプレイとして用いられる場合、スマートフォン、タブレット端末、車載用ディスプレイ、および中小型から大型のテレビジョン装置に広く適用され得る。マイクロ LED デバイスの用途は、ディスプレイに限定されない。

符号の説明

[0212] 21・・・第 1 半導体層、22・・・第 2 半導体層、23・・・発光層、24・・・金属プラグ、25・・・埋め込み絶縁物、31・・・第 1 コンタクト電極、32・・・第 2 コンタクト電極、36・・・ビア電極

請求の範囲

- [請求項1] フロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、
- 前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、
- 前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンと、
- 前記バックプレーンおよび前記フロントプレーンの少なくとも一方に固定された支持基板と、
- を備え、
- 前記複数の薄膜トランジスタのそれぞれは、前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している、マイクロLEDデバイス。
- [請求項2] 前記支持基板は、フレキシブル基板である、請求項1に記載のマイクロLEDデバイス。
- [請求項3] 前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している、請求項1または2に記載のマイクロLEDデバイス。
- [請求項4] 前記フロントプレーンの前記素子分離領域は、前記複数のマイクロ

ＬＥＤの側面をそれぞれ覆う複数の絶縁層を有しており、

前記金属プラグは、前記素子分離領域内において、前記複数の絶縁層によって囲まれた空間を埋めている、請求項１または２に記載のマイクロＬＥＤデバイス。

[請求項５] 前記フロントプレーンは、平坦な表面を有しており、

前記平坦な表面は前記中間層に接している、請求項１から４のいずれかに記載のマイクロＬＥＤデバイス。

[請求項６] 前記中間層は、平坦な表面を有する層間絶縁層を含み、

前記層間絶縁層は、前記複数の第１コンタクト電極および前記少なくともひとつの第２コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している、請求項１から５のいずれかに記載のマイクロＬＥＤデバイス。

[請求項７] 前記バックプレーンの前記電気回路は、前記複数の第１コンタクト電極および前記少なくともひとつの第２コンタクト電極にそれぞれ接続された複数の金属層を有しており、

前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む、請求項１から６のいずれかに記載のマイクロＬＥＤデバイス。

[請求項８] 前記複数のマイクロＬＥＤのそれぞれは、可視、紫外、または赤外の電磁波を放射する、請求項１から７のいずれかに記載のマイクロＬＥＤデバイス。

[請求項９] 前記フロントプレーンは、各マイクロＬＥＤの前記第２半導体層を電氣的に接続する導電体層を有する、請求項１から８のいずれかに記載のマイクロＬＥＤデバイス。

[請求項１０] 前記支持基板は、金属または合成樹脂から形成されている、請求項１から９のいずれかに記載のマイクロＬＥＤデバイス。

[請求項１１] 結晶成長基板に支持されたフロントプレーンであって、それぞれが第１導電型の第１半導体層および第２導電型の第２半導体層を有する

複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および

前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層、を備える積層構造体を用意する工程と、

前記積層構造体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程と、

前記バックプレーンを支持基板で覆う工程と、

前記結晶成長基板から前記積層構造体を剥離する剥離工程と、を含む、

前記バックプレーンを形成する工程は、

前記積層構造体上に半導体層を堆積する工程と、

前記積層構造体上の前記半導体層をパターンニングする工程と、

を含む、マイクロLEDデバイスの製造方法。

[請求項12] 前記剥離工程は、前記結晶成長基板を透過する光で前記結晶成長基板と前記フロントプレーンとの界面を照射する工程を含む、請求項11に記載の製造方法。

[請求項13] 前記剥離工程の後、前記フロントプレーン上に導電体層を形成する工程を含む、請求項11または12に記載の製造方法。

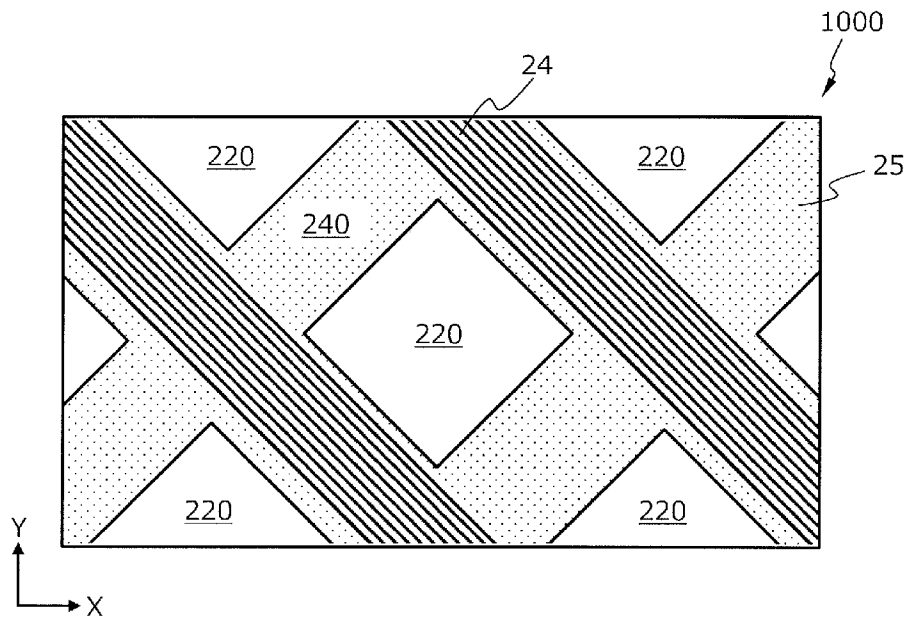
[請求項14] 前記積層構造体を用意する工程は、前記結晶成長基板上に窒化チタニウム層を形成する工程を含む、請求項11から13のいずれかに記

載の製造方法。

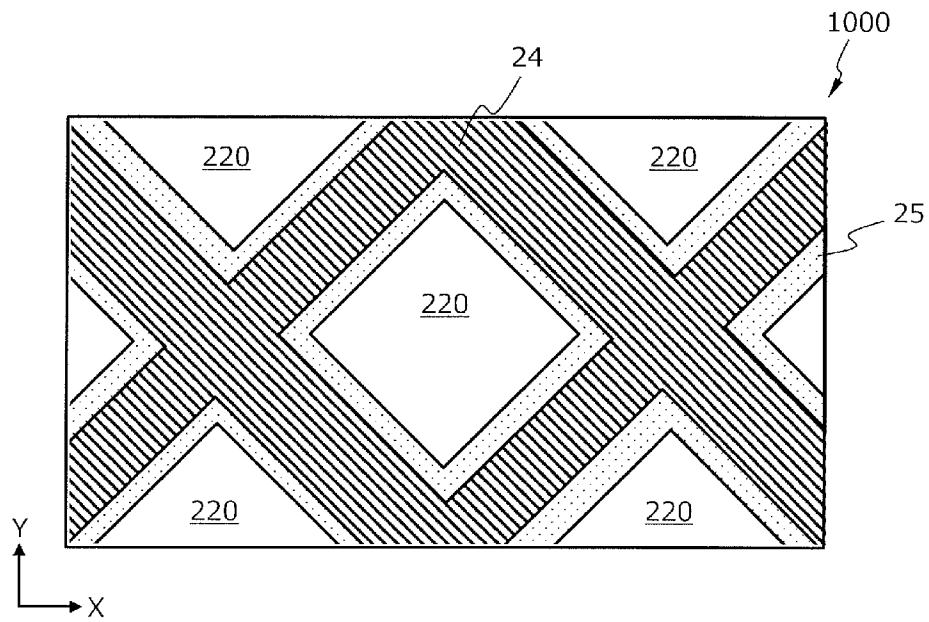
[請求項15] 前記支持基板は、フレキシブル基板である、請求項 1 1 から 1 4 のいずれかに記載の製造方法。

A cross-sectional view of a semiconductor device 1000. The device is oriented with a horizontal X-axis and a vertical Z-axis pointing downwards. The structure consists of several layers and features. At the top is a thin layer 55. Below it is a layer 22, which contains a central region 240 and two side regions 220. Layer 22 is further divided into sub-layers 23 and 21. Below layer 22 is a layer 38, which contains a central region 24 and two side regions 25. Layer 38 is further divided into sub-layers 36 and 32. At the bottom is a thick substrate 500. The device is labeled 1000 in the top right corner.

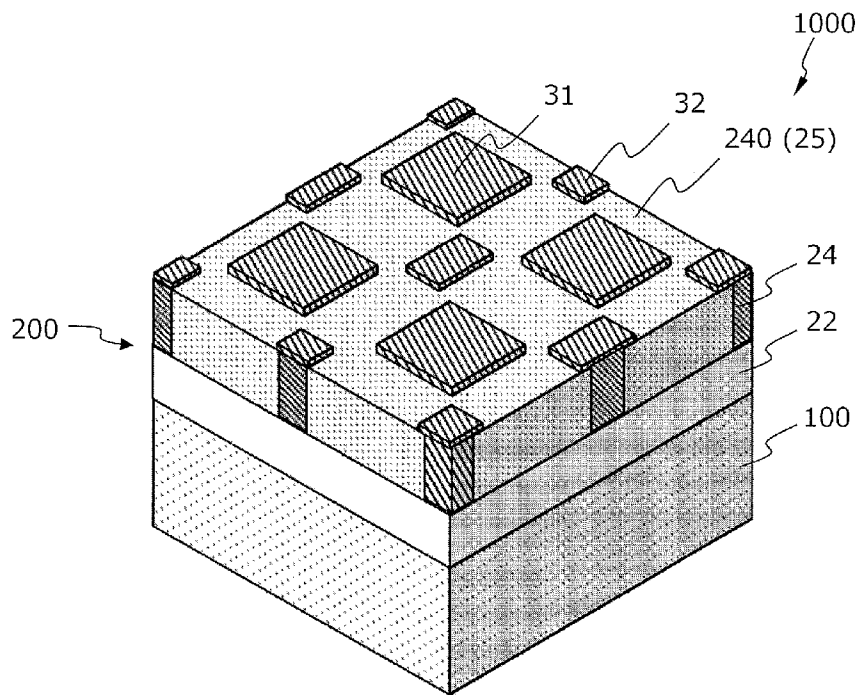
[図1E]



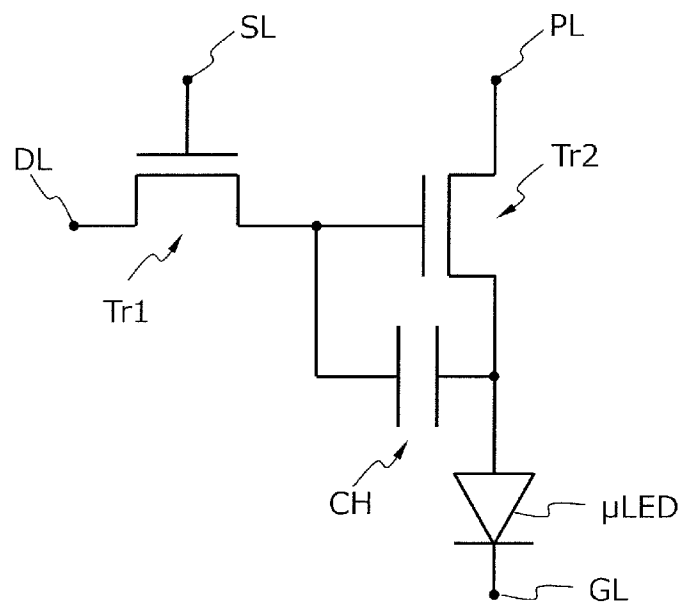
[図1F]



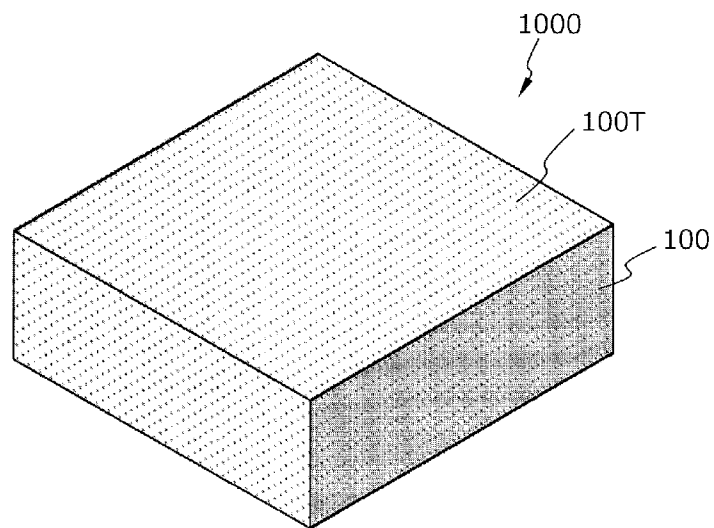
[図2]



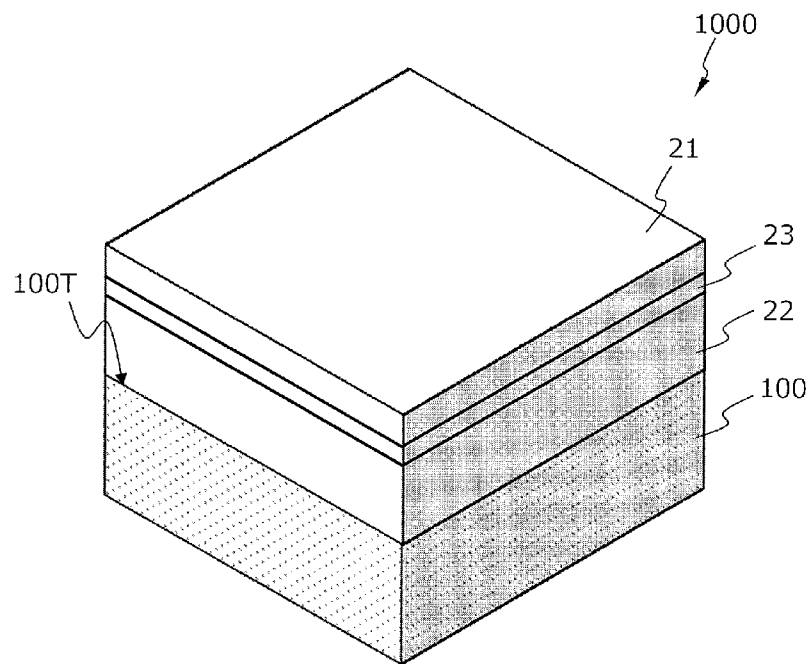
[図3]



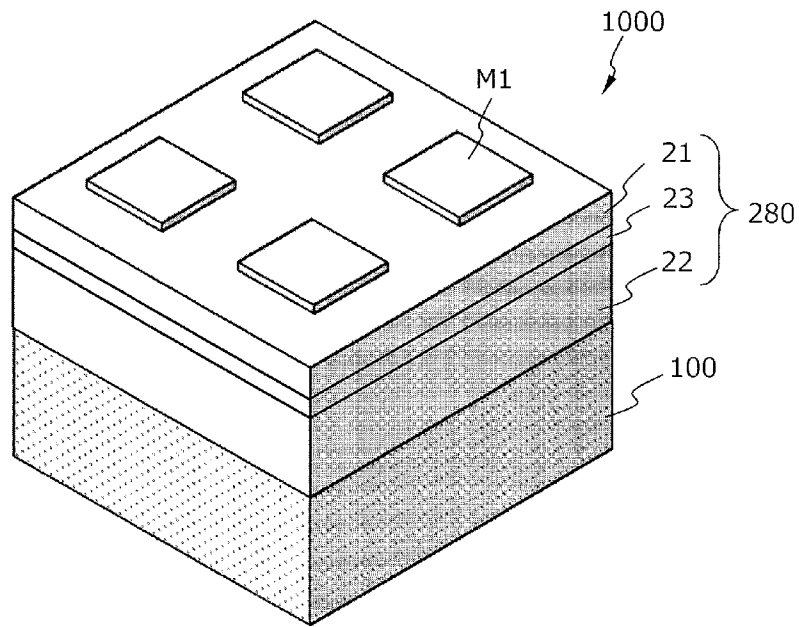
[図4A]



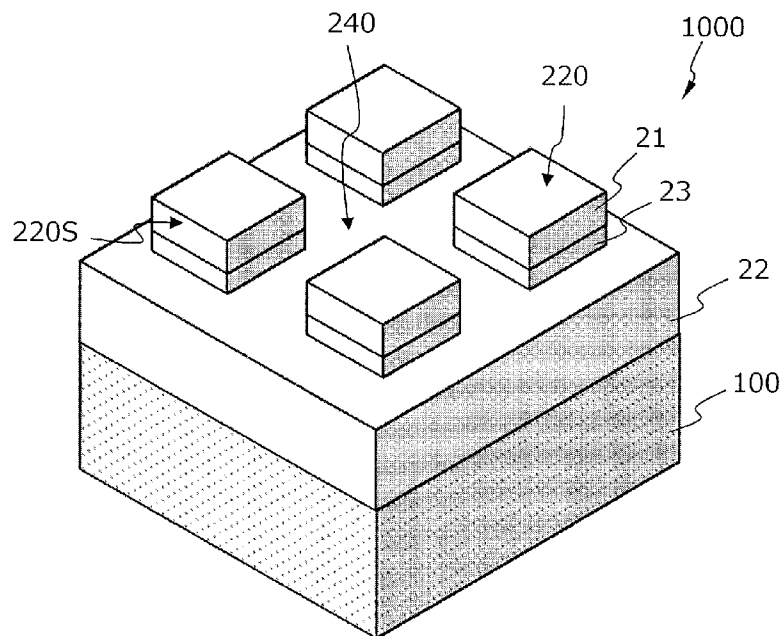
[図4B]



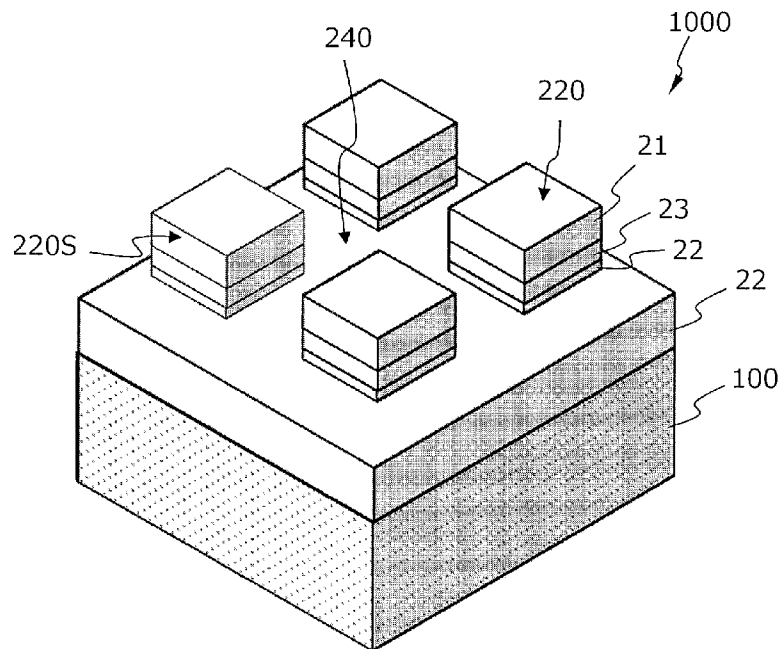
[図4C]



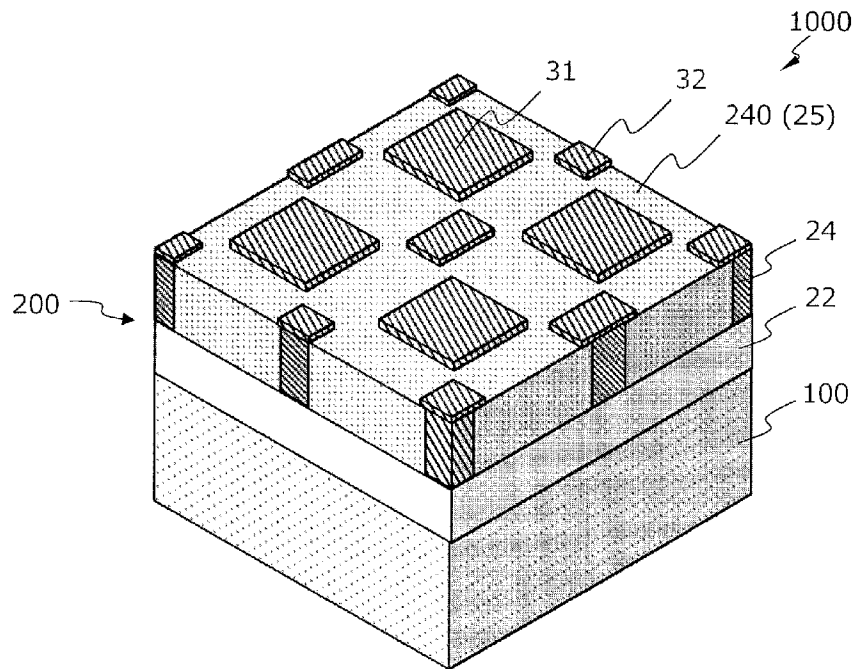
[図4D]



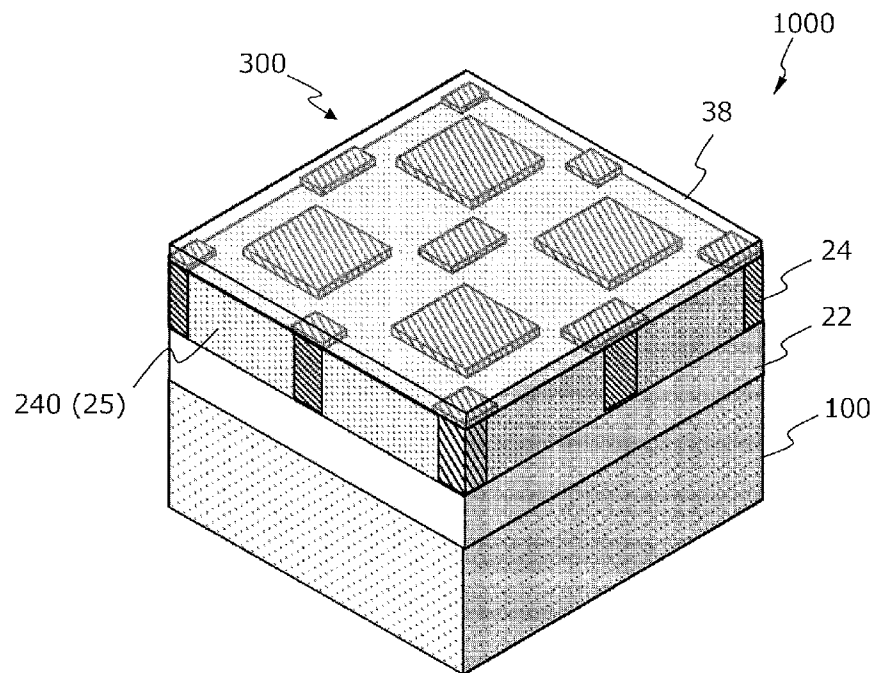
[図4E]



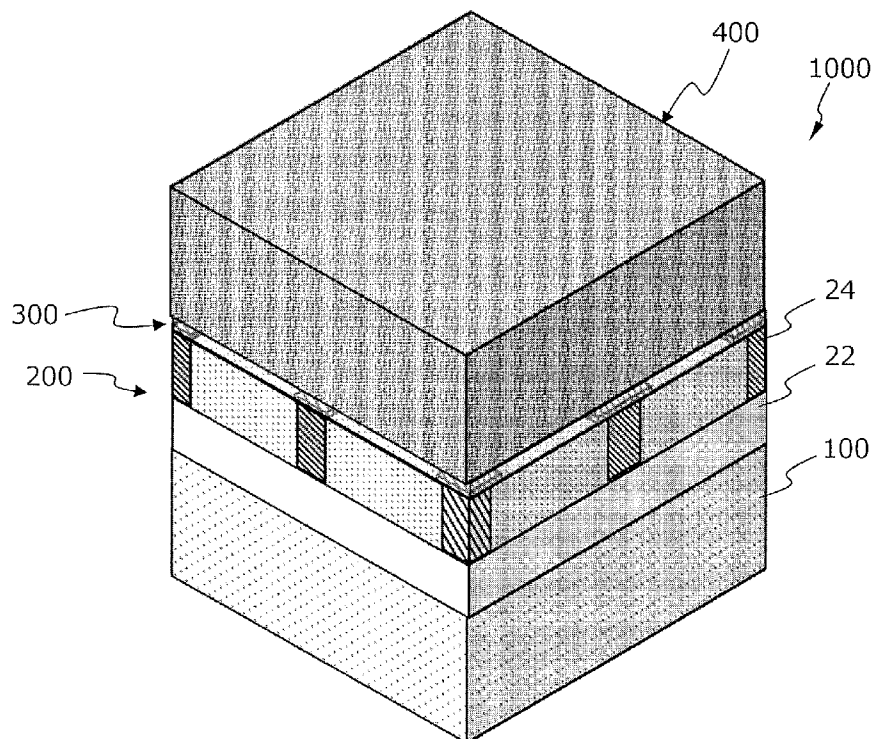
[図4F]



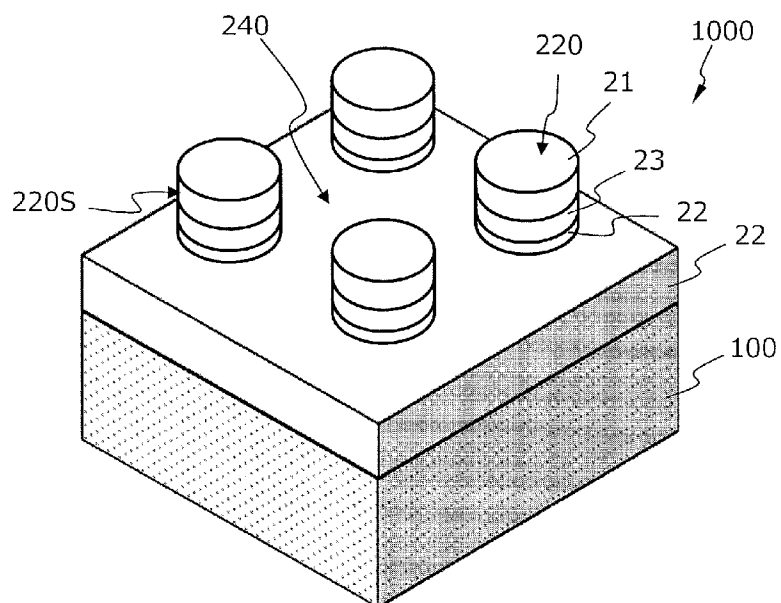
[図4G]



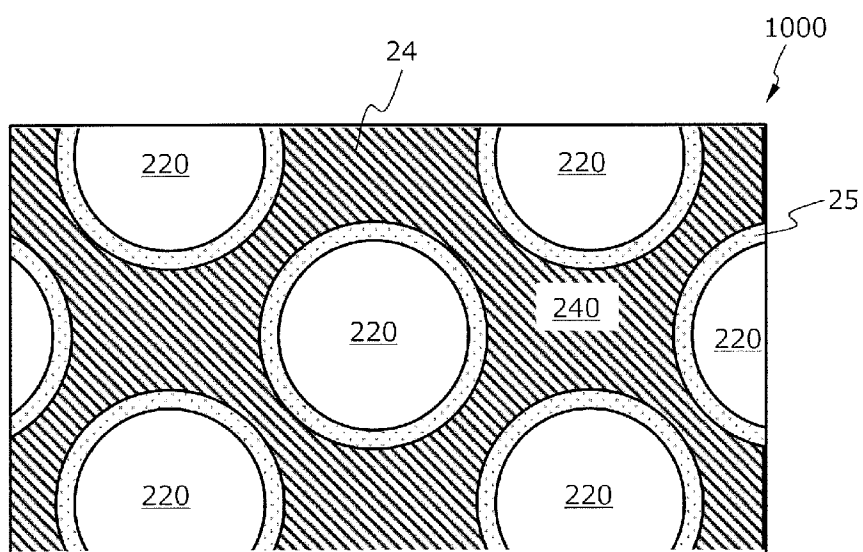
[図4H]



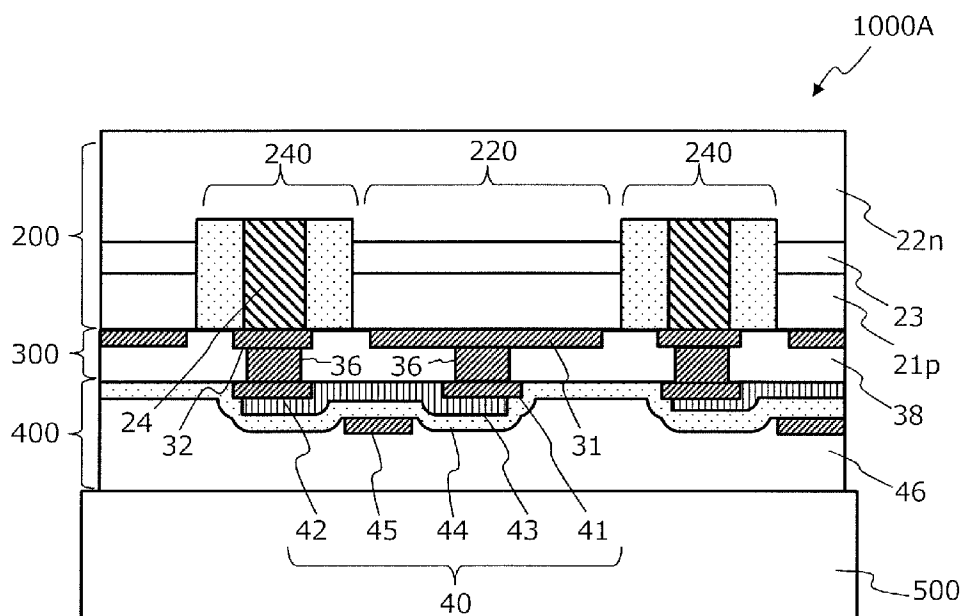
[図5A]



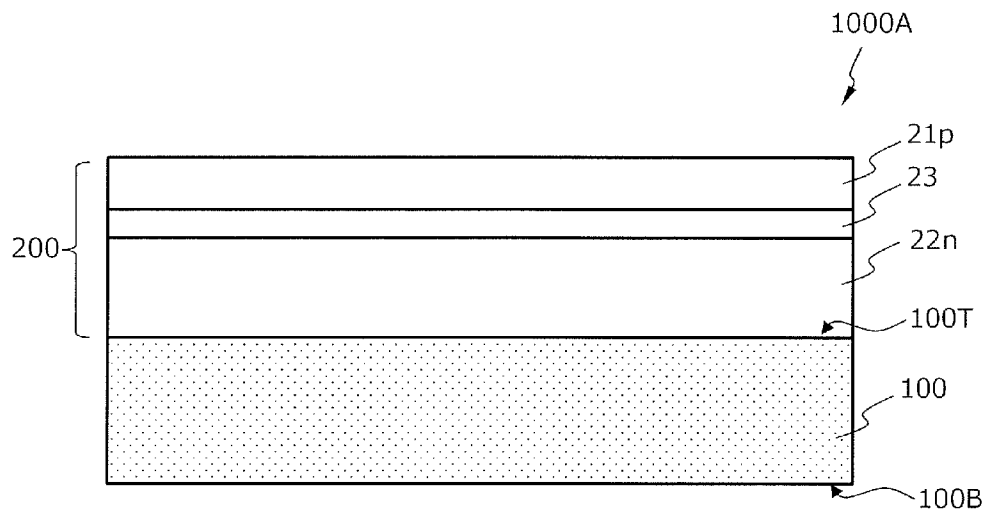
[図5B]



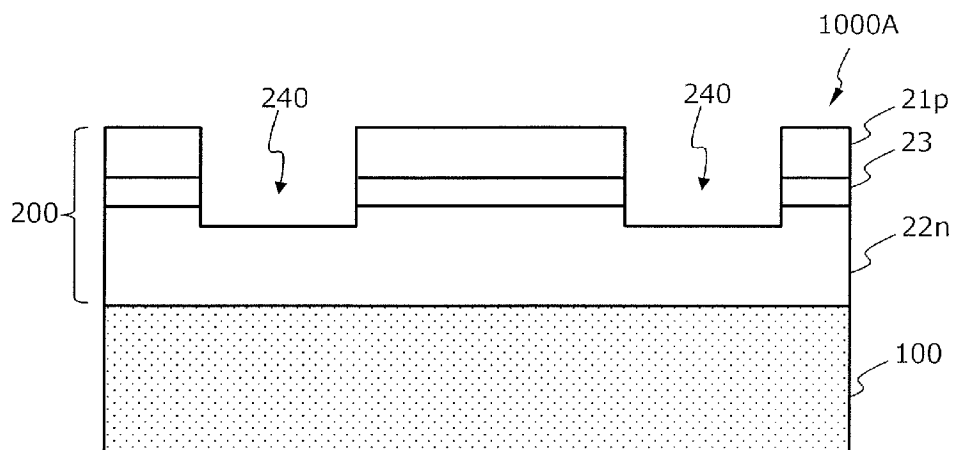
[図6]



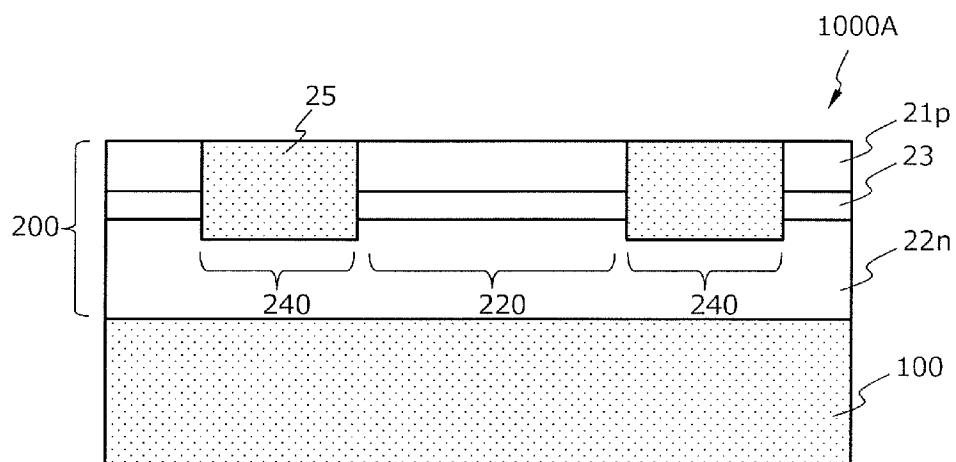
[図7A]



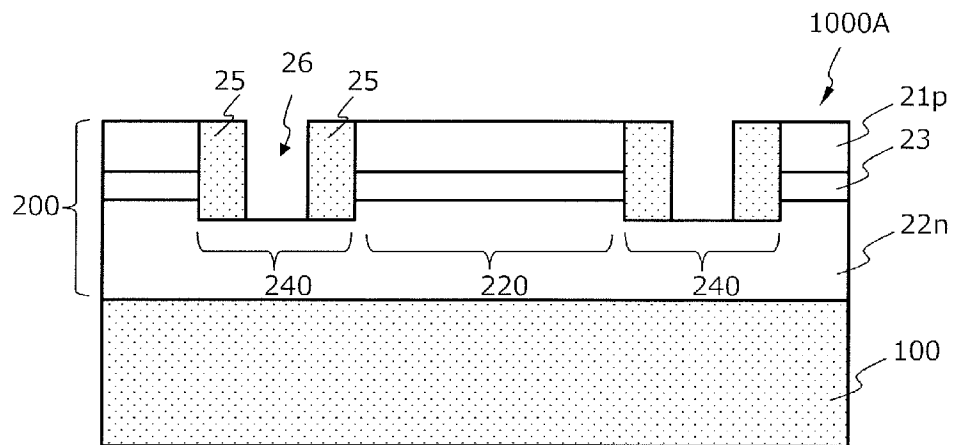
[図7B]



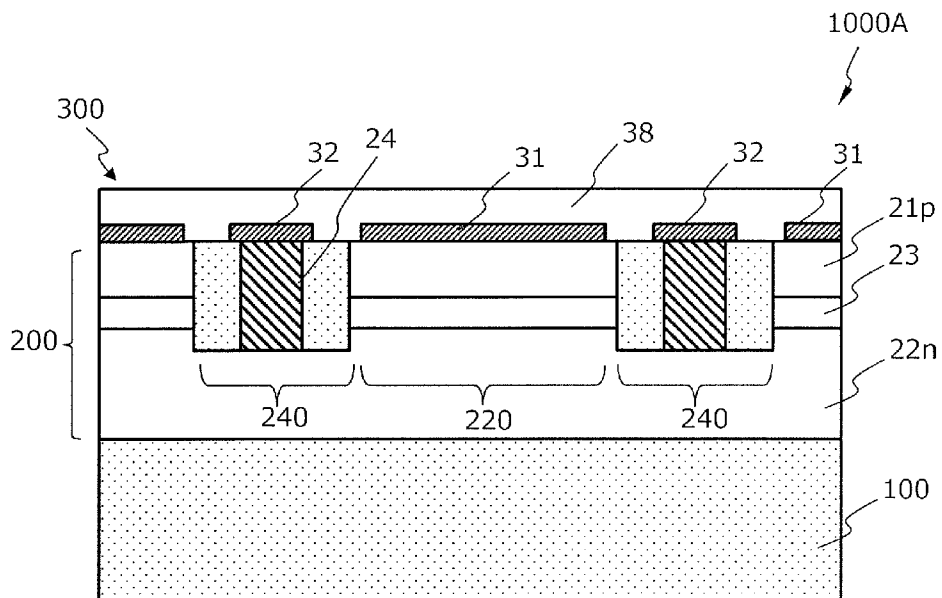
[図7C]



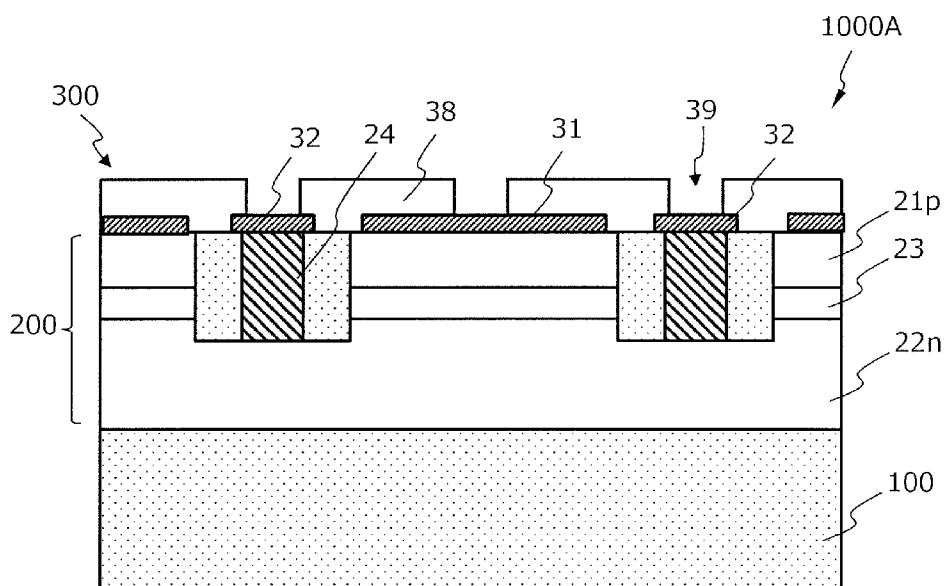
[図7D]



[図7E]

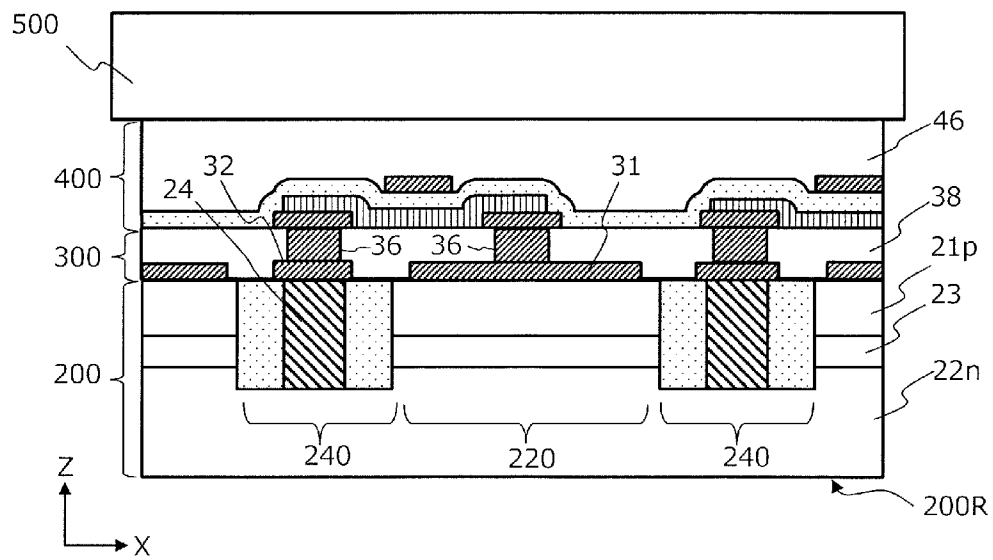


[図7F]

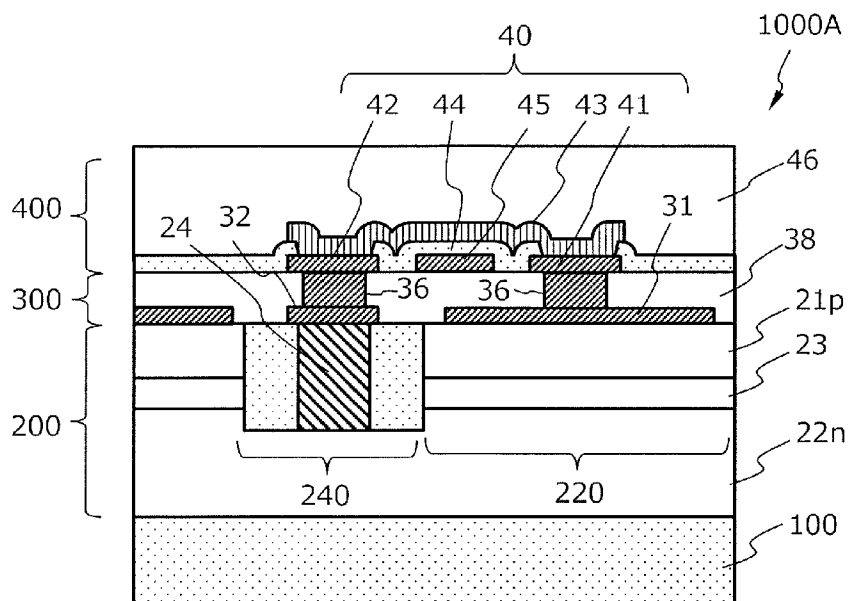


This cross-sectional view shows a semiconductor device 100. At the bottom is a substrate 100B. Above it is a layer 100T. The device includes a series of layers and structures: a layer 100, a layer 200, a layer 220, a layer 23, a layer 24, a layer 240, a layer 31, a layer 32, a layer 36, a layer 38, and a layer 46. A Z-axis arrow points upwards from the substrate 100B.

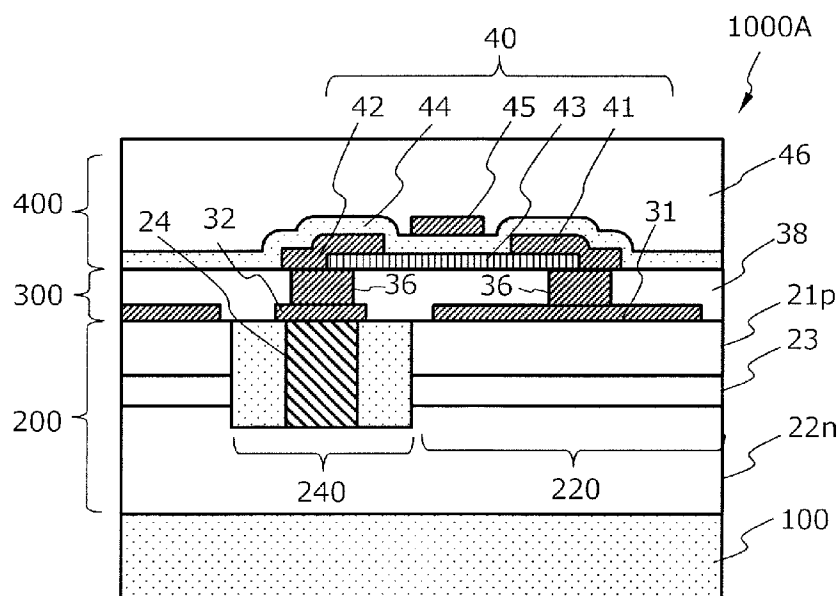
[図7I]



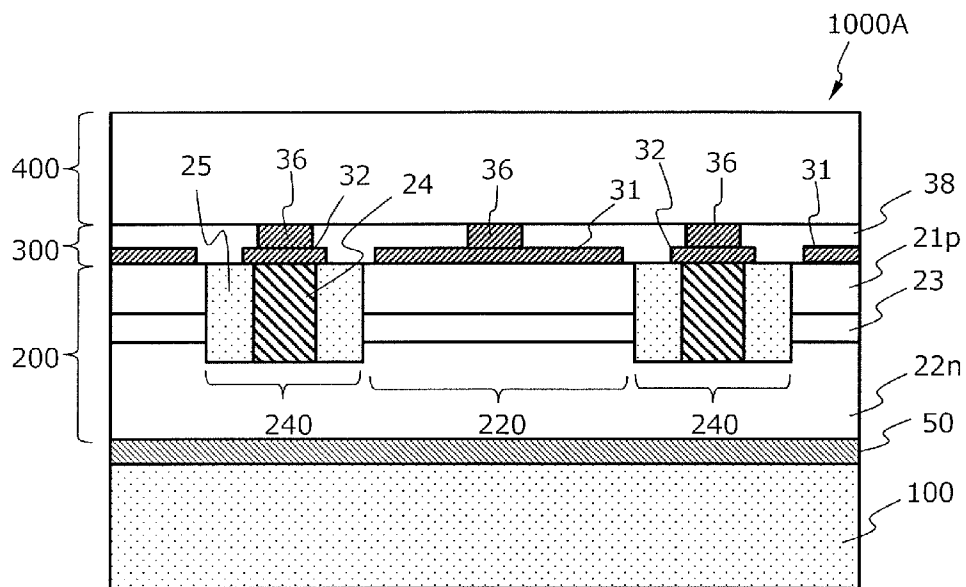
[図8]



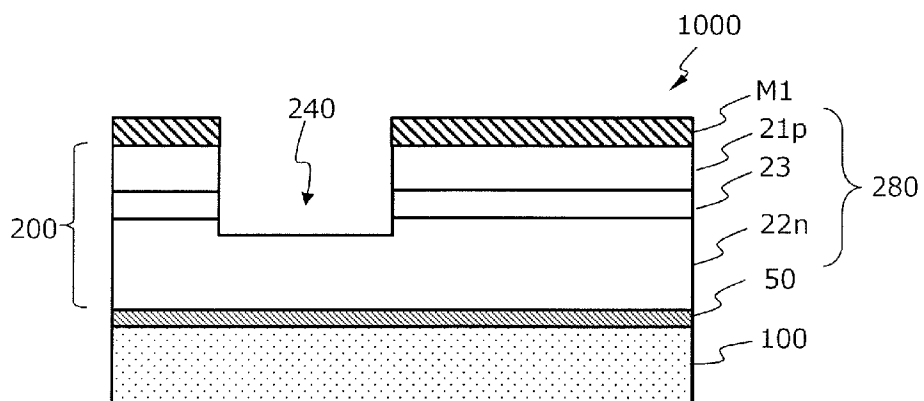
[図9]



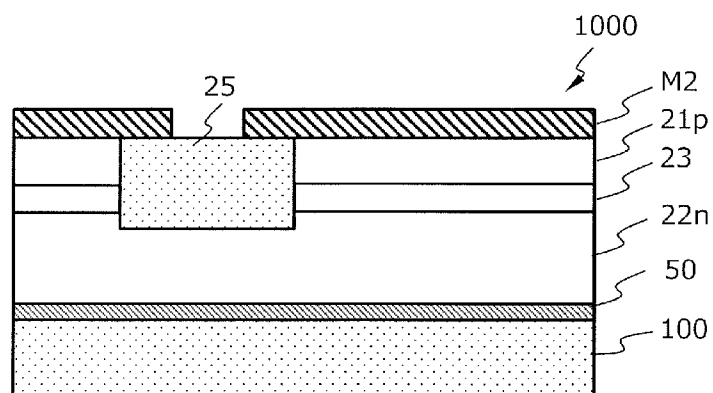
[図10]



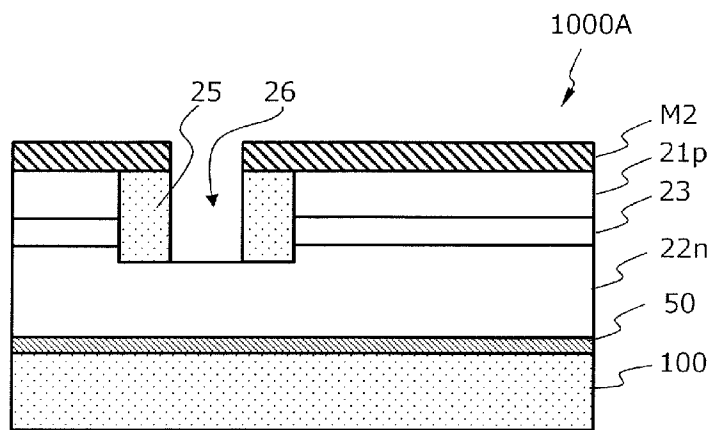
[図11A]



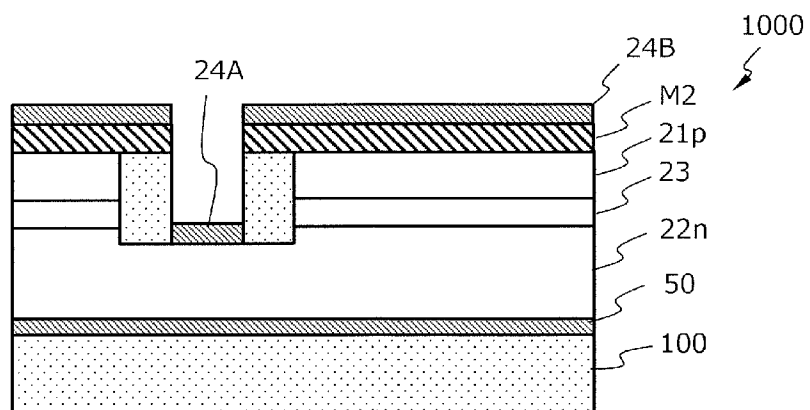
[図11B]



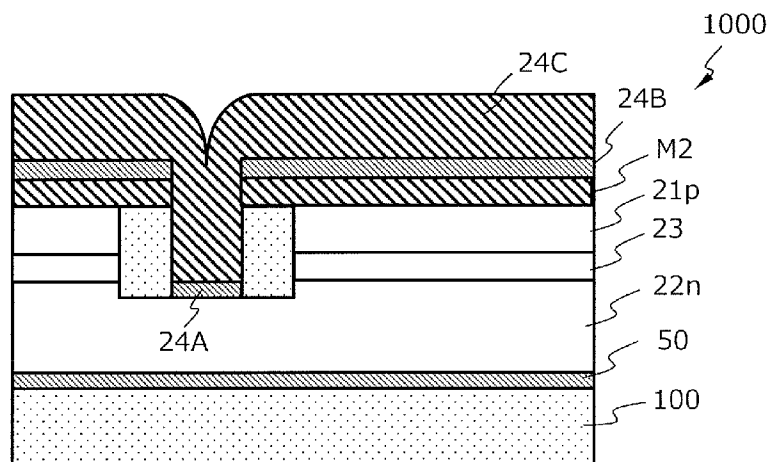
[図11C]



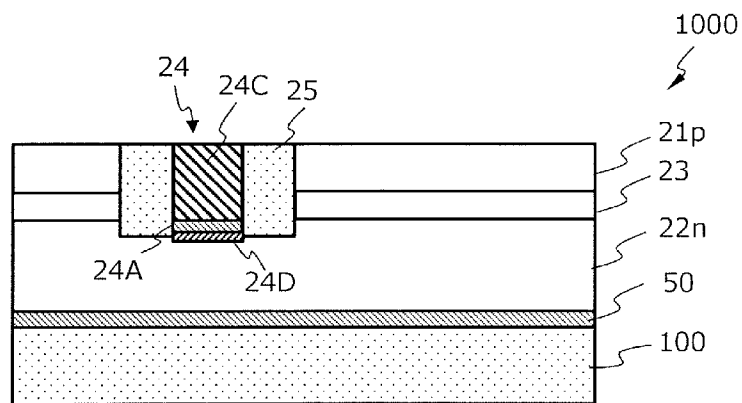
[図11D]



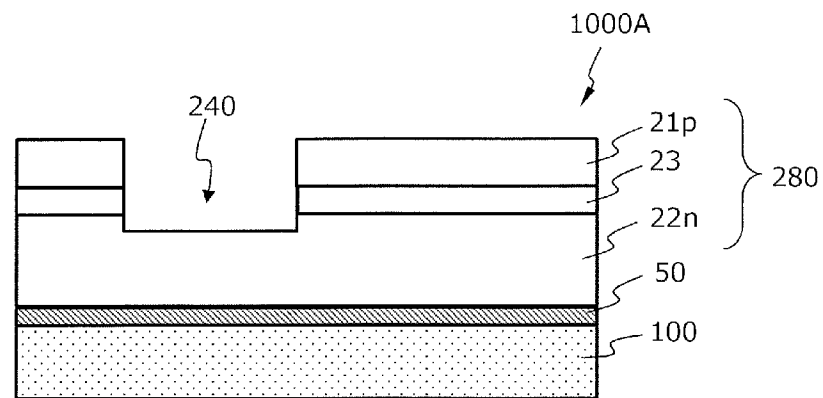
[図11E]



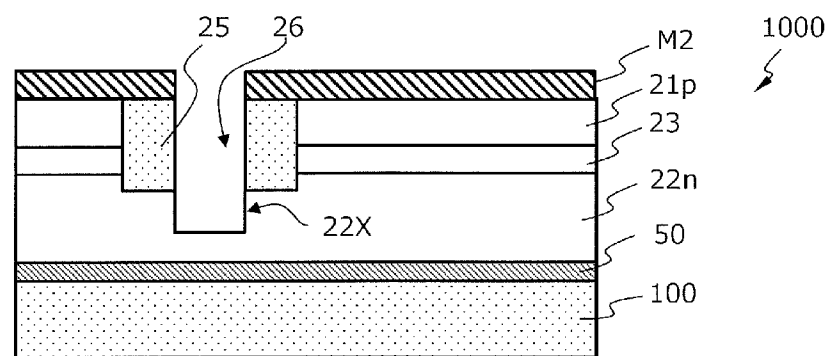
[図11F]



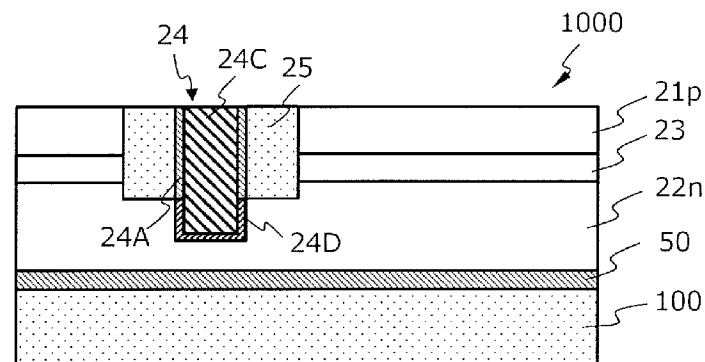
[図12A]



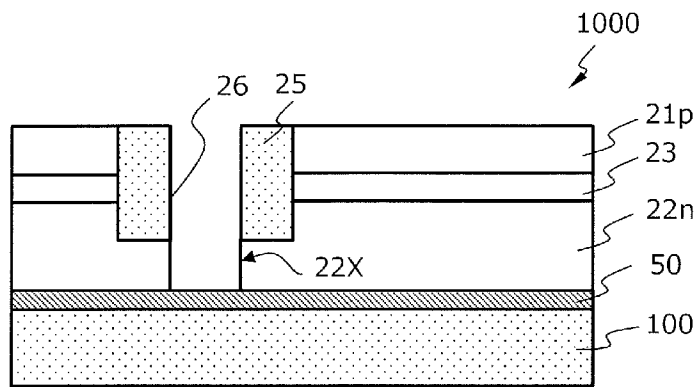
[図12B]



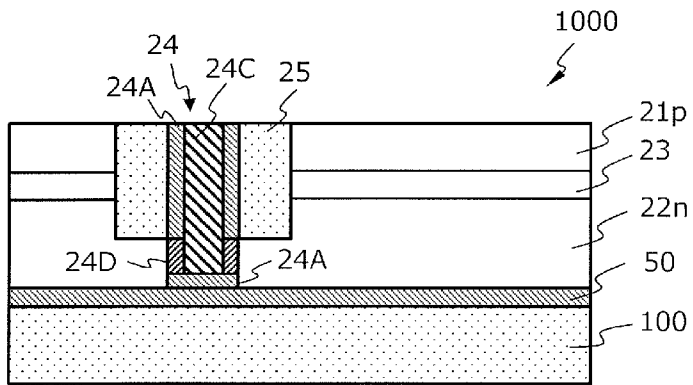
[図12C]



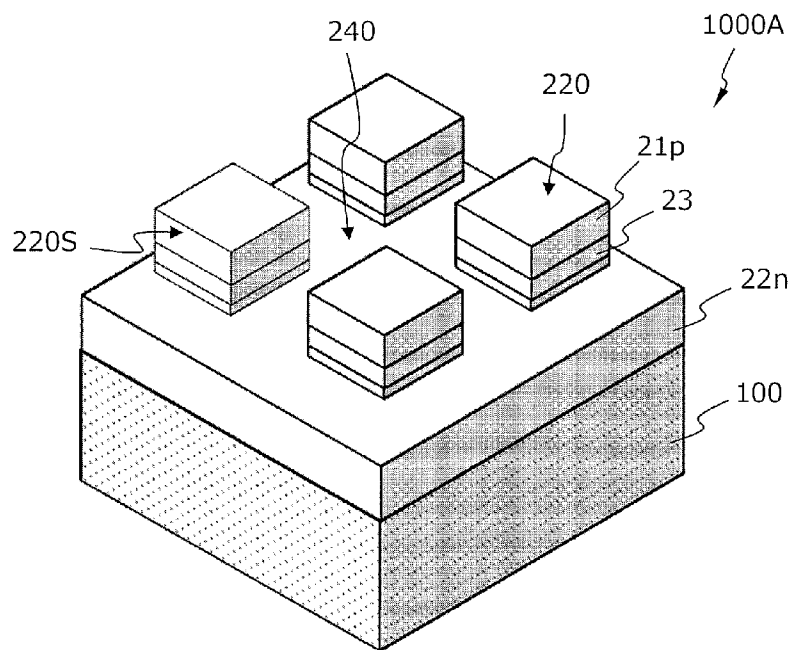
[図13A]



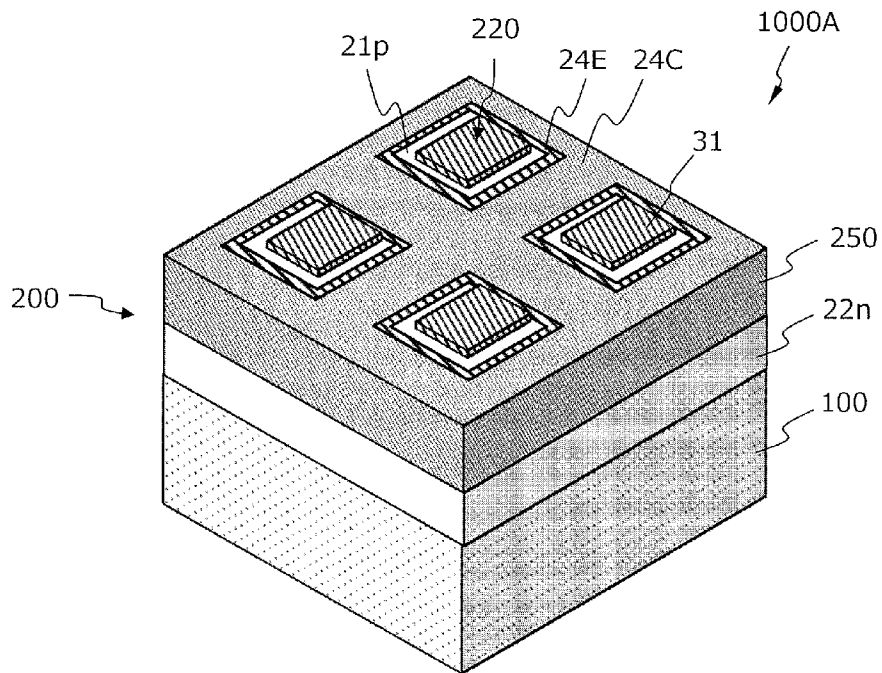
[図13B]



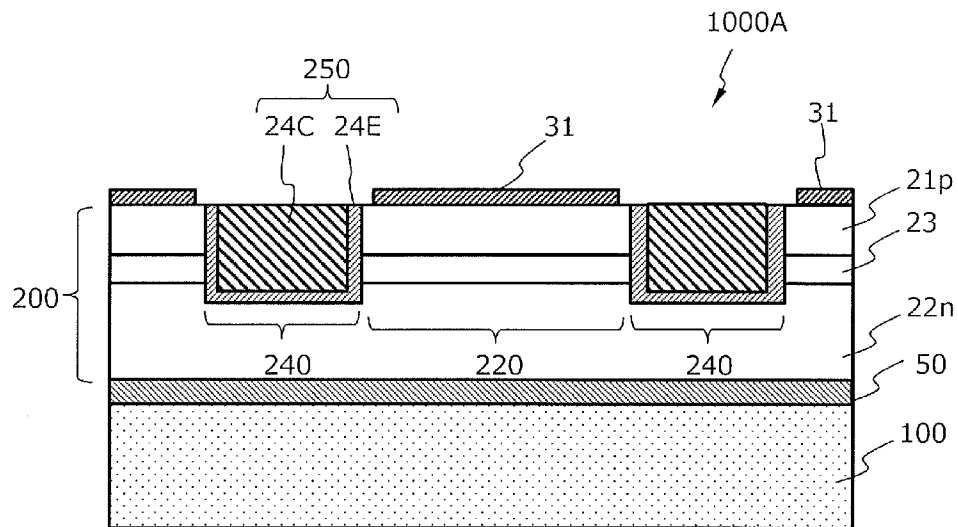
[図14A]



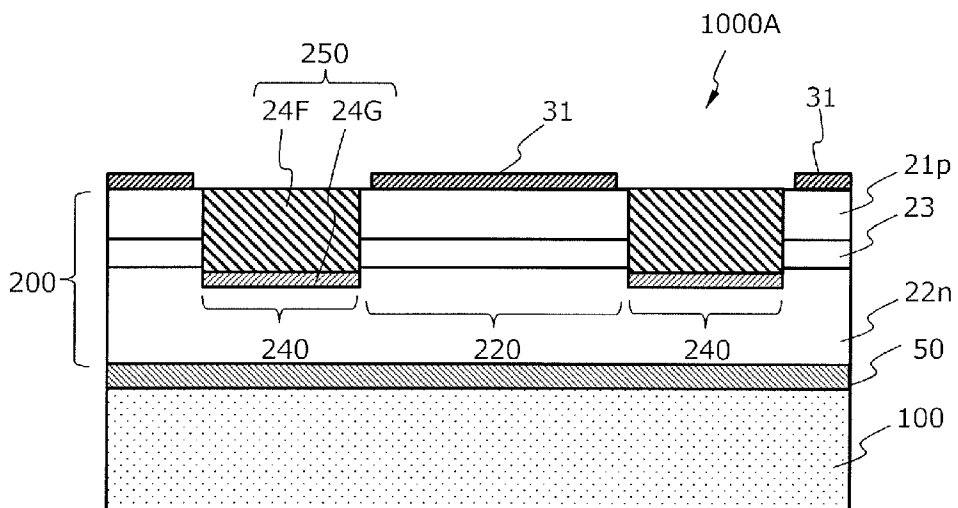
[図14B]



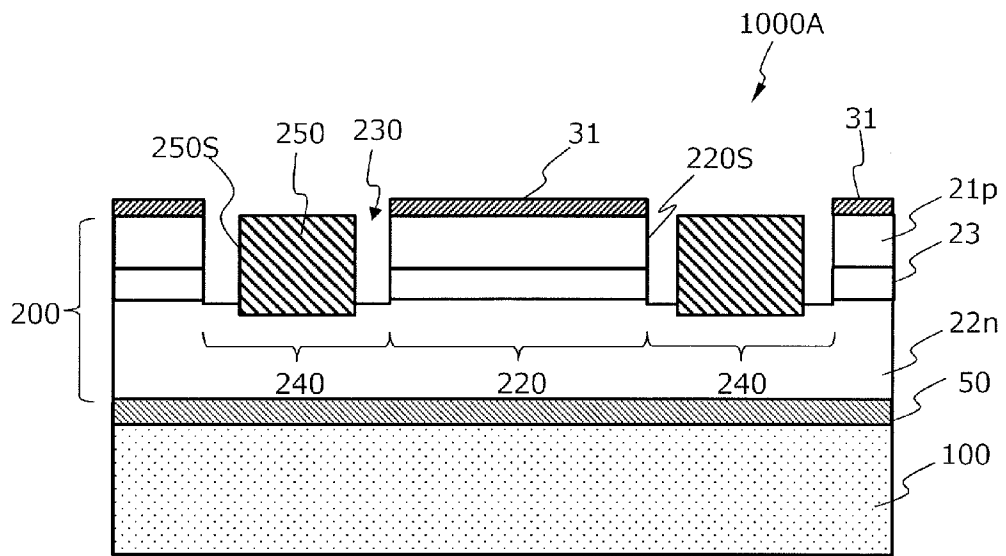
[図14C]



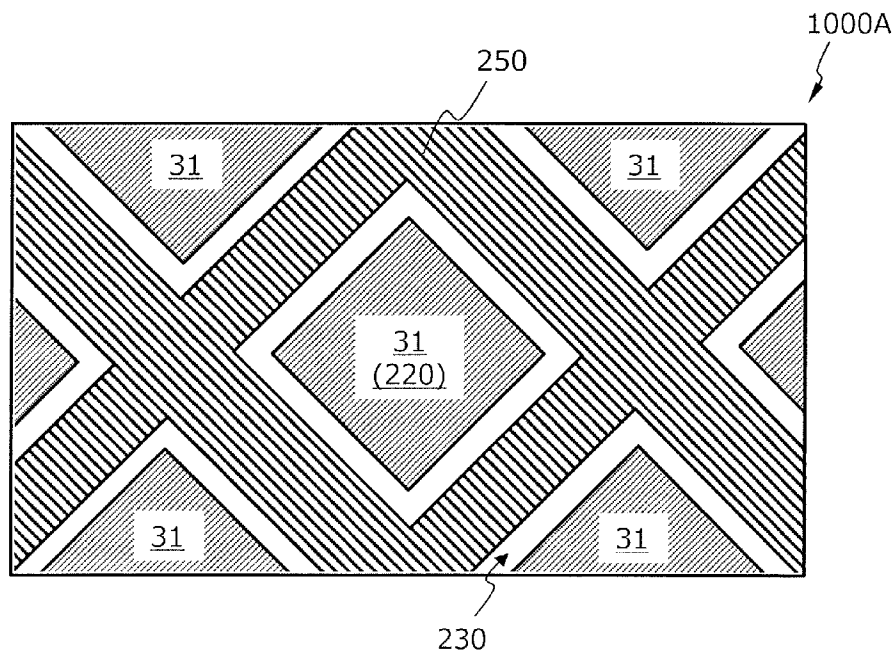
[図15]



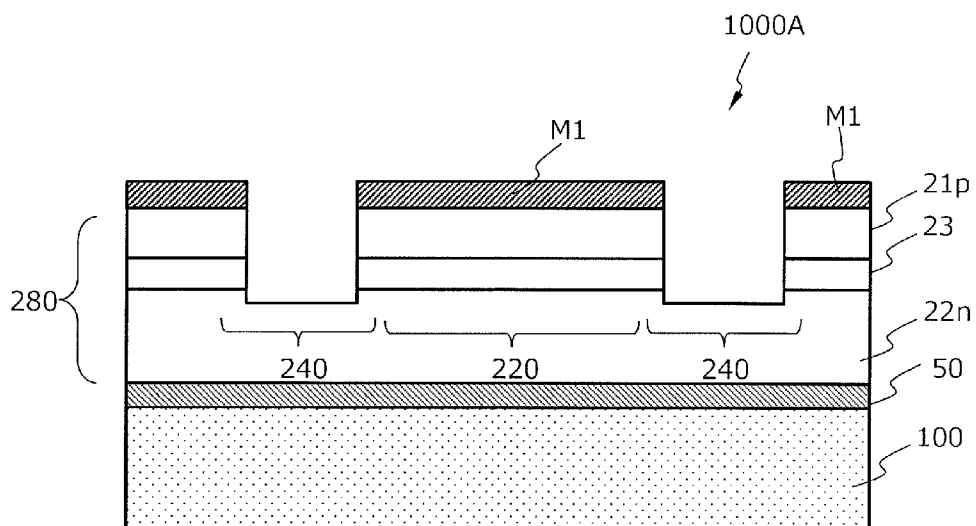
[図16A]



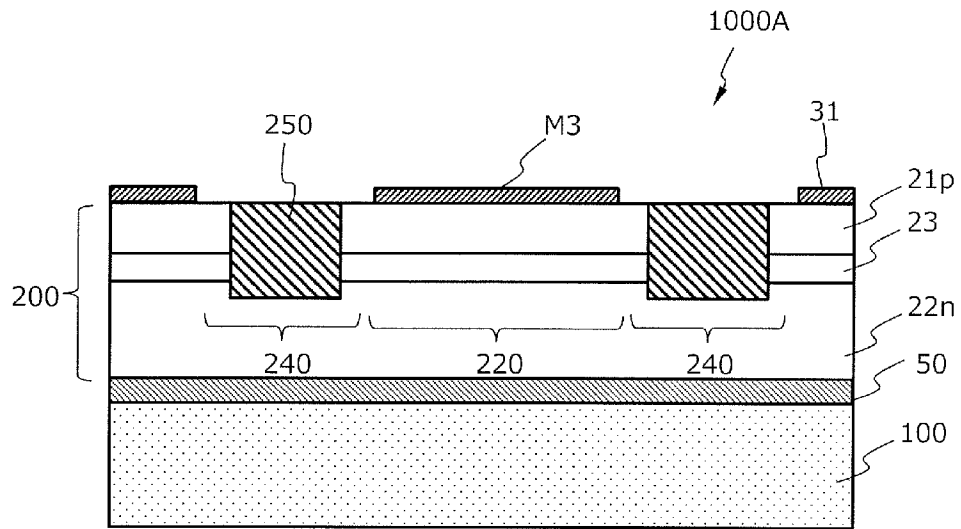
[図16B]



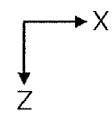
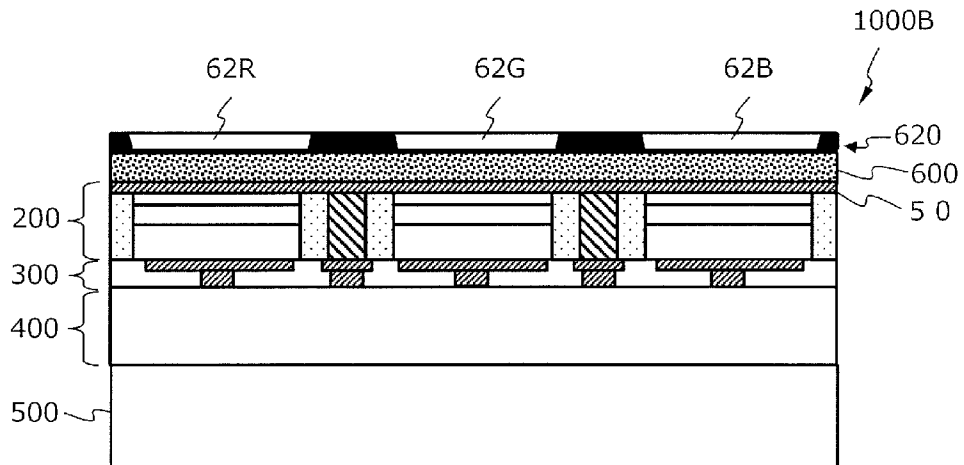
[図16C]



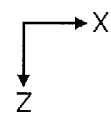
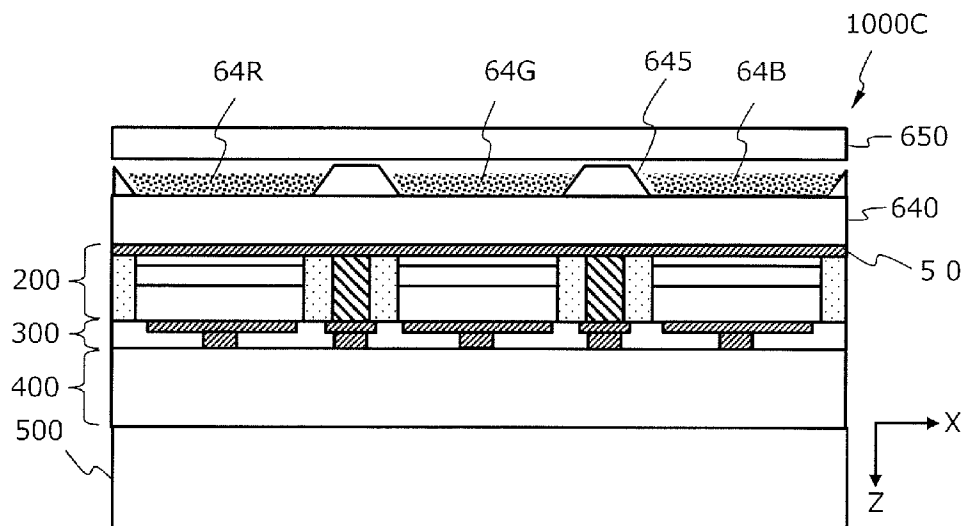
[図16D]



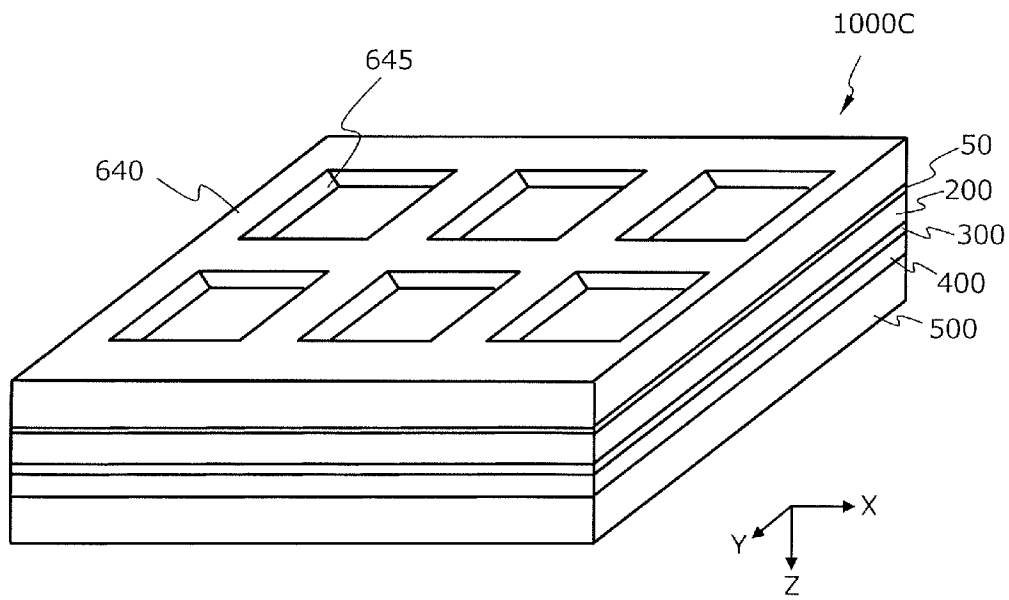
[図17]



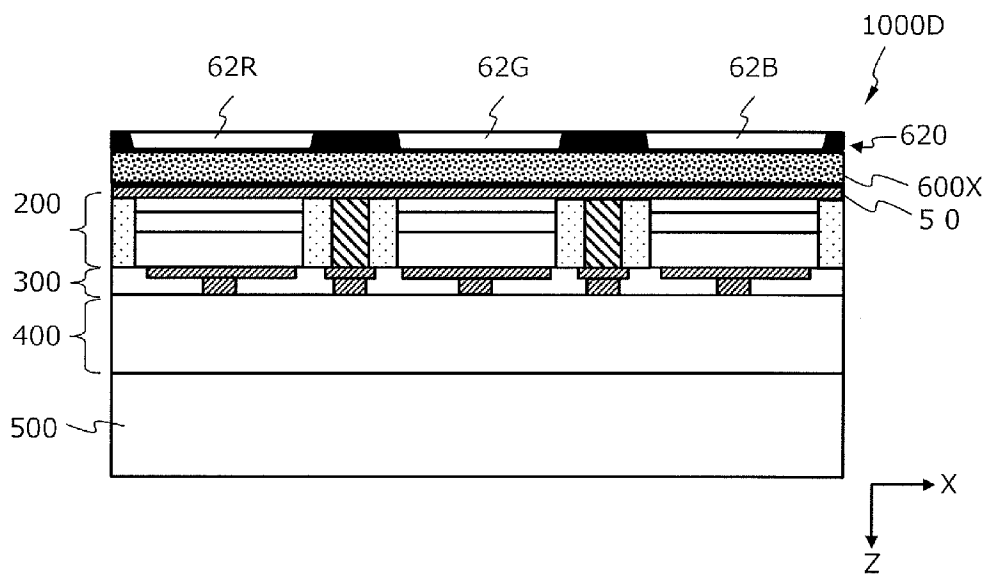
[図18]



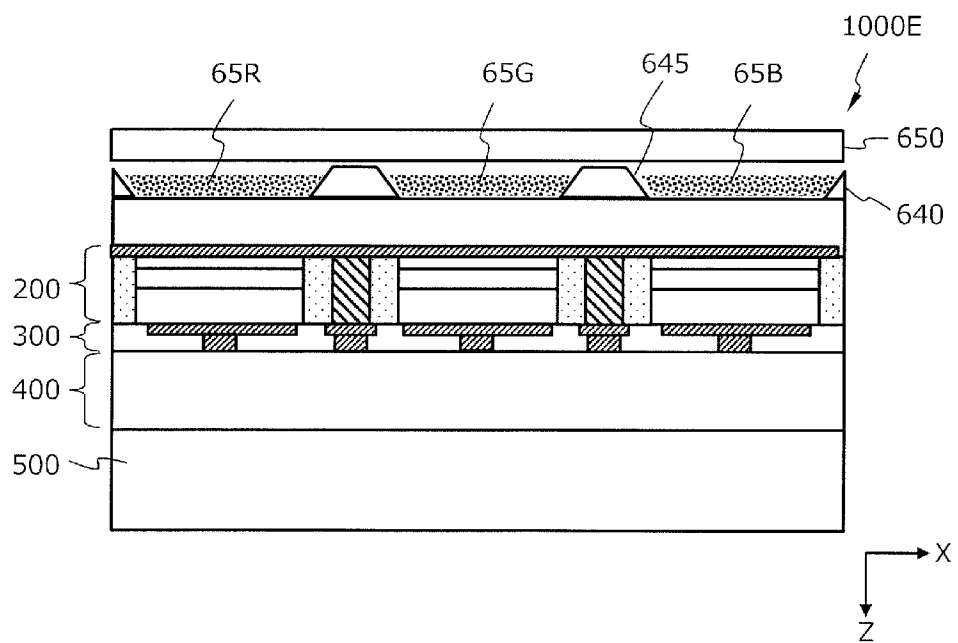
[図19]



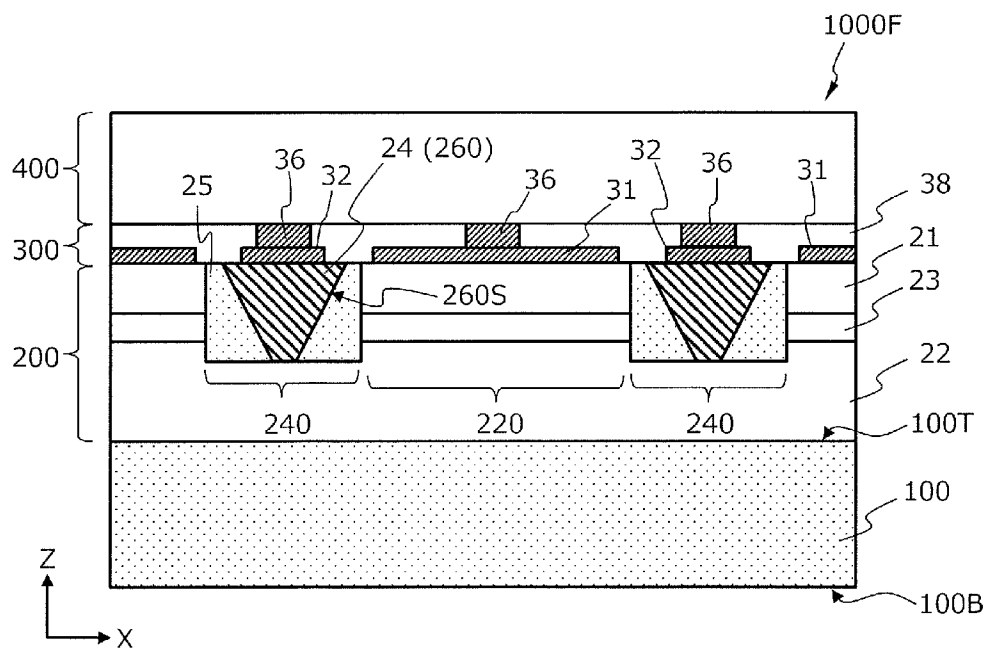
[図20]



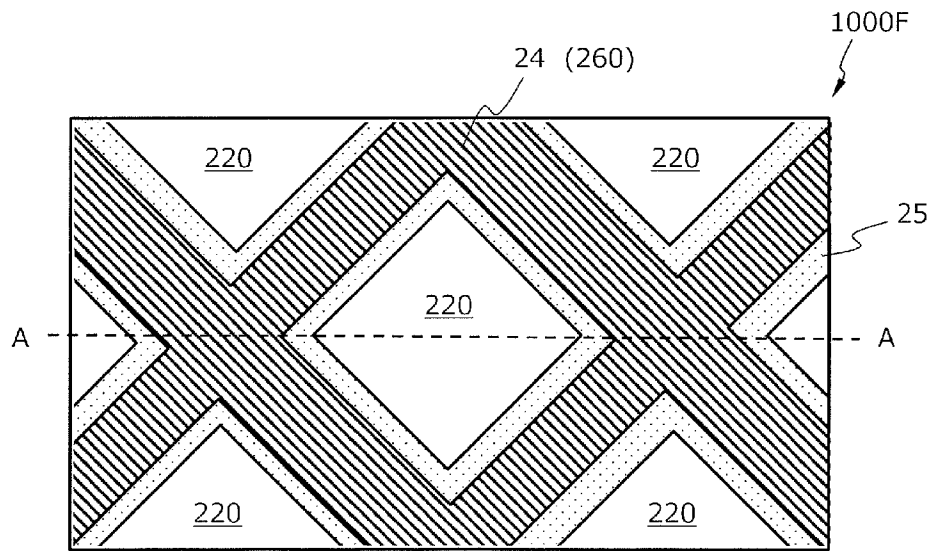
[図21]



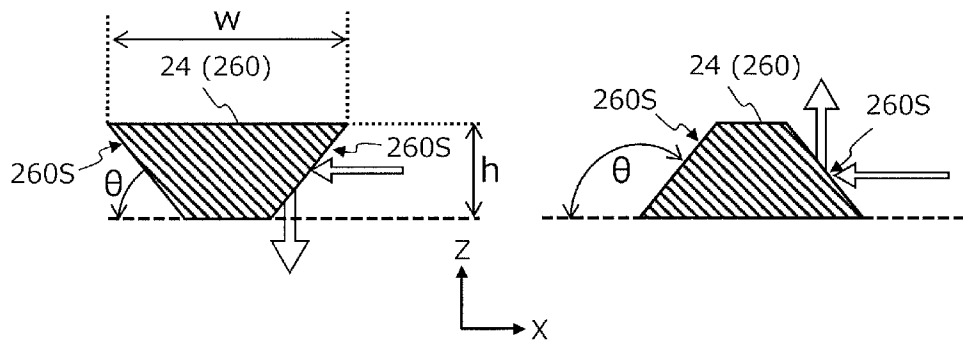
[図22]



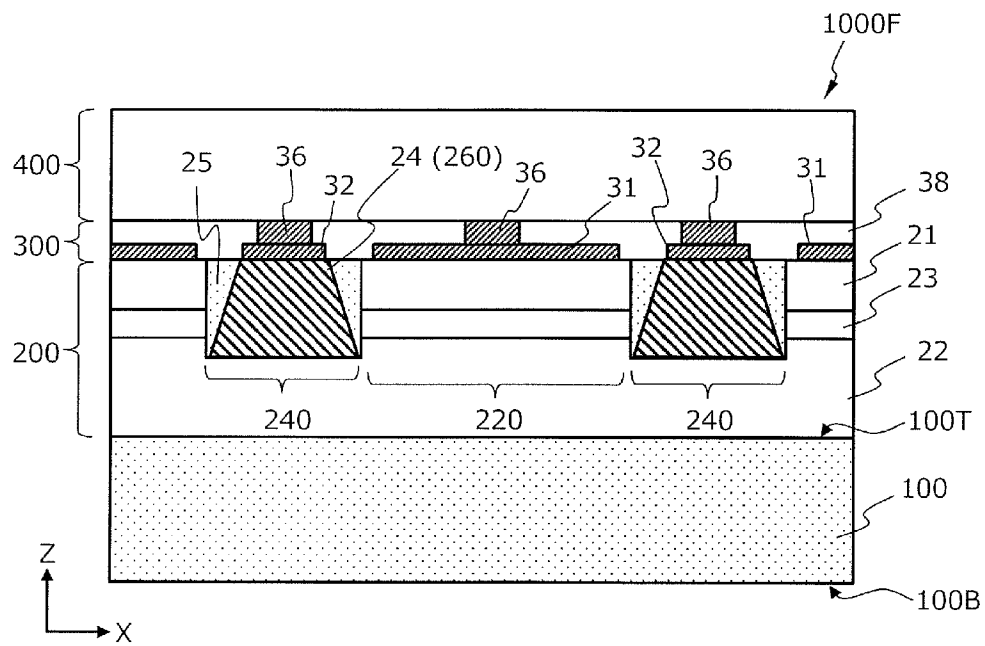
[図23]



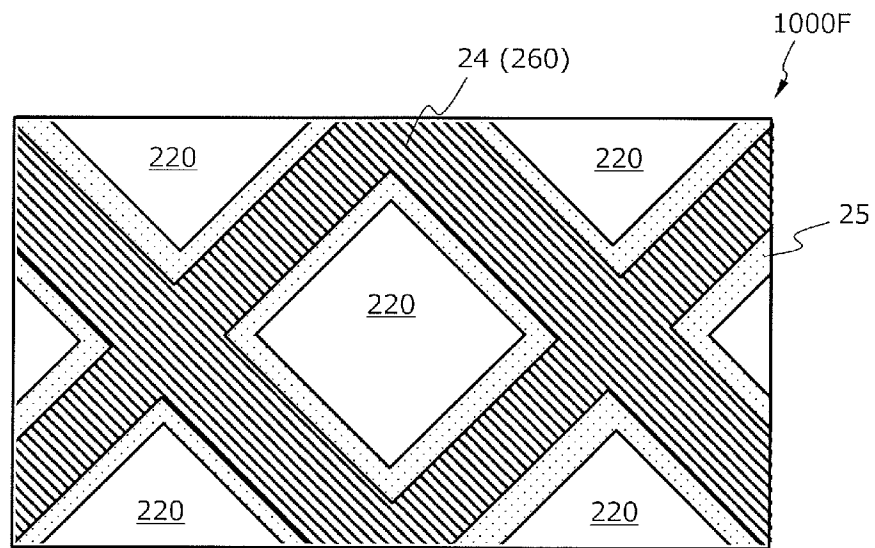
[図24]



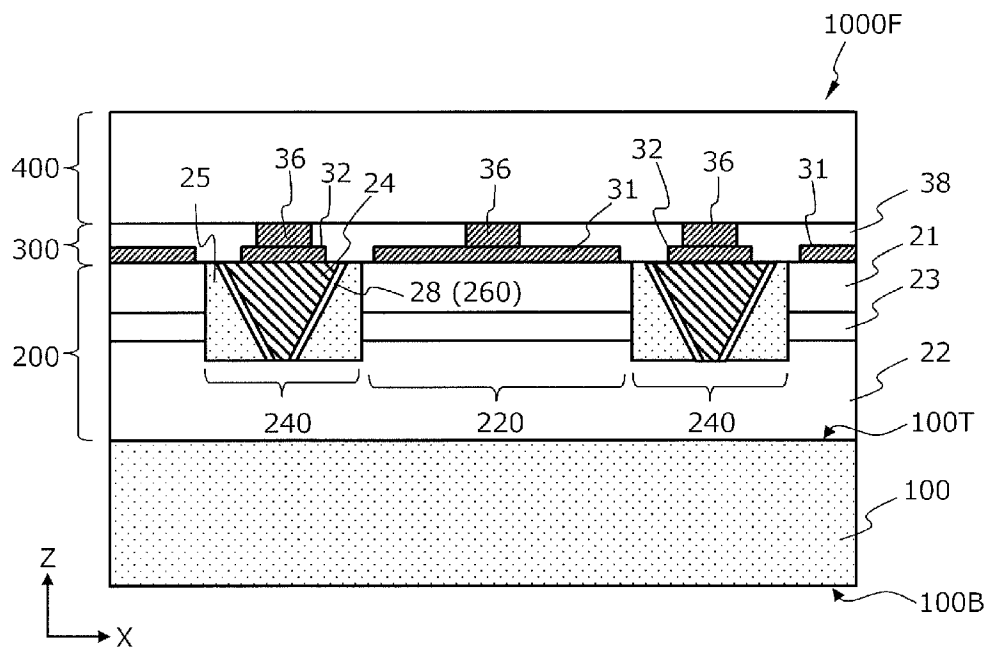
[図25A]



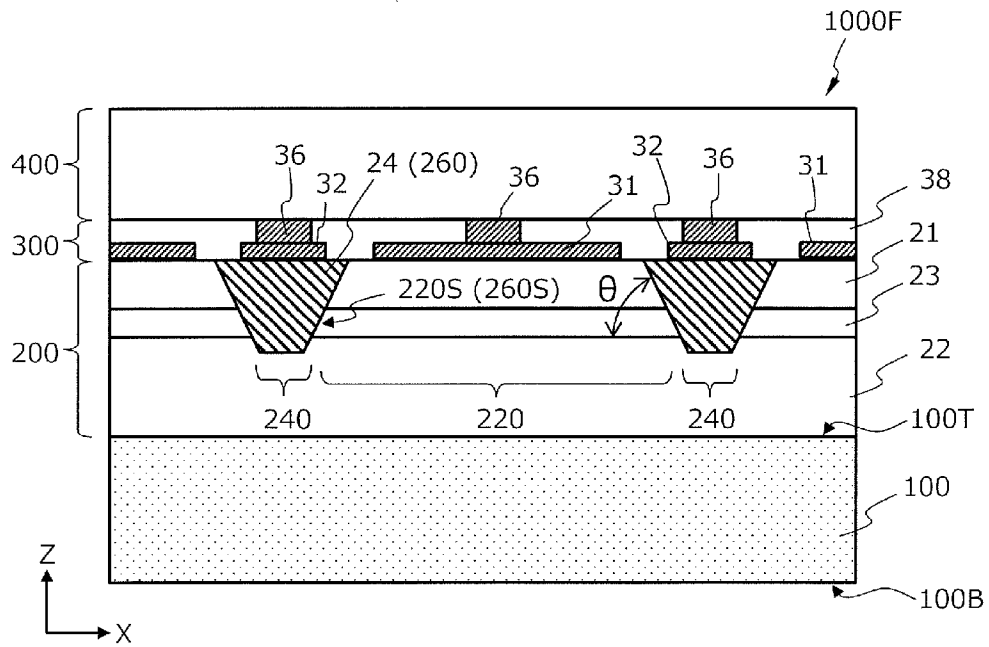
[図25B]



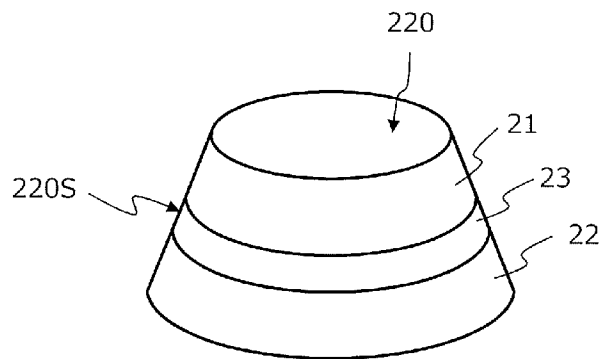
[図26]



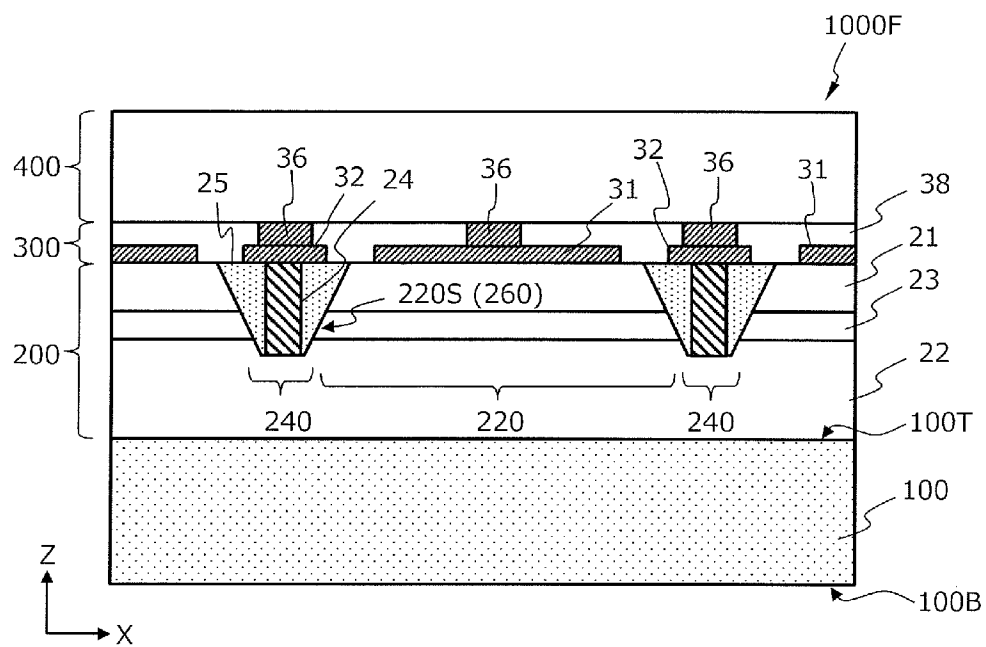
[図27]



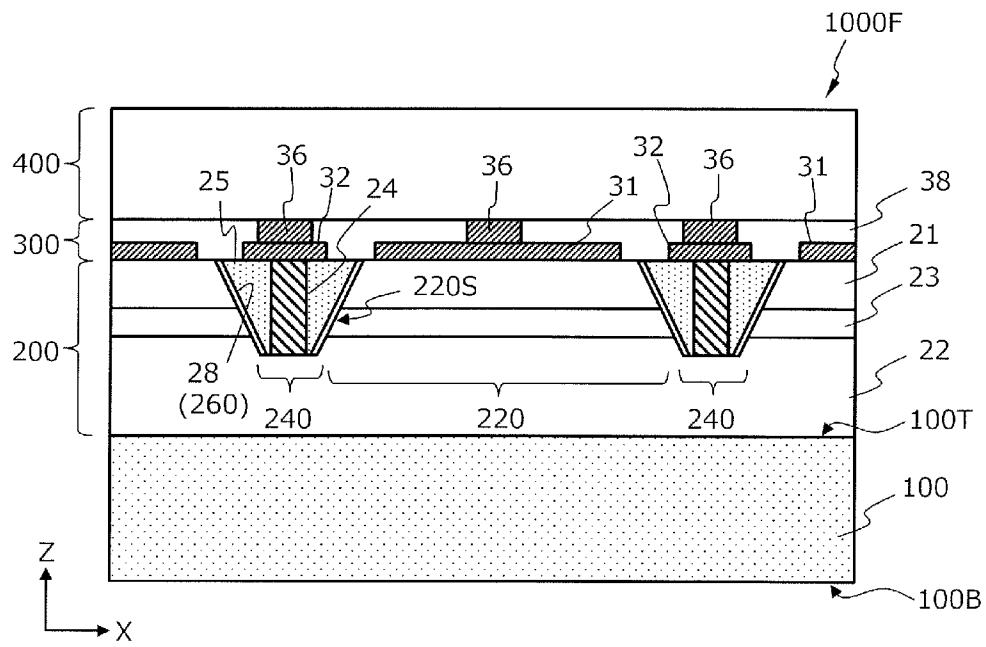
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045729

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L33/38 (2010.01) i, H01L33/00 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L33/00-H01L33/64, G09F9/33, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 12 November 2015, paragraphs [0011], [0012], [0071], [0072], [0088]-[0090], [0092], [0118]-[0134], fig. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-15
Y	JP 2018-533220 A (OSRAM OPTO SEMICONDUCTORS GMBH) 08 November 2018, fig. 1K & US 2018/0331251 A1, fig. 1K & WO 2017/081085 A1 & DE 102015119353 A1 & CN 108292696 A	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28.02.2019

Date of mailing of the international search report
12.03.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045729

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2018/0151543 A1 (LG ELECTRONICS INC.) 31 May 2018, paragraphs [0034]-[0039], fig. 1-4, 6 & WO 2018/097447 A1 & KR 10-2018-0059249 A	1-15
Y	CN 108336097 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 July 2018, paragraph [0041] (Family: none)	1-15
Y	JP 2018-523848 A (SEOUL SEMICONDUCTOR CO., LTD.) 23 August 2018, paragraphs [0001], [0038] & US 2017/0025399 A1, paragraphs [0002], [0054] & WO 2017/014564 A1 & EP 3328162 A1 & CN 107852794 A & KR 10-2018-0022683 A	1-15
Y	US 5789766 A (MOTOROLA, INC.) 04 August 1998, fig. 15-17 (Family: none)	5-6
Y	US 2018/0211991 A1 (ACER INCORPORATED) 26 July 2018, paragraphs [0003], [0033]-[0043], fig. 1 & EP 3355352 A1 & TW 201828442 A	1-15
Y	JP 2016-154213 A (TOSHIBA CORP.) 25 August 2016, paragraphs [0010], [0017], [0026]-[0050] & US 2016/0240561 A1, paragraphs [0026], [0033], [0042]-[0068]	1-15
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 06 October 2016, paragraphs [0017], [0038]-[0041], fig. 4 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/38(2010.01)i, H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/00-H01L33/64, G09F9/33, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 2015. 11. 12, [0011]-[0012], [0071]-[0072], [0088]-[0090], [0092], [0118]-[013 4], FIGs. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28. 02. 2019

国際調査報告の発送日

12. 03. 2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

島田 英昭

2 K

3 3 1 1

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-533220 A (オスラム オプト セミコンダクターズ ゲゼル ルシャフト ミット ベシュレンクテル ハフツング) 2018. 11. 08, 図 1K & US 2018/0331251 A1 FIG. 1K & WO 2017/081085 A1 & DE 102015119353 A1 & CN 108292696 A	1-15
Y	US 2018/0151543 A1 (LG ELECTRONICS INC.) 2018. 05. 31, [0034]-[0039], FIGs. 1-4, 6 & WO 2018/097447 A1 & KR 10-2018-0059249 A	1-15
Y	CN 108336097 A (BOE TECHNOLOGY GROUP CO LTD.) 2018. 07. 27, [0041] (ファミリーなし)	1-15
Y	JP 2018-523848 A (ソウル セミコンダクター カンパニー リミ テッド) 2018. 08. 23, [0001], [0038] & US 2017/0025399 A1 [0002], [0054] & WO 2017/014564 A1 & EP 3328162 A1 & CN 107852794 A & KR 10-2018-0022683 A	1-15
Y	US 5789766 A (MOTOROLA, INC.) 1998. 08. 04, FIGs. 15-17 (ファミリーなし)	5-6
Y	US 2018/0211991 A1 (ACER INCORPORATED) 2018. 07. 26, [0003], [0033]-[0043], FIG. 1 & EP 3355352 A1 & TW 201828442 A	1-15
Y	JP 2016-154213 A (株式会社東芝) 2016. 08. 25, [0010], [0017], [0026]-[0050] & US 2016/0240561 A1 [0026], [0033], [0042]-[0068]	1-15
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 2016. 10. 06, [0017], [0038]-[0041], FIG. 4 (ファミリーなし)	1-15