

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
7. Oktober 2004 (07.10.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/086497 A2

(51) Internationale Patentklassifikation⁷: H01L 21/98

(21) Internationales Aktenzeichen: PCT/DE2004/000544

(22) Internationales Anmeldedatum:
17. März 2004 (17.03.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 13 047.0 24. März 2003 (24.03.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HÜBNER, Holger [DE/DE]; Hamsterweg 10, 85598 Baldham (DE).

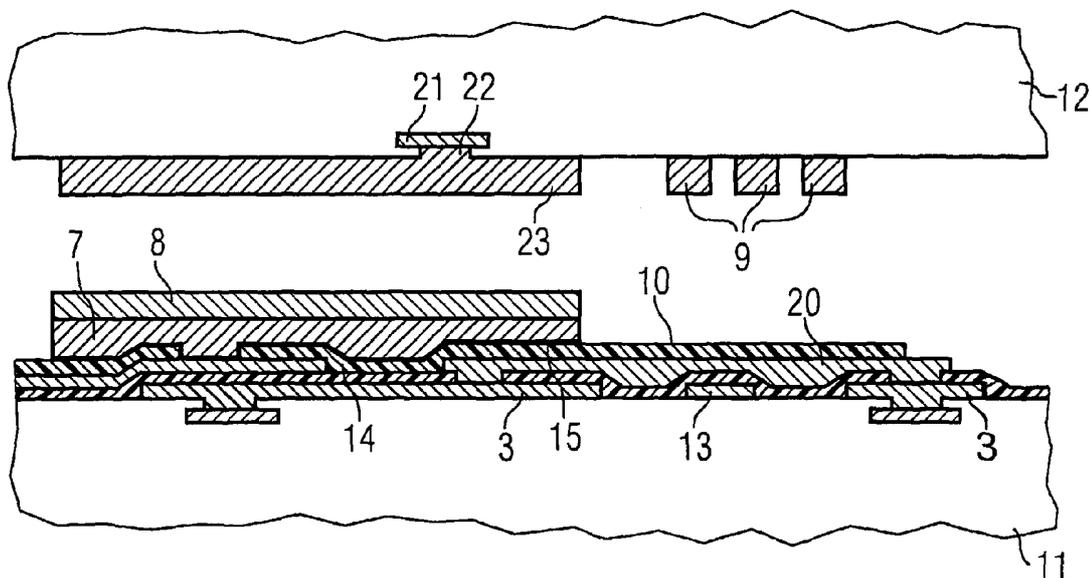
(74) Anwalt: EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstr. 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING CHIP STACKS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON CHIPSTAPELN



(57) Abstract: The invention relates to a method for producing a plurality of printed conductor layers (3, 13, 7) on the upper face of one or two semiconductor chips (11, 12), which are separated from one another by insulation layers (14), the latter being constructed in such a way that a printed conductor layer that is applied in the form of a bridge (20) makes contact with printed conductors (3) that have been previously applied. In said method, the design of the semiconductor chips does not have to be adapted to wiring that has only been completed during the production of the semiconductor stack.

(57) Zusammenfassung: Es wird eine Mehrzahl von Leiterbahnschichten (3, 13, 7) auf der Oberseite eines oder beider Halbleiterchips (11, 12) hergestellt, die untereinander jeweils durch Isolationsschichten (14) voneinander getrennt sind, die so strukturiert werden, dass eine als Brücke (20) aufgebrachte Leiterbahnschicht die zuvor aufgebrachten Leiterbahnen (3) kontaktiert. Bei diesem Verfahren braucht das Design der Halbleiterchips nicht an eine erst beim Herstellen des Halbleiterchipstapels vorgenommene Verdrahtung angepasst zu werden.

WO 2004/086497 A2



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zur Herstellung von Chipstapeln

5 Stapel von Halbleiterchips können hergestellt werden, indem an den Oberseiten der Halbleiterchips in einer obersten Metalllage der Verdrahtungsebenen jeweils Kontaktflächen hergestellt werden, die mit einer Passivierung bedeckt werden, jeweils eine Durchkontaktierung durch diese Passivierung hergestellt wird und eine elektrisch leitende Verbindung dieser
10 Durchkontaktierung mit einer auf der Oberseite aufgebracht zugehörigen Leiterbahn hergestellt wird. Die Chips werden mit den betreffenden Oberseiten einander zugewandt und so einander gegenüber angeordnet, dass die miteinander zu verbindenden Leiterbahnen aufeinander zu liegen kommen. Unter Verwendung des an sich bekannten Diffusionslötens, insbesondere des SOLID-Prozesses, werden die Leiterbahnen dauerhaft miteinander verbunden. Zur Herstellung der Lotverbindung wird auf die betreffenden Leiterbahnen zumindest eines der Halbleiterchips
15 eine dünne Lotschicht aufgebracht.
20

Dieses Herstellungsverfahren bietet unter anderem den Vorteil einer zusätzlichen relativ dünnen Metallebene in der Verbindungszone (Interface) der beiden Chips, die zu Verdrahtungszwecken benutzt werden kann. Zum Beispiel kann in dieser Leiterbahnebene, die nur zur Verbindung der Chips vorgesehen wird, eine Umverdrahtung der Chipkontakte vorgenommen werden, oder die Chips können über diese Ebene mit hochfrequenztauglichen Leiterbahnen (strip lines) kontaktiert werden.
25

30 Die Verbindungsebene ist jedoch einlagig ausgebildet, so dass die darin vorhandenen Leiterbahnen nicht überbrückt werden können. Eine Überbrückung der in der Verbindungsebene vorhandenen Leiterbahnen ist nur möglich, wenn in einer der Metallisierungsebenen der Verdrahtung der Halbleiterchips selbst
35 geeignete elektrisch leitende Verbindungen vorgesehen werden, die über die Durchkontaktierungen zu den mittels Diffusions-

lötens miteinander verbundenen Leiterbahnen diese Leiterbahnen kurzschließen. Dazu sind zwei Durchkontaktierungen (Vias) und eine Metallbrücke in der obersten Metallisierungsebene eines der miteinander zu verbindenden Chips erforderlich. Eine entsprechende Anpassung im Design der Metallisierungsebenen ist daher bereits bei der Herstellung des Chips erforderlich.

Aufgabe der vorliegenden Erfindung ist es, ein Verfahren anzugeben, mit dem sich bei der Herstellung von Chipstapeln mittels Diffusionslötens im Prinzip beliebige Verbindungen der obersten Leiterbahnen realisieren lassen.

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 bzw. des Anspruchs 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei dem Verfahren wird eine zu überbrückende Leiterbahn auf der Oberseite eines Halbleiterchips mit einer Isolationsschicht oder Isolationsschicht überdeckt. Die zu überbrückende Leiterbahn kann dann durch eine auf denselben Halbleiterchip aufgebrachte weitere Leiterbahnschicht überbrückt werden; oder die Überbrückung geschieht durch eine Leiterbahn des anderen Halbleiterchips beim Verbinden der beiden Halbleiterchips mittels Diffusionslötens. Es können insbesondere eine Mehrzahl von Leiterbahnschichten auf der Oberseite eines oder beider Halbleiterchips hergestellt werden, die untereinander jeweils durch Isolationsschichten voneinander getrennt sind. Diese Isolationsschichten werden so strukturiert, dass jeweils Bereiche der Oberflächen der zuvor aufgebrachten Leiterbahnebene freigelegt sind und an diesen Stellen die jeweils nachfolgende Leiterbahnschicht die zuvor aufgebrachten Leiterbahnen kontaktiert. Bei diesem Verfahren braucht daher das Design der Halbleiterchips nicht an eine erst beim Herstellen des Halbleiterchipstapels vorgenommene Verdrahtung angepasst zu werden.

Es folgt eine genauere Beschreibung von Beispielen des erfindungsgemäßen Verfahrens anhand der Figuren 1 bis 5.

Die Figuren 1 bis 4 zeigen Halbleiterchips im Querschnitt
5 nach verschiedenen Schritten des Herstellungsverfahrens.

Die Figur 5 zeigt eine Anordnung zweiter Halbleiterchips im Querschnitt für eine weitere Ausführungsform des Herstellungsverfahrens.

10

Die Figur 1 zeigt im Querschnitt einen ersten Halbleiterchip 11, der sich vorzugsweise noch im Verbund eines Wafers aus Halbleitermaterial befindet. Auf der Oberseite des Halbleiterchips befinden sich die üblichen Metallisierungsebenen,
15 die zwischen Dielektrikumschichten angeordnet sind und die Verdrahtung der integrierten Schaltung bilden. Es sind in der Figur 1 im Querschnitt schematisch Kontaktflächen 1 in einer der Metalllagen, zum Beispiel der obersten Metalllage, dieser Verdrahtung eingezeichnet. Es sind Durchkontaktierungen 2
20 (Vias) mit typisch etwa 2 μm Durchmesser vorhanden, die eine oberseitig aufgebraachte elektrisch isolierende Schicht, insbesondere auch eine gegebenenfalls vorhandene Passivierung, durchbrechen. Auf den Durchkontaktierungen 2 befinden sich Leiterbahnen 3, die für die Verbindung mit Leiterbahnen eines
25 weiteren Halbleiterchips mittels Diffusionslötens vorgesehen sind. Diese elektrischen Leiter werden daher entsprechend herkömmlichen Verfahren zur Herstellung von Chipstapeln mittels Diffusionslötens hergestellt.

30 In der Figur 1 ist als Beispiel eine weitere Leiterbahn eingezeichnet, die eine zu überbrückende Leiterbahn 13 darstellt. Diese Leiterbahn verläuft z. B. streifenförmig senkrecht zur Zeichenebene. Die links und rechts in den Querschnitt eingezeichneten Leiterbahnen 3 sollen in diesem Beispiel bei der Herstellung des Chipstapels elektrisch leitend
35 miteinander verbunden werden, wobei die zu überbrückende Leiterbahn 13 von dieser Verbindung elektrisch isoliert bleiben

soll. Bei einer herkömmlichen Verbindung face-to-face der beiden miteinander zu verbindenden Halbleiterchips würde die zu überbrückende Leiterbahn 13 mit Leiterbahnen des weiteren Halbleiterchips elektrisch leitend verbunden, die nur für eine elektrisch leitende Verbindung der äußeren Leiterbahnen 3 vorgesehen sind. Eine solche elektrische Verbindung der zu überbrückenden Leiterbahn 13 soll aber vermieden werden.

Daher wird entsprechend dem Querschnitt der Figur 2 zunächst auf die Oberseite des ersten Halbleiterchips 11 eine Isolationsschicht 4 aufgebracht, die die vorhandenen Leiterbahnen 3, 13 abdeckt. Die Isolationsschicht 4 wird allerdings mit Öffnungen 19 strukturiert. Das kann geschehen, indem nach einem zunächst ganzflächigen Aufbringen der Isolationsschicht 4 diese Öffnungen 19 in der Schicht ausgeätzt werden. Es kann aber bereits beim Aufbringen der Isolationsschicht durch eine geeignete Maskierung dafür gesorgt werden, dass das isolierende Material der Isolationsschicht 4 im Bereich der vorgesehenen Öffnungen 19 ausgespart bleibt. Vorzugsweise wird die Isolationsschicht 4 hergestellt, indem zunächst ein fotosensitives Material, insbesondere Polyimid, ganzflächig aufgebracht und anschließend fotolithographisch strukturiert wird. Statt der Fotolithographie kann aber auch ein drucktechnisches Verfahren angewendet werden. Vorzugsweise, aber nicht unbedingt erforderlich, wird dann ganzflächig eine Grundschicht 5 aufgebracht, die vorzugsweise eine Haftschrift oder Barrierschicht (z. B. TiW, 50 nm dick) und gegebenenfalls eine dünne Keimschicht (typisch 100 nm dick) aus dem Metall (z. B. Kupfer) der vorgesehenen Leiterbahnen umfasst. Die Haftschrift ist insbesondere dafür vorgesehen, das Abscheiden einer nachfolgenden Schicht aus einem Metall (hier Kupfer) zu begünstigen.

In der Figur 3 ist im Querschnitt dargestellt, dass dann eine erste weitere Leiterbahnschicht 6 aufgebracht und unter Verwendung einer Maske 16 strukturiert wird. Die Maske 16 legt die späteren Isolationsgebiete fest und ist z. B. ein Foto-

lack. Die weitere Leiterbahnschicht 6 wird vorzugsweise galvanisch abgeschieden und kann z. B., wie bereits erwähnt, Kupfer sein. Die Maske 16 wird dann entfernt. In den dadurch gebildeten Öffnungen wird eine gegebenenfalls aufgebraachte
5 Grundsicht 5 entfernt. Die verschiedenen so gebildeten Anteile der ersten weiteren Leiterbahnschicht 6 sind auf diese Weise voneinander elektrisch isoliert.

Die Leiterbahnschicht 6 kann dünn sein, wenn weitere Schichten
10 vorgesehen sind, bevor die oberste Metalllage für die Verbindung mittels Diffusionslötens aufgebracht wird. Bis zum Erreichen dieser obersten Metalllage können daher die weiteren Leiterbahnschichten unabhängig von den durch das Diffusionslötens gestellten metallurgischen Anforderungen ausgebildet
15 werden. Die Schichtdicke insbesondere richtet sich hier nur nach den elektrischen Erfordernissen und kann z. B. typisch $0,5 \mu\text{m}$ betragen. Die Leiterbahnschichten sind jedenfalls vorzugsweise dünner als $1 \mu\text{m}$. Die zuerst aufgebraachten Leiterbahnen 3 können ebenfalls diese geringe Dicke aufweisen. Sehr
20 vorteilhaft wirken sich die planarisierenden Eigenschaften der galvanischen Abscheidung aus. Aufgrund der geringen Schichtdicke können die Schichten aber auch mit Sputter- und Ätzprozessen aufgebracht werden.

25 In der Darstellung der Figur 4 sind als weitere Schichten eine weitere Isolationsschicht 14, eine weitere Grundsicht 15 und schließlich eine oberste Metalllage 7 eingezeichnet, die, falls erforderlich, mit einer Lotschicht 8 (z. B. Zinn) für das Diffusionslötens versehen werden kann. Für alle Leiterbahnschichten, mit Ausnahme der obersten Metalllage 7, kann
30 dieselbe Schichtdicke gewählt werden. Die oberste Metalllage 7 wird entsprechend den metallurgischen Anforderungen des Diffusionsprozesses ausreichend dick aufgebracht. Die Lotschicht 8 kann aufgebracht werden; ein Lot kann aber auch auf
35 der Oberfläche einer obersten Metalllage des zweiten Chips des Chipstapels aufgebracht werden.

In dem Querschnitt der Figur 4 ist oben der zweite Halbleiterchip 12 dargestellt, der mit dem ersten Halbleiterchip 11 zu dem Chipstapel vereinigt werden soll. Der zweite Halbleiterchip 12 besitzt ebenfalls Kontaktflächen 21 in einer der Metalllagen, auch hier zum Beispiel in der obersten Metalllage, die sich in der in der Figur 4 dargestellten Anordnung unten befindet. Die betreffende Oberseite des zweiten Halbleiterchips 12 ist mit einer elektrisch isolierenden Schicht und gegebenenfalls mit einer Passivierung bedeckt. In dieser isolierenden Schicht sind Durchkontaktierungen 22 vorhanden, um eine oberseitig aufgebrachte Leiterbahn 23 mit einer jeweiligen Kontaktfläche 21 elektrisch leitend zu verbinden. In der Figur 4 sind auf der dem ersten Halbleiterchip 11 zugewandten Oberseite des zweiten Halbleiterchips 12 noch Leiterbahnen 9 eingezeichnet, die in diesem Beispiel streifenförmig senkrecht zur Zeichenebene verlaufen und nicht mit Anschlüssen des ersten Halbleiterchips 11 verbunden werden sollen. In dem Bereich dieser Leiterbahnen 9 ist daher die Oberseite des ersten Halbleiterchips 11 nur durch einen freien Anteil 10 der obersten Isolationsschicht, in diesem Fall der weiteren Isolationsschicht 14, gebildet.

In der Figur 4 ist außerdem erkennbar, dass ein Anteil der ersten weiteren Leiterbahnschicht 6 zwischen den Bereichen der in der Isolationsschicht 4 vorgesehenen Öffnungen 19 eine die zu verbindenden Leiterbahnen 3 überspannende Brücke 20 bildet. Entsprechend der Anordnung, die in der Figur 4 im Querschnitt dargestellt ist, können der erste Halbleiterchip 11 und der zweite Halbleiterchip 12 aufeinandergesetzt und durch Diffusionslötungen miteinander verbunden werden. Aufgrund der weiteren Leiterbahnschichten, die jeweils durch Isolationsschichten 4, 14 voneinander getrennt sind, ist in der Verbindungsebene zwischen den Halbleiterchips 11, 12 eine kompliziertere Verdrahtung möglich, als das bei herkömmlichen einlagigen Verbindungsschichten der Fall war.

In der Figur 5 ist eine Anordnung eines ersten Halbleiterchips 11 und eines zweiten Halbleiterchips 12 dargestellt, die in einem alternativen Herstellungsverfahren bei gleichzeitiger Bildung einer eine Leiterbahn überspannenden Brücke zum Halbleiterchipstapel verbunden werden. Bei dem Verfahren des Diffusionslötens werden beide Halbleiterchips bzw. Wafer metallisiert. Durch den Lötprozess werden die beiden Metallschichten zu einer einzigen Schicht zusammengelötet. Bei dem alternativen Ausführungsbeispiel werden diese speziell für das Diffusionslöten vorgesehenen Metallschichten bereits verwendet, um Leiterbahnen zu überbrücken, ohne dass eine weitere Metalllage entsprechend der weiteren Leiterbahnschicht 6 des vorherigen Ausführungsbeispiels abgeschieden werden muss. Die zu überbrückende Leiterbahn 13 wird zu diesem Zweck mit einer Isolationsabdeckung 17 abgedeckt, die auf der Oberseite der zu überbrückenden Leiterbahn 13 einen dünnen oberen Anteil 18 besitzt. Dieser obere Anteil 18 besitzt eine geringere Dicke als die Lotschicht 8, die bei diesem Ausführungsbeispiel auf einer Leiterbahn 23 des zweiten Halbleiterchips 12 aufgebracht ist. Die übrigen Komponenten entsprechen denjenigen der Figur 4 und sind daher mit denselben Bezugszeichen versehen.

Wenn die Leiterbahnen 3, 23 der beiden Chips in Kontakt gebracht werden, wird das geschmolzene Lotmaterial der Lotschicht 8 (z. B. Zinn) von dem oberen Anteil 18 der Isolationsabdeckung 17 seitlich verdrängt. Dieser Prozess ist für die Herstellung der Verbindung unkritisch, da sich das verdrängte Volumen des Lotmaterials auf die Breite der Leiterbahnen beschränkt und der obere Anteil 18 der Isolationsabdeckung 17 ausreichend dünn ist. Neben den Leiterbahnen ist daher ein genügend großes, zunächst noch freies Volumen vorhanden, in dem diese Anteile der Lotschicht 8 aufgenommen werden. Als Material für die Isolationsabdeckung 17 kommt vorzugsweise fotostrukturierbares Polyimid in Frage. Die Isolationsabdeckung wird vorzugsweise mit einer Dicke von weniger als 1 μm abgeschieden. Statt Polyimid kann ein anderes Mate-

rial verwendet werden, das die Löttemperatur von typisch etwa 300° C verkraftet und mit dem Lotmaterial nicht reagiert.

Bezugszeichenliste

	1	Kontaktfläche
	2	Durchkontaktierung
5	3	Leiterbahn
	4	Isolationsschicht
	5	Grundschrift
	6	erste weitere Leiterbahnschicht
	7	oberste Metalllage
10	8	Lotschicht
	9	Leiterbahn
	10	freier Anteil der Isolationsschicht
	11	erster Halbleiterchip
	12	zweiter Halbleiterchip
15	13	zu überbrückende Leiterbahn
	14	weitere Isolationsschicht
	15	weitere Grundschrift
	16	Maske
	17	Isolationsabdeckung
20	18	oberer Anteil der Isolationsabdeckung
	19	Öffnung in der Isolationsschicht
	20	Brücke
	21	Kontaktfläche
	22	Durchkontaktierung
25	23	Leiterbahn

Patentansprüche

1. Verfahren zur Herstellung von Chipstapeln, bei dem ein erster Halbleiterchip (11) mit Kontaktflächen (1) in einer Metalllage versehen wird, die mit einer elektrisch isolierenden Schicht bedeckt wird,
5 mindestens zwei Durchkontaktierungen (2) zu zwei dieser Kontaktflächen (1) und jeweils eine damit verbundene Leiterbahn (3) hergestellt werden,
10 ein zweiter Halbleiterchip (12) mit Kontaktflächen (21) in einer Metalllage versehen wird, die mit einer elektrisch isolierenden Schicht bedeckt wird,
mindestens eine Durchkontaktierung (22) zu einer dieser Kontaktflächen (21) und eine damit verbundene Leiterbahn (23)
15 hergestellt werden,
der erste Halbleiterchip (11) und der zweite Halbleiterchip (12) so einander gegenüber angeordnet werden, dass die Leiterbahnen (3, 23) wie vorgesehen aufeinander liegen, und
die Leiterbahnen (3, 23) unter Verwendung einer auf zumindest
20 eine der jeweils miteinander zu verbindenden Leiterbahnen aufbrachten Lotschicht (8) mittels Diffusionslötens dauerhaft elektrisch leitend miteinander verbunden werden,
d a d u r c h g e k e n n z e i c h n e t , dass
auf einer mit den Leiterbahnen (3) versehenen Oberseite des
25 ersten Halbleiterchips (11) ebenso eine zu überbrückende Leiterbahn (13) hergestellt wird,
vor dem Verbinden der Halbleiterchips (11, 12) auf den ersten Halbleiterchip (11) eine die Leiterbahnen (3, 13) überdeckende Isolationsschicht (4) aufgebracht wird, die mit je einer
30 Öffnung (19) auf einer jeweiligen Oberseite einer zu verbindenden Leiterbahn (3) versehen wird, und
mindestens eine weitere Leiterbahn (6) aufgebracht wird, die die zu verbindenden Leiterbahnen (3) in den betreffenden Öffnungen (19) der Isolationsschicht (4) kontaktiert.

2. Verfahren nach Anspruch 1, bei dem die weitere Leiterbahnschicht (6) galvanisch in einer Dicke von weniger als 1 μm abgeschieden wird.

5 3. Verfahren nach Anspruch 1 oder 2, bei dem vor dem Aufbringen der weiteren Leiterbahnschicht (6) eine Grundschrift (5) zur Verbesserung der nachfolgenden Abscheidung aufgebracht wird.

10 4. Verfahren zur Herstellung von Chipstapeln, bei dem ein erster Halbleiterchip (11) mit Kontaktflächen (1) in einer Metalllage versehen wird, die mit einer elektrisch isolierenden Schicht bedeckt wird,
mindestens zwei Durchkontaktierungen (2) zu zwei dieser Kontaktflächen (1) und jeweils eine damit verbundene Leiterbahn
15 (3) hergestellt werden,
ein zweiter Halbleiterchip (12) mit Kontaktflächen (21) in einer Metalllage versehen wird, die mit einer elektrisch isolierenden Schicht bedeckt wird,
20 mindestens eine Durchkontaktierung (22) zu einer dieser Kontaktflächen (21) und eine damit verbundene Leiterbahn (23) hergestellt werden,
auf die Leiterbahn (23) des zweiten Halbleiterchips (12) eine Lotschicht (8) aufgebracht wird,
25 der erste Halbleiterchip (11) und der zweite Halbleiterchip (12) so einander gegenüber angeordnet werden, dass die Leiterbahnen (3, 23) wie vorgesehen aufeinander liegen, und die Leiterbahnen (3, 23) mittels Diffusionslötens dauerhaft elektrisch leitend miteinander verbunden werden,
30 d a d u r c h g e k e n n z e i c h n e t , dass auf einer mit den Leiterbahnen (3) versehenen Oberseite des ersten Halbleiterchips (11) ebenso eine zu überbrückende Leiterbahn (13) hergestellt wird,
vor dem Verbinden der Halbleiterchips (11, 12) auf den ersten
35 Halbleiterchip (11) eine die zu überbrückende Leiterbahn (13) abdeckende Isolationsabdeckung (17) aufgebracht wird, die ei-

12

nen oberen Anteil (18) aufweist, der eine geringere Dicke als die Lotschicht (8) besitzt, und beim Verbinden der Halbleiterchips (11, 12) die Lotschicht (8) zwischen der zu überbrückenden Leiterbahn (13) des ersten Halbleiterchips (11) und einer Leiterbahn (23) des zweiten Halbleiterchips (12) verdrängt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem die Isolationsschicht (4) bzw. die Isolationsabdeckung (17) ein fotolithographisch strukturierbares Polyimid ist.

FIG 1

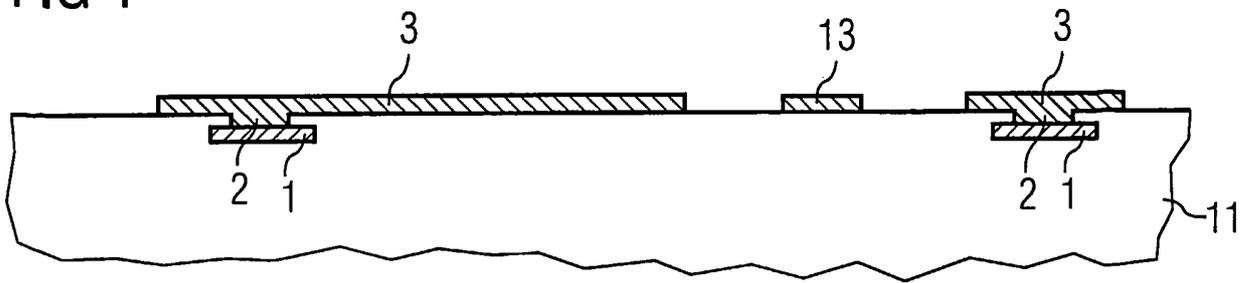


FIG 2

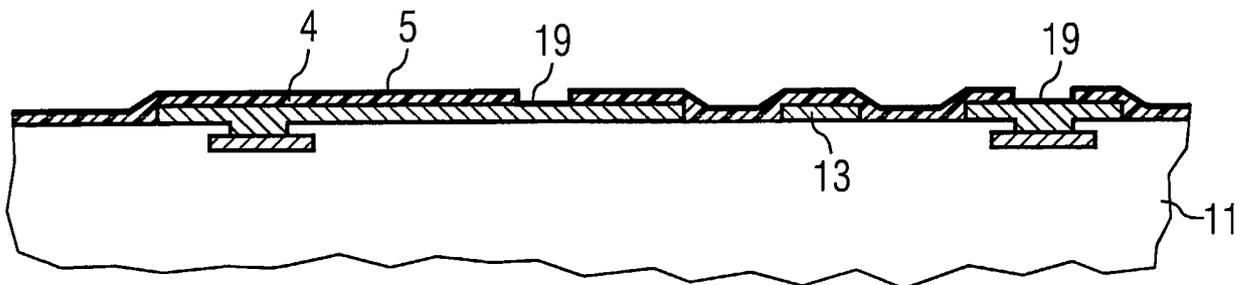


FIG 3

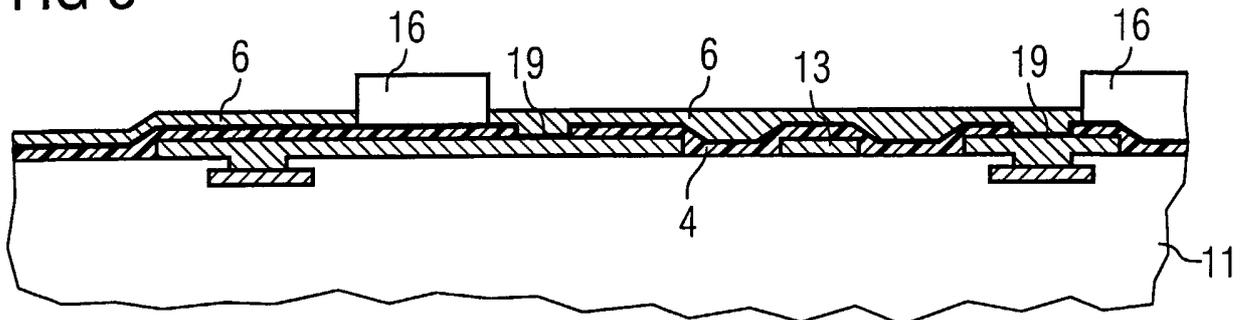


FIG 4

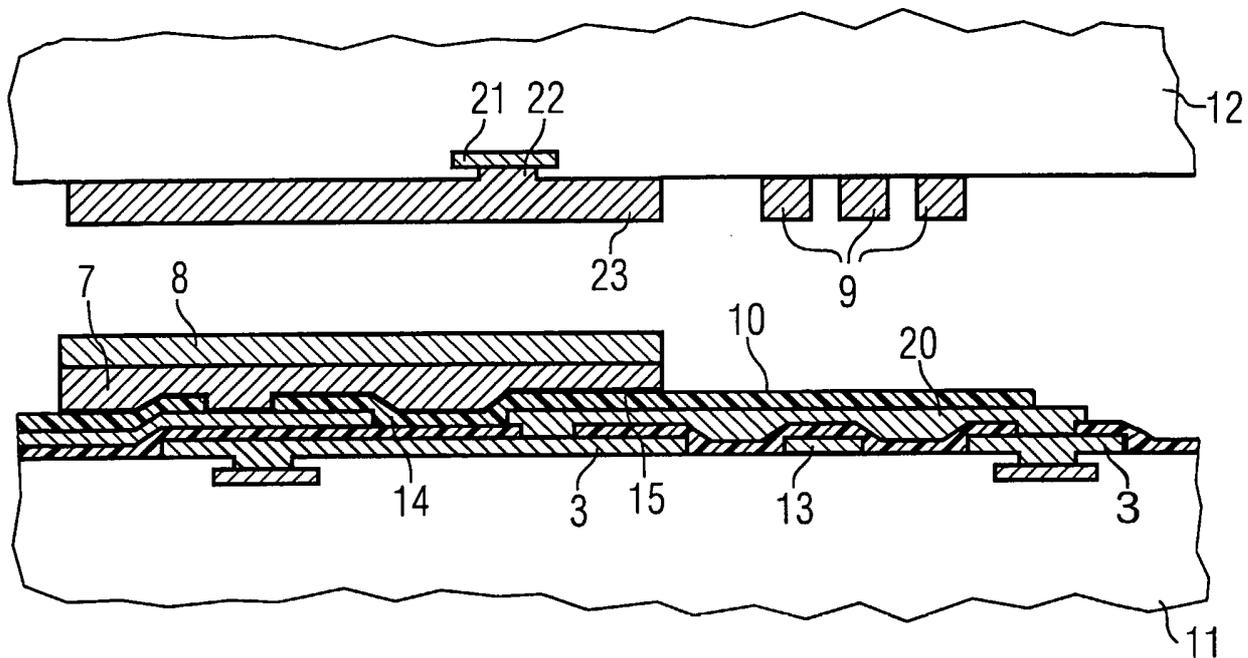


FIG 5

