

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年2月28日 (28.02.2002)

PCT

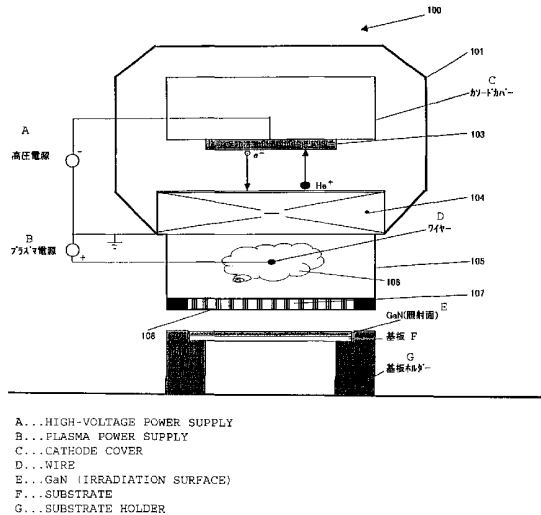
(10) 国際公開番号
WO 02/17371 A1

- (51) 国際特許分類: H01L 21/263
- (21) 国際出願番号: PCT/JP01/07188
- (22) 国際出願日: 2001年8月22日 (22.08.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-253424 2000年8月24日 (24.08.2000) JP
特願2000-254306 2000年8月24日 (24.08.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒452-8564 愛知県西春日井郡春日町大字落合字長畑1番地 Aichi (JP). 柴田直樹 (SHIBATA, Naoki) [JP/JP]; 〒452-8564 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 千代敏明 (CHIYO, Toshiaki) [JP/JP]; 〒452-8564 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 Aichi (JP).
- (74) 代理人: 藤谷 修 (FUJITANI, Osamu); 〒454-0905 愛知県名古屋市中川区一柳通1丁目23番地 土屋ビル3階 Aichi (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

[続葉有]

(54) Title: METHOD FOR REDUCING SEMICONDUCTOR RESISTANCE, DEVICE FOR REDUCING SEMICONDUCTOR RESISTANCE AND SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体低抵抗化方法、半導体低抵抗化処理装置及び半導体素子



(57) Abstract: The electric resistance of a p-type semiconductor, or the drive voltage of a semiconductor element for effecting light emitting/light receiving is efficiently reduced. An ion plasma type electron beam irradiator (100) generates a wide-irradiation-area electron beam. The generated electron beam penetrates a thin metal sheet (108) that shields the outside air and forms the outer surface of a beam extracting window (107), and is emitted to the outside. A p-type semiconductor is disposed approximately in parallel to the metal sheet (108) with a gap of about 20 mm therebetween and directly below the window (107). An electron beam plane-emitted on a p-type semiconductor in such a method can reduce the resistance of the p-type semiconductor effectively in about three minutes, a very shorter time than that required for a conventional electron beam irradiator, because this method eliminates physical requirements that compulsorily restrict the area of the window (107) to increase the width of an electron beam and thus eliminate the need of many repeated scanning operations over an extended time.

[続葉有]



WO 02/17371 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

p型半導体の電気抵抗、或いは、発光／受光作用等を奏する半導体素子の駆動電圧を効率よく低下させること。

イオンプラズマ型電子ビーム照射装置100は、照射領域が広範な電子ビームを生成する。生成された電子ビームは、外気を遮断しているビーム取出し窓107の外表面を形成する薄い金属板108を貫通して、外部に照射される。ビーム取出し窓107の直下に、例えば20mm程度の間隔を空けて、p型半導体を金属板108と略平行に配置する。このような方法で、電子ビームをp型半導体に面照射すれば、p型半導体を約3分程度と言う従来の電子線照射装置よりも極めて短い時間で効果的に低抵抗化できる。これは、ビーム取出し窓107の面積等を強く制約する物理的要件が無く、電子ビームが幅広となったため、長時間にわたって走査処理を多数回繰り返す必要がなくなったためである。

明 細 書

半導体低抵抗化方法、半導体低抵抗化処理装置及び半導体素子

5

技術分野

本発明は、半導体の電気抵抗を低下させる処理装置に関し、特に、照射領域が広範な幅広の励起電子を生成・放出する電子照射装置を備えた半導体低抵抗化処理装置

10

に関する。
又、本発明は、p型半導体の電気抵抗を低下させる方法と、この方法により低抵抗化されたp型半導体を利用した半導体素子に関する。

15

さらに、本発明は特に、LED、半導体レーザ、受光素子、電子デバイス等のIII族窒化物系化合物半導体素子に関する。

背景技術

20

不純物を添加することによりp型化されたp型半導体の電気抵抗を低化させる方法やその処理装置としては、例えば、「応用物理、Vol.65, No.7, 1996: GaN系発光素子の現状と将来」等に記載されている電子線照射装置等が、一般に広く知られている。

25

従来より一般に使用されてきたこれらの電子線照射装置は、試料（半導体等の電子線照射対象）を真空中に配置して、真空中で電子線を照射するものであった。

発明の開示

しかしながら、上記の従来技術（従来の電子線照射方法及び装置）においては、上記の文献にも記載されている様に「電子線スポットを試料表面全面に走査しなければならず、処理時間が長くなってしまいうという生産性の面での問題があった。

また、上記の従来技術においては、半導体ウエハが真空中に配置されるため、例えばMgドープのGaNより成るp型半導体の表面の窒素（N）が、電子線照射時に外部へ脱離し、結晶性が低下し易い。そのため処理条件設定及び工程管理を十分に行う必要があった。

本発明は、上記の課題を解決するために成されたものであり、その目的は、p型半導体の電気抵抗を効率よく低下させる方法及び装置を提供することであり、更には、これにより、発光作用や或いは受光作用等を奏する半導体素子の駆動電圧を効率よく低下させることである。

上記の課題を解決するためには、以下の手段が有効である。

即ち、第1の手段は、不純物を添加した半導体の電気抵抗を低下させる装置において、互いに相異なる気圧に設定可能な、励起電子発生用チャンバと、励起電子を前記半導体に照射するリアクションチャンバとを備え、半導体を電子取出し窓に対して所定間隔離して略平行に配置可能な台座又はサンプルホルダを備えることである。

また、第2の手段は、上記の第1の手段において、上記の所定間隔をおよそ数ミリメートルから、数十ミリメートル程度にすることである。

また、第 3 の手段は、上記の第 1 又は第 2 の手段において、帯電する半導体の表面上の電子をリークする接地線路を設けることである。

5 また、第 4 の手段は、上記の第 3 の手段において、台座又はサンプルホルダの少なくとも一部分を導体より構成することである。

また、第 5 の手段は、上記の第 1 乃至第 4 の何れか 1 つの手段において、台座又はサンプルホルダを排気可能なリアクションチャンバ内に配置することである。

10 また、第 6 の手段は、上記の第 1 乃至第 5 の何れか 1 つの手段において、台座又はサンプルホルダを、直進可能な試料移送ライン上に配置するか、或いは、直進可能な試料移送ラインの少なくとも一部分として構成することである。

15 更に、第 7 の手段は、上記の第 1 乃至第 6 の何れか 1 つの手段において、台座又はサンプルホルダを、回転又は回動可能なターンテーブル上に配置するか、或いは、回転又は回動可能なターンテーブルの少なくとも一部分として構成することである。

20 以上の手段により、前記の課題を解決することができる。

又、方法発明においては、以下の手段を採用することができる。

25 即ち、第 8 の手段は、不純物を添加した半導体の電気抵抗を低下させる工程において、励起電子を発生させる室と上記の半導体を配置する室とを分離することにより、大気圧下又は減圧状態下にて上記の半導体に励起電子を

面照射することである。

また、第9の手段は、上記の第8の手段において、上記のp型半導体をIII族窒化物系化合物半導体とすることである。より具体的には、「 $A l_x G a_y I n_{1-x-y} N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x + y \leq 1$)」成る一般式で表される2元 ($G a N, I n N, A l N$)、3元 ($G a I n N, A l I n N, A l G a N$)、或いは4元 ($A l G a I n N$) のIII族窒化物系化合物半導体等を用いることができる。

10 また、第10の手段は、上記の第8又は第9の手段において、上記の不純物をマグネシウム ($M g$) とすることである。ただし、本不純物は、亜鉛 ($Z n$) やベリリウム ($B e$) 等の周知のp型不純物としても良い。

15 また、第11の手段は、上記の第8乃至第10の何れか1つの手段において、p型半導体の雰囲気の大気圧を略大気圧にすることである。

ただし、本処理雰囲気は、大気圧よりも低くても良い。

20 また、第12の手段は、上記の第8乃至第11の何れか1つの手段において、p型半導体の雰囲気を空気、若しくは、空気より酸素濃度が低い気体にするこことである。

また、第13の手段は、上記の第8乃至第12の何れか1つの手段において、p型半導体の電子照射面上に成膜された金属層越しに電子を面照射することである。

25 また、第14の手段は、上記の第13の手段において、上記の金属層の膜厚を5～3000Åにすることである。

また、第15の手段は、上記の第13又は第14の手段において、コバルト ($C o$)、ニッケル ($N i$)、アルミニウ

ム (Al)、銅 (Cu)、パラジウム (Pd)、マンガン (Mn)、バナジウム (V)、金 (Au)、又は、これらの金属を少なくとも1種類以上含んだ合金より、上記の金属層を形成することである。

5 また、第16の手段は、上記の第13乃至第15の何れか1つの手段において、上記のp型半導体又は金属層の雰囲気酸素元素(O)を有する気体にするこ

10 ば、 O_2 、 O_3 、CO、 CO_2 、NO、 N_2O 、 NO_2 、 H_2O 等の酸素元素を有する分子を少なくとも1種類以上含んだ気体のことである。また、この気体(雰囲気)を構成するその他の元素としては、0族元素ガスや窒素分子ガス等の不活性ガスを用いても良い。従って、例えば、大気
15 等よりこの気体を構成しても良い。

また、第17の手段は、上記の第8乃至第16の何れか1つの手段において、電子照射面上に照射する電子の加速電圧を160KV以下とすることである。

20 また、第18の手段は、上記の第8乃至第17の何れか1つの手段において、電子照射面上に照射する電子の電流値が最適値に達してから最大1分間、照射する電子の加速電圧及び電流値を保持することである。

25 また、第19の手段は、上記の第8乃至第18の何れか1つの手段において、p型半導体又は金属層の電位を接地等により略一定に保持することである。

更に、半導体素子の発明に関しては以下の手段を採用することができる。

第 20 の手段は、基板の上に III 族窒化物系化合物半
導体より成る複数の半導体層が結晶成長により積層され
た半導体素子において、この半導体素子を構成する p 型
半導体層の少なくとも一部分に、上記の第 8 乃至第 19
5 の何れか 1 つの手段で低抵抗化した p 型半導体を使用す
ることである。

また、第 21 の手段は、上記の第 20 の手段において、
III 族窒化物系化合物半導体素子の正電極を上記の第
13 乃至第 19 の何れか 1 つの手段に記載の金属層で構
10 成することである。

また、第 22 の手段は、上記の第 20 又は第 21 の手
段において、p 型半導体層の表面に成膜される正電極を
多層構造にすることである。

以上の手段により、前記の課題を解決することができ
15 る。

上記の本発明の手段を用いて、照射領域が広範な幅広
の電子を p 型半導体に面照射すれば、約 3 分程度と言う
従来よりも極めて短時間の間に、p 型半導体を低抵抗化
20 することが可能となる。これは、電子取出し窓の面積や
プラズマチャンバの体積を強く制約する物理的要件が特
に無いために、励起電子の照射領域を容易に広範にする
ことができる様になった結果であり、これにより、従来
の様な長時間にわたって多数回繰り返すべき走査処理が
25 必要なくなる。

この時の p 型半導体と電子取り出し窓との間隔は、お
よそ数ミリメートルから、数十ミリメートル程度が良い。

より望ましくは、この間隔は 10～40mm 程度が良い。この
間隔が広過ぎると、特に処理雰囲気が大気圧程度の場合、
電子を照射する際のエネルギーロスが大きくなり、望ま
しくない。また、この間隔が狭過ぎると、電子取り出し
5 窓の個々の穴（窓）の形状が半導体ウエハ（p 型半導体）
に対する照射状態に直接影響し、電子の照射密度の均一
化が図り難くなる。

また、本発明による装置を用いれば、電子が非常に安
定しているため大気圧中においても従来の電子線照射の
10 場合よりもエネルギー効率が良い。このため、本電子照
射工程を実施する前の反応室の排気処理工程が必ずしも
必要ではなくなり、電子照射工程に要する時間がその分
短縮できる。また、処理が大気圧中にて実施できるため、
従来の様に真空中で電子線照射を行う場合よりも結晶中
15 の窒素（N）の p 型半導体表面からの脱離現象も発生し
難くなる。

また、電子照射工程において、上記の p 型半導体又は
半導体ウエハの電位を接地線路により略一定に保持すれ
ば、p 型半導体の帯電が防止又は緩和できるので、これ
20 により p 型半導体の表面（電子線照射面）のダメージを
防止又は軽減することが可能となり、p 型半導体の低抵
抗化により効果的である。

即ち、例えば、サンプルホルダや或いは台座の少なく
とも一部分を導電性材料より構成し、アースすることに
25 より、p 型半導体又は半導体ウエハや、或いはそれらの
表面上に成膜された金属層等の電位を略一定に保持すこ
とができる。また、特に、この様な金属層を比較的広域

若しくわ全面にわたって成膜し、導電性のサンプルホルダに直接接触させれば、アースがより効果的となる。これらの手法に従えば、上記のアースによる効果がより確実に得られる様になる。

5 また、上記の様な金属層を成膜せずに、p型半導体の表面に直接電子を照射する場合には、p型半導体又は半導体ウエハの雰囲気中の酸素(O_2)濃度は低い方がよい。

10 より具体的には例えば、酸素(O_2)濃度が1%以下、又は酸素(O_2)分圧が 10^{-3} Pa以下の気体をp型半導体の雰囲気として用いれば、p型半導体の電子照射面の酸化を抑制又は軽減することができる。

15 したがって、上記の様に例えば半導体の表面に直接電子を照射する場合等では、電子照射時の半導体又は半導体ウエハの処理雰囲気を所望の状態(気体混合比、分圧、温度等)に制御するために、本発明の装置のリアクションチャンバは排気可能であることが望ましく、ガス導入が可能ポートを有することが望ましい。

20 また、試料(p型半導体又は半導体ウエハ)を直進可能な試料移送ラインに乗せて移動させることにより、電子の照射密度の均一化を図ることができる。更に、この様な試料移送ラインは、照射処理の連続的な実施を効率よく助けるため、半導体素子等の大量生産化を図る上で特に有用である。また、この様な試料移送ラインは、
25 一台の半導体低抵抗化処理装置につき、何本設けても良い。

 また、試料(p型半導体又は半導体ウエハ)を回転又は回動可能なターンテーブルに乗せて移動させることに

よっても、同様に、電子の照射密度の均一化を図ることができる。また、この様なターンテーブルは、上記の試料移送ライン上に設けても良い。

5 以上の様な装置により低抵抗化された半導体は、一般の半導体素子、例えば、特に、LEDや半導体レーザ等のIII族窒化物系化合物半導体素子等に有用であり、半導体発光素子のみならず、半導体受光素子、半導体電子デバイス等にも利用することができる。

10 即ち、この様に十分に低抵抗化されたp型半導体を半導体素子に用いれば、その半導体素子の駆動電圧を従来と比べて低減させることができる等の効果が得られる。

15 図1は、本発明に係わる電子照射装置100の模式的な断面図である。グリッド104と電子取出し窓107で挟まれたプラズマチャンバ105の内部には、ワイヤ106が配設されている。プラズマ電源とワイヤ106とを用いてこのプラズマチャンバ105内で発生させたヘリウムイオンガス(He^+)を、例えば200kV程度の高圧電源により生成させた電界で加速して、真空チャンバ101内のカソード(冷陰極)103の表面に高
20 速で衝突させることができる。

これにより、カソード103の表面から放出される多数の2次電子を上記の電界によりヘリウムイオンガスとは逆向きに加速することができる。その結果、本電子照射装置100は、照射領域が広範な励起電子を生成するこ
25 とができる。この様にして生成された電子は、外気を遮断している電子取出し窓107の外面を形成する薄い金属板108を貫通して、外部に照射される。

図 2 に、本発明の電子照射工程における p 型半導体の模式的な断面図を例示する。電子照射装置 100 の電子
5 取出し窓 107 の直下に、例えば 20 mm 程度の間隔を空けて、例えばマグネシウム (Mg) を添加した窒化ガリウム (GaN) 等の p 型半導体を金属板 108 と略平行に配置する。

例えばこのような方法で、照射領域が広範な励起電子を p 型不純物を添加した半導体に面照射すれば、約 3 分程度と言う従来よりも極めて短時間の間に、半導体を低
10 抵抗化することが可能となる。

これは、電子取出し窓 107 (金属板 108) の面積やプラズマチャンバ 105 の体積を強く制約する物理的要件が特に無いために、照射領域が広範な励起電子を容易に生成することができる様になった結果であり、これ
15 により、従来の様な長時間にわたって多数回繰り返すべき走査処理が必要なくなった。

また、照射室 (リアクションチャンバ) をプラズマチャンバ 105 と分離することにより、試料を真空中に配置する必要も無くなる。

20 これらの p 型半導体は、特に、III 族窒化物系化合物で構成すると効果的に上記の作用がえられ、また、これらの p 型半導体に添加する p 型の不純物としては Zn, Be, Mg 等があり、中でも特にマグネシウム (Mg) が有効である。

25 また、上記の低抵抗 p 型半導体の製造方法によれば、p 型半導体を例えば略大気圧の雰囲気中に配置することが可能となる。このため、従来の様に真空中で電子線照

射を行う場合よりも、半導体表面からの窒素の脱離が発生し難くなり、また、排気処理も必要なくなる。また、排気処理時間の削除若しくは短縮により、生産性が大きく向上すると言う効果も得られる。

5 また、上記の低抵抗 p 型半導体の製造方法によれば、p 型半導体を例えば空气中に配置することも可能となる。このため、従来の様に真空中で電子線照射を行う場合よりも、照射室（リアクションチャンバ）の排気時間が短くて済む様になるか、或いは、照射室の密閉及び排気処理が全く必要なくなる。即ち、この様な雰囲気は、極め
10 て容易につくることができる。

 また、従来の様に高抵抗面に直接電子を照射すれば、帯電（チャージアップ）の問題が発生するが、半導体の電子照射面上に成膜された金属層越しに電子を面照射す
15 れば、この問題が無くなり、均一に電子を照射できる様になる。

 また、この金属層を 5 ~ 3000 Å の膜厚に形成すれば、p 型半導体を効果的に低抵抗化できる。より望ましくは、この金属層の膜厚は、概ね 100 Å 程度が良い。この膜
20 厚が薄過ぎると、上記の効果が不十分となる。

 また、この膜厚が厚過ぎると、p 型半導体に対する電子照射の効率や効果が低下するので望ましくない。

 また、半導体上に成膜する金属層に 2 種類以上の電気陰性度の異なる金属を使用し、かつ、半導体と接している金属の方が電気陰性度が高く酸化され易い場合、酸素
25 元素（O）を含む雰囲気中で本発明の電子照射を行えば、半導体に接している金属は酸素元素（O）と反応するの

で、その上の金属を通過して表面に露出する。この時、一緒に界面の不純物も界面より除去される。この様にして、本来半導体界面とは直接接していなかった金属の層が半導体とコンタクトすることになり、良好なコンタクトを実現することができる。

また、金属層の厚さが300 Åより厚いと、p型半導体層と金属層との界面に O_2 が供給され難くなる。したがって、酸素元素(O)を含む雰囲気中で本発明の電子照射を行う場合には、特に、金属層の膜厚を概ね100 Å程度に成膜しておくことが望ましい。

また、例えば、上記の金属層を酸化性金属により形成しても良く、この様な場合にも、上記と同等或いはそれ以上の作用・効果が得られる。

尚、この金属層を形成する金属としては、例えば、コバルト(Co)、ニッケル(Ni)、アルミニウム(Al)、銅(Cu)、パラジウム(Pd)、マンガン(Mn)、バナジウム(V)、金(Au)、又は、これらの金属を少なくとも1種類以上含んだ合金等を用いると良い。これにより、上記の低抵抗化の作用・効果を一応、又は一定以上に得ることができる。

また、電子照射工程において、上記のp型半導体又は金属層の電位を接地等により略一定に保持すれば、p型半導体の帯電が防止又は緩和できるので、これによりp型半導体の表面(電子照射面)のダメージを防止又は軽減することが可能となり、p型半導体の低抵抗化に効果的である。

例えば、図2のサンプルホルダを導電性材料より構成し、アースすることにより、p型半導体や、或いはその

表面上に成膜された金属層の電位を略一定に保持することができる。また、特に、この様な金属層を比較的広域若しくは全面にわたって成膜し、導電性のサンプルホルダに直接接触させれば、アースがより効果的となるため、
5 より確実に上記の作用・効果が得られる様になる。

以上の様な方法により低抵抗化されたp型半導体は、一般の半導体素子、例えば、特に、LEDや半導体レーザー等の発光素子、受光素子等のIII族窒化物系化合物半導体素子等に有用であり、或いは、電子デバイス等のI
10 II族窒化物系化合物半導体素子等にも有用である。

即ち、この様に十分に低抵抗化されたp型半導体を半導体素子に用いれば、その半導体素子の駆動電圧を従来と比べて同等以上に低減させることができる等の効果が得られる。

また、上記のp型半導体の電子照射面に成膜された金属層は、例えば、III族窒化物系化合物半導体素子等の正電極として再利用することができる。従って、この場合には、再度正電極を構成する金属層を成膜する必要が
15 無くなるため、この金属層の成膜コスト（材料や時間等）
20 が節約できる。

また、電子照射工程前にp型半導体の表面に成膜される金属層を多層構造にすることにより、前記手段により低抵抗化されたp型半導体を使用する半導体素子の正電極を多層構造にしたり、或いは、この多層構造の金属層
25 を電子照射により同時に合金化したりすることもできる。
このため、素子の正電極を酸化し難いものにしたり、正電極とp型半導体との接触抵抗を低減したり、正電極を

経時的劣化の少ないものにしたたり、正電極を透光性や密着性に優れたものにしたたりすることも可能となる。

これらの場合には、従来の様な正電極の合金化処理が不要になる等の生産効率上の効果も同時に得られる。

5 尚、本発明の電子照射工程後に、上記の金属層は一旦全て除去し、その後、半導体素子の正電極として再度 p 型半導体上に金属層を成膜し直す方法も効果的である。即ち、電子照射工程前に p 型半導体の表面に成膜される金属層は必ずしも半導体素子の正電極として諸要件を満
10 たしている必要はない。

例えば、半導体素子の正電極を合金より構成する場合、この様な方法によれば、正電極を形成する金属の種類や膜厚等の諸条件に応じて、正電極の合金化処理条件等を他の工程とは独立に設定（最適化）できるので、素子の
15 駆動電圧をより確実に低下させることも可能となる。

図面の簡単な説明

第 1 図は、本発明に係わるイオンプラズマ型電子照射装置 100 の模式的な断面図。

20 第 2 図は、本発明の電子照射工程における p 型半導体 (G a N : M g) の模式的な断面図。

第 3 図は、本発明の具体的な実施例に係わる p 型半導体 (G a N : M g) のホール濃度測定用サンプル 20 の構成を示した模式的な斜視図。

25 第 4 図は、4 つのホール濃度測定用サンプル 20 に対して、加速電圧をそれぞれ変化させてホール濃度を測定した結果を示すグラフ。

第 5 図は、本発明の具体的な実施例に係わる III 族窒化物系化合物半導体素子 10 の構造を示した模式的な断面図。

5 第 6 図は、発光素子 10, 50, 70 の各々の p 型半導体層に対する電子照射条件を記載した表。

第 7 図は、発光素子 10, 50, 70 の各々の光出力を示すグラフ。

第 8 図は、発光素子 10 に異なった加速電圧で電子を照射した時の、発光素子 10 の光出力を示すグラフ。

10 第 9 図は、発光素子 10 に加速電圧 150 kV で電子照射し、電流 11 mA (最適値) に達してから加速電圧を 0 分～3 分保持した時の、発光素子 10 の光出力を示すグラフ。

15 発明を実施するための最良の形態

発明の開示の欄に記載されている発明に関し、最良の形態を次に示す。なお、発明の開示の欄には、発明の望ましい実施の形態も記載されており、特許請求の範囲の解釈は発明の開示の欄及び本欄を統合し、かつ、明細書
20 全体の記載が参酌されるべきである。

以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

(第一実施例)

25 図 1 は、本発明に係わるイオンプラズマ型電子照射装置 100 の模式的な断面図である。グリッド 104 と電子取出し窓 107 で挟まれたプラズマチャンバ 105 の

内部には、ワイヤ106が配設されている。例えば300 v程度のプラズマ電源とワイヤ106とを用いてこのプラズマチャンバ105内で発生させたヘリウムイオンガス（He⁺）を、例えば200 kV程度の高圧電源により生成させた電界で加速して、真空チャンバ101内のカソード（冷陰極）103の表面に高速で衝突させることができる。

これにより、カソード103の表面から放出される多数の2次電子を上記の電界でヘリウムイオンガスとは逆向きに加速することができ、その結果、本イオンプラズマ型電子照射装置100は、照射領域が広範な幅広の電子を生成することができる。この様にして生成された電子は、外気を遮断している電子取出し窓107の外面を形成する薄い金属板108を貫通して、外部に照射される。

図2に、本発明の電子照射工程におけるp型半導体の模式的な断面図を例示する。イオンプラズマ型電子照射装置100の電子取出し窓107の直下に、例えば20 mm程度の間隔を空けて、例えばマグネシウム（Mg）を添加した窒化ガリウム（GaN）等のp型半導体を金属製のサンプルホルダ109上に乗せ、金属板108と略平行に配置する。

また、サンプルホルダ109を導電性材料より構成し、アースすることにより、p型半導体や、或いはその表面上に成膜された金属層の電位を略一定に保持することができる。また、特に、この様な金属層を比較的広域若しくわ全面にわたって成膜し、導電性のサンプルホルダに直

接接触させれば、アースがより効果的となるため、より確実に上記の作用・効果が得られる様になる。

例えば、以上の様に半導体低抵抗化装置 100 を構成した。この様な構成によれば、電子取出し窓 107 (金属板 108) の面積やプラズマチャンバ 105 の体積を強く制約する物理的要件が特に無いために、照射領域が広範な幅広の電子を容易に生成することができる。また、これにより、従来の様な長時間にわたって多数回繰り返すべき走査処理が必要なくなる。

例えばこのような装置を用いて、照射領域が広範な幅広の電子を p 型半導体に面照射すれば、約 3 分程度と言う従来よりも極めて短時間の間に、p 型半導体を低抵抗化することが可能となる。

また、これらの p 型半導体は、特に、III 族窒化物系化合物で構成すると効果的に上記の作用がえられ、また、これらの p 型半導体に添加する p 型の不純物としてはマグネシウム (Mg) 等が、特に有効である。

(ホール濃度測定用サンプルによる効果の検証)

上記の半導体低抵抗化処理装置 100 を用いて低抵抗化処理を実施した p 型半導体における低抵抗化の具体的な効果を、以下に示すホール濃度測定用サンプルを用いて検証した。

図 2 のサンプル (半導体ウエハ 10) のサファイア基板 1 上には、AlN から成る膜厚約 25nm のバッファ層 2 と、マグネシウムが添加された窒化ガリウム (GaN : Mg) より成る p 型半導体層 5 とが積層されている。

また、この p 型半導体層 5 の表面 (電子照射面) には、

コバルト (Co / Au) より成る金属層 17 が約 100 Å の厚さに成膜されている。

このようなサンプル (半導体ウエハ 10) に対して、大気中にて金属層 17 越しに、前記のイオンプラズマ型電子照射装置 100 による電子照射を実施した (図 2)。

ただし、この時の荷電粒子加速機構 (高圧電源 : 図 1) による加速電圧は約 160 ~ 200 kV、照射時間は各サンプルとも約 3 分間とした。

図 3 は、p 型半導体 (GaN : Mg) のホール濃度測定用サンプル 20 の構成を示した模式的な斜視図である。上記のサンプル (半導体ウエハ 10) を電子照射後、王水で処理して表面の Co/Au 金属層 17 を除去し、本図 3 に示す様に四隅に膜厚約 3000 Å のニッケル (Ni) より成る測定用パッド 9 を蒸着により形成することにより、本ホール濃度測定用サンプル 20 が作成された。

図 4 は、4 つのホール濃度測定用サンプル 20 に対して、加速電圧をそれぞれ変化させて p 型半導体層 5 のホール濃度を測定した結果を示すグラフである。

本測定の結果、略 $10^{17} \sim 10^{18} / \text{cm}^3$ と言う従来と比較して同等以上に高いホール濃度が得られることが検証できた。

以上の様な方法により低抵抗化された p 型半導体は、一般の半導体素子、LED や半導体レーザー等の発光素子、受光素子、電子デバイス等の III 族窒化物系化合物半導体素子等に有用である。

即ち、この様に十分に低抵抗化された p 型半導体を半導体素子に用いれば、その半導体素子の駆動電圧を従来

と比べて同等以上に低減させることができる等の効果が得られる。

(第2実施例)

第2実施例は半導体の低抵抗化方法、特にP型III族窒化物半導体の低抵抗化方法である。

図3は、本第2実施例におけるp型半導体(GaN:Mg)のホール濃度測定用サンプル20の構成を示した模式的な斜視図である。サファイア基板1上には、AlNから成る膜厚約25nmのバッファ層2と、マグネシウムが添加された窒化ガリウム(GaN:Mg)より成るp型半導体層5とが積層されている。

更に、このp型半導体層5の表面には、Co/Auより成る金属層17が約100Åの厚さに形成され、更に大気中にてこの金属層17越しに、前記の電子照射装置100による電子照射が行われた。ただし、この時の高圧電源(図1)による加速電圧は約100~250kV、照射時間は各サンプルとも約3分間とした。

その後、このサンプルをヨウ素系のエッチング液で処理して表面のCo/Au金属層を除去し、図3の様に四隅に膜厚約3000Åのニッケル(Ni)より成る測定用パッド9を蒸着により形成することにより、本ホール濃度測定用サンプル20が形成された。

そして、p型半導体層5のホール濃度の測定を多数のホール濃度測定用サンプル20について行った。この結果、略 $10^{17} \sim 10^{18} / \text{cm}^3$ と言う高いホール濃度を得ることができた。

(第3実施例)

図 5 は、本第 3 実施例における III 族窒化物系化合物半導体素子 10 の構造を示した模式的な断面図である。サファイア基板 1 の上には AlN から成る膜厚約 25nm のバッファ層 2 が設けられ、その上に Si ドープの膜厚約 4 μm の n 型 GaN 層 3 が形成されている。この n 型 GaN 層 3 の上に膜厚約 35 Å の $Ga_{0.8}In_{0.2}N$ から成る井戸層 4 1 と膜厚約 35 Å の GaN から成るバリア層 4 2 とが交互に積層された多重量子井戸構造 (MQW) の発光層 4 が形成されている。井戸層 4 1 は 6 層、バリア層 4 2 は 5 層である。発光層 4 の上には膜厚約 250nm の p 型 GaN 層 5 が形成されている。

p 型 GaN 層 5 の上には金属蒸着による膜厚約 15 Å の Co から成る第 1 金属層 6 1 と、膜厚約 60 Å の Au から成る第 2 金属層 6 2 とが順次積層され、この第 1 金属層 6 1 と第 2 金属層 6 2 とで透光性の p 電極 6 が構成されている。この p 電極 6 上の所定領域に、コバルト (Co) から成る膜厚約 1.5 μm の電極パッド 7 が形成されている。又、n 型 GaN 層 3 上には、膜厚約 200 Å のバナジウム (V) と膜厚約 1.8 μm のアルミニウム (Al) 又は Al 合金で構成された負電極 8 が形成されている。

次に、この発光素子 10 の製造方法について説明する。

上記発光素子 10 は、有機金属気相成長法 (以下「MOVPE」と略す) による気相成長により製造された。用いられたガスは、アンモニア (NH_3)、キャリアガス (H_2, N_2)、トリメチルガリウム ($Ga(CH_3)_3$) (以下「TMG」と記す)、トリメチルアルミニウム ($Al(CH_3)_3$) (以下「TMA」と記す)、トリメチルインジウム ($In(CH_3)_3$) (以下「TMI」

と記す)、シラン(SiH_4)とシクロペンタジエニルマグネシウム($\text{Mg}(\text{C}_5\text{H}_5)_2$) (以下「 CP_2Mg 」と記す)である。

まず、有機洗浄及び熱処理により洗浄した a 面を主面とした単結晶のサファイア基板 1 を MOVPE 装置の反応室に載置されたサセプタに装着する。次に、常圧で H_2 を流速 2 liter/分で約 30 分間反応室に流しながら温度 1100°C でサファイア基板 1 をベーキングした。

次に、温度を 400 °C まで低下させて、 H_2 を 20 liter/分、 NH_3 を 10 liter/分、TMA を 1.8×10^{-5} モル/分で供給して AlN のバッファ層 2 を約 25nm の膜厚に形成した。

次に、サファイア基板 1 の温度を 1150°C に保持し、 N_2 又は H_2 を 10 liter/分、 NH_3 を 10 liter/分、TMG を 1.12×10^{-4} モル/分、TMA を 0.47×10^{-4} モル/分、 H_2 ガスにより 0.86ppm に希釈されたシランを 5×10^{-9} モル/分で供給して、膜厚約 4 μm 、電子濃度 $1 \times 10^{18}/\text{cm}^3$ 、シリコン濃度 $2 \times 10^{18}/\text{cm}^3$ の n 型 GaN 層 3 を形成した。

上記の n 型 GaN 層 3 を形成した後、続いて、 N_2 又は H_2 を 20 liter/分、 NH_3 を 10 liter/分、TMG を 7.2×10^{-5} モル/分、TMI を 0.19×10^{-4} モル/分で供給して、膜厚約 35 Å の $\text{Ga}_{0.8}\text{In}_{0.2}\text{N}$ から成る井戸層 4 1 を形成した。次に、 N_2 又は H_2 、 NH_3 の供給量を一定として、TMG を 2.0×10^{-4} モル/分で供給して、膜厚約 35 Å の GaN から成るバリア層 4 2 を形成した。更に、井戸層 4 1 とバリア層 4 2 を同一条件で 5 周期形成し、その上に GaInN から成るバリア層を形成した。このようにして 5 周期の MQW 構造の発光層 4 を形成した。

次に、サファイア基板 1 の温度を 1100°C に保持し、N₂ 又は H₂ を 20 liter/分、NH₃ を 10 liter/分、TMG を 1.12×10⁻⁴ モル/分、CP₂Mg を 2×10⁻⁵ モル/分で供給して、膜厚約 250nm、濃度 5×10¹⁹/cm³ の Mg をドープレした p 型 GaN 層 5 を形成した。

次に、n 型 GaN 層 3 の表面を露出させた。即ち、p 型 GaN 層 5 上にエッチングマスクを形成し、所定領域のマスクを除去して、マスクで覆われていない部分の p 型 GaN 層 5、発光層 4 及び n 型 GaN 層 3 の一部を塩素を含むガスによる反応性イオンエッチングによりエッチングして、n 型 GaN 層 3 の表面を露出させた。

次に、以下の手順で、n 型 GaN 層 3 に対する負電極 8 と p 型 GaN 層 5 に対する透光性の p 電極 6 とを形成した。

(1) 即ち、まず、フォトレジストを塗布し、フォトリソグラフィにより n 型 GaN 層 3 の露出面上の所定領域に窓を形成して、10⁻³Pa オーダ以下の高真空中に排気した後、膜厚約 200 Å のバナジウム (V) と膜厚約 1.8 μm の Al を蒸着した。次に、フォトレジストを除去する。これにより n 型 GaN 層 3 の露出面上に負電極 8 が形成される。

(2) 次に、表面上にフォトレジストを一様に塗布して、フォトリソグラフィにより、p 型 GaN 層 5 の上のフォトレジストを除去して、窓部を形成する。

(3) 蒸着装置にて、フォトレジスト及び露出させた p 型 GaN 層 5 上に、10⁻³Pa オーダ以下の高真空中に排気した後、膜厚約 15 Å の Co を成膜させて、第 1 金属層 61 を

形成する。

(4) 続いて、第1金属層61の上に膜厚約60ÅのAuを成膜させて、第2金属層62を形成する。

(5) 次に、試料を蒸着装置から取り出し、リフトオフ法によりフォトレジスト上に堆積したCo、Auを除去する。

(6) 次に、透光性のp電極6上の一部にボンディング用の電極パッド7を形成する。即ち、まず、フォトレジストを一様に塗布して、その電極パッド7の形成部分のフォトレジストに窓を開ける。次に、金(Au)を含んだ金属を膜厚1.5μm程度に蒸着により成膜させ、(5)の工程と同様に、リフトオフ法により、フォトレジスト上に堆積した金(Au)を含んだ金属の膜を除去して、電極パッド7を形成する。

(7) その後、本発明の手段によるp型半導体層の低抵抗化を行う。即ち、大気中にて上記の金属層(電極)越しに、前記の電子照射装置100による電子照射を行う。ただし、この時の高圧電源(図1)による加速電圧は100~250kVとする。

また、この電子照射を実施することにより、同時にp型GaN層5と第1金属層61と第2金属層62との合金化処理、負電極8とn型GaN層3との合金化処理が実施される。

以上の方法により、前記の発光素子10を製造した。

上記方法により得られる発光素子10においては、p型GaN層5の低抵抗化処理が、従来と比較して極めて短時間(約3分間)且つ効果的にできる。

図6は、図1、図2の電子照射装置100を用いて、

本発明の手段により製造された発光素子 10, 50, 70 の各々の p 型半導体層に対する電子照射条件等を記載した表である。ただし、発光素子 50 の電子照射時の処理雰囲気には、窒素 (N_2) の他に約 50 ppm の酸素 (O_2) が含まれている。

図 7 に、これらの発光素子 10, 50, 70 の通電時の各々の光出力を示す。本測定結果より、本発明の手段によれば、大気中或いは大気圧中において電子照射を実施した場合にも、良好な光出力が得られることが判る。

これは、本発明の第 11 又は第 12 の手段 (請求項 11 又は請求項 12) による作用効果だと考えられる。

図 8 に、発光素子 10 を用いて電子の加速電圧依存性を調べたグラフを示す。加速電圧が高い程出力の低下が見られるので、加速電圧は 160 kV 以下として励起電子を面照射することが望ましい。

図 9 に、発光素子 10 を用いて 150 kV で電子を照射した時の最適電流値 (例: 11 mA) に達してからの保持時間の依存性を調べた結果を示す。本グラフより、この保持時間が長いと出力が低下するため保持時間は 0 分 ~ 1 分程度に留めることが望ましいことが判る。

尚、上記の第 3 実施例では開示しなかったが、電子照射前に p 型半導体上に成膜した金属層を、電子照射工程後に一旦全て除去し、その後、半導体素子の正電極として再度 p 型半導体上に金属層を成膜し直す方法も効果的である。即ち、電子照射工程前に p 型半導体の表面に成膜される金属層は必ずしも半導体素子の正電極として諸要件を満たしている必要はない。

例えば、半導体素子の正電極を合金より構成する場合、この様な方法によれば、正電極を形成する金属の種類や膜厚等の諸条件に応じて、正電極の合金化処理条件等を他の工程とは独立に設定（最適化）できるので、素子の
5 駆動電圧をより確実に低下させることも可能となる。

また、照射用金属層を除去することなく、良好なオーミック性が得られる同種又は異種の金属から成る厚い金属電極を更に形成することにより、フリップチップタイプの発光素子を構成することもできる。

10 尚、上記の第3実施例では、発光素子10の発光層4はMQW構造としたが、SQWや $Ga_x In_{1-x} N$ （例： $Ga_{0.08} In_{0.92} N$ ）等から成る層、その他、任意の混晶比の3元乃至4元系のAlGaInNとしても良い。より具体的には、「 $Al_x Ga_y In_{1-x-y} N$ （ $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ ， $0 \leq x + y \leq 1$ ）」成る一般式で表される3元
15 （GaInN，AlInN，AlGaInN）或いは4元（AlGaInN）のIII族窒化物系化合物半導体等を用いることができる。

また、p型不純物としてMgを用いたがベリリウム(Be)、
20 亜鉛(Zn)等の2族元素を用いることができる。

また、本発明は、従来の透光性の金属電極を用いる場合はもちろん、フリップチップタイプのように厚い電極を用いる場合にも適用できる。また、本発明は、LED
25 やLDの発光素子に利用可能であると共に受光素子にも利用することができる。

本発明では上記のように実施例を示したが、本発明の

内容は上記の実施例のみに限定されず、本件発明の精神に沿う限りあらゆる変形例を含む。

本発明は優先権主張の基礎である特許願2000年第253424号、特許願2000年第254306号の
5 内容をすべて包括したものである。

請 求 の 範 囲

1. 不純物を添加した半導体の電気抵抗を低下させる装置であって、

- 5 互いに相異なる気圧に設定可能な、励起電子発生用チャンバと、励起電子を前記半導体に照射するリアクションチャンバとを有し、

前記半導体を電子取出し窓に対して所定間隔離して略平行に配置可能な台座又はサンプルホルダを備えていることを特徴とする半導体低抵抗化処理装置。

10

2. 前記所定間隔は、

およそ数ミリメートルから、数十ミリメートル程度である

ことを特徴とする請求項1に記載の半導体低抵抗化処理装置。

15

3. 帯電する前記半導体の表面上の電子をリークする接地線路を有する

ことを特徴とする請求項1又は請求項2に記載の半導体低抵抗化処理装置。

20

4. 前記台座又は前記サンプルホルダは、

少なくともその一部分が導体より構成されている

ことを特徴とする請求項3に記載の半導体低抵抗化処理装置。

5. 前記台座又は前記サンプルホルダは、

- 25 排気可能なリアクションチャンバ内に配置されていることを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体低抵抗化処理装置。

6. 前記台座又は前記サンプルホルダは、
直進可能な試料移送ライン上に配置されているか、或
いは、

直進可能な試料移送ラインの少なくとも一部分として
5 構成されている

ことを特徴とする請求項1乃至請求項5のいずれか1項
に記載の半導体低抵抗化処理装置。

7. 前記台座又は前記サンプルホルダは、
回転又は回動可能なターンテーブル上に配置されてい
10 るか、或いは、

回転又は回動可能なターンテーブルの少なくとも一部
分として構成されていることを特徴とする請求項1乃至
請求項6のいずれか1項に記載の半導体低抵抗化処理装
置。

15 8. 不純物の添加された半導体の電気抵抗を低下させ
る方法であって、

照射領域が広範な励起電子を生成する電子照射装置を
用いて、

前記半導体の電子照射面上に前記電子を面照射するこ
20 とにより、前記半導体の電気抵抗を低下させる
ことを特徴とする低抵抗p型半導体の製造方法。

9. 前記半導体は、III族窒化物系化合物半導体であ
る
ことを特徴とする請求項8に記載の低抵抗p型半導体の
25 製造方法。

10. 前記不純物は、マグネシウム(Mg)である
ことを特徴とする請求項8または請求項9に記載の低抵

抗 p 型半導体の製造方法。

1 1 . 前記半導体の雰囲気圧力を略大気圧にしたことを特徴とする請求項 8 乃至請求項 10 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

5 1 2 . 前記半導体の雰囲気を空気、若しくは、空気より酸素濃度が低い気体にしたことを特徴とする請求項 8 乃至請求項 11 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

10 1 3 . 前記半導体の電子照射面上に成膜された金属層越しに前記電子を面照射することを特徴とする請求項 8 乃至請求項 12 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

15 1 4 . 前記金属層の膜厚は、5 ~ 3000 Å であることを特徴とする請求項 13 に記載の低抵抗 p 型半導体の製造方法。

20 1 5 . コバルト (Co)、ニッケル (Ni)、アルミニウム (Al)、銅 (Cu)、パラジウム (Pd)、マンガン (Mn)、バナジウム (V)、金 (Au)、又は、これらの金属を少なくとも 1 種類以上含んだ合金より、前記金属層を形成したことを特徴とする請求項 13、または請求項 14 に記載の低抵抗 p 型半導体の製造方法。

25 1 6 . 前記半導体又は前記金属層の雰囲気を酸素元素 (O) を有する気体にしたことを特徴とする請求項 13 乃至請求項 15 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

1 7 . 前記電子照射面上に照射する電子の加速電圧を 160 KV 以下とした

ことを特徴とする請求項 8 乃至請求項 16 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

18. 前記電子照射面上に照射する電子の電流値が最適値に達してから最大 1 分間、照射する電子の加速電圧を保持する

ことを特徴とする請求項 8 乃至請求項 17 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

19. 前記電子照射面上の電位を接地等により略一定に保持した

10 ことを特徴とする請求項 8 乃至請求項 18 の何れか 1 項に記載の低抵抗 p 型半導体の製造方法。

20. 基板の上に III 族窒化物系化合物半導体より成る複数の半導体層が結晶成長により積層された半導体素子であって、

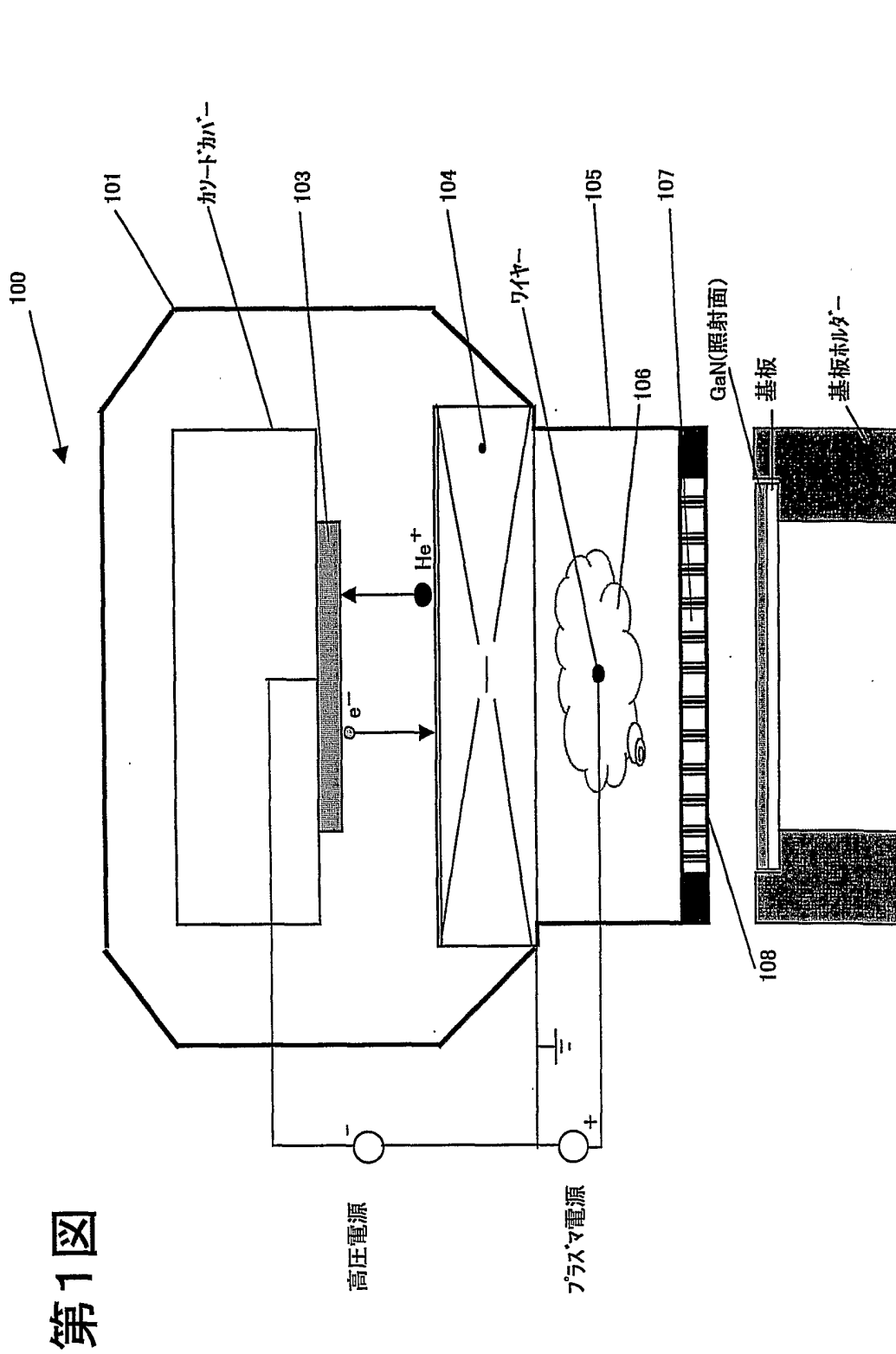
15 前記半導体素子を構成する p 型半導体層の少なくとも一部分に、請求項 8 乃至請求項 19 の何れか 1 項に記載の方法で低抵抗化した p 型半導体を使用したことを特徴とする III 族窒化物系化合物半導体素子。

21. 請求項 14 乃至請求項 18 の何れか 1 項に記載の金属層で正電極を構成した

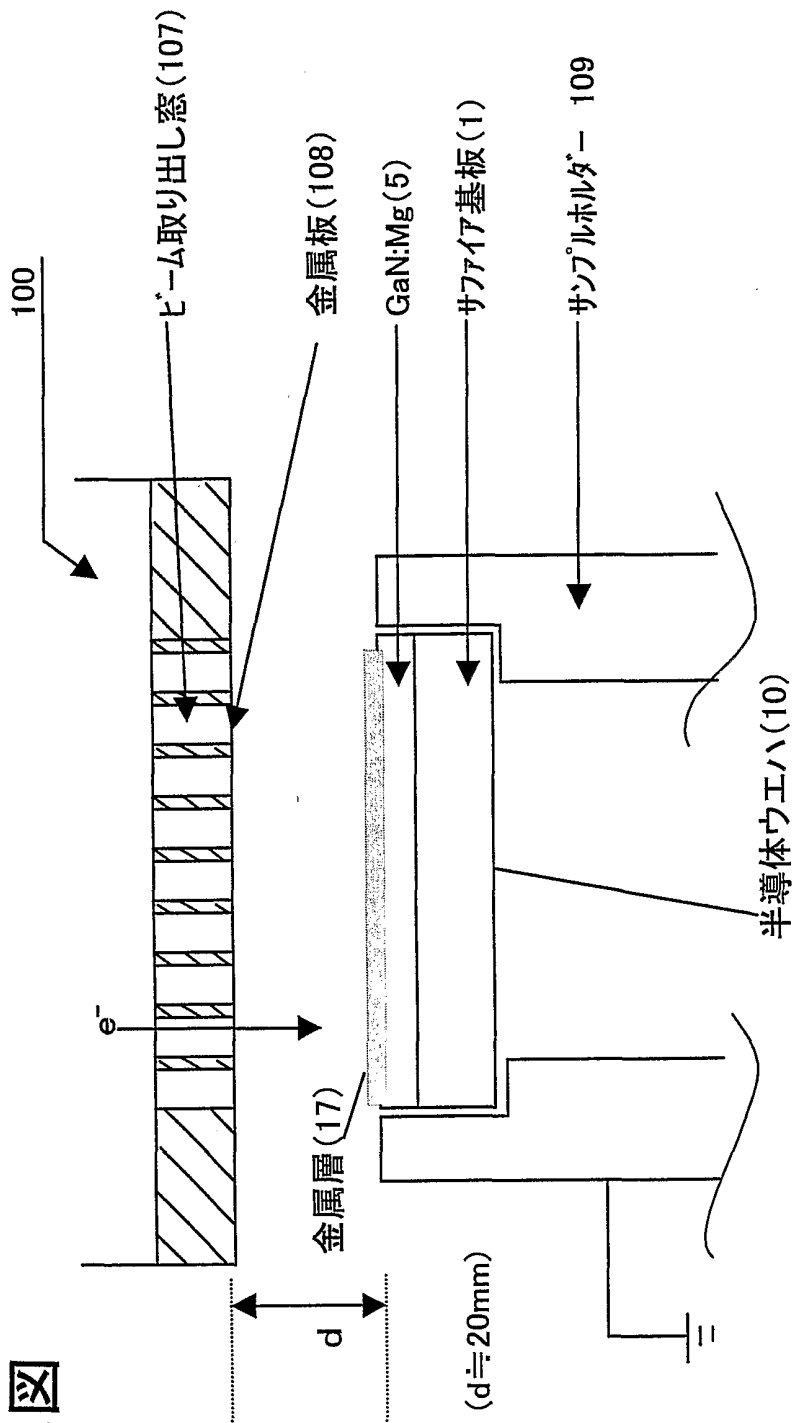
ことを特徴とする請求項 20 に記載の III 族窒化物系化合物半導体素子。

22. 前記半導体層の表面に成膜される正電極を多層構造にした

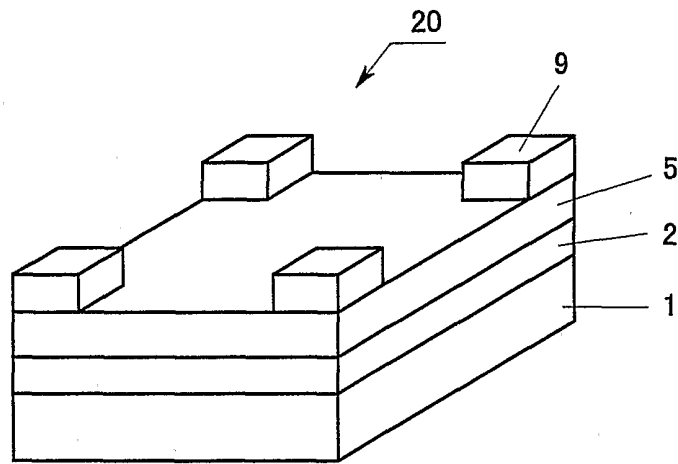
25 ことを特徴とする請求項 20 又は請求項 21 に記載の I II 族窒化物系化合物半導体素子。

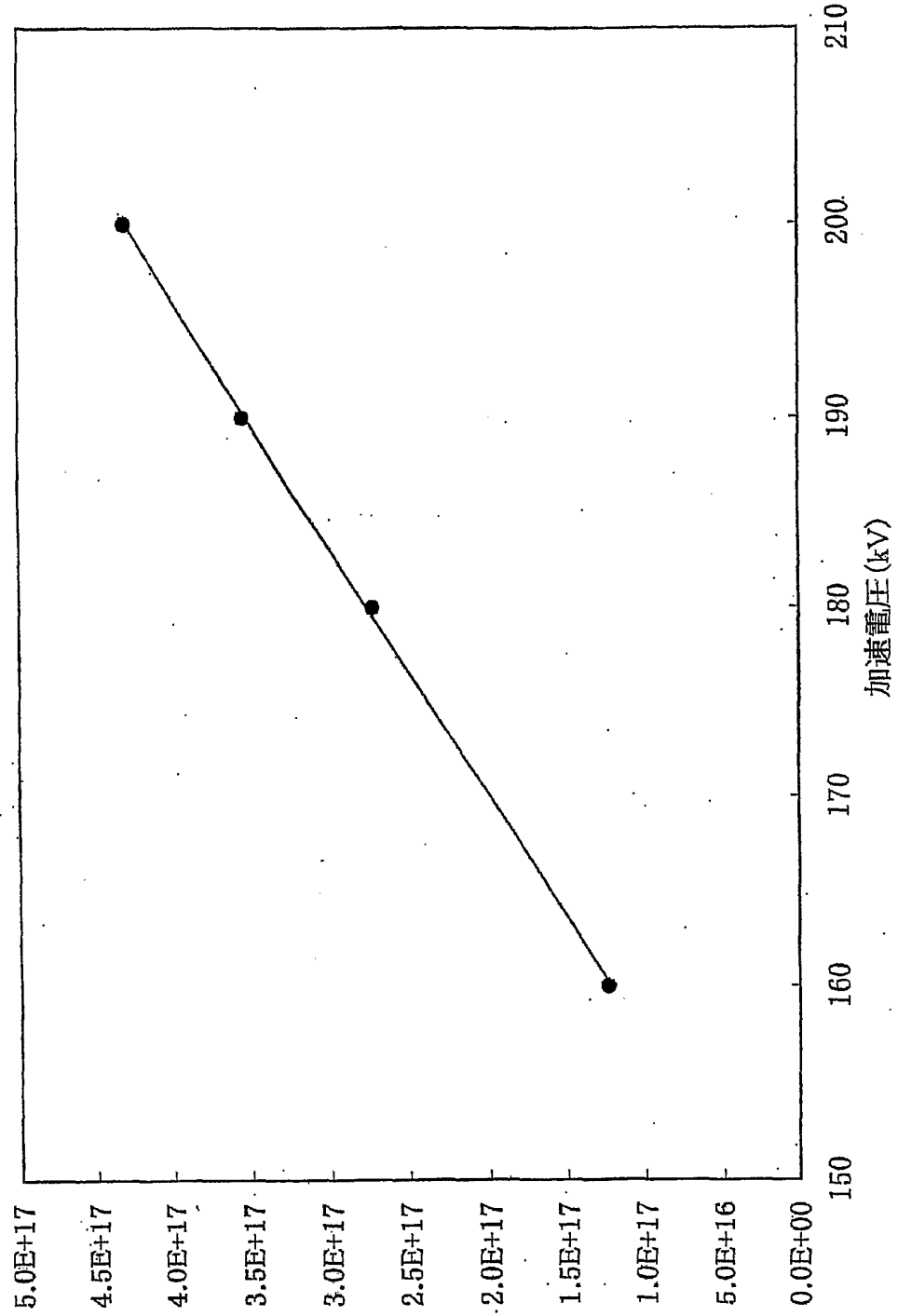


第2図



第3図

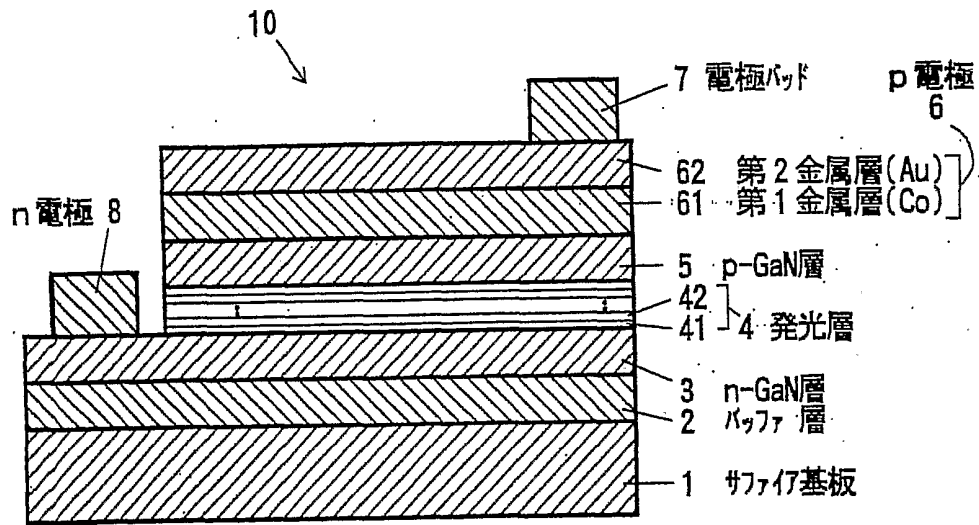




第4図

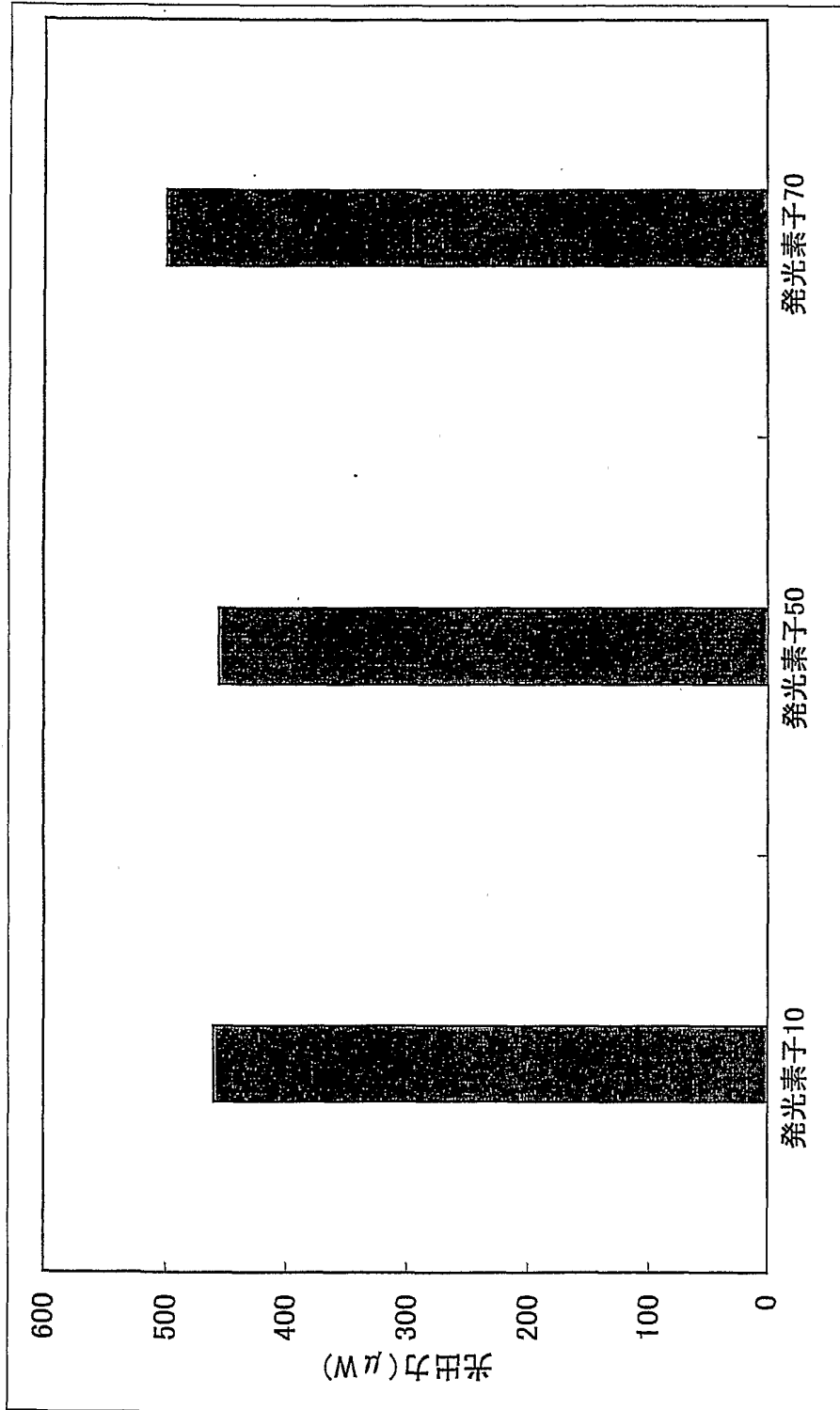
1/cm³

第5図



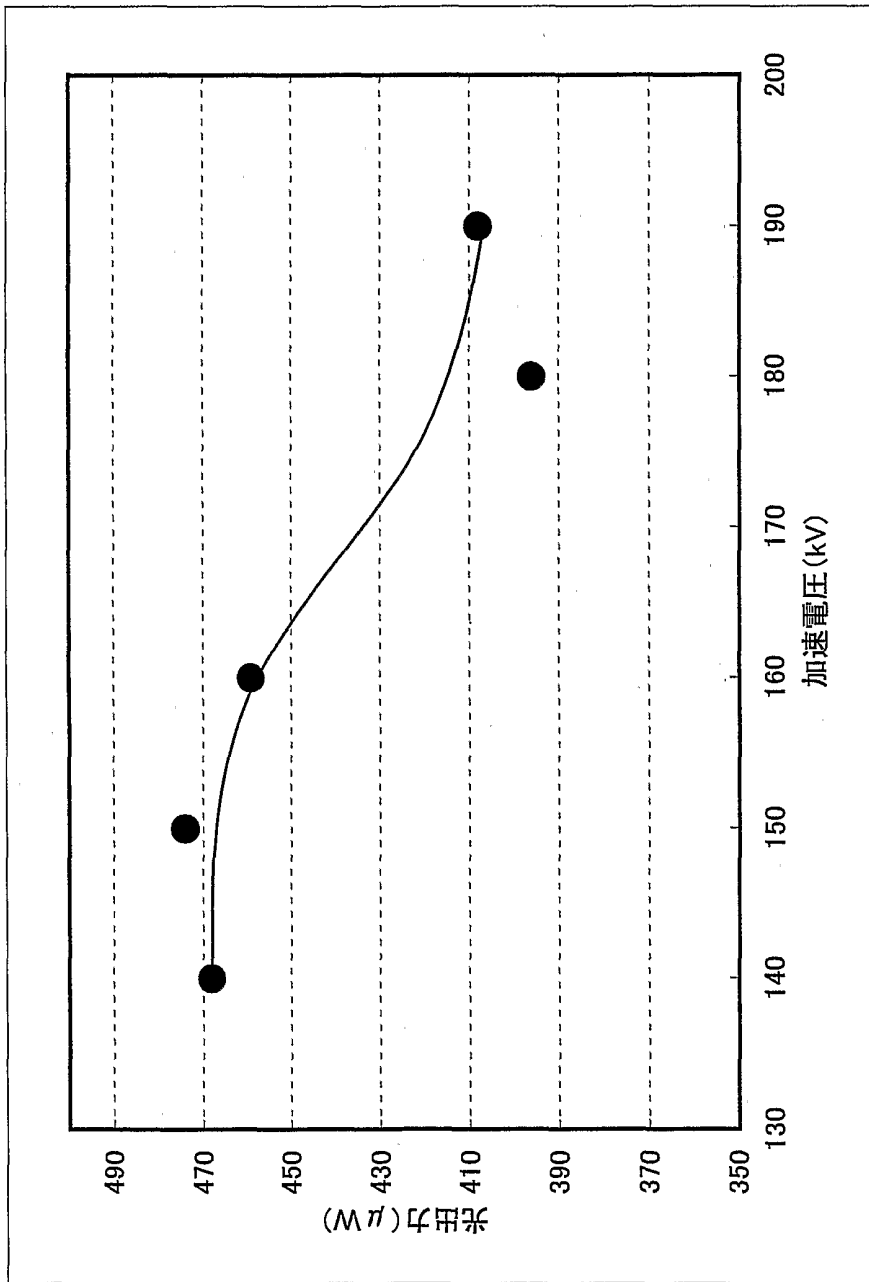
第6図

	電子ビーム照射条件			電極の 合金化処理
	金属層	雰囲気 (圧力)	工程順序	
発光素子 10	Co/Au	空気 (1気圧)	正負電極 形成直後	電子ビーム照射 にて代替
発光素子 50	なし	窒素 (1気圧)	P型半導体層の 積層直後	電極パッドドク形成後 3分間加熱。 処理雰囲気は、 550°C, 3Paの酸素ガス
発光素子 70	なし	空気 (1気圧)		

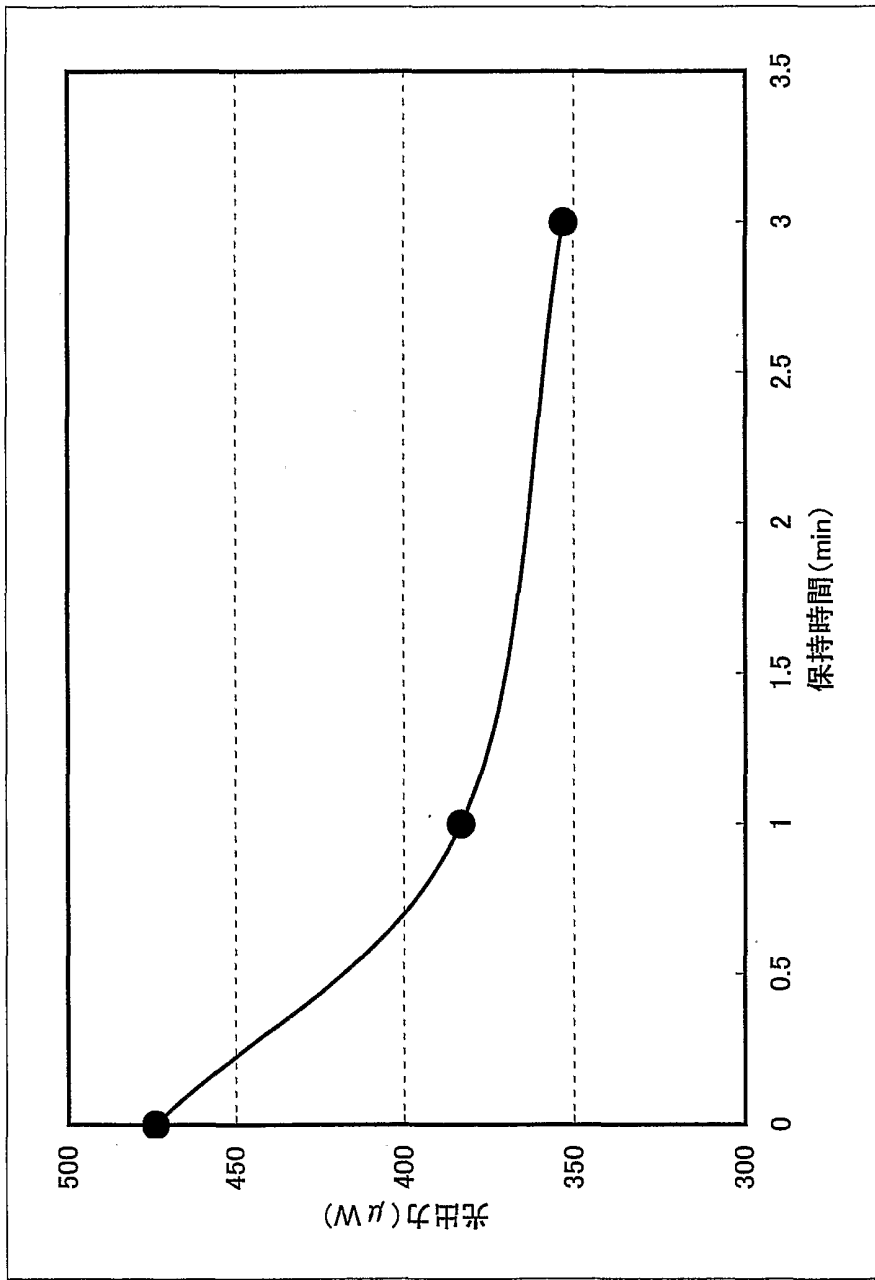


第7図

第8図



第9図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/07188

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/263

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/26-21/268, H01L21/322-21/326, H01L33/00, H01J37/30-37/36,
H01S5/00-5/50Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-350137 A (Toyoda Gosei Co., Ltd.), 22 December, 1994 (22.12.94), Full text; Figs. 1 to 17 (Family: none)	8-10, 17, 20, 21
Y	Full text; Figs. 1 to 17 (Family: none)	13-16, 18, 19, 22
A	Full text; Figs. 1 to 17 (Family: none)	11, 12
Y	JP 59-151100 A (Ushio Inc.), 29 August, 1984 (29.08.84), Full text; Figs. 1 to 3 (Family: none)	1-7
Y	JP 8-165563 A (Hitachi, Ltd.), 25 June, 1996 (25.06.96), Full text; Fig. 1 (Family: none)	1-7
Y	JP 5-190887 A (Hamamatsu Photonics K.K.), 30 July, 1993 (30.07.93), Full text; Figs. 1 to 3 (Family: none)	3-7, 13-22

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 November, 2001 (15.11.01)Date of mailing of the international search report
27 November, 2001 (27.11.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/07188

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-180053 A (Nissin Electric Co., Ltd.), 18 July, 1995 (18.07.95), Full text; Figs. 1 to 5 (Family: none)	3-7,13-22
Y	JP 9-101400 A (Nisshin High Voltage Co., Ltd.), 15 April, 1997 (15.04.97), Full text; Fig. 5 (Family: none)	6,7
Y	JP 61-67914 A (Sony Corporation), 08 April, 1986 (08.04.86), Full text; Figs. 1 to 9 (Family: none)	7
Y	JP 2000-183465 A (Pioneer Electronic Corporation), 30 June, 2000 (30.06.00), Full text; Figs. 1 to 11 & US 6235548 B1	13-22
Y	JP 10-135515 A (Toyoda Gosei Co., Ltd.), 22 May, 1998 (22.05.98), Full text; Figs. 1 to 6 (Family: none)	14-22
EX	JP 2001-203168 A (Hitachi, Ltd.), 27 July, 2001 (27.07.01), Full text; Figs. 1 to 7 (Family: none)	1,2
A	US 5496766 A (Pioneer Electronic Corporation), 05 March, 1996 (05.03.96), Full text; Figs. 1 to 5 & JP 7-273366 A Full text; Figs. 1 to 5 & DE 19511415 A	1-22
A	JP 11-111965 A (Meidensha Corporation), 23 April, 1999 (23.04.99), Full text; Figs. 1 to 19 (Family: none)	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/263

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/26-21/268, H01L21/322-21/326,
H01L33/00, H01J37/30-37/36,
H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 6-350137 A (豊田合成株式会社) 22. 12月. 1994 (22. 12. 94) 全文, 第1-17図 (ファミリーなし)	8-10, 17, 20, 21
Y	全文, 第1-17図 (ファミリーなし)	13-16, 18, 19, 22
A	全文, 第1-17図 (ファミリーなし)	11, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 15. 11. 01

国際調査報告の発送日 27.11.01

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
棚田 一也
4L 9835
電話番号 03-3581-1101 内線 3496



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 59-151100 A (ウシオ電機株式会社) 29. 8月. 1984 (29. 08. 84) 全文, 第1-3図 (ファミリーなし)	1-7
Y	JP 8-165563 A (株式会社日立製作所) 25. 6月. 1996 (25. 06. 96) 全文, 第1図 (ファミリーなし)	1-7
Y	JP 5-190887 A (浜松ホトニクス株式会社) 30. 7月. 1993 (30. 07. 93) 全文, 第1-3図 (ファミリーなし)	3-7, 13-22
Y	JP 7-180053 A (日新電機株式会社) 18. 7月. 1995 (18. 07. 95) 全文, 第1-5図 (ファミリーなし)	3-7, 13-22
Y	JP 9-101400 A (日新ハイボルテージ株式会社) 15. 4月. 1997 (15. 04. 97) 全文, 第5図 (ファミリーなし)	6, 7
Y	JP 61-67914 A (ソニー株式会社) 8. 4月. 1986 (08. 04. 86) 全文, 第1-9図 (ファミリーなし)	7
Y	JP 2000-183465 A (パイオニア株式会社) 30. 6月. 2000 (30. 06. 00) 全文, 第1-11図 & US 6235548 B1	13-22
Y	JP 10-135515 A (豊田合成株式会社) 22. 5月. 1998 (22. 05. 98) 全文, 第1-6図 (ファミリーなし)	14-22
EX	JP 2001-203168 A (株式会社日立製作所) 27. 7月. 2001 (27. 07. 01) 全文, 第1-7図 (ファミリーなし)	1, 2
A	US 5496766 A (Pioneer Electronic Corporation) 5. 3月. 1996 (05. 03. 96) 全文, 第1-5図 & JP 7-273366 A 全文, 第1-5図 & DE 19511415 A	1-22
A	JP 11-111965 A (株式会社明電舎) 23. 4月. 1999 (23. 04. 99) 全文, 第1-19図 (ファミリーなし)	1-22