

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年8月23日(2012.8.23)

【公開番号】特開2012-134498(P2012-134498A)

【公開日】平成24年7月12日(2012.7.12)

【年通号数】公開・登録公報2012-027

【出願番号】特願2011-276870(P2011-276870)

【国際特許分類】

H 01 G	4/30	(2006.01)
H 05 K	1/18	(2006.01)
H 01 G	2/06	(2006.01)
H 05 K	3/34	(2006.01)
H 05 K	13/02	(2006.01)
H 05 K	13/04	(2006.01)
H 01 G	4/12	(2006.01)
H 01 G	13/00	(2006.01)

【F I】

H 01 G	4/30	3 0 1 F
H 05 K	1/18	J
H 01 G	1/035	C
H 01 G	1/035	E
H 05 K	3/34	5 0 1 D
H 05 K	13/02	Q
H 05 K	13/04	Z
H 05 K	13/02	B
H 01 G	4/12	3 4 6
H 01 G	13/00	3 3 1 D

【手続補正書】

【提出日】平成24年6月25日(2012.6.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

内部電極の設けられた誘電体シートが積層され、該内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタの回路基板への実装構造であって、

前記積層セラミックキャパシタの内部電極層と前記回路基板とは、互いに水平方向になるように配置されて、前記外部端子電極と前記回路基板のランドとを導電接続し、

前記外部端子電極と前記ランドとを導電接続する導電材の高さ( $T_s$ )は、前記積層セラミックキャパシタの厚さ( $T_{MLCC}$ )の1/3未満である積層セラミックキャパシタの回路基板実装構造。

【請求項2】

前記積層セラミックキャパシタは、水平方向に実装されるようにテーピング処理され、その幅( $W_{MLCC}$ )及び厚さ( $T_{MLCC}$ )が同一または類似である請求項1に記載の積層セラミックキャパシタの回路基板実装構造。

【請求項3】

前記積層セラミックキャパシタの誘電体層の層数は、200層以上である請求項1または2に記載の積層セラミックキャパシタの回路基板実装構造。

**【請求項4】**

前記積層セラミックキャパシタの誘電体層の誘電体の厚さは、 $3 \mu m$ 以下である請求項1または2に記載の積層セラミックキャパシタの回路基板実装構造。

**【請求項5】**

前記積層セラミックキャパシタの誘電体層は、層数が200層以上で、誘電体の厚さは、 $3 \mu m$ 以下である請求項1または2に記載の積層セラミックキャパシタの回路基板実装構造。

**【請求項6】**

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタの回路基板への実装方法であって、

前記積層セラミックキャパシタの内部電極層と前記回路基板が互いに水平方向になるように配置されて前記外部端子電極と前記回路基板のランドとを導電接続し、

前記外部端子電極と前記ランドとを導電接続する導電材の高さ( $T_s$ )は、前記積層セラミックキャパシタの厚さ( $T_{MLCC}$ )の1/3未満である積層セラミックキャパシタの回路基板実装方法。

**【請求項7】**

前記積層セラミックキャパシタは、水平方向に実装されるように整列するテーピング処理され、その幅( $W_{MLCC}$ )及び厚さ( $T_{MLCC}$ )が同一または類似である請求項6に記載の積層セラミックキャパシタの回路基板実装方法。

**【請求項8】**

前記積層セラミックキャパシタの誘電体層の層数は、200層以上である請求項6または7に記載の積層セラミックキャパシタの回路基板実装方法。

**【請求項9】**

前記積層セラミックキャパシタの誘電体層の誘電体の厚さは、 $3 \mu m$ 以下である請求項6または7に記載の積層セラミックキャパシタの回路基板実装方法。

**【請求項10】**

前記積層セラミックキャパシタの誘電体層の誘電体の厚さは、 $3 \mu m$ 以下である請求項6または7に記載の積層セラミックキャパシタの回路基板実装方法。

**【請求項11】**

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタの回路基板への実装方法であって、

前記回路基板の表面上に前記積層セラミックキャパシタが実装されるランドを設け、

前記積層セラミックキャパシタの内部電極層と前記回路基板が互いに水平方向になるように配置して前記外部端子電極と前記回路基板のランドとを導電接続し、

前記ランドは、前記積層セラミックキャパシタの外部端子電極の設けられた個所に対応するように離間されて前記回路基板の表面上に複数個設けられ、

前記積層セラミックキャパシタの幅を $W_{MLCC}$ 、長さを $L_{MLCC}$ として定義し、前記離間された各ランドのうちのいずれか一方のランドの外側縁と他方のランドの外側縁とを基準として、基板で占める幅を $W_{LAND(a)}$ 、長さを $L_{LAND(a)}$ として定義すると、

$W_{MLCC} \cdot L_{MLCC} \cdot W_{LAND(a)} \text{ 及び } L_{LAND(a)}$  の関係は、下式、

$$0 < L_{LAND(a)} / L_{MLCC} \leq 1.2$$

$$0 < W_{LAND(a)} / W_{MLCC} \leq 1.2$$

を満たす積層セラミックキャパシタの回路基板実装方法。

**【請求項12】**

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタの回路基板への実装方法であって、

前記回路基板の表面上に前記積層セラミックキャパシタが実装されるランドを設け、

前記積層セラミックキャパシタの内部電極層と前記回路基板とが互いに水平方向になるように配置して前記外部端子電極と前記回路基板のランドとを導電接続し、

前記ランドは、ハンダ付け量の減少のために、前記積層セラミックキャパシタの外部端子電極の設けられた縁部に対応するように離間されて前記回路基板の表面に複数個設けられる、積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 1 3】

前記積層セラミックキャパシタの幅を $W_{MLCC}$ 、長さを $L_{MLCC}$ として定義し、前記離間された各ランドのうちのいずれか一方の外側縁と他方のランドの外側縁とを基準として、基板で占める幅を $W_{LAND(b)}$ 、長さを $L_{LAND(b)}$ として定義すると、

$$W_{MLCC} \neq L_{MLCC}, W_{LAND(b)} \neq L_{LAND(b)}$$

$$0 < L_{LAND(b)} / L_{MLCC} \leq 1.2$$

$$0 < W_{LAND(b)} / W_{MLCC} \leq 1.2$$

を満たす請求項 1 2 に記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 1 4】

前記外部端子電極と前記ランドとを導電接続する導電材の高さ( $T_s$ )は、前記積層セラミックキャパシタの厚さ( $T_{MLCC}$ )の1/3未満である請求項 1 1 ~ 1 3 のうちのいずれか一つに記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 1 5】

前記積層セラミックキャパシタは、水平方向に実装されるように整列するテーピング処理され、その幅( $W_{MLCC}$ )及び厚さ( $T_{MLCC}$ )が同一または類似である請求項 1 2 に記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 1 6】

前記積層セラミックキャパシタは、水平方向に実装されるように整列するテーピング処理され、その幅( $W_{MLCC}$ )及び厚さ( $T_{MLCC}$ )が同一または類似である請求項 1 4 に記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 1 7】

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタが実装される回路基板上のランドパターンであって、

前記ランドパターンは、前記積層セラミックキャパシタの外部端子電極の設けられた個所に対応するように離間されて前記回路基板の表面に複数個設けられ、

前記積層セラミックキャパシタの幅を $W_{MLCC}$ 、長さを $L_{MLCC}$ として定義し、前記離間された各ランドのうちのいずれか一方のランドの外側縁と他方のランドの外側縁とを基準として、基板で占める幅を $W_{LAND(a)}$ 、長さを $L_{LAND(a)}$ として定義すると、

$$W_{MLCC} \neq L_{MLCC}, W_{LAND(a)} \neq L_{LAND(a)}$$

$$0 < L_{LAND(a)} / L_{MLCC} \leq 1.2$$

$$0 < W_{LAND(a)} / W_{MLCC} \leq 1.2$$

を満たす回路基板上のランドパターン。

#### 【請求項 1 8】

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタが実装される回路基板上のランドパターンであって、

前記ランドパターンは、ハンダ付け量の減少のために、前記積層セラミックキャパシタの外部端子電極の設けられた縁部に対応するように離間されて前記回路基板の表面に複数個設けられ、

前記積層セラミックキャパシタの幅を $W_{MLCC}$ 、長さを $L_{MLCC}$ として定義し、前記離間された各ランドのうちのいずれか一方の外側縁と他方のランドの外側縁とを基準として、基板で占める幅を $W_{LAND(b)}$ 、長さを $L_{LAND(b)}$ として定義すると、

$$W_{MLCC} \neq L_{MLCC}, W_{LAND(b)} \neq L_{LAND(b)}$$

$$0 < L_{LAND(b)} / L_{MLCC} \quad 1 . 2$$

$$0 < W_{LAND(b)} / W_{MLCC} \quad 1 . 2$$

を満たす回路基板上のランドパターン。

#### 【請求項 19】

内部電極の設けられた誘電体シートが積層され、前記内部電極と並列接続する外部端子電極が両端部に設けられた積層セラミックキャパシタと、

前記積層セラミックキャパシタが収納される収納部が設けられる包装シートと、を含み、

前記内部電極は、前記収納部の底面を基準に水平に配置されるように整列され、前記積層セラミックキャパシタが整列された包装シートがリール形態に巻き取られた積層セラミックキャパシタの包装体。

#### 【請求項 20】

前記包装シートに結合され、前記積層セラミックキャパシタを覆う包装膜をさらに含む請求項 19 に記載の積層セラミックキャパシタの包装体。

#### 【請求項 21】

前記積層セラミックキャパシタは、水平方向に実装されるように整列するテーピング処理され、その幅 ( $W_{MLCC}$ ) 及び厚さ ( $T_{MLCC}$ ) が同一または類似である請求項 19 または 20 に記載の積層セラミックキャパシタの包装体。

#### 【請求項 22】

幅 ( $W_{MLCC}$ ) 及び厚さ ( $T_{MLCC}$ ) が同一または類似な積層セラミックキャパシタの水平方向整列方法であって、

前記積層セラミックキャパシタを連続して移送すると共に、前記積層セラミックキャパシタの一一定に整列されている一対のガイド部が設けられた移送部に実装して、該積層セラミックキャパシタが連続して移送されるようにするステップと、

前記移送部によって移送される前記積層セラミックキャパシタに磁場を印加し、内部電極層が該磁場及び磁気抵抗が減る方向に整列されるようにする磁場印加ステップと、を含む積層セラミックキャパシタの水平方向整列方法。

#### 【請求項 23】

前記磁場印加ステップを経った前記積層セラミックキャパシタの前記内部電極層は、前記移送部の進行方向を基準に水平に配置される請求項 22 に記載の積層セラミックキャパシタの水平方向整列方法。

#### 【請求項 24】

前記一対のガイド部間の間隔  $g$  は、前記積層セラミックキャパシタの幅を  $W_{MLCC}$ 、厚さを  $T_{MLCC}$ 、長さを  $L_{MLCC}$  として定義すると、下式、

$$(W_{MLCC}^2 + T_{MLCC}^2) < g < \min [(L_{MLCC}^2 + W_{MLCC}^2)]$$

を満足する請求項 22 に記載の積層セラミックキャパシタの水平方向整列方法。

#### 【請求項 25】

前記外部端子電極と前記ランドとを導電接続する前記導電材の高さ ( $T_s$ ) は、前記積層セラミックキャパシタの厚さ ( $T_{MLCC}$ ) の 1 / 5 未満である請求項 6 に記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 26】

前記外部端子電極と前記ランドとを導電接続する前記導電材の高さ ( $T_s$ ) は、前記積層セラミックキャパシタの厚さ ( $T_{MLCC}$ ) の 1 / 5 未満である請求項 6 に記載の積層セラミックキャパシタの回路基板実装方法。

#### 【請求項 27】

前記  $W_{MLCC}$ 、 $L_{MLCC}$ 、 $W_{LAND(a)}$  及び  $L_{LAND(a)}$  間の関係は、下式、 $0 . 8 < L_{LAND(a)} / L_{MLCC} \quad 1 . 10 . 6 < W_{LAND(a)} / M_{LC}$

$1 . 0$  を満たす請求項 11 に記載の積層セラミックキャパシタの回路基板実装方法。

。

**【請求項 28】**

前記  $W_{MLCC}$ 、 $L_{MLCC}$ 、 $W_{LAND(a)}$  及び  $L_{LAND(a)}$  間の関係は、下式、 $0.8 < L_{LAND(a)} / L_{MLCC} \leq 1.10.6 < W_{LAND(a)} / W_{MLCC} \leq 1.0$  を満たす請求項 17 に記載の回路基板上のランドパターン。

**【請求項 29】**

前記積層セラミックキャパシタの幅 ( $W_{MLCC}$ ) に対する厚さ ( $T_{MLCC}$ ) の比 ( $T_{MLCC} / W_{MLCC}$ ) は  $0.75 \leq T_{MLCC} / W_{MLCC} \leq 1.25$  である請求項 19 または 20 に記載の積層セラミックキャパシタ包装体。

**【請求項 30】**

前記積層セラミックキャパシタの幅 ( $W_{MLCC}$ ) に対する厚さ ( $T_{MLCC}$ ) の比 ( $T_{MLCC} / W_{MLCC}$ ) は、 $0.9 \leq T_{MLCC} / W_{MLCC} \leq 1.1$  である請求項 29 に記載の積層セラミックキャパシタ包装体。

**【請求項 31】**

前記積層セラミックキャパシタの幅 ( $W_{MLCC}$ ) に対する厚さ ( $T_{MLCC}$ ) の比 ( $T_{MLCC} / W_{MLCC}$ ) は、 $0.95 \leq T_{MLCC} / W_{MLCC} \leq 1.05$  である請求項 30 に記載の積層セラミックキャパシタ包装体。

**【請求項 32】**

前記積層セラミックキャパシタの誘電体層の層数は、200層以上である請求項 19 または 20 に記載の積層セラミックキャパシタ包装体。

**【請求項 33】**

前記積層セラミックキャパシタの誘電体層の誘電体厚さは、 $3 \mu m$  以下である請求項 19 または 20 に記載の積層セラミックキャパシタ包装体。

**【請求項 34】**

前記積層セラミックキャパシタの誘電体層は、層数が200層以上で、誘電体の厚さは  $3 \mu m$  以下である請求項 19 または 20 に記載の積層セラミックキャパシタ包装体。