



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0009114  
(43) 공개일자 2020년01월29일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/><i>G11C 11/16</i> (2006.01) <i>H01L 43/02</i> (2006.01)<br/><i>H01L 43/08</i> (2006.01)</p> <p>(52) CPC특허분류<br/><i>G11C 11/161</i> (2013.01)<br/><i>G11C 11/165</i> (2013.01)</p> <p>(21) 출원번호 10-2020-0007155(분할)<br/>(22) 출원일자 2020년01월20일<br/>심사청구일자 없음</p> <p>(62) 원출원 특허 10-2016-0168318<br/>원출원일자 2016년12월12일<br/>심사청구일자 2017년02월09일</p> <p>(30) 우선권주장<br/>14/971,911 2015년12월16일 미국(US)</p> | <p>(71) 출원인<br/>웨스턴 디지털 테크놀로지스, 인코포레이티드<br/>미국 95119 캘리포니아주 산호세 그레이트 오크스<br/>파크웨이 5601</p> <p>(72) 발명자<br/>브라간카 패트릭 엠<br/>미국 캘리포니아주 95123 산 호세 아파트먼트<br/>1085 팜 밸리블러바드 150</p> <p>(74) 대리인<br/>김태홍, 김진희</p> |
|---|---|

전체 청구항 수 : 총 24 항

(54) 발명의 명칭 개선된 스위칭 효율을 위한 스핀-궤도 토크 비트 설계

**(57) 요약**

비-휘발성 메모리 셀; 구체적으로, 개별적인 비트들을 스위칭하는데 요구되는 전류를 감소시키는 스핀 궤도 토크 MRAM(SOT-MRAM) 메모리 셀을 위한 방법. 메모리 셀은 제 1 길이방향 축을 갖는 제 1 상호연결 라인, 긴 축을 갖는 타원형 형상 MTJ 비트("비트"), 및 제 1 상호연결 라인에 대해 수직인 제 2 길이방향 축을 갖는 제 2 상호연결 라인을 포함한다. 비트는 편극된 자유 층, 배리어 층, 및 긴 축과 상이한 각도로 피닝된 자기 모멘트를 갖는 편극된 기준 층을 포함한다. 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 긴 축을 배치하고, 설명되는 바와 같이 기준 층을 배치하고, 상호연결 라인에 전압을 인가함으로써, 스핀 전류 또는 라쉬바 필드와 자유 층 사이에 비-제로 평형 각도가 유도될 수 있고, 그에 따라, 스위칭 다이내믹스가 더 일관성 있게 될 수 있다.

(52) CPC특허분류

*H01L 43/02* (2013.01)

*H01L 43/08* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제 1 길이방향 축을 갖는 제 1 상호연결 라인;

상기 제 1 상호연결 라인에 대해 수직으로 배치된 제 2 길이방향 축을 갖는 제 2 상호연결 라인; 및

상기 제 1 상호연결 라인과 상기 제 2 상호연결 라인 사이에 배치된 긴 축을 갖는 타원형 형상 비트 - 상기 긴 축은 상기 제 1 길이방향 축 및 상기 제 2 길이방향 축에 관하여 각도를 이루어 배치됨 -

를 포함하며,

상기 타원형 형상 비트는,

자유(free) 층;

상기 긴 축과 상이한 각도로 배치되는 자기 모멘트를 갖는, 기준(reference) 층; 및

상기 자유 층과 상기 기준 층 사이에 배치된 배리어 층

을 포함하는, 메모리 셀.

#### 청구항 2

제1항에 있어서,

상기 배리어 층은, 마그네슘 산화물(MgO), hafnium 산화물(HfO), 및 알루미늄 산화물(AlO<sub>x</sub>) 중 하나 이상을 포함하는 산화물 재료를 포함하는, 메모리 셀.

#### 청구항 3

제1항에 있어서,

상기 타원형 형상 비트는 스핀-홀-효과-기반 자기저항 랜덤 액세스 메모리인, 메모리 셀.

#### 청구항 4

제1항에 있어서,

상기 타원형 형상 비트는 Rashba-effect-기반 자기저항 랜덤 액세스 메모리인, 메모리 셀.

#### 청구항 5

제1항에 있어서,

상기 자유 층은 상기 제 1 상호연결 라인에 커플링되는, 메모리 셀.

#### 청구항 6

제1항에 있어서,

상기 제 1 상호연결 라인은 백금(Pt), 탄탈럼(Ta), 텅스텐(W), hafnium(Hf), 이리듐(Ir), 구리-비스무트(CuBi), 구리-이리듐(CuIr) 및 알루미늄-텅스텐(AuW) 중 하나 이상을 포함하고, 상기 제 1 상호연결 라인은 약 4 nm 내지 20 nm의 두께를 갖는, 메모리 셀.

#### 청구항 7

제1항에 있어서,

상기 제 1 상호연결 라인은 구리 및 알루미늄 중 하나 이상을 포함하고, 상기 제 1 상호연결 라인은 약 20 nm 내지 100 nm의 두께를 갖는, 메모리 셀.

**청구항 8**

제1항에 있어서,  
상기 기준 층은 상기 제 1 상호연결 라인에 커플링되는, 메모리 셀.

**청구항 9**

제1항에 있어서,  
상기 긴 축은 상기 제 1 길이방향 축으로부터 5 도 내지 60 도의 각도로 배치되는, 메모리 셀.

**청구항 10**

제 1 길이방향 축을 갖는 상호연결 라인;

상기 상호연결 라인에 결합된 타원형 형상 비트 - 상기 타원형 형상 비트는 긴 축을 갖고, 상기 긴 축은 상기 제 1 길이방향 축에 대하여 약 5 도와 약 60 도 사이의 각도로 배치됨 - ; 및

상기 상호연결 라인에 대해 수직으로 배치된 개별적인 콘택(contact)

을 포함하며,

상기 타원형 형상 비트는,

자유 층;

자기 모멘트를 갖는 기준 층; 및

상기 자유 층과 상기 기준 층 사이에 배치된 배리어 층

을 포함하는, 메모리 셀.

**청구항 11**

제10항에 있어서,

상기 타원형 형상 비트는 캐핑(capping) 층을 더 포함하는, 메모리 셀.

**청구항 12**

제10항에 있어서,

상기 타원형 형상 비트는 피닝(pinning) 층을 더 포함하는, 메모리 셀.

**청구항 13**

제12항에 있어서,

상기 피닝 층은 반강자성체(AFM)인, 메모리 셀.

**청구항 14**

제12항에 있어서,

상기 피닝 층은 이리듐-망가니즈(IrMn), 백금-망가니즈(PtMn), 니켈-망가니즈(NiMn), 니켈 산화물(NiO) 및 철-망가니즈(FeMn) 중 하나 이상을 포함하는, 메모리 셀.

**청구항 15**

제10항에 있어서,

상기 기준 층은 합성 반강자성체 구조의 부분인, 메모리 셀.

**청구항 16**

제15항에 있어서,

상기 합성 반강자성체 구조는 상기 배리어 층에 인접한 제 1 강자성체 층, 제 2 강자성체 층, 및 상기 제 1 강자성체 층과 상기 제 2 강자성체 층 사이에 배치된 루테튬 층을 포함하고, 상기 기준 층은 상기 제 1 강자성체 층인, 메모리 셀.

**청구항 17**

제10항에 있어서,

상기 자유 층은 상기 제 1 상호연결 라인에 커플링되는, 메모리 셀.

**청구항 18**

제10항에 있어서,

상기 자유 층은 상기 개별적인 콘택에 커플링되는, 메모리 셀.

**청구항 19**

제10항에 있어서,

상기 개별적인 콘택은 백금(Pt), 탄탈럼(Ta), 텅스텐(W), haf늄(Hf), 이리듐(Ir), 구리-비스무트(CuBi), 구리-이리듐(CuIr) 및 알루미늄-텅스텐(AuW) 중 하나 이상을 포함하고, 상기 개별적인 콘택은 약 4 nm 내지 20 nm의 두께를 갖는, 메모리 셀.

**청구항 20**

제 1 길이방향 축을 갖는 제 1 상호연결 라인;

상기 제 1 상호연결 라인에 대해 수직인 제 2 길이방향 축을 갖는 제 2 상호연결 라인;

상기 제 1 상호연결 라인에 대해 평행한 제 3 길이방향 축을 갖는 제 3 상호연결 라인;

상기 제 1 상호연결 라인과 상기 제 2 상호연결 라인 사이에 배치된 제 1 긴 축을 갖는 제 1 타원형 형상 비트 - 상기 제 1 긴 축은 상기 제 1 길이방향 축 및 상기 제 2 길이방향 축에 관하여 각도를 이루어 배치됨 -; 및  
 상기 제 2 상호연결 라인과 상기 제 3 상호연결 라인 사이에 배치된 제 2 긴 축을 갖는 제 2 타원형 형상 비트 - 상기 제 2 긴 축은 상기 제 2 길이방향 축 및 상기 제 3 길이방향 축에 관하여 각도를 이루어 배치됨 -

를 포함하며,

상기 제 1 타원형 형상 비트는,

제 1 자유 층;

상기 제 1 긴 축과 상이한 각도로 배치된 제 1 자기 모멘트를 갖는 제 1 기준 층; 및

상기 제 1 자유 층과 상기 제 1 기준 층 사이에 배치된 제 1 배리어 층

을 포함하고,

상기 제 2 타원형 형상 비트는,

제 2 자유 층;

상기 제 2 긴 축과 상이한 각도로 배치된 제 2 자기 모멘트를 갖는 제 2 기준 층; 및

상기 제 2 자유 층과 상기 제 2 기준 층 사이에 배치된 제 2 배리어 층

을 포함하는, 메모리 어레이.

**청구항 21**

제20항에 있어서,

상기 메모리 어레이는 스핀-홀-효과-기반 자기저항 랜덤 액세스 메모리 어레이인, 메모리 어레이.

**청구항 22**

제20항에 있어서,

상기 메모리 어레이는 라쉬바-효과-기반 자기저항 랜덤 액세스 메모리 어레이인, 메모리 어레이.

**청구항 23**

제20항에 있어서,

상기 제 1 자유 층은 상기 제 1 상호연결 라인에 커플링되는, 메모리 어레이.

**청구항 24**

제23항에 있어서,

상기 제 1 상호연결 라인은 백금(Pt), 탄탈럼(Ta), 텅스텐(W), 하프늄(Hf), 이리듐(Ir), 구리-비스무트(CuBi), 구리-이리듐(CuIr) 및 알루미늄-텅스텐(AuW) 중 하나 이상을 포함하고, 상기 제 1 상호연결 라인은 약 4 nm 내지 20 nm의 두께를 갖는, 메모리 어레이.

**발명의 설명**

**기술 분야**

[0001] 본 개시의 실시예들은 일반적으로, 비-휘발성 메모리에 관한 것이고, 더 상세하게는, 개선된 스핀 토크 효율을 갖는 자기저항 랜덤 액세스 메모리(MRAM)에 관한 것이다.

**배경 기술**

[0002] 컴퓨터의 핵심은 회전 자기 매체 또는 고체 상태 매체 디바이스를 전형적으로 포함할 수 있는 자기 레코딩 디바이스이다. 컴퓨팅 시스템에서 사용하기 위한 정보를 저장하기 위한 다수의 상이한 메모리 기술들이 오늘날 존재한다. 이러한 상이한 메모리 기술들은, 일반적으로, 2개의 주요한 카테고리들: 휘발성 메모리 및 비-휘발성 메모리로 나눌 수 있다. 휘발성 메모리는 일반적으로, 저장된 데이터를 보유하기 위해 전력을 요구하는 컴퓨터 메모리의 타입들을 지칭할 수 있다. 다른 한편으로, 비-휘발성 메모리는 일반적으로, 저장된 데이터를 보유하기 위해 전력을 요구하지 않는 컴퓨터 메모리의 타입들을 지칭할 수 있다. 비-휘발성 메모리의 예들은 판독-전용 메모리(ROM), 자기저항 RAM(MRAM), 및 플래시 메모리, 예컨대 NOR 및 NAND 플래시 등을 포함할 수 있다.

[0003] 최근에, MRAM이 차세대 비-휘발성 메모리로서 점점 더 많은 관심을 끌어 왔다. MRAM은 신속한 액세스 시간, 거의 무한한 판독/기록 내구성, 복사 경도(radiation hardness), 및 고 저장 밀도를 제공한다. 종래의 RAM 칩 기술들과 다르게, MRAM 데이터는 전하로서 저장되지 않고, 대신에, 자기 모멘트들을 사용하여 데이터 비트들이 저장된다. MRAM 디바이스들은 2개의 자기적으로 편극된 층들로 형성된 메모리 요소들을 포함할 수 있고, 그러한 2개의 자기적으로 편극된 층들 각각은, 자기 터널 접합(MTJ) 비트를 함께 형성하는 얇은 절연성 층에 의해 분리되어, 자기 편극 필드를 유지할 수 있다. 얇은 절연성 층은 배리어 층일 수 있다. MTJ 메모리 비트들은 막 표면에 대한 MTJ 비트 구조의 면-내 또는 수직 자화를 위해 설계될 수 있다. 2개의 자성 층들 중 하나는 특정한 극성으로 세팅된 영구 자석이고(즉, 고정된 자화를 가짐); 다른 층의 편극은 강한 자기장 또는 스핀 편극된 전류와 같은 외부 기록 메커니즘의 영향 하에서 변화될 것이다(즉, 자유(free) 자화를 가짐). 그에 따라, 셀들은 셀들이 비-휘발성 메모리 셀들의 역할을 하게 허용하는 2개의 안정적인 상태들을 갖는다.

[0004] MTJ 메모리 비트를 채용하는 MRAM의 하나의 타입은 스핀-토크-전달 MRAM(STT-MRAM)이고, 여기에서, 비트 상태는 스핀 편극된 전류를 사용하여 기록된다. 그러나, 전형적으로, 셀의 상태를 스위칭하기 위해 대량의 기록 전류가 요구된다. 시간이 지나면서, 배리어 층은 전류의 양으로 인해 파괴될 수 있고, 그에 따라, MTJ가 동작가능하지 않게 될 수 있다. 부가적으로, STT-MRAM 디바이스들에서, 이웃하는 MTJ 비트들을 방해하지 않으면서 기록하기 위해 단일 MTJ 비트를 격리시키는 것이 어려울 수 있고, 개별적인 MTJ 비트를 선택하기 위해 대형 트랜지스터가 필요할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 따라서, 이웃하는 MTJ 비트들을 방해하지 않으면서 개별적인 MTJ 비트들을 선택할 수 있고, 또한, 배리어 층의 파괴를 방지하기 위해 기록 전류의 효율을 향상시킬 수 있는 개선된 MRAM 디바이스에 대한 필요성이 본 기술분야에 존재한다.

**과제의 해결 수단**

[0006] 본 개시는 일반적으로, 비-휘발성 메모리 디바이스에 관한 것이고, 구체적으로, 개별적인 비트들을 스위칭하는 데 요구되는 전류의 양에서의 감소, 뿐만 아니라, 스위칭 신뢰성에서의 향상을 제공하는 스핀 케도 토크 MRAM(SOT-MRAM) 메모리 셀에 관한 것이다. SOT-MRAM 메모리 셀은 제 1 길이방향 축을 갖는 제 1 상호연결 라인, 긴 축을 갖는 타원형 형상 MTJ 비트, 및 제 1 상호연결 라인에 대해 수직으로 배향된 제 2 길이방향 축을 갖는 제 2 상호연결 라인을 포함한다. 타원형 형상 MTJ 비트의 긴 축은 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 배치된다. MTJ 비트는 자기적으로 편극된 자유 층, 자성 층들을 디커플링하기 위해 사용되는 배리어 층, 및 MTJ 비트의 긴 축과 상이한 각도로 피닝된 자기 모멘트를 갖는 자기적으로 편극된 기준(reference) 층을 포함한다. 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 MTJ 비트의 긴 축을 배향시키고, MTJ 비트의 긴 축과 상이한 각도로 MTJ 기준 층 모멘트를 배향시키도록 선택함으로써, MTJ 비트에 걸쳐 인가되는 전압 및 상호연결 라인을 따르는 전압의 어떤 조합에 의해 유도되는 스핀 전류들/라쉬바 필드들과 자유 층 모멘트 사이에 비-제로(non-zero) 평형 각도가 유도될 수 있고, 그에 따라, 스위칭 다이내믹스(switching dynamics)가 더 일관성 있게 되고(more coherent), 반전을 위한 인큐베이션 시간(incubation time)이 감소될 수 있다.

[0007] 일 실시예에서, 메모리 셀은 제 1 길이방향 축을 갖는 제 1 상호연결 라인, 제 1 상호연결 라인에 대해 수직으로 배치된 제 2 길이방향 축을 갖는 제 2 상호연결 라인, 및 긴 축을 갖는 타원형 형상 비트를 포함한다. 타원형 형상 비트는 제 1 상호연결 라인과 제 2 상호연결 라인 사이에 배치되고, 여기에서, 긴 축은 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 배치된다. 타원형 형상 비트는 자유 층, 자기 모멘트를 갖는 기준 층 - 자기 모멘트는 긴 축과 상이한 각도로 배치됨 -, 및 자유 층과 기준 층 사이에 배치된 배리어 층을 포함한다.

[0008] 다른 실시예에서, 메모리 셀은 제 1 길이방향 축을 갖는 상호연결 라인, 상호연결 라인에 대해 수직으로 배치된 개별적인 콘택(contact), 상호연결 라인에 커플링된 타원형 형상 비트 - 타원형 형상 비트는 긴 축을 갖고, 긴 축은 제 1 길이방향 축에 관하여 각도를 이루어 배치됨 - 를 포함하며, 여기에서, 타원형 형상 비트는 자유 층, 긴 축과 상이한 각도로 배치된 자기 모멘트를 갖는 기준 층, 및 자유 층과 기준 층 사이에 배치된 배리어 층을 포함한다.

[0009] 다른 실시예에서, 메모리 어레이는 제 1 길이방향 축을 갖는 제 1 상호연결 라인, 제 1 상호연결 라인에 대해 수직인 제 2 길이방향 축을 갖는 제 2 상호연결 라인, 제 1 상호연결 라인에 대해 평행한 제 3 길이방향 축을 갖는 제 3 상호연결 라인, 제 1 긴 축을 갖는 제 1 타원형 형상 비트, 및 제 2 긴 축을 갖는 제 2 타원형 형상 비트를 포함한다. 제 1 타원형 형상 비트는 제 1 상호연결 라인과 제 2 상호연결 라인 사이에 배치되고, 여기에서, 제 1 긴 축은 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 배치된다. 제 1 타원형 형상 비트는 제 1 자유 층, 제 1 자기 모멘트를 갖는 제 1 기준 층 - 제 1 자기 모멘트는 제 1 긴 축과 상이한 각도로 배치됨 -, 및 제 1 자유 층과 제 1 기준 층 사이에 배치된 제 1 배리어 층을 포함한다. 제 2 타원형 형상 비트는 제 2 상호연결 라인과 제 3 상호연결 라인 사이에 배치되고, 여기에서, 제 2 긴 축은 제 2 길이방향 축 및 제 3 길이방향 축에 관하여 각도를 이루어 배치된다. 제 2 타원형 형상 비트는 제 2 자유 층, 제 2 자기 모멘트를 갖는 제 2 기준 층 - 제 2 자기 모멘트는 제 2 긴 축과 상이한 각도로 배치됨 -, 및 제 2 자유 층과 제 2 기준 층 사이에 배치된 제 2 배리어 층을 포함한다.

**발명의 효과**

[0010] MTJ 비트에 걸쳐 인가되는 전압 및 상호연결 라인을 따르는 전압의 어떤 조합에 의해 유도되는 스핀 전류들/라쉬바 필드들과 자유 층 모멘트 사이에 비-제로 평형 각도가 유도될 수 있고, 그에 따라, 스위칭 다이내믹스가 더 일관성 있게 되고, 반전을 위한 인큐베이션 시간이 감소될 수 있다.

**도면의 간단한 설명**

[0011] 본 개시의 위에서 열거된 특징들이 상세히 이해될 수 있게 하도록, 위에서 간략하게 요약된 본 개시의 더 특정한 설명이 실시예들을 참조하여 이루어질 수 있는데, 그러한 실시예들의 일부는 첨부된 도면들에서 예시된다. 그러나, 첨부된 도면들이 본 개시의 단지 전형적인 실시예들만을 예시하고, 그에 따라, 본 개시의 범위를 제한하는 것으로 간주되지 않아야 하는 것이 유의되어야 하는데, 이는, 본 개시가 다른 동등하게 유효한 실시예들을 허용할 수 있기 때문이다.

- 도 1a는 일 실시예에 따른 SOT-MRAM 메모리 셀의 개략적인 예시이다.
- 도 1b는 도 1a의 SOT-MRAM 메모리 셀의 개략적인 상면 평면도이다.
- 도 1c는 일 실시예에 따른 SOT-MRAM 메모리 셀의 자유 및 기준 층들의 개략도이다.
- 도 1d는 일 실시예에 따른 메모리 비트의 개략적인 측면도이다.
- 도 1e는 다른 실시예에 따른 메모리 비트의 개략적인 측면도이다.
- 도 1f는 일 실시예에 따른 SOT-MRAM 메모리 셀의 개략적인 측면도이다.
- 도 1g는 다른 실시예에 따른 SOT-MRAM 메모리 셀의 개략적인 측면도이다.
- 도 1h는 일 실시예에 따른 SOT-MRAM 메모리 셀의 상태의 개략도이다.
- 도 1i는 다른 실시예에 따른 SOT-MRAM 메모리 셀의 상태의 개략도이다.
- 도 2a는 일 실시예에 따른 메모리 어레이의 개략도이다.
- 도 2b는 일 실시예에 따른 SOT-MRAM 메모리 어레이의 개략적인 사시도이다.
- 도 3a는 SOT-MRAM 메모리 셀의 개략적인 평면도이다.
- 도 3b는 도 3a의 SOT-MRAM 메모리 셀의 기준 층 및 자유 층의 개략도이다.
- 도 3c는 일 실시예에 따른 SOT-MRAM 메모리 셀의 개략적인 측면도이다.
- 도 3d는 일 실시예에 따른 SOT-MRAM 메모리 셀의 개략적인 측면도이다.
- 도 3e는 다른 실시예에 따른 SOT-MRAM 메모리 어레이의 개략적인 예시이다.

이해를 용이하게 하기 위해, 도면들에 공통인 동일한 요소들을 지정하는데 가능한 한 동일한 참조 번호들이 사용되었다. 일 실시예에 개시된 요소들이 구체적으로 상술 없이 다른 실시예들에서 유의하게 활용될 수 있다는 점이 고려된다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 이하에서, 본 개시의 실시예들이 참조된다. 그러나, 본 개시가 설명하는 특정 실시예들에 제한되지 않는다는 점이 이해되어야 한다. 대신에, 상이한 실시예들에 관련되거나 또는 그렇지 않거나, 이하의 특징들 및 요소들의 임의의 조합이 본 개시를 구현하고 실시하기 위해 고려된다. 게다가, 본 개시의 실시예들이 다른 가능한 해결법들 및/또는 종래 기술을 능가하는 이점들을 달성할 수 있지만, 특정 이점이 주어진 실시예에 의해 달성되는지 아닌지 여부는 본 개시를 제한하지 않는다. 따라서, 이하의 양태들, 특징들, 실시예들 및 이점들은, 단지 예시적이고 청구항(들)에서 명확히 열거되는 경우를 제외하고 첨부된 청구항들의 요소들 또는 제한들인 것으로 고려되지 않는다. 마찬가지로, "본 개시"에 대한 언급은, 본원에서 개시되는 임의의 본 발명의 대상의 일반화로서 해석되지 않아야 하고, 청구항(들)에서 명시적으로 기재되는 경우를 제외하고, 첨부된 청구항들의 요소 또는 제한인 것으로 고려되지 않아야 한다.

[0013] 본 개시는 일반적으로, 비-휘발성 메모리 디바이스에 관한 것이고, 구체적으로, 개별적인 비트들을 스위칭하는데 요구되는 전류의 양에서의 감소, 뿐만 아니라, 스위칭 신뢰성에서의 향상을 제공하는 스핀 웨도 토크 MRAM(SOT-MRAM) 메모리 셀에 관한 것이다. SOT-MRAM 메모리 셀은 제 1 길이방향 축을 갖는 제 1 상호연결 라인, 긴 축을 갖는 타원형 형상 MTJ 비트, 및 제 1 상호연결 라인에 대해 수직으로 배향된 제 2 길이방향 축을 갖는 제 2 상호연결 라인을 포함한다. 타원형 형상 MTJ 비트의 긴 축은 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 배치된다. MTJ 비트는 자기적으로 편극된 자유 층, 자성 층들을 디커플링하기 위해 사용되는 배리어 층, 및 MTJ 비트의 긴 축과 상이한 각도로 편극된 자기 모멘트를 갖는 자기적으로 편극된 기준 층을 포함한다. 제 1 길이방향 축 및 제 2 길이방향 축에 관하여 각도를 이루어 MTJ 비트의 긴 축을 배향시키고, MTJ

비트의 긴 축과 상이한 각도로 MTJ 기준 층 모멘트를 배향시킴으로써, MTJ 비트에 걸쳐 인가되는 전압 및 상호 연결 라인을 따르는 전압의 어떤 조합에 의해 유도되는 스핀 전류들/라쉬바 필드들과 자유 층 모멘트 사이에 비-제로 평형 각도가 유도될 수 있고, 그에 따라, 스위칭 다이내믹스가 더 일관성 있게 되고, 반전을 위한 인큐베이션 시간이 감소될 수 있다.

[0014] 도 1a는 일 실시예에 따른 SOT-MRAM 메모리 셀(100)의 개략적인 예시이다. 메모리 셀(100)은 스핀-홀-효과-기반 MRAM(SHE-MRAM) 또는 라쉬바 효과(Rashba effect) MRAM일 수 있다. 메모리 셀(100)은 제 1 길이방향 축(105a)을 갖는 제 1 상호연결 라인(105), 제 1 상호연결 라인(105)에 대해 수직인 제 2 길이방향 축(110a)을 갖는 제 2 상호연결 라인(110), 및 제 1 길이방향 축(105a) 및 제 2 길이방향 축(110a)에 관하여 각도를 이루어 배치된 긴 축(115a)을 갖는 타원형 형상 비트(115)를 갖는다. 자기 터널 접합 메모리 요소 또는 타원형 형상 비트(115)는 자유 자화를 갖는 자유 층(120), 고정된 또는 피닝된 자기 모멘트(125a)를 갖는 기준 층(125), 및 자유 층(120)과 기준 층(125) 사이에 배치된 자성 층들을 디커플링하기 위해 사용되는 배리어 층(130)을 포함한다. 기준 층(125)의 자기 모멘트(125a)는 긴 축(115a)과 상이한 각도로 배치된다. 부가적인 층들이 자유 층(120)과 각각의 상호연결 라인(105, 110) 사이에, 뿐만 아니라, 기준 층(125)과 각각의 상호연결 라인(105, 110) 사이에 존재할 수 있다는 것이 이해되어야 한다. 예컨대, 반강자성 층, 합성 반강자성 구조, 또는 캐핑(capping) 층이 존재할 수 있다.

[0015] 타원형 형상 비트(115)는 높이, 긴 직경, 및 짧은 직경을 갖는 타원형 실린더이고, 여기에서, 긴 직경은 짧은 직경보다 더 크다. 타원형 형상 비트(115)의 긴 직경은 긴 축(115a)과 동등하다. 일 실시예에서, 긴 축(115a)은 제 1 상호연결 라인(105) 및 제 2 상호연결 라인(110) 양자 모두의 폭들과 동일하다. 일 실시예에서, 타원형 형상 비트(115)의 긴 축(115a)은 제 2 길이방향 축(110a)으로부터 5 내지 60 도로 배향된다. 일 실시예에서, 타원형 형상 비트(115)의 긴 축(115a)은 제 1 길이방향 축(105a)으로부터 30 도 내지 85 도로 배향된다. 일 실시예에서, 비트는 자유 층(120)이 제 2 길이방향 축(110a)으로부터 5 도 내지 60 도의 각도로 제 2 상호연결(110)과 접촉하도록 배향될 수 있다. 다른 실시예에서, 비트는 자유 층(120)이 제 1 길이방향 축(105a)으로부터 5 도 내지 60 도의 각도로 제 1 상호연결(105)과 접촉하도록 배향될 수 있다. 일 실시예에서, 긴 축(115a)은 제 1 길이방향 축(105a)으로부터 5 도 내지 60 도의 각도로 배치된다.

[0016] 타원형 형상 비트(115)는 긴 축(115a)을 따르는 단축 이방성(uniaxial anisotropy)을 타원형 형상 비트(115)에 제공하도록 패터닝되어, 자유 층(120)이 긴 축(115a)을 따르는 2개의 방향들 중 하나의 방향으로만 포인팅(point)하게 될 것을 보장한다. 패터닝된 형상의 결과로서, 단축 이방성 에너지가 충분히 자연스럽게 형성되어, 자유 층(120)이 자발적으로 스위칭되는 것을 방지하기 위한 배리어가 생성되고, 그에 따라, 보유가 보장된다. 단축 이방성 에너지는 공식  $1/2M_s H_k V$ 에 의해 결정되고, 여기에서,  $M_s$ 는 포화 자화이고,  $H_k$ 는 이방성 필드이고,  $V$ 는 체적이다. 기록은 자유 층(120)을 통해 스핀 편극된 전류를 통과시킴으로써 발생한다. 스핀 편극된 전류가 자유 층(120) 상에 토크를 가하여, 자유 층(120)이 이방성 에너지 배리어를 극복하고 배향을 스위칭하게 허용한다. 자유 층에 커플링된 상호연결(105)을 통해 전류를 통과시킴으로써 생성되는 스핀 홀 효과들 및/또는 라쉬바 효과들은 타원형 형상 비트(115)를 포함하는 개별적인 비트들의 기록성을 향상시키는 것을 도울 수 있다. 라쉬바 효과들, 단지 스핀 홀 효과들, 또는 라쉬바 효과들과 스핀 홀 효과들의 조합이 개별적인 비트들의 기록성을 향상시키기 위해 선택될 수 있다. 이웃하는 메모리 셀들을 방해하지 않으면서 개별적인 메모리 셀이 기록될 수 있다. 부가적으로, 선택된 메모리 셀만이 기록되는 것을 보장하기 위해, 이웃하는 메모리 셀들에서의 라쉬바 및/또는 스핀 홀 효과들이 억제될 수 있고, 이는 다르게, 반-선택 스킴(half-select scheme)이라고 알려져 있다. 반대의 경우가 또한 발생할 수 있고, 즉, 스핀 홀 효과들 및/또는 라쉬바 효과들이 주 기록 메커니즘일 수 있고, MTJ 비트를 통해 흐르는 스핀 편극된 전류가 기록성을 향상시키고 적절한 비트 선택을 보장하는 것을 도울 수 있다는 것이 이해된다.

[0017] 도 1b는 제 1 상호연결 라인(105) 및 제 2 상호연결 라인(110)에 관하여 어떤 각도를 이루는 타원형 형상 비트(115)의 배치를 도시하는 도 1a의 SOT-MRAM 메모리 셀(100)의 개략적인 상면 평면도이다. 다른 시스템들에서, 기준 층(125)의 피닝(pinning)은, 자유 층(120)과 상호작용하는 전류의 스핀 편극이 자화에 대해 공선적이도록, 타원형 형상 비트(115)의 긴 축(115a)에 대해 평행하게 이루어진다. 자유 층(120)을 스위칭하기 위해 요구되는 스핀 토크의 세기가 자유 및 기준 층 모멘트들 사이의 각도의 사인에 대해 비례하기 때문에, 층들 사이의 각도가 0 도 또는 180 도인 자유 층(120) 및 기준 층(125)의 공선적인 배향은 사인을 발생시키고, 그에 따라, 스핀 토크가 제로가 된다. 따라서, 스위칭은 층들 사이의 작은 오정렬을 유도하기 위해 자기 모멘트들의 열적 변동(thermal fluctuation)들을 요구하고, 그에 따라, 전류가 자유 층(120)을 통해 흐르기 시작함에 따라, 진동이 이방성 에너지 배리어를 극복하여 자유 층(125)이 배향을 스위칭하게 허용할 정도로 충분히 크게 될 때까지, 자

유 층(120)은 진동하여 진폭을 증가시키기 시작한다. 이러한 열적 변동들이 랜덤 프로세스이기 때문에, 프로세싱을 시작하기 위해 요구되는 초기 시간(인큐베이션 시간이라고 알려짐), 및 그에 따라, 개별적인 비트 뿐만 아니라 전체 비트 어레이에 대한 총 스위칭 시간이 하나의 기록 시도와 다음 기록 시도 간에 변화될 수 있다.

- [0018] 도 1c가 예시하는 바와 같이, 긴 축(115a)과 상이한 각도로 기준 층(125)의 자기 모멘트(125a)를 피닝함으로써, 자유 층(120) 상에 스핀 토크를 가하기 위한 초기 상태가 제로보다 더 큰 양으로부터 시작되고, 이는, 인큐베이션 시간을 제거하고, 스위칭 효율 및 일관성(coherency)을 크게 향상시킨다. 일 실시예에서, 기준 층(125)의 자기 모멘트(125a)은 타원형 형상 비트(115)의 긴 축(115a)으로부터 5 내지 60 도의 각도로 배치된다.
- [0019] 기준 층(125)은 IrMn, PtMn, NiMn, NiO, 또는 FeMn과 같은 반강자성 층을 사용함으로써 단순히 피닝될 수 있다. 일 실시예에서, 타원형 형상 비트(115)는 비자성 층을 통해 커플링된 2개의 자성 층들을 갖는 합성 반강자성체(SAF) 고정된 층을 사용할 수 있다. 특정한 실시예들에서, 고정된 강자성체 층은, Co와 Pt, Co와 팔라듐(Pd), Co와 Ni, 및/또는 이들의 조합들 및 혼합물들의 초격자들, 또는 B, Ge, 백금(Pt), 및/또는 Mn과 함께 Ni, Fe, Co, 또는 이들의 조합을 포함하는 합금을 포함하는 단일 강자성체일 수 있다. 특정한 실시예들에서, 비자성 층은 루테튬(Ru)을 포함한다. 특정한 실시예들에서, SAF는 제 1 강자성체 층, 제 2 강자성체 층, 및 제 1 강자성체 층과 제 2 강자성체 층 사이에 배치된 루테튬(Ru) 층을 포함한다.
- [0020] 특정한 실시예들에서, 타원형 형상 비트(115)는 하단 시딩 하층, 피닝 층, 및/또는 캐핑 층을 포함할 수 있다. 도 1d는 타원형 형상 비트(115)의 일 실시예의 측면도를 도시한다. 타원형 형상 비트(115)는 반강자성 층(135), 기준 층(125), 배리어 층(130), 및 자유 층(120)을 포함한다. 타원형 형상 비트(115)는 제 1 상호연결 라인(105)과 제 2 상호연결 라인(110) 사이에 배치되고, 이는 도시되지 않는다. 반강자성 층(135)은 기준 층(125)에 커플링되고, 제 1 상호연결 라인(105) 또는 제 2 상호연결 라인(110)에 커플링될 수 있다. 배리어 층(130)은 기준 층(125)과 자유 층(120) 사이에 배치된다.
- [0021] 도 1e는 타원형 형상 비트(115)의 다른 실시예의 측면도를 도시한다. 타원형 형상 비트(115)는 합성 반강자성 층(145), 배리어 층(130), 및 자유 층(120)을 포함한다. 합성 반강자성 층(145)은 기준 층(125)을 포함한다. 특정한 실시예들에서, SAF는 제 1 강자성체 층, 제 2 강자성체 층, 및 제 1 강자성체 층과 제 2 강자성체 층 사이에 배치된 루테튬(Ru) 층을 포함한다. 배리어 층(130)에 인접한 강자성체 층이 기준 층(125)이다. 타원형 형상 비트(115)는 제 1 상호연결 라인(105)과 제 2 상호연결 라인(110) 사이에 배치되고, 이는 도시되지 않는다. 합성 반강자성 층(145)은 제 1 상호연결 라인(105) 또는 제 2 상호연결 라인(110)에 커플링될 수 있다. 배리어 층(130)은 기준 층(125)과 자유 층(120) 사이에 배치된다.
- [0022] 도 1f는 SOT-MRAM 메모리 셀(100)의 일 실시예의 측면도를 도시한다. 타원형 형상 비트(115)는 제 1 상호연결 라인(105)에 커플링된 자유 층(120), 및 제 2 상호연결 라인(110) 상에 직접적으로 배치된 기준 층(125)을 포함한다. 자유 층(120) 및 기준 층(125)은 붕소 (B), 게르마늄 (Ge), 및/또는 망간 (Mn)과 함께 니켈(Ni), 철 (Fe), 구리(Co), 또는 이들의 합금 조합을 포함할 수 있다. 자유 층(120)은 약 1 nm 내지 6 nm의 두께를 가질 수 있고, 기준 층(125)은 약 1 nm 내지 6 nm의 두께를 가질 수 있다. 배리어 층(130)은 자유 층(120)과 기준 층(125) 사이에 배치된다. 배리어 층(130)은 마그네슘 산화물(MgO), 하프늄 산화물(HfO), 또는 알루미늄 산화물(AlO<sub>x</sub>)과 같은 산화물로 구성될 수 있고, 약 0.7 nm 내지 3 nm의 두께를 가질 수 있다. 자유 층에 커플링된 상호연결 라인(도 1f에서의 제 1 상호연결(105))은 스핀 홀 및/또는 라쉬바 효과들을 생성하기 위해 약 4 내지 20 nm의 두께를 갖는 Pt, Ta, W, Hf, Ir, CuBi, CuIr, 또는 AuW와 같은 강한 스핀 궤도 커플링을 갖는 재료로 구성될 수 있고, 기준 층(125)에 커플링된 제 2 상호연결 라인(110)은 구리 또는 알루미늄으로 구성될 수 있고, 약 20 nm 내지 100 nm의 두께를 가질 수 있다.
- [0023] 도 1g는 SOT-MRAM 메모리 셀(100)의 다른 실시예를 예시하고, 여기에서, 타원형 형상 비트(115)는 제 1 상호연결 라인(105)에 커플링된 기준 층(125), 및 제 2 상호연결 라인(110) 상에 직접적으로 배치된 자유 층(120)을 포함한다. 제 1 상호연결 라인(105) 및 제 2 상호연결 라인(110)은 판독 동작들을 위한 워드 라인 및 비트 라인일 수 있다. 제 1 상호연결 라인(105) 및 제 2 상호연결 라인(110)은 기록 동작들을 위한 워드 라인 및 비트 라인일 수 있다. 배리어 층(130)은 자유 층(120)과 기준 층(125) 사이에 배치된다.
- [0024] 타원형 형상 비트(115)는 1 또는 0을 표현하는 상태에 있을 수 있고, 여기에서, 자유 층 모멘트(120)의 컴포넌트는, 각각, 기준 층 모멘트(125a)에 대해 실질적으로 역평행하거나 또는 평행하다. 비트(115)의 저항은 배리어 층(130)과 인터페이스하는 기준 층(125) 및 자유 층(120)의 자기 모멘트들의 상대적인 배향에 따라 좌우된다. 자유 층(120)의 자기 모멘트가, 도 1h에서 보이는 바와 같이, 기준 모멘트(125a)와 실질적으로 평행한 구성에 있는 경우에, 타원형 형상 비트(115)는 0을 표현하는 상태에 있다. 자유 층 모멘트(120)의 컴포넌트가, 도 1i에

서 보이는 바와 같이, 기준 모멘트(125a)와 실질적으로 역평행한 구성에 있는 경우에, 타원형 형상 비트(115)는 1을 표현하는 상태에 있다.

[0025] 도 2a는 일 실시예에 따른 메모리 어레이(240)를 예시한다. 메모리 어레이(240)는 복수의 하단 상호연결 라인들, 하단 상호연결 라인들에 대해 수직으로 배치된 복수의 상단 상호연결 라인들, 및 복수의 하단 상호연결 라인들과 복수의 상단 상호연결 라인들 사이에 배치된 복수의 타원형 형상 비트들로 구성된다. 일 예에 따르면, 도 2b에서, 메모리 어레이(240)는 제 1 상호연결 라인(205), 제 1 상호연결 라인(205)에 대해 수직으로 배치된 제 2 상호연결 라인(210), 제 1 상호연결 라인(205)에 대해 평행하게 배치된 제 3 상호연결 라인(220), 제 1 긴 축을 갖는 제 1 타원형 형상 비트(215), 및 제 2 긴 축을 갖는 제 2 타원형 형상 비트(225)를 포함한다. 도시되지 않지만, 제 1 타원형 형상 비트(215)가 타원형 형상 비트(115)와 유사한 배치를 갖는다는 것이 이해될 수 있다. 제 1 타원형 형상 비트(215)는 제 1 상호연결 라인(205)과 제 2 상호연결 라인(210) 사이에 배치된다. 제 1 타원형 형상 비트(215)는 제 1 자유 층, 제 1 긴 축과 상이한 각도로 배치된 제 1 자기 모멘트를 갖는 제 1 기준 층, 및 제 1 자유 층과 제 1 기준 층 사이에 배치된 제 1 배리어 층을 포함한다. 제 2 타원형 형상 비트(225)는 제 2 상호연결 라인(210)과 제 3 상호연결 라인(220) 사이에 배치된다. 제 2 타원형 형상 비트(225)는 제 2 자유 층, 제 2 긴 축과 상이한 각도로 배치된 제 2 자기 모멘트를 갖는 제 2 기준 층, 및 제 2 자유 층과 제 2 기준 층 사이에 배치된 제 2 배리어 층을 포함한다. 제 2 타원형 형상 비트(225)의 제 2 긴 축은 제 1 타원형 형상 비트(215)의 제 1 긴 축에 대해 평행할 수 있다. 제 2 타원형 형상 비트(225)의 제 2 긴 축이 제 1 타원형 형상 비트(215)의 제 1 긴 축의 각도와 상이한 각도에 있는 가능한 대안이 존재한다. 메모리 어레이(240)가 메모리 어레이(240)에서의 각각의 개별적인 비트의 긴 축이 어레이의 나머지의 타원형 형상 비트들의 긴 축들에 대하여 상이한 각도로 배치된 복수의 타원형 형상 비트들을 포함할 수 있다는 것이 생각될 수 있다.

[0026] 도 3a는 SOT-MRAM 메모리 셀(300)의 다른 실시예를 예시하고, 여기에서, 메모리 셀(300)은 제 1 길이방향 축(305a)을 갖는 상호연결 라인(305), 상호연결 라인(305)에 커플링된 긴 축(315a)을 갖는 타원형 형상 비트(315), 및 상호연결 라인(305)에 대해 수직으로 배치된 개별적인 콘택(310)을 포함한다. 개별적인 콘택(310)이 선택 트랜지스터, 비-선택 트랜지스터, 또는 이들 둘의 조합을 활용할 수 있다는 것이 이해될 수 있다. 타원형 형상 비트(315)는 상호연결 라인(305)과 개별적인 콘택(310) 사이에 배치될 수 있다. 긴 축(315a)은 제 1 길이방향 축(305a)에 관하여 각도를 이루어 배치된다. 개별적인 콘택(310)은 제 2 길이방향 축을 가질 수 있고, 이는 도시되지 않는다. 다른 실시예에서, 긴 축(315a)은 제 1 길이방향 축(305a) 및 제 2 길이방향 축에 관하여 각도를 이루어 배치된다.

[0027] 기준 층(325)의 피닝은 기준 층(125)을 피닝하기 위해 활용된 동일한 기법들을 활용하는 것으로 이해될 수 있다. 도 3b가 예시하는 바와 같이, 기준 층(325)의 자기 모멘트(325a)는 자유 층(320)과 상이한 각도로 피닝된다.

[0028] 도 3c는 SOT-MRAM 메모리 셀(300)의 일 실시예의 측면도를 예시한다. 타원형 형상 비트(315)는 상호연결 라인(305)에 커플링된 자유 층(320), 및 개별적인 콘택(310) 상에 직접적으로 배치된 기준 층(325)을 포함한다. 자유 층(320) 및 기준 층(325)은 붕소(B), 게르마늄(Ge), 및/또는 망간(Mn)과 함께 니켈(Ni), 철(Fe), 구리(Co), 또는 이들의 합금 조합을 포함할 수 있다. 자유 층(320)은 약 1 nm 내지 6 nm의 두께를 가질 수 있고, 기준 층(325)은 약 1 nm 내지 6 nm의 두께를 가질 수 있다. 배리어 층(330)은 자유 층(320)과 기준 층(325) 사이에 배치된다. 배리어 층(330)은 마그네슘 산화물(MgO), 하프늄 산화물(HfO<sub>2</sub>), 또는 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)과 같은 산화물로 구성될 수 있고, 약 0.7 nm 내지 3 nm의 두께를 가질 수 있다. 제 1 상호연결 라인(305)은 스핀 홀 및/또는 라쉬바 효과들을 생성하기 위해 약 4 내지 20 nm의 두께를 갖는 Pt, Ta, W, Hf, Ir, CuBi, CuIr, 또는 AuW와 같은 강한 스핀 궤도 커플링을 갖는 재료로 구성될 수 있다.

[0029] 도 3d는 SOT-MRAM 메모리 디바이스(300)의 다른 실시예를 예시하고, 여기에서, 타원형 형상 비트(315)는 상호연결 라인(305)에 커플링된 기준 층(325), 및 개별적인 콘택(310) 상에 직접적으로 배치된 자유 층(320)을 포함한다. 자유 층(320)에 커플링된 개별적인 콘택(310)은 스핀 홀 및/또는 라쉬바 효과들을 생성하기 위해 약 4 내지 20 nm의 두께를 갖는 Pt, Ta, W, Hf, Ir, CuBi, CuIr, 또는 AuW와 같은 강한 스핀 궤도 커플링을 갖는 재료로 구성될 수 있고, 기준 층(325)에 커플링된 제 2 상호연결 라인(305)은 구리 또는 알루미늄으로 구성될 수 있고, 약 20 nm 내지 100 nm의 두께를 가질 수 있다. 배리어 층(330)은 자유 층(320)과 기준 층(325) 사이에 배치된다. 개별적인 콘택(310)은 비트(315)의 반대편 측들 상에 배치된 2개의 선택 트랜지스터들(335, 345)에 커플링될 수 있다. 상호연결 라인(305)은 비트들의 하나 이상의 행들과 접촉할 수 있다. 개별적인 콘택(310)은 단일 비트와 접촉할 수 있다. 그에 따라, 본 개시는, 도 3e에서 보이는 바와 같이, 독립적인 콘택들을 갖는 셀

들의 어레이를 포함할 수 있다. 타원형 형상 비트(315)가 타원형 형상 비트(115)의 다양한 실시예들을 포함할 수 있다는 것이 이해될 수 있다. 예로서, 타원형 형상 비트(315)는 다음의 것: 캐핑 층, 하층, 및/또는 피닝 층 중 하나 이상을 포함할 수 있다.

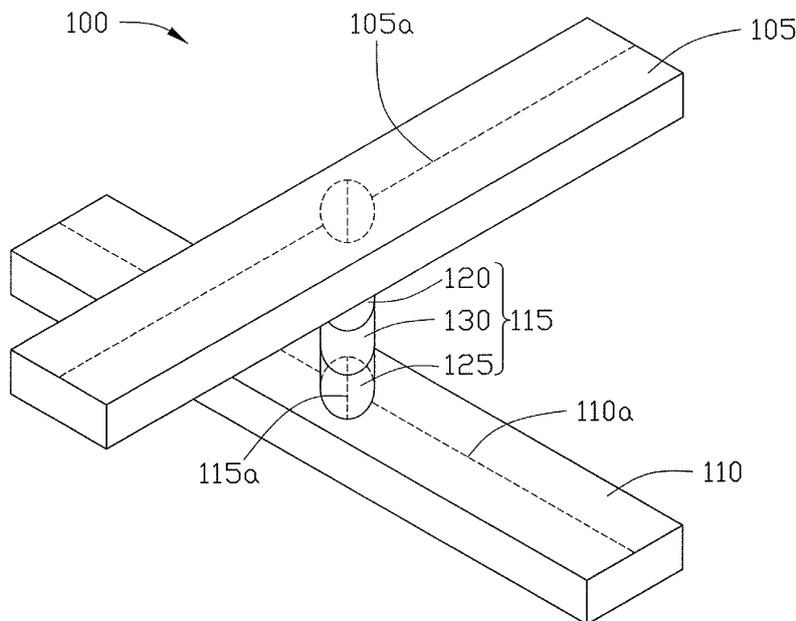
[0030] 도 3e는 일 실시예에 따른 메모리 어레이(340)를 예시한다. 메모리 어레이(340)는 복수의 상호연결 라인들, 복수의 상호연결 라인들에 대해 수직으로 배치된 복수의 독립적인 콘택들, 및 복수의 상호연결 라인들 및 복수의 개별적인 콘택들에 커플링된 복수의 타원형 형상 비트들로 구성된다. 일 예에 따르면, 메모리 어레이(340)는 상호연결 라인(305), 제 1 상호연결 라인(305)에 대해 수직으로 배치된 개별적인 콘택(310), 및 긴 축(315a)을 갖는 타원형 형상 비트(315)를 포함한다. 상호연결 라인(305)은 개별적인 콘택(310)을 도시하기 위해 부분적으로 제거되었다. 타원형 형상 비트(315)는 자유 층, 긴 축과 상이한 각도로 배치된 자기 모멘트를 갖는 기준 층, 및 자유 층과 기준 층 사이에 배치된 배리어 층을 포함한다. 타원형 형상 비트(315)가 도 1d 및 도 1e에서 설명된 바와 같은 타원형 형상 비트(115)와 유사할 수 있다는 것이 이해되어야 한다. 메모리 어레이(340)가 메모리 어레이(340)에서의 각각의 개별적인 비트의 긴 축이 어레이의 나머지의 타원형 형상 비트들의 긴 축들에 대하여 상이한 각도로 배치된 복수의 타원형 형상 비트들을 포함할 수 있다는 것이 생각될 수 있다.

[0031] 따라서, 단축 이방성을 비트에 제공하도록 비트를 패터닝하여, 자유 층이 2개의 방향들 중 하나의 방향으로만 포인팅하게 될 것을 보장하고, 제 1 상호연결 및 제 2 상호연결에 관하여 각도를 이루어 타원형 형상 비트를 배치하고, 긴 축과 상이한 각도로 기준 층의 자기 모멘트를 배치함으로써, 자유 층의 스위칭이 강화될 수 있고, 그에 따라, 이웃하는 메모리 셀들을 방해하지 않으면서 선택 메모리 셀들의 더 신속하고 더 일관성 있는 기록 및 판독 시간들을 허용할 수 있다.

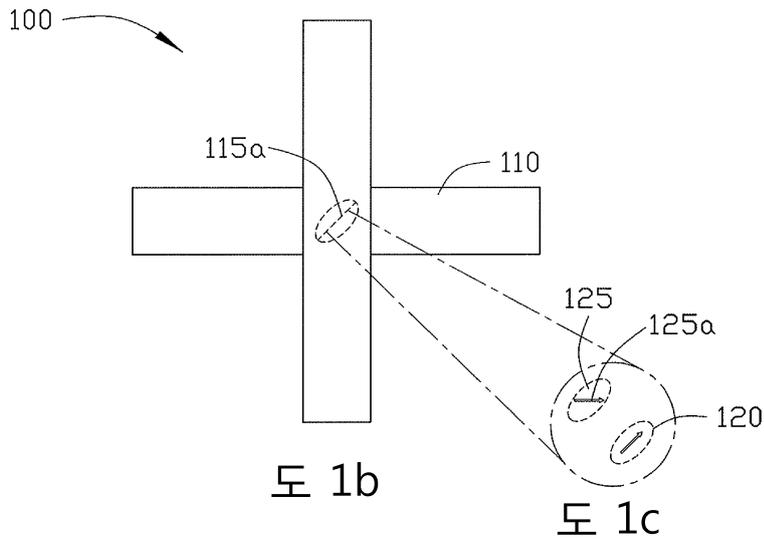
[0032] 전술한 바가 본 개시의 실시예들에 관한 것이지만, 본 개시의 다른 그리고 추가적인 실시예들이 본 개시의 기본적인 범위로부터 벗어나지 않는 범위 내에서 고안될 수 있고, 본 개시의 범위는 다음의 청구항들에 의해 결정된다.

**도면**

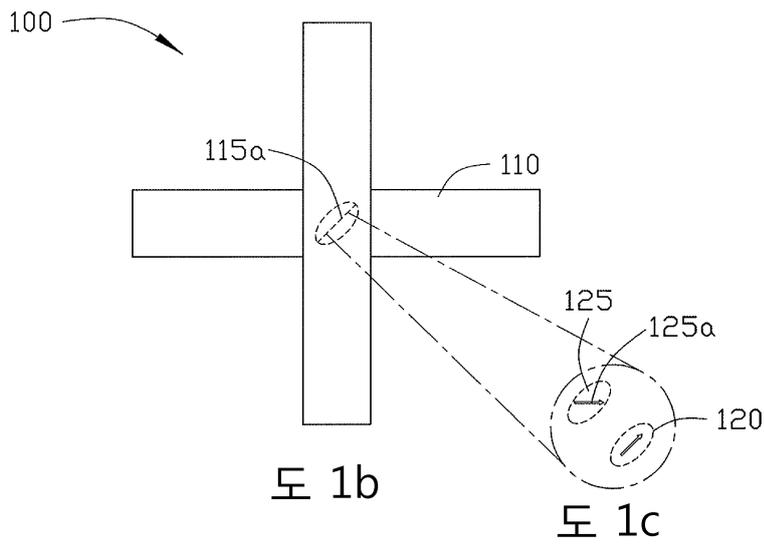
**도면1a**



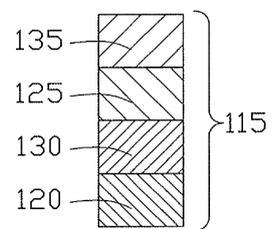
도면1b



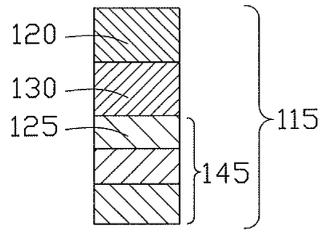
도면1c



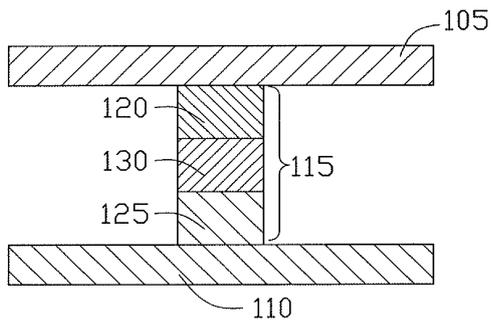
도면1d



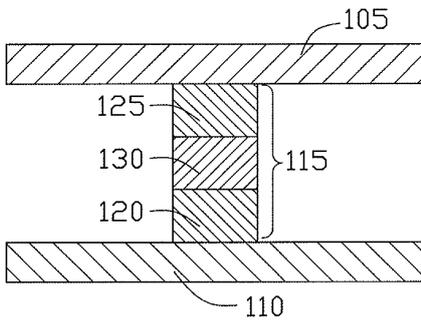
도면1e



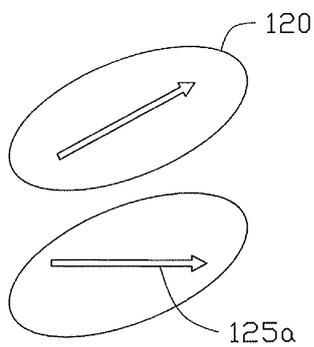
도면1f



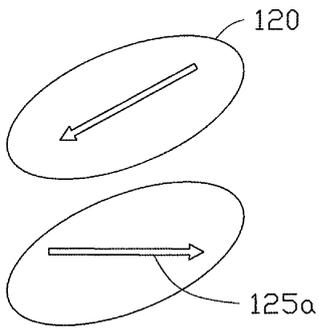
도면1g



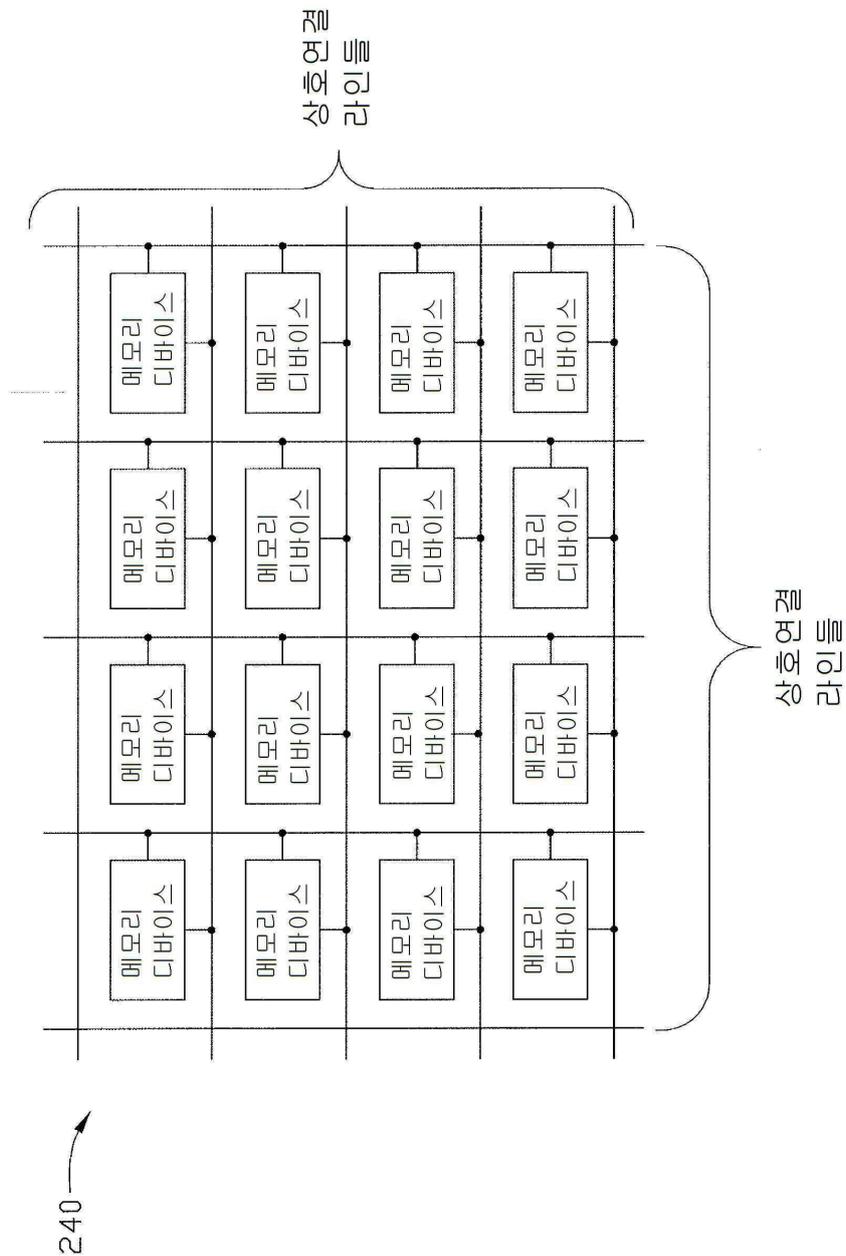
도면1h



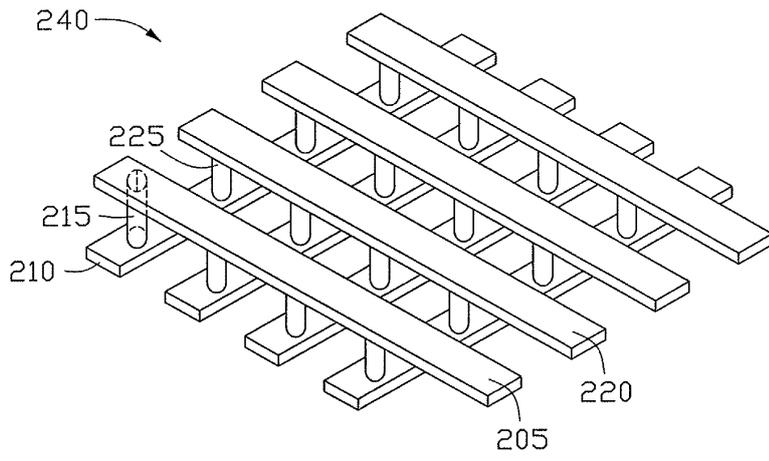
도면1i



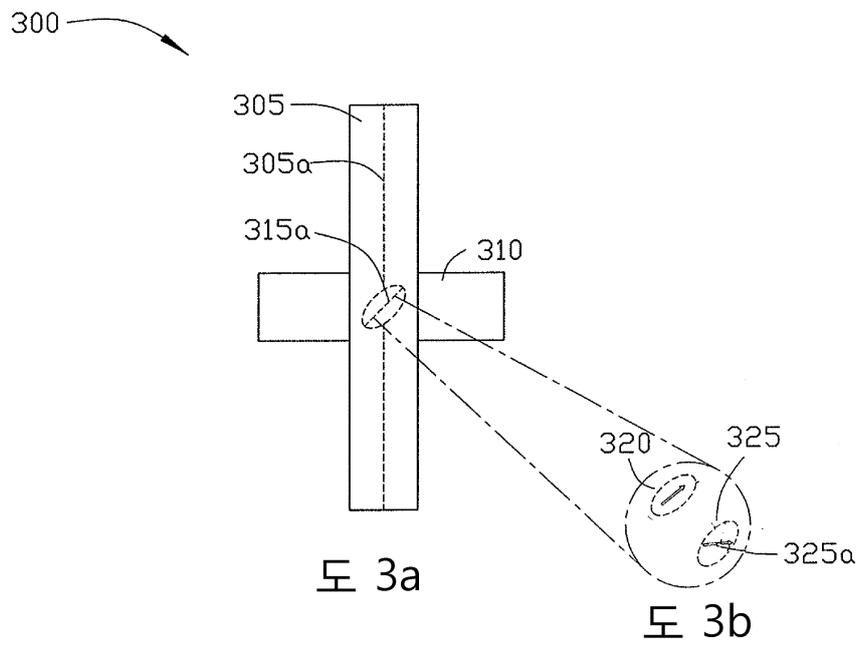
도면2a



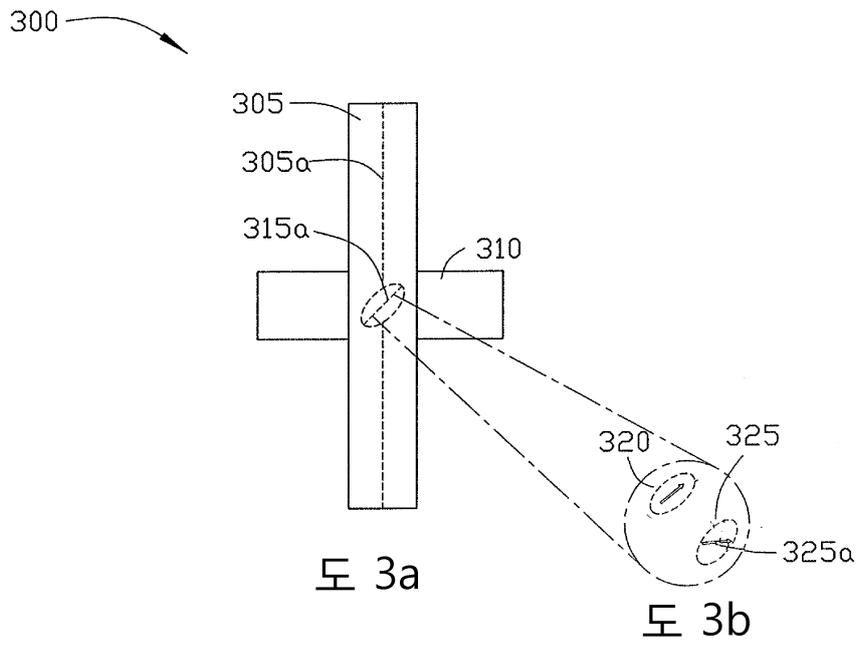
도면2b



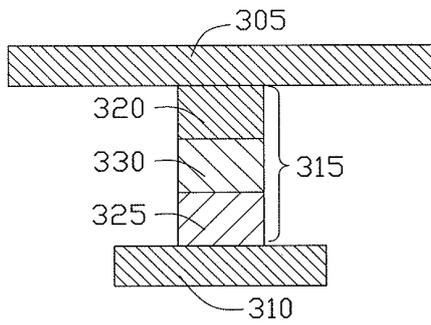
도면3a



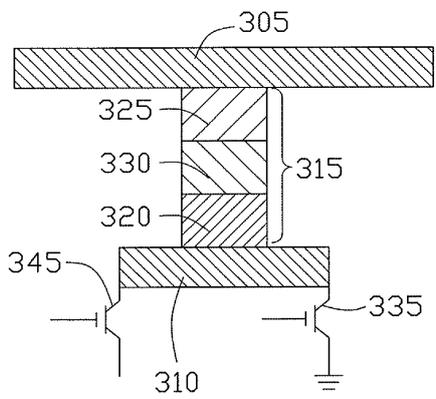
도면3b



도면3c



도면3d



도면3e

