

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-159366

(P2005-159366A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int. Cl.<sup>7</sup>  
H01L 31/10

F I  
H01L 31/10

テーマコード(参考)  
5FO49

審査請求 未請求 請求項の数 20 O L (全 16 頁)

(21) 出願番号 特願2004-340996 (P2004-340996)  
(22) 出願日 平成16年11月25日(2004.11.25)  
(31) 優先権主張番号 2003-084960  
(32) 優先日 平成15年11月27日(2003.11.27)  
(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市靈通区梅灘洞416  
(74) 代理人 100064908  
弁理士 志賀 正武  
(74) 代理人 100089037  
弁理士 渡邊 隆  
(74) 代理人 100108453  
弁理士 村山 靖彦  
(74) 代理人 100110364  
弁理士 実広 信哉  
(72) 発明者 孟 桂元  
大韓民国ソウル特別市中區新堂4洞842  
番地 東亞薬水ハイツアパート116棟1  
504號

最終頁に続く

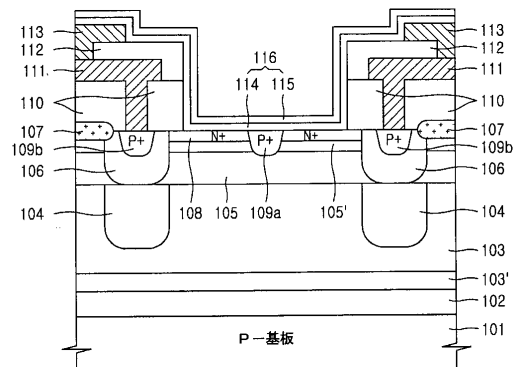
(54) 【発明の名称】 フォトダイオード及びその製造方法

(57) 【要約】

【課題】 フォトダイオード及びその製造方法を提供する。

【解決手段】 半導体基板上に第1導電型の埋込層を形成した後に前記埋込層上に第1真性キャッピングエピタキシャル層を形成する段階と、前記第1真性キャッピングエピタキシャル層上に第1導電型の第1真性エピタキシャル層を形成して、前記第1真性エピタキシャル層内に第1導電型の第1接合領域を形成する段階と、前記第1接合領域及び前記第1真性エピタキシャル層上に第2導電型の第2真性エピタキシャル層を形成する段階と、前記第2真性エピタキシャル層上に第2真性キャッピングエピタキシャル層を形成する段階と、前記第2真性キャッピングエピタキシャル層及び前記第2真性エピタキシャル層を貫通して前記第1接合領域と接するように第1導電型の第2接合領域を形成する段階と、前記第2接合領域の上面に第1電極を形成して、前記第2真性キャッピングエピタキシャル層の上面に第2電極を形成する段階とを含むフォトダイオードの製造方法。

【選択図】 図12



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上に第 1 導電型の埋込層を形成した後に前記埋込層上に第 1 真性キャッピングエピタキシャル層を形成する段階と、

前記第 1 真性キャッピングエピタキシャル層上に第 1 導電型の第 1 真性エピタキシャル層を形成し、前記第 1 真性エピタキシャル層内に第 1 導電型の第 1 接合領域を形成する段階と、

前記第 1 接合領域及び前記第 1 真性エピタキシャル層上に第 2 導電型の第 2 真性エピタキシャル層を形成する段階と、

前記第 2 真性エピタキシャル層上に第 2 真性キャッピングエピタキシャル層を形成する段階と、 10

前記第 2 真性キャッピングエピタキシャル層及び前記第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接するように第 1 導電型の第 2 接合領域を形成する段階と、

前記第 2 接合領域の上面に第 1 電極を形成して、前記第 2 真性キャッピングエピタキシャル層の上面に第 2 電極を形成する段階と、を含むことを特徴とするフォトダイオードの製造方法。

## 【請求項 2】

前記第 2 真性キャッピングエピタキシャル層の上面に第 2 電極を形成する段階は、

前記第 2 真性キャッピングエピタキシャル層内に第 2 導電型の高濃度注入層を形成する段階と、 20

前記第 2 導電型の高濃度注入層に接する第 2 電極を形成する段階と、を含むことを特徴とする請求項 1 に記載のフォトダイオードの製造方法。

## 【請求項 3】

半導体基板上に第 1 導電型の埋込層を形成した後に、前記埋込層上に真性キャッピングエピタキシャル層を形成する段階と、

前記真性キャッピングエピタキシャル層上に第 1 導電型の第 1 真性エピタキシャル層を形成し、前記第 1 真性エピタキシャル層内に第 1 導電型の第 1 接合領域を形成する段階と、

前記第 1 接合領域及び前記第 1 真性エピタキシャル層上に第 2 導電型の第 2 真性エピタキシャル層を形成する段階と、 30

前記第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接するように第 1 導電型の第 2 接合領域を形成する段階と、

前記第 2 接合領域の上面に第 1 電極を形成して、前記第 2 真性エピタキシャル層の上面に第 2 電極を形成する段階と、を含むことを特徴とするフォトダイオードの製造方法。

## 【請求項 4】

前記第 2 真性エピタキシャル層の上面に第 2 電極を形成する段階は、

前記第 2 真性エピタキシャル層内に第 2 導電型の高濃度注入層を形成する段階と、

前記第 2 導電型の高濃度注入層に接する第 2 電極を形成する段階と、を含むことを特徴とする請求項 3 に記載のフォトダイオードの製造方法。

## 【請求項 5】 40

半導体基板上に第 1 導電型の埋込層を形成した後に、前記埋込層上に第 1 導電型の第 1 真性エピタキシャル層を形成し、前記第 1 真性エピタキシャル層内に第 1 導電型の第 1 接合領域を形成する段階と、

前記第 1 接合領域及び前記第 1 真性エピタキシャル層上に第 2 導電型の第 2 真性エピタキシャル層を形成する段階と、

前記第 2 真性エピタキシャル層上に真性キャッピングエピタキシャル層を形成する段階と、前記真性キャッピングエピタキシャル層及び前記第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接するように第 1 導電型の第 2 接合領域を形成する段階と、

前記第 2 接合領域の上面に第 1 電極を形成する段階と、

前記真性キャッピングエピタキシャル層の上面に第 2 電極を形成する段階と、を含むこ 50

とを特徴とするフォトダイオードの製造方法。

【請求項 6】

前記真性キャッピングエピタキシャル層の上面に第 2 電極を形成する段階は、

前記真性キャッピングエピタキシャル層内に第 2 導電型の高濃度注入層を形成する段階と、

前記第 2 導電型の高濃度注入層に接する第 2 電極を形成する段階と、を含むことを特徴とする請求項 5 に記載のフォトダイオードの製造方法。

【請求項 7】

前記第 2 接合領域の上面に第 1 電極を形成する段階は、

前記第 2 接合領域内に第 1 導電型の高濃度注入層を形成する段階と、

前記第 1 導電型の高濃度注入層に接する第 1 電極を形成する段階と、を含むことを特徴とする請求項 1、請求項 3 または請求項 5 のいずれか 1 項に記載のフォトダイオードの製造方法。

10

【請求項 8】

前記第 2 真性エピタキシャル層上に前記フォトダイオードの受光部を分割する第 1 導電型の高濃度注入層を形成する段階をさらに含むことを特徴とする請求項 1、請求項 3 または請求項 5 のいずれか 1 項に記載のフォトダイオードの製造方法。

【請求項 9】

前記第 1 電極を形成して前記第 2 電極を形成した後に、

反射防止膜を形成する段階をさらに含むことを特徴とする請求項 1、請求項 3 または請求項 5 のいずれか 1 項に記載のフォトダイオードの製造方法。

20

【請求項 10】

P 型半導体基板の全面上に P 型埋込層、第 1 真性キャッピングエピタキシャル層、及び P 型の第 1 真性エピタキシャル層を順次形成する段階と、

前記第 1 真性エピタキシャル層内に P 型の第 1 接合領域を形成する段階と、

前記第 1 接合領域及び第 1 真性エピタキシャル層上に N 型の第 2 真性エピタキシャル層を形成する段階と、

前記第 2 真性エピタキシャル層上に第 2 真性キャッピングエピタキシャル層を形成する段階と、

前記第 2 真性キャッピングエピタキシャル層及び前記第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接するように P 型の第 2 接合領域を形成する段階と、

30

前記第 2 真性キャッピングエピタキシャル層内に N<sup>+</sup> 型の第 1 高濃度注入層を形成する段階と、

前記第 1 接合領域に P<sup>+</sup> 型の第 2 高濃度注入層を形成し、前記 N<sup>+</sup> 型高濃度注入層を分割する P<sup>+</sup> 型の第 3 高濃度注入層を形成する段階と、

前記第 2 高濃度注入層と接するアノードを形成する段階と、

前記第 3 高濃度注入層と接するカソードを形成する段階と、を含むことを特徴とするフォトダイオードの製造方法。

【請求項 11】

前記アノードを形成して前記カソードを形成した後に反射防止膜を形成する段階をさらに含むことを特徴とする請求項 10 に記載のフォトダイオードの製造方法。

40

【請求項 12】

半導体基板上の第 1 導電型の埋込層と、

前記埋込層上の第 1 真性キャッピングエピタキシャル層と、

前記第 1 真性キャッピングエピタキシャル層上に順次形成された第 1 導電型の第 1 真性エピタキシャル層及び第 2 導電型の第 2 真性エピタキシャル層と、

前記第 2 真性エピタキシャル層上の第 2 真性キャッピングエピタキシャル層と、

前記第 1 真性エピタキシャル層内に形成された第 1 導電型の第 1 接合領域と、

前記第 2 真性キャッピングエピタキシャル層及び第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接する第 1 導電型の第 2 接合領域と、

50

前記第 2 接合領域の上面の第 1 電極と、  
前記第 2 真性キャッピングエピタキシャル層の上面の第 2 電極と、を含むことを特徴とするフォトダイオード。

【請求項 1 3】

前記第 2 真性キャッピングエピタキシャル層と前記第 2 電極間に、第 2 導電型の高濃度注入層をさらに含むことを特徴とする請求項 1 2 に記載のフォトダイオード。

【請求項 1 4】

半導体基板上の第 1 導電型の埋込層と、  
前記埋込層上の真性キャッピングエピタキシャル層と、  
前記真性キャッピングエピタキシャル層上に順次形成された第 1 導電型の第 1 真性エピタキシャル層及び第 2 導電型の第 2 真性エピタキシャル層と、  
前記第 1 真性エピタキシャル層内に形成された第 1 導電型の第 1 接合領域と、  
前記第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接する第 1 導電型の第 2 接合領域と、  
前記第 2 接合領域の上面の第 1 電極と、  
前記第 2 真性エピタキシャル層の上面の第 2 電極と、を含むことを特徴とするフォトダイオード。

【請求項 1 5】

前記第 2 真性エピタキシャル層と前記第 2 電極間に、第 2 導電型の高濃度注入層をさらに含むことを特徴とする請求項 1 4 に記載のフォトダイオード。

【請求項 1 6】

半導体基板上の第 1 導電型の埋込層と、  
前記埋込層上に順次形成された第 1 導電型の第 1 真性エピタキシャル層及び第 2 導電型の第 2 真性エピタキシャル層と、  
前記第 2 真性エピタキシャル層上の真性キャッピングエピタキシャル層と、  
前記第 1 真性エピタキシャル層内に形成された第 1 導電型の第 1 接合領域と、  
前記真性キャッピングエピタキシャル層及び第 2 真性エピタキシャル層を貫通して前記第 1 接合領域と接する第 1 導電型の第 2 接合領域と、  
前記第 2 接合領域の上面の第 1 電極と、  
前記真性キャッピングエピタキシャル層の上面の第 2 電極と、を含むことを特徴とするフォトダイオード。

【請求項 1 7】

前記真性キャッピングエピタキシャル層と前記第 2 電極間に、第 2 導電型の高濃度注入層をさらに含むことを特徴とする請求項 1 6 に記載のフォトダイオード。

【請求項 1 8】

前記第 2 接合領域内に形成されて前記第 1 電極と接する第 1 導電型の高濃度注入層をさらに含むことを特徴とする請求項 1 2、請求項 1 4 または請求項 1 6 のいずれか 1 項に記載のフォトダイオード。

【請求項 1 9】

前記第 2 真性エピタキシャル層上に形成されて前記フォトダイオードの受光部を分割する第 1 導電型の高濃度注入層をさらに含むことを特徴とする請求項 1 2、請求項 1 4 または請求項 1 6 のいずれか 1 項に記載のフォトダイオード。

【請求項 2 0】

受光部の光反射を防止するための反射防止膜をさらに含むことを特徴とする請求項 1 2、請求項 1 4 または請求項 1 6 のいずれか 1 項に記載のフォトダイオード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に係り、特に光信号を電気信号に変換するフォト

ダイオード及びその製造方法に関する。

【背景技術】

【0002】

光学素子として使われるフォトダイオードは、光エネルギーを電気エネルギーに変換して光信号から電氣的信号（電流または電圧）を得る一種の光センサーであり、ダイオードの接合部に光検出機能を付与してなる半導体素子である。このようなフォトダイオードは基本的に、光子吸収により過剰電子または正孔が生成されることにより、ダイオードの伝導度が光信号によって変調されるという原理を利用する。すなわち、フォトダイオードの電流は本質的にキャリアの光学的生成率によって変化し、このような特性は時間によって変化する光信号を電氣的信号に変換させる有用な方法を提供する。光信号を電氣的信号に変換させることにより、フォトダイオードはCD、DVD、DVD-R/W、COMBO、ブルーレイなど多様な光記録媒体にて、データまたは情報を読み出す光ピックアップ部品の受光素子として使われている。また、最近にはプリアンプなどを使用して信号処理を担当する回路部をフォトダイオードと融合させて形成したPDIC (Photodiode Integrated Chip) が開発されている。

10

【0003】

このようなフォトダイオードには、P-N接合構造でなるフォトダイオード、“P型電極-真性エピタキシャル層 (Intrinsic epitaxial layer) - N<sup>+</sup>型層 - P型基板”の半導体構造を有するPIN型フォトダイオード、“N型電極-真性エピタキシャル層 - P<sup>+</sup>型層 - P型基板”の半導体構造を有するNIP型フォトダイオード、及びアバランシェ増幅効果を利用するアバランシェフォトダイオード (Avalanche Photodiode: APD) などがある。この中、PN接合構造のフォトダイオードは速度が遅くて周波数特性に限界があり、APDはノイズが大きくて動作電源が大きくなってはならないとの短所があるために、最近には主にPIN型またはNIP型フォトダイオードを使用している。

20

【0004】

このようなフォトダイオードの性能は光効率及び周波数特性（または帯域幅）で評価できるが、優秀な性能を得るためには検出光の波長に対する光電効率が高くないとならず、必要な応答速度を達成しなければならない。現在フォトダイオードの光効率及び周波数特性の向上のために様々な方面で研究及び開発が進んでいる。

30

【0005】

従来技術で、PIN型またはNIP型ダイオードの真性エピタキシャル層は一定の比抵抗及び厚さを有するように単一薄膜成長方法で形成される。もし、真性エピタキシャル層のドーピング濃度（前記真性エピタキシャル層はドーピングが全くない真の真性半導体である必要はない）が高まれば、電流キャリアの数が増加して周波数特性は向上されるが、電子-正孔対の再結合確率が高まって光効率が劣化される。このようにフォトダイオードにおいて、光効率と周波数特性とは互いに相補的な関係にあり、フォトダイオードの性能向上は真性エピタキシャル層の厚さ及び濃度の最適化を通じて具現される。特許文献1には光ピックアップなどに使われるNIP型フォトダイオードが開示されている。

40

【0006】

しかし、従来のように、単一薄膜成長方法で真性エピタキシャル層を形成する場合、真性エピタキシャル層の上部及び下部の高濃度P型またはN型層から真性エピタキシャル層に不純物が拡散または外拡散される現象が発生する。すなわち、フォトダイオードまたはこれを含む素子形成時に高温熱処理（エピタキシャル層成長、後続アニーリングまたはベーキングなど）が必須的に伴われるが、このような熱処理工程時に真性エピタキシャル層の上部及び下部の高濃度P型またはN型層から真性エピタキシャル層にドーパントなどの不純物が移動するようになる。真性エピタキシャル層への不純物拡散はフォトダイオードの性能を劣化させる原因として作用する。

【0007】

図1は従来 of NIP型フォトダイオードを示す断面図である。図1を参照すれば、NI

50

P型フォトダイオードには、P型半導体基板1上に高濃度のP型埋込層2、P型の第1真性エピタキシャル層3、N型の第2真性エピタキシャル層5、及びカソードとのコンタクトのための高濃度のN<sup>+</sup>型層8が順次形成されており、P型の第1真性エピタキシャル層3及びN型の第2真性エピタキシャル層5にはP型の第1接合領域4及びP型の第2接合領域6がそれぞれ形成されている。アノードとのコンタクトのためのP<sup>+</sup>型層9bはP型の第2接合領域6内に形成されてアノード電極の金属配線構造11と接触しており、フォトダイオードの受光部を分割するP<sup>+</sup>型分割層9aがN型の第2真性エピタキシャル層5上に形成されている。アノード電極を形成する金属配線構造11は層間絶縁膜10及び金属間絶縁膜12により周囲と絶縁されている。また、フォトダイオード素子を付近の他の素子と電気的に分離するために、ロコス(LOCOS: Local Oxidation of Silicon)などによる素子分離膜7が形成されている。フォトダイオードの受光部上には、入射光の反射を抑制するための反射防止膜16としてシリコン酸化膜14及びシリコン窒化膜15の2重膜が形成されている。

【0008】

図1に示された、従来のNIP型フォトダイオードを製造するためにエピタキシャル層3, 5を成長させる時に、1100ないし1150の高温が必要であり、後続の素子形成工程においても、アニーリングまたはベーキングなどの熱処理が必要である。このような熱処理工程により、高濃度のP型埋込層2からP型の第1真性エピタキシャル層3に不純物が外拡散され、高濃度のN<sup>+</sup>型層8からN型の第2真性エピタキシャル層5に不純物が拡散される。このような拡散または他拡散によって、フォトダイオードの性能は劣化される。すなわち、素子形成工程中に、高温熱処理によって真性エピタキシャル層3, 5に不純物が広がれば、真性エピタキシャル層3, 5の厚さは実質的に薄くなり、真性エピタキシャル層3, 5のキャパシタンスは増加し、これにより周波数特性が劣化される。また、前記不純物の拡散で空乏層が減少されて光効率もまた劣化される。このような問題点は従来のPIN型フォトダイオードでも同一に発生する。

【特許文献1】米国特許第6,433,374号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明が解決しようとする技術的課題は、前記の問題点を解決するためのものとして、素子形成時または後続の熱処理時に高濃度層から真性エピタキシャル層に不純物が拡散または外拡散されることを防止して光効率及び周波数特性を向上させられるフォトダイオード製造方法を提供するところにある。

【0010】

また、本発明が解決しようとする他の技術的課題は、真性エピタキシャル層への不純物拡散または外拡散が抑制されたフォトダイオードを提供するところにある。

【課題を解決するための手段】

【0011】

前記の技術的課題を達成するために本発明の一態様によるフォトダイオードの製造方法は、半導体基板上に第1導電型の埋込層を形成した後に前記埋込層上に第1真性キャッピングエピタキシャル層を形成する段階と、前記第1真性キャッピングエピタキシャル層上に第1導電型の第1真性エピタキシャル層を形成して前記第1真性エピタキシャル層内に第1導電型の第1接合領域を形成する段階と、前記第1接合領域及び前記第1真性エピタキシャル層上に第2導電型の第2真性エピタキシャル層を形成する段階と、前記第2真性エピタキシャル層上に第2真性キャッピングエピタキシャル層を形成する段階と、前記第2真性キャッピングエピタキシャル層及び前記第2真性エピタキシャル層を貫通して前記第1接合領域と接するように第1導電型の第2接合領域を形成する段階と、前記第2接合領域の上面に第1電極を形成して前記第2真性キャッピングエピタキシャル層の上面に第2電極を形成する段階と、を含む。

【0012】

また、本発明の他の態様によるフォトダイオードの製造方法は、半導体基板上に第1導電型の埋込層を形成した後に前記埋込層上に真性キャッピングエピタキシャル層を形成する段階と、前記真性キャッピングエピタキシャル層上に第1導電型の第1真性エピタキシャル層を形成して、前記第1真性エピタキシャル層内に第1導電型の第1接合領域を形成する段階と、前記第1接合領域及び前記第1真性エピタキシャル層上に第2導電型の第2真性エピタキシャル層を形成する段階と、前記第2真性エピタキシャル層を貫通して前記第1接合領域と接するように第1導電型の第2接合領域を形成する段階と、前記第2接合領域の上面に第1電極を形成して、前記第2真性エピタキシャル層の上面に第2電極を形成する段階と、を含む。

**【0013】**

10

また、本発明のさらに他の態様によるフォトダイオード製造方法は、半導体基板上に第1導電型の埋込層を形成した後に、前記埋込層上に第1導電型の第1真性エピタキシャル層を形成して、前記第1真性エピタキシャル層内に第1導電型の第1接合領域を形成する段階と、前記第1接合領域及び前記第1真性エピタキシャル層上に第2導電型の第2真性エピタキシャル層を形成する段階と、前記第2真性エピタキシャル層上に真性キャッピングエピタキシャル層を形成する段階と、前記真性キャッピングエピタキシャル層及び前記第2真性エピタキシャル層を貫通して前記第1接合領域と接するように第1導電型の第2接合領域を形成する段階と、前記第2接合領域の上面に第1電極を形成する段階と、前記真性キャッピングエピタキシャル層の上面に第2電極を形成する段階と、を含む。

**【0014】**

20

前記第2接合領域の上面に第1電極を形成する段階は、前記第2接合領域内に第1導電型の高濃度注入層を形成する段階と、前記第1導電型の高濃度注入層に接する第1電極を形成する段階と、を含みうる。また、真性キャッピングエピタキシャル層の上面に第2電極を形成する段階は、前記真性キャッピングエピタキシャル層内に第2導電型の高濃度注入層を形成する段階と、前記第2導電型の高濃度注入層に接する第2電極を形成する段階と、を含みうる。

**【0015】**

本発明によるフォトダイオードの製造方法は、前記第2真性エピタキシャル層上に前記フォトダイオードの受光部を分割する第1導電型の高濃度注入層を形成する段階をさらに含みうる。また、本発明によるフォトダイオードは反射膜形成工程をさらに含むこともできる。

30

**【0016】**

前記他の技術的課題を達成するために本発明の一態様によるフォトダイオードは、半導体基板上の第1導電型の埋込層と、前記埋込層上の第1真性キャッピングエピタキシャル層と、前記第1真性キャッピングエピタキシャル層上に順次形成された第1導電型の第1真性エピタキシャル層及び第2導電型の第2真性エピタキシャル層と、前記第2真性エピタキシャル層上の第2真性キャッピングエピタキシャル層と、前記第1真性エピタキシャル層内に形成された第1導電型の第1接合領域と、前記第2真性キャッピングエピタキシャル層及び第2真性エピタキシャル層を貫通して前記第1接合領域と接する第1導電型の第2接合領域と、前記第2接合領域の上面の第1電極と、前記第2真性キャッピングエピタキシャル層の上面の第2電極と、を含む。

40

**【0017】**

また、本発明の他の態様によるフォトダイオードは、半導体基板上の第1導電型の埋込層と、前記埋込層上の真性キャッピングエピタキシャル層と、前記真性キャッピングエピタキシャル層上に順次形成された第1導電型の第1真性エピタキシャル層及び第2導電型の第2真性エピタキシャル層と、前記第1真性エピタキシャル層内に形成された第1導電型の第1接合領域と、前記第2真性エピタキシャル層を貫通して前記第1接合領域と接する第1導電型の第2接合領域と、前記第2接合領域の上面の第1電極と、前記第2真性エピタキシャル層の上面の第2電極と、を含む。

**【0018】**

50

また、本発明のさらに他の態様によるフォトダイオードは、半導体基板上の第1導電型の埋込層と、前記埋込層上に順次形成された第1導電型の第1真性エピタキシャル層及び第2導電型の第2真性エピタキシャル層と、前記第2真性エピタキシャル層上の真性キャッピングエピタキシャル層と、前記第1真性エピタキシャル層内に形成された第1導電型の第1接合領域と、前記真性キャッピングエピタキシャル層及び第2真性エピタキシャル層を貫通して前記第1接合領域と接する第1導電型の第2接合領域と、前記第2接合領域の上面の第1電極と、前記第2真性キャッピングエピタキシャル層の上面の第2電極と、を含む。

【発明の効果】

【0019】

10

本発明によれば、高濃度の埋込層と低濃度の第1真性エピタキシャル層間に第1真性キャッピングエピタキシャル層を介在させておくことにより、埋込層から第1真性エピタキシャル層への不純物拡散を遮断させられる。これにより、第1真性エピタキシャル層の厚さ及び比抵抗変化によるフォトダイオードの性能悪化を防止しうる。

【0020】

また、前記フォトダイオードでは、高濃度の注入層と低濃度の第2真性エピタキシャル層間に第2真性キャッピングエピタキシャル層を介在させておくことにより、高濃度の注入層から第2真性エピタキシャル層への不純物拡散を遮断させられる。これにより、第2真性エピタキシャル層の厚さ及び比抵抗変化によるフォトダイオードの性能悪化を防止しうる。

20

【発明を実施するための最良の形態】

【0021】

以下、添付された図面を参照して本発明の実施例を説明する。しかし、本発明の実施例を様々な他の形態に変形でき、本発明の範囲が以下説明する実施例に限定されることはない。本発明の実施例は当業者に本発明をより完全に説明するために提供されるものである。したがって、図面における要素などの形状及び大きさはより明確な説明のために誇張され、図面上の同一符号で表示される要素は同じ要素である。

【0022】

本発明の実施例ではNIP型フォトダイオードを製造する場合について説明する。そして、本発明の実施例ではアノードが共通するアノード共通の分割フォトダイオードについて説明する。しかし、当業者であれば本発明の最良の形態で説明する導電型と反対の導電型を導入することにより、PIN型フォトダイオードにも本発明が適用できるということが分かるであろう。

30

【0023】

図2ないし図12は本発明の第1実施例によるフォトダイオードの製造方法を説明するための工程断面図である。

【0024】

まず、図2を参照すれば、P型の半導体基板101上にP型埋込層(PBL)102を形成する。この時、形成されるP型埋込層102は半導体基板101や、この後形成されるエピタキシャル層より高濃度に形成する。例えば、P型埋込層102はBのような不純物を $1 \times 10^{19}$  ions (個:イオン数) /  $\text{cm}^3$ 程度に高濃度イオン注入した後、熱拡散工程を実施して形成しうる。

40

【0025】

次に、図3を参照すれば、P型埋込層102上に第1真性キャッピングエピタキシャル層103'を形成する。その後、第1真性キャッピングエピタキシャル層103'上にP型の真性エピタキシャル層103を形成する。前記第1真性キャッピングエピタキシャル層103'は、高濃度のP型埋込層102からP型の真性エピタキシャル層103への外拡散を防止するための一種のバッファ層の役割をする。すなわち、高濃度を有するP型埋込層102とP型真性エピタキシャル層103間に第1真性キャッピングエピタキシャル層103'を介在させておくことにより、P型真性エピタキシャル層103の形成時また

50

は後続の熱処理時に高濃度のP型埋込層102からドーパント不純物などが第1真性キャッピングエピタキシャル層103'には外拡散されるが、P型真性エピタキシャル層103には実質的に外拡散されない。

#### 【0026】

前記P型真性エピタキシャル層103の厚さ及び比抵抗は、フォトダイオード性能の確保に非常に重要な要素である。この点を考慮して、例えば、P型真性エピタキシャル層103の厚さは8ないし12 $\mu\text{m}$ になり、その比抵抗は100ないし200 $\cdot\text{cm}$ 程度になりうる。このようなP型真性エピタキシャル層103の厚さ及び比抵抗は、前記P型エピタキシャル層103に移動する不純物によって変動されうるために、素子形成の過程に前記真性エピタキシャル層103への不純物の外拡散は可能であれば除去されなければならない。ここで、第1真性キャッピングエピタキシャル層103'はP型真性エピタキシャル層103への不純物外拡散を防止するバッファ層の役割をするのである。第1真性キャッピングエピタキシャル層103'はドーピングされていない状態で成長させるか、またはP型真性エピタキシャル層103より低いP型ドーピング濃度に成長させることが望ましい。また、第1真性キャッピングエピタキシャル層103'は高濃度のP型埋込層102からの外拡散距離を考慮した厚さに成長させ、P型埋込層102のドーパント不純物がP型真性エピタキシャル層103にはほぼ実質的に外拡散されないようにする。

10

#### 【0027】

次に、図4に示したように、P型真性エピタキシャル層103内にP型の第1接合領域104を形成する。このP型の第1接合領域104は、今後形成されるP型の第2接合領域(図6の106)を通じてアノード電極に連結されることにより、電流経路を形成する。したがって、P型の第1接合領域104は十分な伝導度を有するようにP型真性エピタキシャル層103より高いドーピング濃度に形成される。

20

#### 【0028】

次に、図5を参照すれば、第1接合領域104が形成されたP型真性エピタキシャル層103の全面にN型真性エピタキシャル層105を形成する。このN型真性エピタキシャル層105は、P型真性エピタキシャル層103と共にNIP型フォトダイオードの真性エピタキシャル層をなす。大部分の光吸収はこの真性エピタキシャル層103, 105でなされる。N型真性エピタキシャル層105の厚さ及び比抵抗も、P型真性エピタキシャル層103と同様に、フォトダイオードの性能に重要な要素として作用する。その後、N型真性エピタキシャル層105上に第2真性キャッピングエピタキシャル層105'を成長させる。第2真性キャッピングエピタキシャル層105'はドーピングされない状態で成長させるか、またはN型真性エピタキシャル層105より低いN型ドーピング濃度に成長させることが望ましく、今後形成される高濃度のN+型注入層(図7の108)からの不純物拡散距離を考慮した厚さに成長させる。

30

#### 【0029】

この第2真性キャッピングエピタキシャル層105'は、高濃度のN+型注入層108のドーパント不純物がN型真性エピタキシャル層105に移動することを防止するバッファ層の役割をする。これにより、N+型注入層108の不純物拡散からN型真性エピタキシャル層105の厚さ及び比抵抗を保存でき、フォトダイオードの性能をさらに安定的に確保しうる。その次には、フォトダイオードを他の素子と分離させるための素子分離膜107を形成する。この素子分離膜107は通常的なLOCOSまたはSTI(shallow trench isolation)で形成しうる。

40

#### 【0030】

次に、図7を参照すれば、第2真性キャッピングエピタキシャル層105'内に高濃度のN+型注入層108を形成する。このN+型注入層108はカソード電極の接触抵抗を減少させるためのものであり、浅い接合をなすように形成されることがフォトダイオードの性能向上のために重要である。その後、P型の第2接合領域106内にアノードとの接触抵抗を減少させるための高濃度のP+型注入層109bを形成し、前記N+型注入層108を分割する高濃度のP+型注入層109aを形成する。このP+型注入層109aは

50

フォトダイオードの受光部を分割する役割をする。

【0031】

次に、図8ないし図10に示したように、前記P<sup>+</sup>型注入層109b及びN<sup>+</sup>型注入層108上に、これら高濃度注入層109b、108と接触するアノード電極及びカソード電極をそれぞれ形成し、各電極上に金属配線構造を形成する。

【0032】

具体的に説明すれば、まず図8に示したように、N<sup>+</sup>型注入層108及びP<sup>+</sup>型注入層109a、109bを含む全面に層間絶縁膜110を形成し、第2接合領域内のP<sup>+</sup>型注入層109bを露出させるようにコンタクトホール110aを形成する。その後、図9に示したように、コンタクトホール110aを埋込むように金属膜を形成した後、パターンニングしてP<sup>+</sup>型注入層109bに接する金属配線構造であるアノード電極111を形成する。図面には示されていないが、アノード電極111の形成時にN<sup>+</sup>型注入層108と接するカソード電極（図示せず）を形成しうる。次に、図10に示したように、アノード電極111上に金属間絶縁膜112を形成し、この金属間絶縁膜112にアノード電極111と接する上部金属配線構造113を形成する。

【0033】

次に、図11及び図12に示したように、反射防止膜を形成するための工程を実施する。すなわち、まず図11に示したように、受光部形成のためのフォトレジスト膜パターン50を形成した後、これをエッチングマスクとして金属間絶縁膜112及び層間絶縁膜110を選択的にエッチングして受光部の高濃度注入層108、109aを露出させる。その後、図12に示したように、フォトレジスト膜パターン50を除去した後、前記結果物上にシリコン酸化膜114及びシリコン窒化膜115よりなる反射防止膜116を形成する。この反射防止膜はフォトダイオードの性能を決定する主要な因子のうち1つであって、所望波長の光に対する光吸収率を最大化できるように形成されなければならない。

【0034】

以上、詳細に説明したように、図12を参照すれば、本実施例によって製造されたフォトダイオードは半導体基板101上に順次積層されている高濃度のP型埋込層102、第1真性キャッピングエピタキシャル層103'、P型真性エピタキシャル層103、N型真性エピタキシャル層105、及び第2真性キャッピングエピタキシャル層105'を含む。電流経路をなすため、P型第1接合領域104及びP型の第2接合領域106が形成されている。そして、第2接合領域106の上にはアノード電極111が形成されており、第2真性キャッピングエピタキシャル層105'の上にはカソード電極（図示せず）が形成されている。また、第2接合領域106とアノード電極111間にはアノード電極111の接触抵抗を減少させるためのP<sup>+</sup>型高濃度注入層109bが形成されており、第2真性キャッピングエピタキシャル層105'とカソード電極間にはカソード電極の接触抵抗を減少させるためのN<sup>+</sup>型高濃度注入層108が形成されている。これと共に、フォトダイオードの受光部を分割するためのP<sup>+</sup>型高濃度注入層109aが形成されている。また、前記アノード電極111上には上部金属配線構造113がさらに形成され、受光部の光吸収率を向上させるための反射防止膜116がさらに形成されうる。

【0035】

このような構造を有するフォトダイオードにおいては、高濃度のP型埋込層102と低濃度のP型第1真性エピタキシャル層103間に第1真性キャッピングエピタキシャル層103'を介在させておくことにより、P型埋込層102から第1真性エピタキシャル層103への不純物拡散を遮断させられる。これにより、第1真性エピタキシャル103層の厚さ及び比抵抗の変化によるフォトダイオードの性能悪化を防止しうる。

【0036】

また、前記フォトダイオードでは、高濃度のN<sup>+</sup>型注入層108と低濃度のN型第2真性エピタキシャル層105間に第2真性キャッピングエピタキシャル層105'を介在させておくことにより、N<sup>+</sup>型注入層108から第2真性エピタキシャル層105への不純物拡散を遮断させられる。これにより、第2真性エピタキシャル層105の厚さ及び比抵

10

20

30

40

50

抗の変化によるフォトダイオードの性能悪化を防止しうる。

【0037】

図13及び図14は、本発明の第2実施例によるフォトダイオードの製造方法を説明するための断面図である。第2実施例によるフォトダイオードの製造方法は、N型の第2真性エピタキシャル層105と高濃度のN<sup>+</sup>型注入層108間に真性キャッピングエピタキシャル層(図5の105')を形成する段階を省いたことを除いては、第1実施例の製造方法と同一である。

【0038】

図13を参照すれば、半導体基板101上にP型埋込層102、真性キャッピングエピタキシャル層103'、及びP型の第1真性エピタキシャル層103を順次形成した後に、第1真性エピタキシャル層103内にP型第1接合領域104を、その上の全面上にN型の第2真性エピタキシャル層105を、P型の第2接合領域106を、それぞれ形成して素子分離膜107を形成する。ここで、真性キャッピングエピタキシャル層103'はドーピングされていない状態で成長させるか、または第1真性エピタキシャル層103より低いP型ドーピング濃度に成長させることが望ましい。その次に、カソードとの接触のためのN<sup>+</sup>型注入層108を形成した後、アノード111との接触のためのP<sup>+</sup>型注入層109b、及び受光部の分割のためのP<sup>+</sup>型注入層109aを形成する。その後、層間絶縁膜110を形成した後、前記P<sup>+</sup>型注入層109b及びN<sup>+</sup>型注入層108にそれぞれ接触するアノード電極111及びカソード電極(図示せず)を形成する。

【0039】

次に、図14を参照すれば、図10ないし図12を参照して既に説明したように、金属間絶縁膜112を形成して上部金属配線構造113を形成した後、酸化膜114及び窒化膜115よりなる反射防止膜116を形成する。これにより、第2実施例によるフォトダイオードが形成される。

【0040】

図14に示したように、第2実施例によって製造されたフォトダイオードは、P型埋込層102とP型の第1真性エピタキシャル層103間に真性キャッピングエピタキシャル層103'を介在させておくことにより、P型埋込層102から第1真性エピタキシャル層103への不純物外拡散を遮断させられる。これにより、後続の熱処理時に第1真性エピタキシャル層103の厚さ及び比抵抗が変化することを防止しうる。

【0041】

図15及び図16は、本発明の第3実施例によるフォトダイオードの製造方法を説明するための断面図である。第3実施例によるフォトダイオードの製造方法は、P型埋込層102とP型の第1真性エピタキシャル層103間に真性キャッピングエピタキシャル層(図3の103')を形成する段階を省くことを除いては、第1実施例の製造方法と同一である。

【0042】

図15を参照すれば、半導体基板101上にP型埋込層102、P型の第1真性エピタキシャル層103を順次形成した後に、第1真性エピタキシャル層103内にP型第1接合領域104を、その上の全面上にN型の第2真性エピタキシャル層105をそれぞれ形成してP型の第2接合領域106を形成する。その次に、第2真性エピタキシャル層105上に真性キャッピングエピタキシャル層105'を形成して素子分離膜107を形成した後、カソードとの接触のためのN<sup>+</sup>型注入層108を形成し、アノード111との接触のためのP<sup>+</sup>型注入層109b、及び受光部の分割のためのP<sup>+</sup>型注入層109aを形成する。その後、層間絶縁膜110を形成した後、前記P<sup>+</sup>型注入層109b及びN<sup>+</sup>型注入層108にそれぞれ接触するアノード電極111及びカソード電極(図示せず)を形成する。

【0043】

次に、図16を参照すれば、図10ないし図12を参照して既に説明したように、金属間絶縁膜112を形成して上部金属配線構造113を形成した後、酸化膜114及び窒化

膜 115 よりなる反射防止膜 116 を形成する。これにより、第 3 実施例によるフォトダイオードが形成される。

【0044】

図 16 に示したように、第 3 実施例によって製造されたフォトダイオードは、N 型の第 2 真性エピタキシャル層 105 と N<sup>+</sup> 型注入層 108 間に真性キャッピングエピタキシャル層 105' を介在させておくことにより、N<sup>+</sup> 型注入層 108 から第 2 真性エピタキシャル層 105 への不純物拡散を遮断させられる。これにより、後続の熱処理時に第 1 真性エピタキシャル層 103 の厚さ及び比抵抗が変化することを防止しうる。

【0045】

以上で本発明の実施例について説明したが、本発明は前記の実施例にのみ限定されずに多様な変更や変形が可能である。本発明は特許請求の範囲により定義される本発明の思想及び範疇内に含まれうる代案、変形及び等価を含む。例えば、前記の実施例では NIP 型フォトダイオードを製造する場合を説明したが、半導体基板上の各層または領域の導電型を反対導電型に換えることで PIN 型フォトダイオードを製造する場合にも、本発明は同一に適用されうる。

10

【産業上の利用可能性】

【0046】

本発明の実施例を光センサーに使われる例を挙げて説明したが、情報再生装置及び情報記録装置に用いてもよい。また、光学部品は情報記録及び再生装置の以外に光情報処理素子に用いられる。

20

【図面の簡単な説明】

【0047】

【図 1】従来の NIP 型フォトダイオードを示す断面図である。

【図 2】本発明の第 1 実施例によるフォトダイオード製造方法を説明するための工程断面図であって、最初の工程を示す図である。

【図 3】図 2 の次の工程を示す図である。

【図 4】図 3 の次の工程を示す図である。

【図 5】図 4 の次の工程を示す図である。

【図 6】図 5 の次の工程を示す図である。

【図 7】図 6 の次の工程を示す図である。

30

【図 8】図 7 の次の工程を示す図である。

【図 9】図 8 の次の工程を示す図である。

【図 10】図 9 の次の工程を示す図である。

【図 11】図 10 の次の工程を示す図である。

【図 12】図 11 の次の工程を示す図である。

【図 13】本発明の第 2 実施例によるフォトダイオード製造方法を説明するための工程断面図である。

【図 14】本発明の第 2 実施例によるフォトダイオード製造方法を説明するための工程断面図である。

【図 15】本発明の第 3 実施例によるフォトダイオード製造方法を説明するための工程断面図である。

40

【図 16】本発明の第 3 実施例によるフォトダイオード製造方法を説明するための工程断面図である。

【符号の説明】

【0048】

101 半導体基板

102 P 型埋込層

103 第 1 真性エピタキシャル層

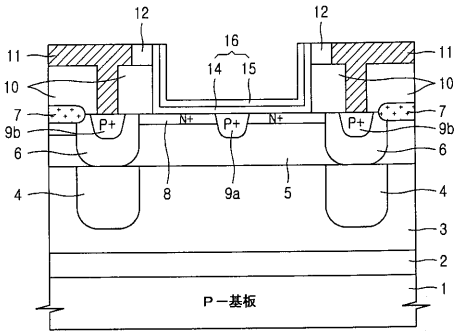
103', 105' 真性キャッピングエピタキシャル層

104 第 1 接合領域

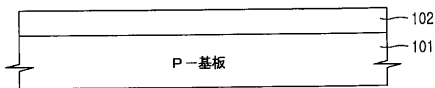
50

- 105 第2真性エピタキシャル層
- 106 第2接合領域
- 107 素子分離膜
- 108 N+型注入層
- 109 a, 109 b P+型注入層
- 110 層間絶縁膜
- 111 アノード
- 112 金属間絶縁膜
- 113 上部金属配線構造
- 114 酸化膜
- 115 窒化膜
- 116 反射防止膜

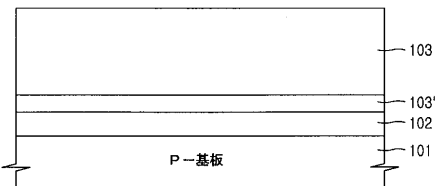
【図1】



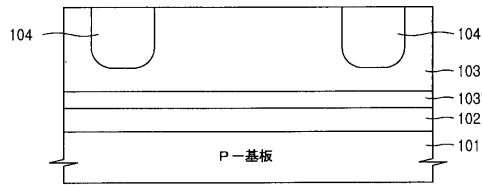
【図2】



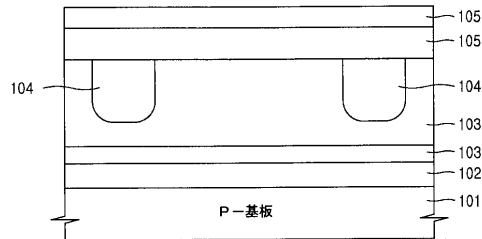
【図3】



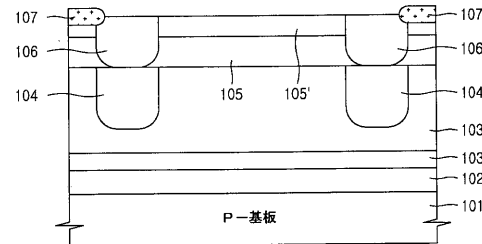
【図4】



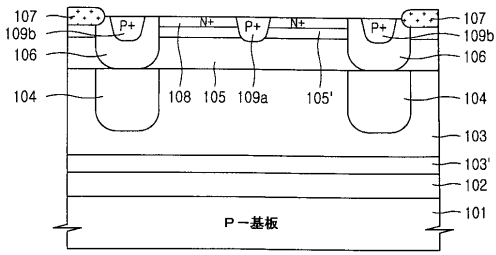
【図5】



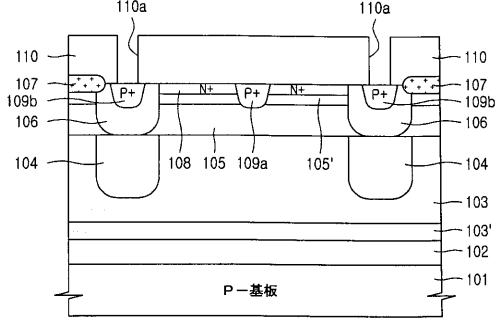
【図6】



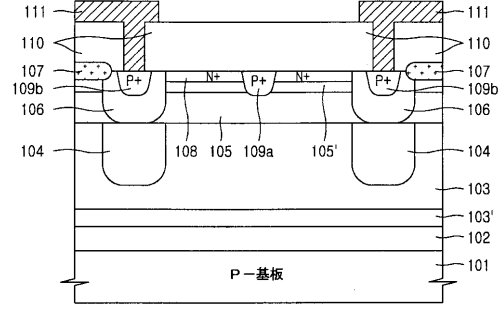
【图 7】



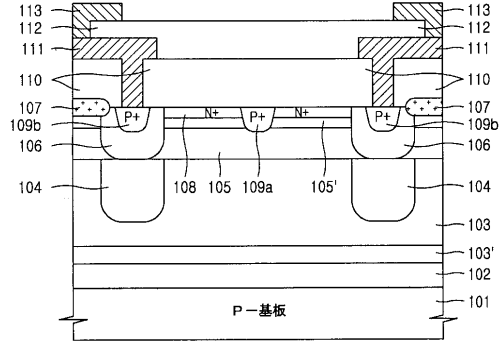
【图 8】



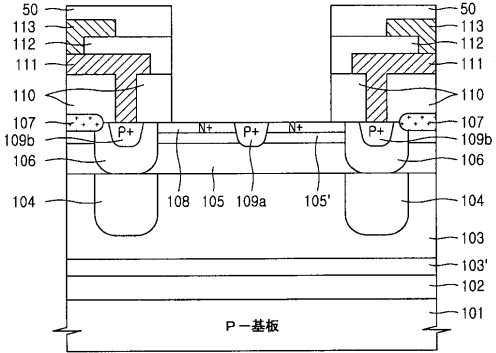
【图 9】



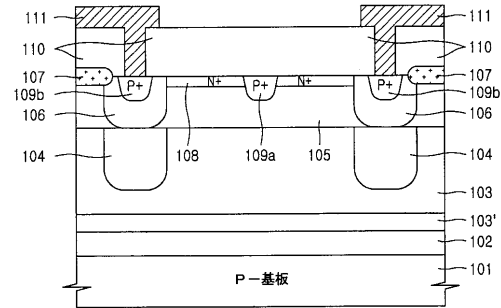
【图 10】



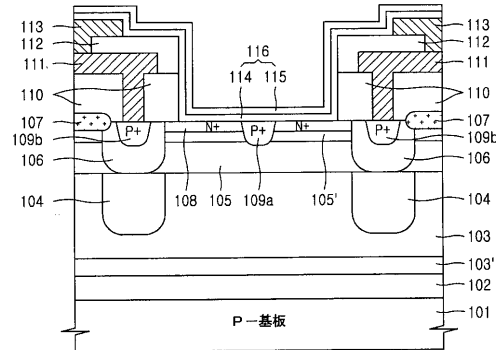
【图 11】



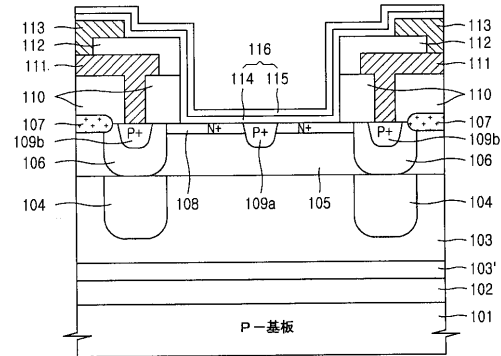
【图 13】



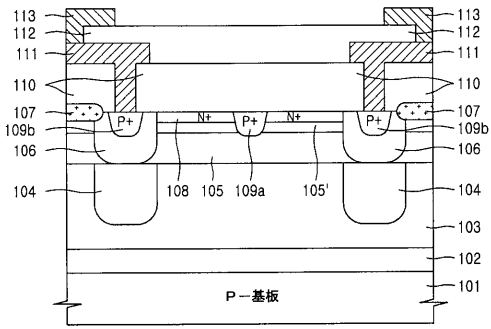
【图 12】



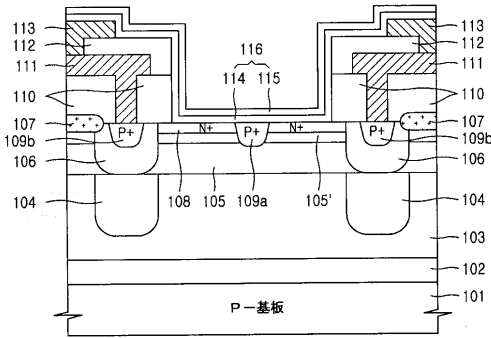
【图 14】



【图 15】



【图 16】



---

フロントページの続き

(72)発明者 バエ 晟烈

大韓民国京畿道水原市長安区栗田洞401番地 三星アパート101棟1101号

Fターム(参考) 5F049 MA04 NA01 NA03 NA15 NB07 PA09 PA10 QA05 SE05 SZ03