



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I630610 B

(45)公告日：中華民國 107 (2018) 年 07 月 21 日

(21)申請案號：105127041

(22)申請日：中華民國 105 (2016) 年 08 月 24 日

(51)Int. Cl. : G11C11/4063(2006.01)

G06F1/32 (2006.01)

(30)優先權：2015/09/04 美國

14/846,306

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：朴熙俊 PARK, HEE JUN (KR)；羅浩景 LO, HAW-JING (TW)；盧根洙 ROH, KEUNSOO (KR)

(74)代理人：陳長文

(56)參考文獻：

TW I457750

TW I471866

TW 201504802

US 8527792B2

US 2006/0053315A1

US 2011/0185208A1

US 2012/0159230A1

US 2013/0007326A1

US 2014/0157026A1

US 2014/0268213A1

審查人員：劉聖尉

申請專利範圍項數：21 項 圖式數：8 共 32 頁

(54)名稱

用於動態地調整記憶體狀態轉換計時器之系統及方法

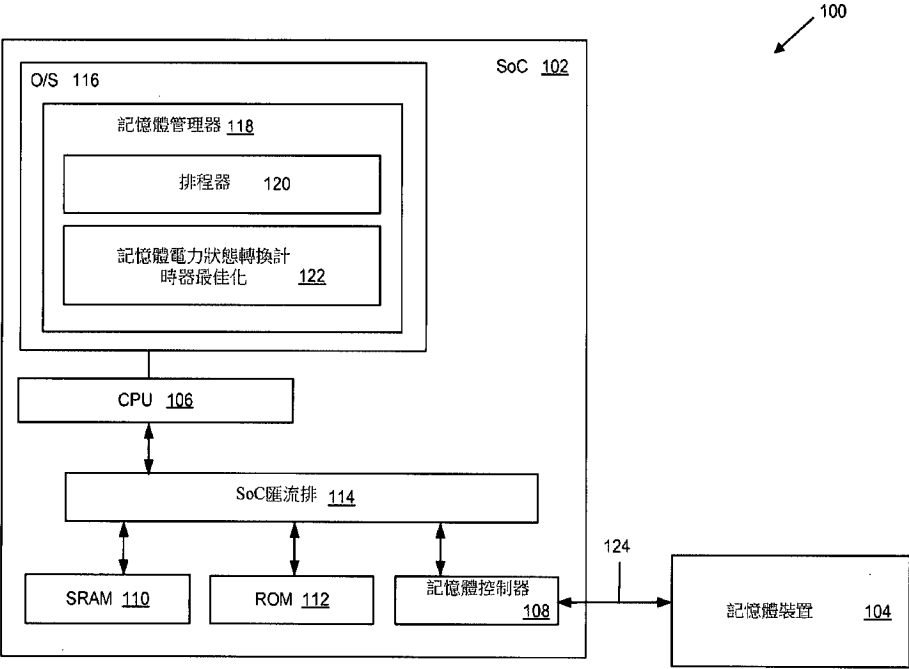
SYSTEMS AND METHODS FOR DYNAMICALLY ADJUSTING MEMORY STATE TRANSITION TIMERS

(57)摘要

本發明揭示了用於動態地調整記憶體電力狀態轉換計時器之系統、方法及電腦程式。一方法的一個實施例包含接收一或多個參數，該等參數影響耦接至一計算裝置中之一處理器之一記憶體裝置的使用或效能。判定用於一或多個記憶體電力狀態轉換計時器設定之一最佳值。使用該最佳值更新該等記憶體電力狀態轉換計時器設定之一當前值。

Systems, methods, and computer programs are disclosed for dynamically adjusting memory power state transition timers. One embodiment of a method comprises receiving one or more parameters impacting usage or performance of a memory device coupled to a processor in a computing device. An optimal value is determined for one or more memory power state transition timer settings. A current value is updated for the memory power state transition timer settings with the optimal value.

指定代表圖：



【圖1】

符號簡單說明：

- 100 . . . 系統
- 102 . . . SoC
- 104 . . . 記憶體裝置
- 106 . . . 中央處理單元(CPU)
- 108 . . . 記憶體控制器
- 110 . . . 靜態隨機存取記憶體(SRAM)
- 112 . . . 唯讀記憶體(ROM)
- 114 . . . SoC 匯流排
- 116 . . . 作業系統 O/S
- 118 . . . 記憶體管理器
- 120 . . . 排程器組件
- 122 . . . 記憶體電力狀態轉換計時器最佳化組件
- 124 . . . 匯流排

【發明說明書】

【中文發明名稱】

用於動態地調整記憶體狀態轉換計時器之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR DYNAMICALLY ADJUSTING
MEMORY STATE TRANSITION TIMERS

【技術領域】

【先前技術】

攜帶型計算裝置(例如，蜂巢式電話、智慧型電話、平板電腦、攜帶型數位助理(PDA)、攜帶型遊戲控制台、可穿戴式裝置以及其他電池供電裝置)及其他計算裝置持續供應具有不斷擴展的陣列之特徵及服務，且向使用者提供對資訊、資源以及通信之前所未有的層級的存取。為了與此等服務增強保持同步，此類裝置變得更加強大且更加複雜。攜帶型計算裝置現通常包括系統單晶片(SoC)，該SoC包含嵌入在單一基板上之一或多個晶片組件(例如，一或多個中央處理單元(CPU)、圖形處理單元(GPU)、數位信號處理器等)。SoC可經由雙資料速率(DDR)高效能資料及控制介面耦接至一或多個揮發性記憶體模組或裝置，諸如動態隨機存取記憶體(DRAM)。

現存及未來幾代DDR記憶體(例如，DDR1、DDR2、DDR3、DDR4等)支援兩種或兩種以上記憶體電力狀態，以使裝置能夠根據合乎需要的電力及/或效能模式工作。至少一種記憶體電力狀態可包含用於使裝置能夠省電的相對較低的電力模式。為控制記憶體電力狀態之間的轉換，DDR記憶體裝置具有時脈計時器設定(例如，電源關閉計時器、頁面關閉計時器、自再新計時器)，該等時脈計時器設定可影響進入較低電力模式所需之閒置持續時間。在現存設計中，例如，SoC及系統製造商可基於實驗室模擬及測

試結果程式化閒置計時器的靜態值。可判定靜態閒置計時器值，以為全局性關鍵使用案例提供電力及效能。在操作中，使用預定的靜態閒置計時器值，不考慮各種使用案例之改變、DDR類型及模型、電力相對效能之優先級之改變等。

然而，當進入較低電力記憶體狀態時，使用閒置計時器之預定的靜態設定可歸因於動態改變因素而導致低於最佳電力及/或效能之情況。例如，最佳閒置計時器值可隨DDR類型、模型及世代以及諸如記憶體訊務型樣、記憶體操作頻率、記憶體訊務量及電力相對效能之優先級的改變操作因素而變化。

因此，需要經改進的用於動態地調整記憶體電力狀態轉換計時器之系統及方法。

【發明內容】

揭示了用於動態地調整記憶體電力狀態轉換計時器之系統、方法及電腦程式。一方法的一個實施例包含接收一或多個參數，該等參數影響耦接至一計算裝置中之一處理器之一記憶體裝置的使用或效能。判定用於一或多個記憶體電力狀態轉換計時器設定之一最佳值。使用該最佳值更新該等記憶體電力狀態轉換計時器設定之一當前值。

另一實施例為一電腦系統。該電腦系統包含一記憶體裝置及一系統單晶片(SoC)。該SoC包含一處理器及一記憶體控制器。該記憶體控制器電耦接至該記憶體裝置。該處理器執行一記憶體排程器，該記憶體排程器經組態以判定供該記憶體控制器使用以進入一低電力記憶體狀態之一或多個記憶體電力狀態轉換計時器設定之一最佳值。

【圖式簡單說明】

在圖中，除非另有指示，否則相同參考標號指貫穿各種視圖的相同部分。對於諸如「102A」或「102B」的具有字母字符名稱的參考標號而言，字母字符名稱可區分相同圖中存在的兩個相同的部分或元件。當意欲參考標號涵蓋所有圖式中具有相同參考標號的所有部分時，可省略參考標號之字母字符名稱。

圖1為用於動態地調整記憶體電力狀態轉換計時器之系統之一實施例的方塊圖。

圖2為說明實施於用於動態地調整記憶體電力狀態轉換計時器的圖1之系統中的方法之一實施例的流程圖。

圖3為說明圖1的記憶體電力狀態轉換管理器之一實施例之資料輸入及輸出的方塊圖。

圖4為說明可經動態調整以最佳化動態隨機存取記憶體(DRAM)裝置之較低電力狀態中電力消耗的閒置計時器之例示性實施例的時序圖。

圖5為說明用於基於記憶體利用率百分比及記憶體操作頻率判定最佳電源關閉計時器及頁面關閉計時器設定之查找表之一實施例的方塊圖。

圖6為說明用於判定最佳閒置計時器設定之迭代搜尋方法之一實施例的曲線圖。

圖7為說明用於基於使用案例類型判定最佳電源關閉計時器及頁面關閉計時器設定之查找表之另一實施例的方塊圖。

圖8為用於併有圖1之系統之攜帶型通信裝置之一實施例之方塊圖。

【實施方式】

本文中使用的詞「例示性」意謂「充當實例、例項或說明」。本文中描述為「例示性」之任何態樣不必解釋為比其他態樣更佳或更有利。

在此描述中，術語「應用程式」亦可包括具有可執行內容之檔案，諸如：目標碼、指令碼、位元組碼、標示語言檔案以及修補程式。另外，本文中所提及之「應用程式」亦可包括在本質上不可執行之檔案，諸如可能需要打開之文件或需要存取之其他資料檔案。

術語「內容」亦可包括具有可執行內容之檔案，諸如：目標碼、指令碼、位元組碼、標示語言檔案以及修補程式。另外，本文中所提及之「內容」亦可包括本質上不可執行之檔案，諸如可能需要打開之文件或需要存取之其他資料檔案。

如在此描述中所使用，術語「組件」、「資料庫」、「模組」、「系統」及其類似者意欲指代電腦相關實體，其為硬體、韌體、硬體與軟體之組合、軟體抑或執行中之軟體。舉例而言，組件可為(但不限於)在處理器上執行之程序、處理器、物件、可執行體、執行緒、程式及/或電腦。藉助於說明，在計算裝置上執行之應用程式及計算裝置兩者皆可為組件。一或多個組件可駐留於程序及/或執行緒內，且一組件可位於一台電腦上及/或分佈於兩台或兩台以上電腦之間。另外，此等組件可自上面儲存有各種資料結構之各種電腦可讀媒體執行。組件可(諸如)根據具有一或多個資料封包之信號(例如，來自在本端系統、分佈式系統中及/或跨越具有其他系統之網路(諸如網際網路)藉助於信號與另一組件互動的一個組件的資料)藉助於本端及/或遠端程序而通信。

在此描述中，術語「通信裝置」、「無線裝置」、「無線電話」、「無線通信裝置」及「無線手機」可互換使用。隨著第三代(「3G」)無線技術及第四代(「4G」)之出現，較大頻寬可用性使得更多的攜帶型計算裝置能夠具備更多種無線能力。因此，攜帶型計算裝置可包括蜂巢式電話、尋呼

機、PDA、智慧型電話、導航裝置或具備無線連接或鏈路之手持式電腦。

圖1說明包含電耦接至一或多個記憶體裝置104之系統單晶片(SoC)102的系統100。SoC 102包含經由SoC匯流排114互連之各種晶載組件。在圖1之實施例中，SoC 102包含請求來自記憶體裝置104之記憶體資源的一或多個記憶體用戶端。記憶體用戶端可包含一或多個處理單元(例如，中央處理單元(CPU) 106、圖形處理單元(GPU)、數位信號處理器(DSP)等)、視訊編碼器或請求讀取/寫入存取記憶體裝置104之其他用戶端。SoC 102可進一步包含晶載記憶體，諸如靜態隨機存取記憶體(SRAM) 110及唯讀記憶體(ROM) 112。

應瞭解，系統100可實施於任何計算裝置中，包括個人電腦、工作站、服務器、攜帶型計算裝置(PCD)，諸如蜂巢式電話、智慧型電話、攜帶型數位助理(PDA)、攜帶型遊戲控制台、導航裝置、平板電腦、諸如運動手錶、健身追蹤裝置等穿戴式裝置，或其他電池供電的具備網路功能之裝置。

SoC 102上的記憶體控制器108經由匯流排124電耦接至記憶體裝置104。記憶體控制器108管理流向及來自記憶體裝置104之資料流。記憶體控制器108一般包含用於讀取及寫入記憶體裝置104之邏輯。在實施例中，記憶體裝置104包含動態隨機存取記憶體(DRAM)裝置，且匯流排124包含高效能隨機存取記憶體(RAM)匯流排。記憶體控制器108及DRAM裝置可支援任何現存或未來世代的雙資料速率(DRR)介面(例如DDR1、DDR2、DDR3、DDR4等)。

記憶體裝置104及記憶體控制器108可經組態以支援兩種或兩種以上記憶體電力狀態或模式。可藉由記憶體控制器108選擇性地控制每種記憶體電力狀態或模式，以提供記憶體電力消耗及/或記憶體效能之不同組合。至

少一種記憶體電力狀態包含相對較低電力的記憶體狀態，以節約記憶體電力消耗。如圖1中進一步說明，由CPU 106執行的作業系統(O/S 116)可包含記憶體管理器118。記憶體管理器118一般包含用於向記憶體用戶端分配記憶體裝置104中之記憶體之邏輯。記憶體管理器118可包含用於向記憶體裝置104排程記憶體讀取/寫入操作之排程器組件120。記憶體管理器118可進一步包含記憶體電力狀態轉換計時器最佳化組件122，該組件一般包含用於動態地調整供記憶體裝置104使用的一或多個計時器設定以自一記憶體電力狀態轉換為另一電力狀態之邏輯。在實施例中，記憶體電力狀態轉換計時器最佳化組件122經組態以判定用於進入較低電力記憶體狀態之一或多個計時器設定之最佳電力節省值。記憶體電力狀態轉換計時器最佳化組件122可實施於O/S/ 116(如圖1中說明)或硬體或韌體中。

圖2說明實施於用於動態地調整記憶體電力狀態轉換計時器以在低電力記憶體狀態下實現電力節省的系統100中的方法200之一實施例。在區塊202處，記憶體電力狀態轉換計時器最佳化組件122可接收影響記憶體裝置104之使用或效能的一或多個參數。應瞭解，可經由作業系統116、記憶體管理器118及/或排程器120監視所接收之參數。此外，所接收之參數可隨(例如)記憶體裝置或系統100中其他組件之類型而變化。在實施例中，所接收之參數可包含關於下文中之一或多者之資訊：記憶體訊務型樣、記憶體操作頻率、記憶體訊務量、記憶體利用率百分比、電力及/或效能優先級、系統使用案例及應用程式執行之類型。所接收之參數亦可識別記憶體裝置104之類型、模型及或供應商。

在區塊204處，記憶體電力狀態轉換計時器最佳化組件122可基於一或多個所接收之參數判定是否將更新一或多個記憶體電力狀態轉換計時器設

定之當前值。記憶體電力狀態轉換計時器最佳化組件122可監視及偵測所接收之參數之動態變化以判定記憶體電力狀態轉換計時器之當前值是否低於低電力記憶體狀態中省電的最佳值。應瞭解，記憶體電力狀態轉換計時器可隨記憶體裝置104之類型、世代、模型等而變化。舉例而言，在記憶體裝置104包含DRAM的實施例中，計時器可包含諸如電源關閉計時器、頁面關閉計時器或自再新計時器的DDR閒置計時器。

不考慮記憶體電力狀態轉換計時器之類型，若當前值不再係最佳電力節省，則可基於所接收之參數判定新值。可經由(例如)查找表或其他最佳化邏輯計算或判定新值。在區塊206處，記憶體電力狀態轉換計時器最佳化組件122可基於所接收之參數中之一或多者使用最佳值更新記憶體電力狀態轉換計時器之值。最佳值可被提供至且儲存於記憶體控制器108中，以供進入低電力記憶體狀態時使用(區塊208)。

圖3為說明記憶體電力狀態轉換計時器最佳化組件122之一實施例之例示性資料輸入及輸出的方塊圖。在此實施例中，記憶體電力狀態轉換計時器最佳化組件122經組態以判定供DRAM裝置使用以進入低電力記憶體狀態之DDR閒置計時器設定312之最佳值。DRAM控制器304可在一或多個暫存器310中儲存DDR閒置計時器設定312之當前值。在系統操作期間，記憶體電力狀態轉換計時器最佳化組件122可監視及/或接收各種資料輸入302，如箭頭306處所說明。資料輸入302可包含關於記憶體使用的各種資訊，諸如記憶體訊務型樣、記憶體操作頻率、記憶體訊務量或利用率百分比以及記憶體裝置類型、供應商或模型。資料輸入302亦可包含關於記憶體電力及/或效能優先級或模式、正在執行之應用程式、電池剩餘壽命或可影響DDR閒置計時器設定之最佳值之任何其他條件或參數的資訊。

圖4為說明可藉由記憶體電力狀態轉換計時器最佳化組件122動態地調整的各種例示性DDR閒置計時器之操作的時序圖400。時序圖400展示電源關閉閒置計時器402、頁面關閉閒置計時器404及自再新閒置計時器406之操作。閒置計時器402、404及406的持續時間可藉由儲存於暫存器310中的相應閒置計時器設定312而控制。在圖4之實例中，電源關閉閒置計時器402具有64個DDR時脈循環之當前值。頁面關閉閒置計時器404具有128個DDR時脈循環之當前值。自再新閒置計時器404具有50個晶體振盪器循環之當前值。再次參看圖3，記憶體電力狀態轉換計時器最佳化組件122可基於資料輸入302判定計時器402、404及406之最佳值。

應瞭解，可以各種方式判定最佳值。在一個實施例中，記憶體電力狀態轉換計時器最佳化組件122存取查找表以判定對應於資料輸入302中之一或多者之閒置計時器設定(即，資料輸出)。圖5說明用於基於記憶體利用率百分比及記憶體操作頻率判定最佳電源關閉計時器及頁面關閉計時器設定的查找表500。行502說明記憶體利用率百分比506及DDR頻率508之組合之值。對於行502中輸入值之每一組合，表500均在行504中列出相應的輸出值。電源關閉計時器之相應的輸出值在行510中識別，且頁面關閉計時器之相應的輸出值在行512中識別。舉例而言，參考表500中的頂列，若記憶體利用率百分比低於30%且DDR頻率為200 MHz，則查找表500判定電源關閉計時器及頁面關閉計時器之值應分別更新為4個及64個DDR循環。應瞭解，輸入502及輸出504可基於經模擬之資料且作為預設值經程式化至暫存器310中。

圖7說明用於基於使用案例類型判定最佳電源關閉計時器及頁面關閉計時器設定之查找表700之另一實施例。行706中所列使用案例類型定義表

輸入。對於每種使用案例類型，表700在行704中列出相應的輸出值。電源關閉計時器之相應的輸出值在行708中識別，且頁面關閉計時器之相應的輸出值在行710中識別。在圖7之實例中，使用案例類型可包含以下各者之一或多者：使用寬頻分碼多重存取(WCDMA)或全球行動通信系統(GSM)之語音通話；長期演進(LTE)語音通話；LTE資料下載；圖形基準應用程式；DDR基準應用程式；或任何其他使用案例。應瞭解，輸入702及輸出704亦可基於經模擬之資料且作為預設值經程式化至暫存器310中。在其他實施例中，記憶體電力狀態轉換計時器最佳化組件122可經組態以基於平均閒置計時器持續時間計算DDR閒置計時器設定之最佳值。

圖6為說明用於使用迭代搜尋方法判定最佳閒置計時器設定之另一實施例之曲線圖600。x軸表示頁面關閉計時器之值，且y軸表示電源關閉計時器之值。在系統100之操作期間，搜尋演算法可迭代地搜尋產生較低平均記憶體電力的最佳x及y值。在圖6之實例中，搜尋方法可以X0處之初始值組合起始。搜尋演算法可估計鄰近值組合之電力及/或效能。如圖6中所說明，可搜尋具有電源關閉計時器及頁面關閉計時器兩者之較大及較小值的鄰近值，以判定鄰近值是否產生較佳電力及/或效能。搜尋方法可經組態以迭代地識別後續值組合X1、X2、X3等，直至判定產生可能的最低平均記憶體電力之最佳值組合。

如上文所提及，系統100可併入至任何合乎需要的計算系統中。圖8說明併入在例示性攜帶型計算裝置(PCD)800中之系統100。將容易瞭解，系統100之某些組件包括於SoC 322上，而其他組件(例如，DRAM 104)為耦接至SoC 322之外部組件。SoC 322可包括多核心CPU 802。多核心CPU 802可包括第零核心810、第一核心812以及第N核心814。核心中之一者可

包含例如圖形處理單元(GPU)，而其他核心之一或多者包含CPU。

顯示控制器328及觸控式螢幕控制器330可耦接至CPU 802。晶載系統322外部之觸控式螢幕顯示器806又可耦接至顯示控制器328及觸控式螢幕控制器330。

圖8進一步展示視訊編碼器334(例如，逐行倒相(PAL)編碼器、順序傳送彩色與儲存(SECAM)編碼器或全國電視系統委員會(NTSC)編碼器)耦接至多核心CPU 802。另外，將視訊放大器336耦接至視訊編碼器334以及觸控式螢幕顯示器806。此外，將視訊埠338耦接至視訊放大器336。如圖8中所展示，將通用串列匯流排(USB)控制器340耦接至多核心CPU 802。此外，將USB埠342耦接至USB控制器340。記憶體104可耦接至SoC 322(如圖1中所說明)。

另外，如圖8中所展示，數位攝影機348可耦接至多核心CPU 802。在例示性態樣中，數位攝影機348為電荷耦合裝置(CCD)攝影機或互補金屬氧化物半導體(CMOS)攝影機。

如圖8中進一步所說明，立體聲音訊編碼器-解碼器(CODEC)350可耦接至多核心CPU 802。此外，音訊放大器352可耦接至立體聲音訊CODEC 350。在例示性態樣中，將第一立體聲揚聲器354及第二立體聲揚聲器356耦接至音訊放大器352。圖8展示麥克風放大器358亦可耦接至立體聲音訊CODEC 350。另外，麥克風360可耦接至麥克風放大器358。在一特定態樣中，頻率調變(FM)無線電調諧器362可耦接至立體聲音訊CODEC 350。此外，將FM天線364耦接至FM無線電調諧器362。另外，立體聲頭戴式耳機366可耦接至立體聲音訊CODEC 350。

圖8進一步說明射頻(RF)收發器368可耦接至多核心CPU 802。RF開關

370可耦接至RF收發器368及RF天線372。小鍵盤204可耦接至多核心CPU 802。此外，具有麥克風376之單聲道耳機可耦接至多核心CPU 802。另外，振動器裝置378可耦接至多核心CPU 802。

圖8亦展示電源供應器380可耦接至晶載系統322。在一特定態樣中，電源供應器380為直流(DC)電源供應器，其向需要電力之PCD 800之各種組件提供電力。另外，在一特定態樣中，電源供應器為可充電DC電池或DC電源供應器，其來源於連接至AC電源之交流電(AC)至DC變壓器。

圖8進一步指示PCD 800亦可包括可用於存取資料網路(例如，區域網路、個人區域網路或任何其他網路)之網路卡388。網路卡388可為藍芽網路卡、WiFi網路卡、個人區域網路(PAN)卡、個人區域網路超低電力技術(PeANUT)網路卡、電視/電纜/衛星調諧器或在此項技術中熟知之任何其他網路卡。另外，網路卡388可併入至晶片中，亦即，網路卡388可為晶片中的完整解決方案，且可能並非獨立的網路卡388。

如圖8中所描繪，觸控式螢幕顯示器806、視訊埠338、USB埠342、攝影機348、第一立體聲揚聲器354、第二立體聲揚聲器356、麥克風360、FM天線364、立體聲頭戴式耳機366、RF開關370、RF天線372、小鍵盤374、單聲道耳機376、振動器378以及電源供應器380可在晶載系統322外部。

應瞭解，本文中所描述之方法步驟中之一或多者可作為電腦程式指令(諸如，上文所描述之模組)儲存在記憶體中。此等指令可結合相應的模組或與相應的模組合作而由任何合適之處理器執行，從而執行本文中所描述之方法。

為了讓本發明如所描述一樣起作用，本說明書中描述之程序或處理流程中的某些步驟自然地先於其他步驟。然而，若此次序或序列不會更改本

發明之功能性，則本發明不限於所描述之步驟之次序。亦即，應認識到一些步驟可在其他步驟之前、之後或與其平行(大體上與其同步)執行而不背離本發明之範疇及精神。在一些情況下，可在不背離本發明之情況下省略或不執行某些步驟。另外，諸如「此後」、「隨後」、「接下來」等詞並不意欲限制該等步驟之次序。此等詞僅用以引導讀者貫穿對例示性方法之描述。

另外，舉例而言，一般熟習程式化技術之技術人員能夠基於本說明書中之流程圖及相關聯之描述輕鬆地寫入電腦碼或識別適當之硬體及/或電路以實施所揭示的發明。

因此，對特定一組程式碼指令或詳細硬體裝置之揭示不被視為對於充分理解如何製作及使用本發明而言為必要的。在上文之描述中且結合可說明各種處理流程之圖式更詳細地解釋所主張電腦實施之程序的創造性功能。

在一或多個例示性態樣中，所描述之功能可實施於硬體、軟體、韌體或其任何組合中。若實施於軟體中，則可將功能作為一或多個指令或程式碼而儲存於電腦可讀媒體上或經由電腦可讀媒體來傳輸。電腦可讀媒體包括電腦儲存媒體及通信媒體兩者，通信媒體包括促進電腦程式自一處傳送至另一處之任何媒體。儲存媒體可為可由電腦存取之任何可用媒體。作為實例且非限制，此類電腦可讀媒體可包含RAM、ROM、EEPROM、NAND快閃記憶體、NOR快閃記憶體、M-RAM、P-RAM、R-RAM、CD-ROM或其他光碟儲存裝置、磁碟儲存裝置或其他磁性儲存裝置，或可用以攜載或儲存呈指令或資料結構形式之所要程式碼且可由電腦存取之任何其他媒體。

如本文中所使用，磁碟及光碟包括緊密光碟(「CD」)、雷射光碟、光學光碟、數位多功能光碟(「DVD」)、軟碟及藍光光碟，其中磁碟通常以磁性方式再現資料，而光碟用雷射以光學方式再現資料。以上之組合亦應包括於電腦可讀媒體之範疇內。

替代實施例將對於一般熟習此項技術者變得顯而易見，本發明在不偏離其精神及範疇的情況下涉及該等替代實施例。因此，雖然已經詳細說明及描述了所選擇態樣，但應理解，在不脫離如隨後申請專利範圍所界定的本發明之精神及範疇的情況下，可在其中進行各種取代及更改。

【符號說明】

100	系統
102	SoC
104	記憶體裝置
106	中央處理單元(CPU)
108	記憶體控制器
110	靜態隨機存取記憶體(SRAM)
112	唯讀記憶體(ROM)
114	SoC匯流排
116	作業系統O/S
118	記憶體管理器
120	排程器組件
122	記憶體電力狀態轉換計時器最佳化組件
124	匯流排
200	方法

202	區塊
204	區塊/小鍵盤
206	區塊
208	區塊
302	資料輸入
304	DRAM控制器
306	箭頭
310	暫存器
312	閒置計時器設定
322	SoC
328	顯示控制器
330	觸控式螢幕控制器
334	視訊編碼器
336	視訊放大器
338	視訊埠
340	USB控制器
342	USB埠
346	SIM卡
348	數位攝影機
350	立體聲音訊編碼器-解碼器(CODEC)
352	音訊放大器
354	第一立體聲揚聲器
356	第二立體聲揚聲器

358	麥克風放大器
360	麥克風
362	頻率調變(FM)無線電調諧器
364	FM天線
366	立體聲頭戴式耳機
368	RF收發器
370	RF開關
372	RF天線
374	小鍵盤
376	單聲道耳機
378	振動器
380	電源供應器
388	網路卡
400	時序圖
402	電源關閉閒置計時器
404	頁面關閉閒置計時器
406	自再新閒置計時器
500	查找表
502	輸入/行
504	輸出/行
506	利用率百分比
508	DDR頻率
510	電源關閉計時器設定

512 頁面關閉計時器設定

600 曲線圖

700 查找表

702 輸入

704 輸出

706 行

708 行

710 行

800 例示性攜帶型計算裝置(PCD)

802 多核心CPU

806 觸控式螢幕顯示器

810 第零核心

812 第一核心

814 第N核心



I630610

【發明摘要】

IPC分類: G11C 11/4063 (2006.01)
G06F 1/32 (2006.01)

【中文發明名稱】

用於動態地調整記憶體狀態轉換計時器之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR DYNAMICALLY ADJUSTING
MEMORY STATE TRANSITION TIMERS

【中文】

本發明揭示了用於動態地調整記憶體電力狀態轉換計時器之系統、方法及電腦程式。一方法的一個實施例包含接收一或多個參數，該等參數影響耦接至一計算裝置中之一處理器之一記憶體裝置的使用或效能。判定用於一或多個記憶體電力狀態轉換計時器設定的一最佳值。使用該最佳值更新該等記憶體電力狀態轉換計時器設定之一當前值。

【英文】

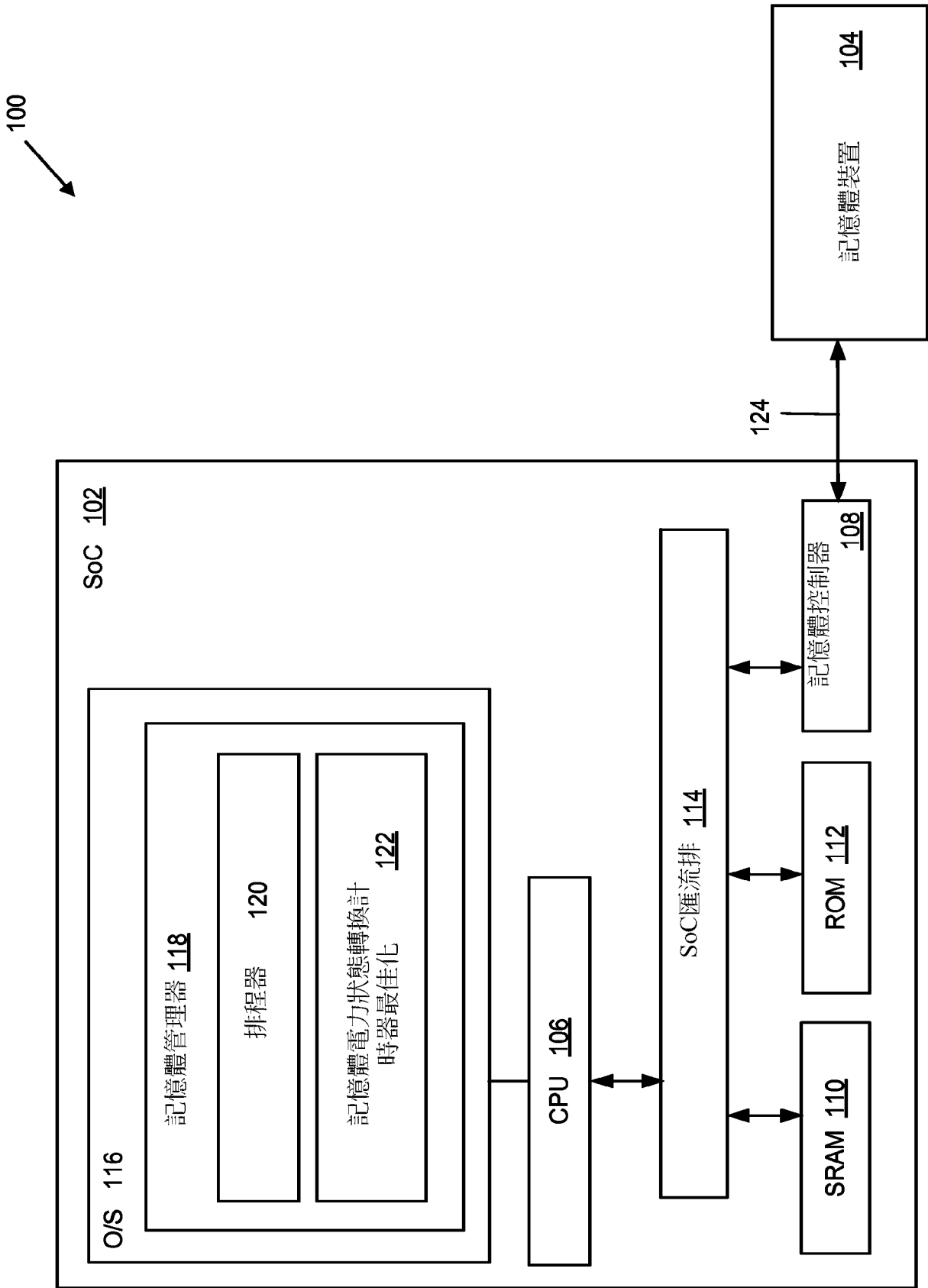
Systems, methods, and computer programs are disclosed for dynamically adjusting memory power state transition timers. One embodiment of a method comprises receiving one or more parameters impacting usage or performance of a memory device coupled to a processor in a computing device. An optimal value is determined for one or more memory power state transition timer settings. A current value is updated for the memory power state transition timer settings with the optimal value.

【指定代表圖】

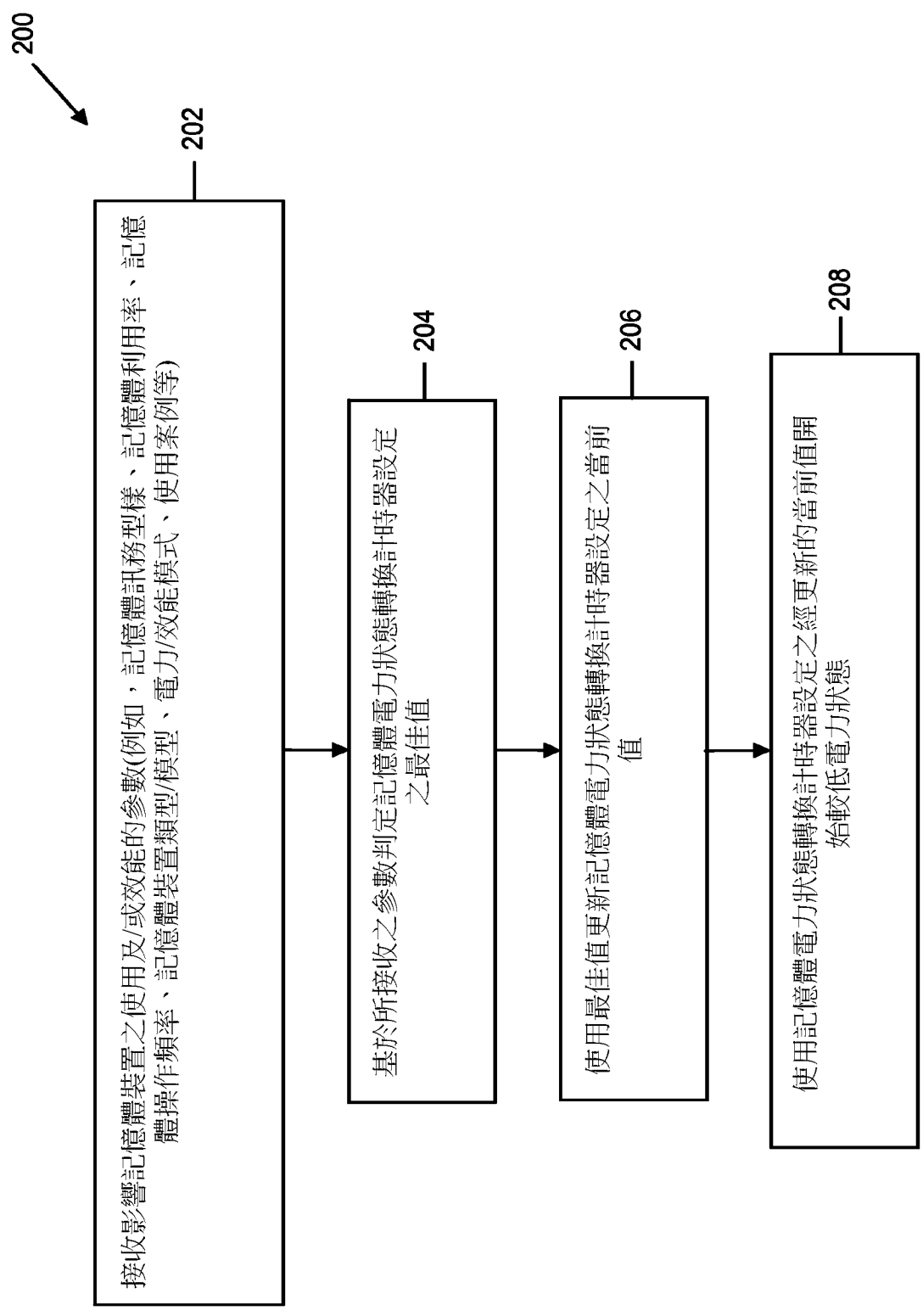
圖1

【代表圖之符號簡單說明】

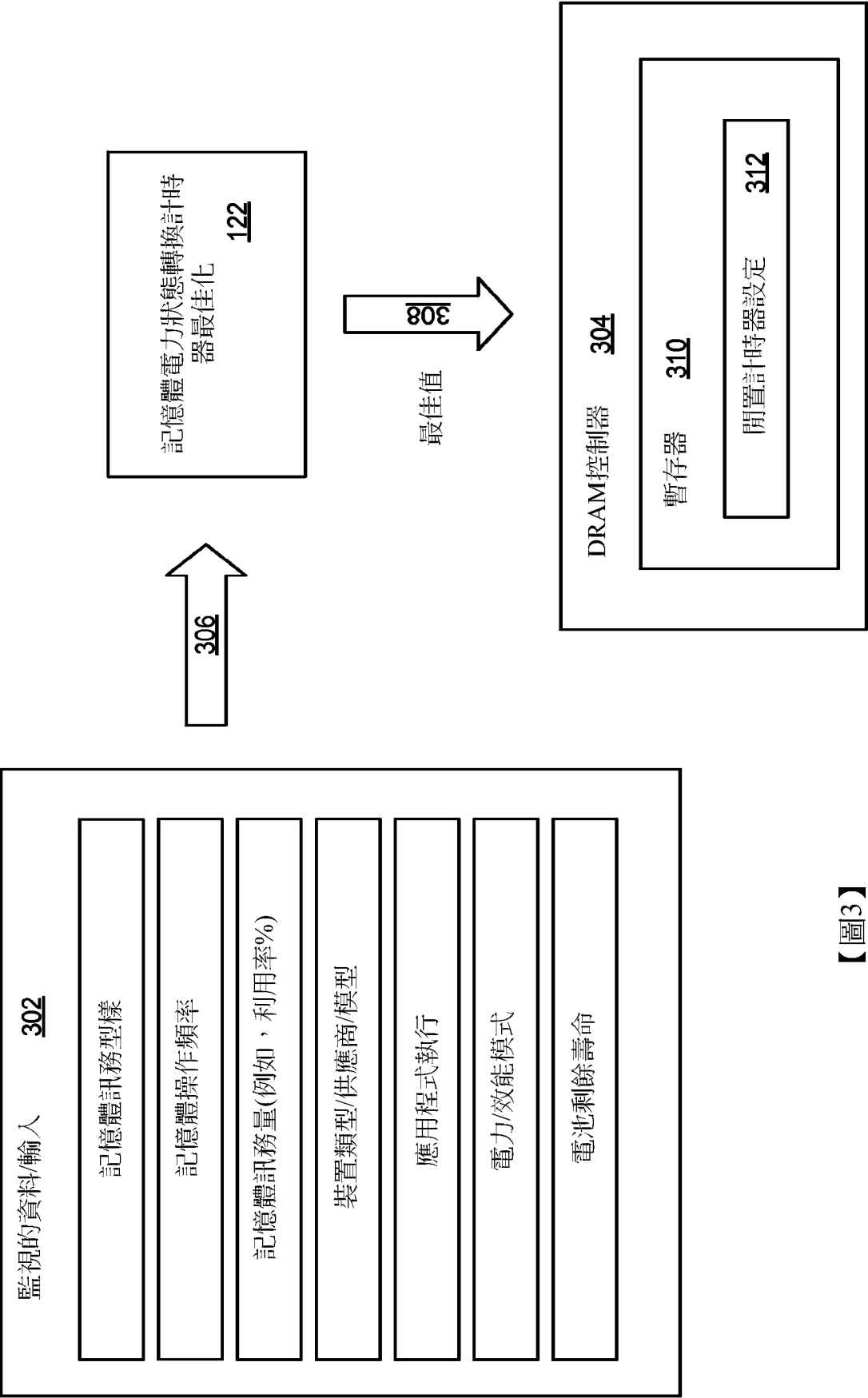
【發明圖式】



【圖1】



【圖2】



【圖3】

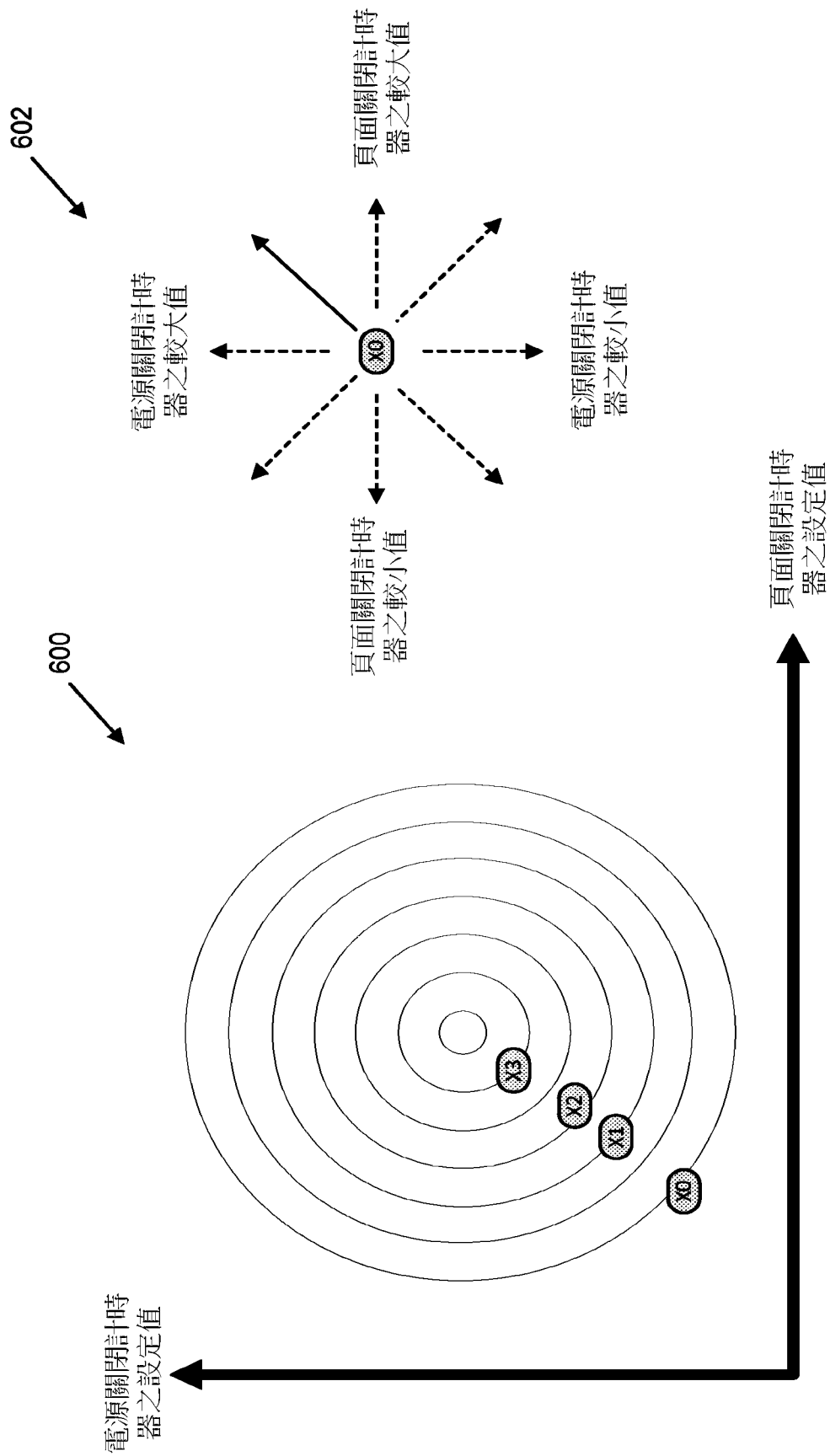


500



輸入		502	輸出		504		
利用率	506	DDR頻率	508	電源關閉計時器設定	510	頁面關閉計時器設定	512
< 30%		200		4		64	
< 60%		200		16		64	
< 20%		461		4		128	
< 40%		461		16		64	
< 60%		461		32		64	
< 30%		1037		2		128	
< 70%		1037		16		128	
< 20%		1555		2		128	
< 35%		1555		4		128	
< 55%		1555		8		128	
< 80%		1555		12		128	

【圖5】



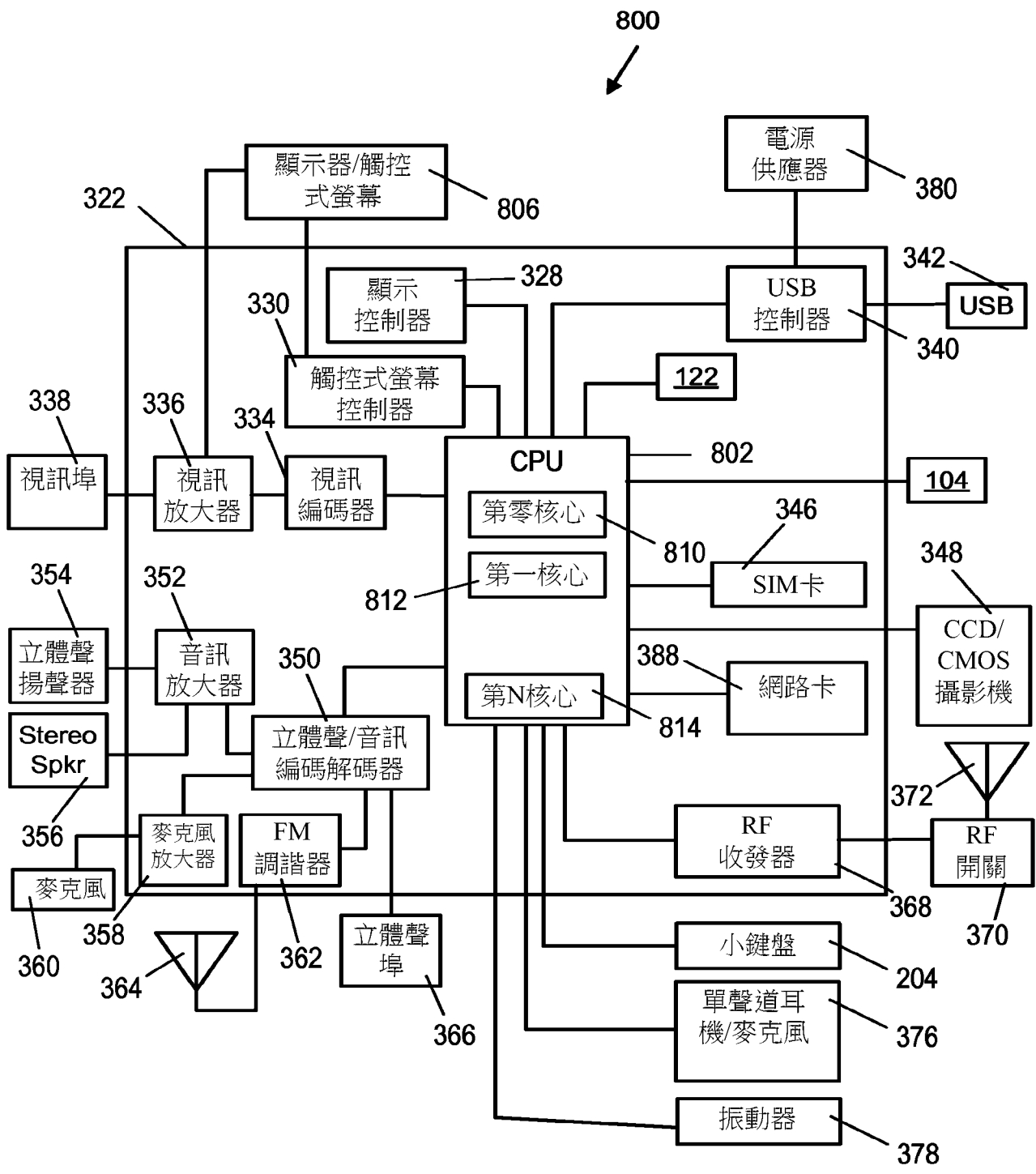
【圖6】

700



輸入	<u>702</u>	輸出		<u>704</u>
使用案例類型	<u>706</u>	電源關閉計時器設定	<u>708</u>	頁面關閉計時器設定
				<u>710</u>
WCDMA/GSM語音通話		4		64
VoLTE語音通話		16		64
LTE資料下載		4		128
圖形基準應用程式		64		128
DDR基準應用程式		64		128
其他使用案例		4		256

【圖7】



【圖8】



申請日: 105/08/24

IPC分類: G11C 11/4063 (2006.01)
G06F 1/32 (2006.01)

【發明摘要】

【中文發明名稱】

用於動態地調整記憶體狀態轉換計時器之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR DYNAMICALLY ADJUSTING
MEMORY STATE TRANSITION TIMERS

【中文】

本發明揭示了用於動態地調整記憶體電力狀態轉換計時器之系統、方法及電腦程式。一方法的一個實施例包含接收一或多個參數，該等參數影響耦接至一計算裝置中之一處理器之一記憶體裝置的使用或效能。判定用於一或多個記憶體電力狀態轉換計時器設定的一最佳值。使用該最佳值更新該等記憶體電力狀態轉換計時器設定之一當前值。

【英文】

Systems, methods, and computer programs are disclosed for dynamically adjusting memory power state transition timers. One embodiment of a method comprises receiving one or more parameters impacting usage or performance of a memory device coupled to a processor in a computing device. An optimal value is determined for one or more memory power state transition timer settings. A current value is updated for the memory power state transition timer settings with the optimal value.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100	系統
102	SoC
104	記憶體裝置
106	中央處理單元(CPU)
108	記憶體控制器
110	靜態隨機存取記憶體(SRAM)
112	唯讀記憶體(ROM)
114	SoC匯流排
116	作業系統O/S
118	記憶體管理器
120	排程器組件
122	記憶體電力狀態轉換計時器最佳化組件
124	匯流排

【發明申請專利範圍】

【第1項】

一種用於動態地調整記憶體電力狀態轉換計時器之方法，該方法包含：

接收一或多個參數，該等參數對應於耦接至一計算裝置中之一處理器之一記憶體裝置的使用，該等參數包含一記憶體利用率百分比及一記憶體訊務型樣、一記憶體操作頻率、一記憶體訊務量及一電力/效能模式中之一或多者；

基於該一或多個參數判定進入一低電力記憶體狀態之該記憶體裝置之一或多個記憶體電力狀態轉換計時器設定之一所要值，其中該等記憶體電力狀態轉換計時器設定包含至少一閒置計時器設定；及

使用該所要值更新該記憶體裝置之該等記憶體電力狀態轉換計時器設定之一當前值。

【第2項】

如請求項1之方法，其中該接收影響該記憶體裝置之使用之一或多個參數包含：監視及偵測該一或多個參數之一變化。

【第3項】

如請求項1之方法，其中該判定該一或多個記憶體電力狀態轉換計時器設定之該所要值包含：存取一查找表，以基於該一或多個參數判定該所要值。

【第4項】

如請求項1之方法，其中該判定該一或多個記憶體電力狀態轉換計時器設定之該所要值包含基於一平均閒置計時器持續時間計算該所要值。

【第5項】

如請求項1之方法，其中該記憶體裝置包含一動態隨機存取記憶體(DRAM)裝置，且該等記憶體電力狀態轉換計時器設定包含用於將該DRAM裝置轉換至一低電力模式的一電源關閉計時器設定及一頁面關閉計時器設定。

【第6項】

如請求項1之方法，其中該判定該一或多個記憶體電力狀態轉換計時器設定之該所要值包含複數個設定值之一迭代搜尋。

【第7項】

一種用於動態地調整記憶體電力狀態轉換計時器之系統，該系統包含：

用於接收一或多個參數之構件，該一或多個參數對應於耦接至一計算裝置中之一處理器之一記憶體裝置的使用，該等參數包含一記憶體利用率百分比及一記憶體訊務型樣、一記憶體操作頻率、一記憶體訊務量及一電力/效能模式中之一或多者；

用於基於該一或多個參數判定進入一低電力記憶體狀態之該記憶體裝置之一或多個記憶體電力狀態轉換計時器設定之一所要值的構件，其中該等記憶體電力狀態轉換計時器設定包含至少一閒置計時器設定；及

用於使用該所要值更新該記憶體裝置之該等記憶體電力狀態轉換計時器設定之一當前值的構件。

【第8項】

如請求項7之系統，其中用於接收影響該記憶體裝置之使用之一或多個參數的該構件包含：用於監視及偵測該一或多個參數之一變化的構件。

【第9項】

如請求項7之系統，其中用於判定該一或多個記憶體電力狀態轉換計時器設定之該所要值的該構件包含：用於存取一查找表以基於該一或多個參數判定該所要值的構件。

【第10項】

如請求項7之系統，其中用於判定該一或多個記憶體電力狀態轉換計時器設定之該所要值的該構件包含用於基於一平均閒置計時器持續時間計算該所要值的構件。

【第11項】

如請求項7之系統，其中該記憶體裝置包含一動態隨機存取記憶體(DRAM)裝置，且該等記憶體電力狀態轉換計時器設定包含用於將該DRAM裝置轉換至一低電力模式的一電源關閉時間設定及一頁面關閉計時器設定。

【第12項】

如請求項7之系統，其中用於判定該一或多個記憶體電力狀態轉換計時器設定之該所要值的該構件包含用於迭代搜尋複數個設定值的一構件。

【第13項】

一種電腦程式，其體現於一非暫態電腦可讀媒體中且可由一處理器執行，以動態地調整記憶體電力狀態轉換計時器，該電腦程式包含經組態以執行以下操作之邏輯：

接收一或多個參數，該等參數影響耦接至一計算裝置中之一處理器之一記憶體裝置的使用，該等參數包含一記憶體利用率百分比及一記憶體訊務型樣、一記憶體操作頻率、一記憶體訊務量、及一電力/效能模式中之一

或多者；

基於該一或多個參數判定進入一低電力記憶體狀態之一或多個記憶體電力狀態轉換計時器設定之一所要值，其中該等記憶體電力狀態轉換計時器設定包含至少一閒置計時器設定；及

使用該所要值更新該記憶體裝置之該等記憶體電力狀態轉換計時器設定之一當前值。

【第14項】

如請求項13之電腦程式，其中經組態以判定該一或多個記憶體電力狀態轉換計時器設定之該所要值之該邏輯包含經組態以執行以下操作之邏輯：存取一查找表，以基於該一或多個參數判定該所要值。

【第15項】

如請求項13之電腦程式，其中經組態以判定該一或多個記憶體電力狀態轉換計時器設定之該所要值之該邏輯包含經組態以執行以下操作之邏輯：基於一平均閒置計時器持續時間計算該所要值。

【第16項】

如請求項13之電腦程式，其中該記憶體裝置包含一動態隨機存取記憶體(DRAM)裝置，且該等記憶體電力狀態轉換計時器設定包含用於將該DRAM裝置轉換至一低電力模式的一電源關閉時間設定及一頁面關閉計時器設定。

【第17項】

如請求項13之電腦程式，其中經組態以判定該一或多個記憶體電力狀態轉換計時器設定之該所要值之該邏輯包含複數個設定值之一迭代搜尋。

【第18項】

一種電腦系統，其包含：

一記憶體裝置；

一系統單晶片(SoC)，其包含一處理器及一記憶體控制器，該記憶體控制器電耦接至該記憶體裝置；及

由該處理器執行之一記憶體排程器，該記憶體排程器經組態以：

監視對應於該記憶體裝置之使用之一或多個參數，該等參數包含一記憶體利用率百分比及一記憶體訊務型樣、一記憶體操作頻率、一記憶體訊務量及一電力/效能模式中之一或多者；及

基於經監視之該等參數判定供該記憶體控制器使用以進入一低電力記憶體狀態之一或多個記憶體電力狀態轉換計時器設定之一所要值，其中該等記憶體電力狀態轉換計時器設定包含至少一閒置計時器設定。

【第19項】

如請求項18之電腦系統，其中藉由存取一查找表而判定該一或多個記憶體電力狀態轉換計時器設定之該所要值。

【第20項】

如請求項18之電腦系統，其中該所要值係基於一平均閒置計時器持續時間來計算。

【第21項】

如請求項18之電腦系統，其中該記憶體裝置包含一動態隨機存取記憶體(DRAM)裝置，且該等記憶體電力狀態轉換計時器設定包含用於進入該低電力記憶體狀態的一電源關閉時間設定及一頁面關閉計時器設定。