

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-34090

(P2011-34090A)

(43) 公開日 平成23年2月17日(2011.2.17)

(5) Int.Cl.		F I	テーマコード (参考)			
G09F	9/00	(2006.01)	G09F	9/00	348Z	3K107
G09F	9/30	(2006.01)	G09F	9/30	330Z	5C094
H01L	51/50	(2006.01)	H05B	33/14	A	5G435
H05B	33/06	(2006.01)	H05B	33/06		

審査請求 有 請求項の数 1 O L (全 50 頁)

(21) 出願番号 特願2010-209187 (P2010-209187)
 (22) 出願日 平成22年9月17日 (2010.9.17)
 (62) 分割の表示 特願2001-140325 (P2001-140325)
 の分割
 原出願日 平成13年5月10日 (2001.5.10)
 (31) 優先権主張番号 特願2000-140513 (P2000-140513)
 (32) 優先日 平成12年5月12日 (2000.5.12)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC33 CC42 DD38
 DD39 EE03 EE59
 5C094 AA08 AA21 AA53 BA03 BA27
 CA19 DB01 DB02 EA10 FA01
 FB12 FB14 HA05 HA07 HA08

最終頁に続く

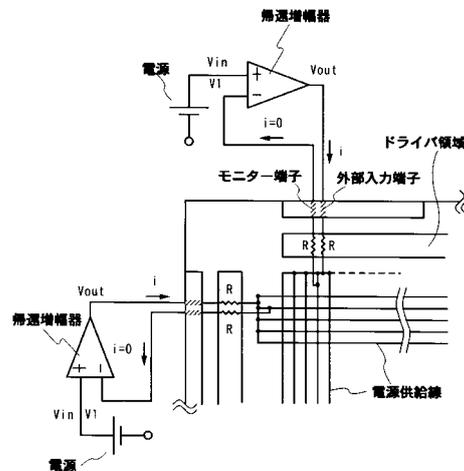
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 電源供給線の配線抵抗による電位降下によって生じる電位のずれを軽減することにより、表示領域内のムラを軽減し、鮮明な多階調カラー表示が可能なアクティブマトリクス型のEL表示装置を提供することを課題とする。

【解決手段】 電源供給線の引き出し口を複数配置する。また、外部入力端子と画素部電源供給線との間の配線抵抗を、帰還増幅器をもって電源供給線に電位供給することにより、電位補償をおこなう。また、上記構成に加え、電源供給線をマトリクス状に配置する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

絶縁表面上に複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、マトリクス状に配置された複数の画素とを有し、

前記複数の画素は、スイッチング用薄膜トランジスタと、駆動用薄膜トランジスタと、EL素子とによって構成される表示装置において、

複数の引き出し口を有し、

前記複数の電源供給線は、前記複数の引き出し口まで引き回され、

前記複数の引き出し口において、前記複数の電源供給線に電位が与えられ、

前記引き出し口は、前記表示装置の少なくとも2方向に設けられていることを特徴とした表示装置。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はEL（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイ（電気光学装置）に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた表示装置に関する。またEL表示装置を表示部に用いた電子機器に関する。

【背景技術】**【0002】**

近年、基板上に薄膜トランジスタ（以下、本明細書中ではTFTと表記する）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコンなどの多結晶半導体膜を用いたTFTは、従来のアモルファスシリコン等の非晶質半導体膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

20

【0003】

このような多結晶半導体膜を用いたアクティブマトリクス型表示装置では、同一基板上に、様々な回路や素子を作り込むことが可能であり、製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

30

【0004】

そしてさらに、自発光型素子としてEL素子を有したアクティブマトリクス型のEL表示装置の研究が活発化している。EL表示装置は、有機ELディスプレイ（OLED：Organic EL Display）又は有機ライトエミティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【0005】

EL素子是一对の電極（陽極と陰極）間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているEL表示装置はほとんどこの構造を採用している。

40

【0006】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】

本明細書において、陰極と陽極との間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0008】

50

そして、上記構造でなる E L 層に、一对の電極から所定の電圧をかけると、発光層においてキャリアの再結合が起こって発光する。なお本明細書において E L 素子が発光することを、E L 素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【0009】

なお、本明細書中において、E L 素子とは、一重項励起状態からの発光（蛍光）を利用するものと、三重項励起状態からの発光（燐光）を利用するものの両方を含むものとする。

【0010】

E L 表示装置の駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。E L 表示装置のアナログ駆動について、図 18 及び図 19 を用いて説明する。

10

【0011】

図 18 に、アナログ駆動の E L 表示装置の画素部 1800 の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用 T F T 1801 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1801 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）（S1～Sx）に、もう一方が各画素が有する駆動用 T F T 1804 のゲート電極及び各画素が有する保持容量 1808 にそれぞれ接続されている。

【0012】

各画素が有する駆動用 T F T 1804 のソース領域とドレイン領域はそれぞれ、一方は電源供給線（V1～Vx）に、もう一方は E L 素子 1806 に接続されている。電源供給線（V1～Vx）の電位を電源電位と呼ぶ。また電源供給線（V1～Vx）は、各画素が有する保持容量 1808 に接続されている。

20

【0013】

E L 素子 1806 は、陽極と、陰極と、陽極と陰極との間に設けられた E L 層とを有する。E L 素子 1806 の陽極が駆動用 T F T 1804 のソース領域またはドレイン領域と接続している場合、E L 素子 1806 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1806 の陰極が駆動用 T F T 1804 のソース領域またはドレイン領域と接続している場合、E L 素子 1806 の陽極が対向電極、陰極が画素電極となる。

30

【0014】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

【0015】

図 18 で示した E L 表示装置を、アナログ方式で駆動させた場合のタイミングチャートを図 19 に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間（L）と呼ぶ。また 1つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間（F）に相当する。図 18 の E L 表示装置の場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間（L1～Ly）が設けられている。

40

【0016】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0017】

まず電源供給線（V1～Vx）は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

【0018】

第 1 のライン期間（L1）において、ゲート信号線 G1 には、ゲート信号線駆動回路か

50

らの選択信号が入力される。そして、ソース信号線 ($S_1 \sim S_x$) に順にアナログのビデオ信号が入力される。ゲート信号線 G_1 に接続された全てのスイッチング用 T F T はオンの状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用 T F T を介して駆動用 T F T のゲート電極に入力される。

【0019】

駆動用 T F T のチャンネル形成領域を流れる電流の量は、そのゲート電圧によって制御される。

【0020】

ここで、駆動用 T F T のソース領域が電源供給線に接続され、ドレイン領域が E L 素子に接続されている場合を例に説明する。

【0021】

駆動用 T F T のソース領域は、電源供給線に接続されてるため、画素部の各画素に同じ電位が入力されている。このとき、ソース信号線にアナログの信号が入力されると、この信号電圧の電位と、駆動用 T F T のソース領域の電位との差がゲート電圧になる。E L 素子に流れる電流は、駆動用 T F T のゲート電圧によって決まる。ここで、E L 素子の発光輝度は、E L 素子の両電極間を流れる電流に比例する。こうして E L 素子はアナログのビデオ信号の電圧に制御されて発光を行う。

【0022】

上述した動作を繰り返し、ソース信号線 ($S_1 \sim S_x$) へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間 (L_1) が終了する。なお、ソース信号線 ($S_1 \sim S_x$) への、アナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。次に第 2 のライン期間 (L_2) となりゲート信号線 G_2 に選択信号が入力される。第 1 のライン期間 (L_1) と同様に、ソース信号線 ($S_1 \sim S_x$) に順にアナログのビデオ信号が入力される。

【0023】

全てのゲート信号線 ($G_1 \sim G_y$) に選択信号が入力されると、全てのライン期間 ($L_1 \sim L_y$) が終了する。全てのライン期間 ($L_1 \sim L_y$) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 ($L_1 \sim L_y$) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

【0024】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式は、いわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電圧の変化で階調表示が行われる。

【発明の概要】

【発明が解決しようとする課題】

【0025】

図 20 は、駆動用 T F T の特性を示すグラフであり、401 は $I_d - V_g$ 特性 (又は $I_d - V_g$ 曲線) と呼ばれている。ここで I_d はドレイン電流であり、 V_g はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0026】

通常、E L 素子を駆動するにあたって、上記 $I_d - V_g$ 特性の点線 402 で示した領域を用いる。402 で囲んだ領域は、飽和領域と呼ばれ、ゲート電圧 V_g の変化に対してドレイン電流 I_d が大きく変化する領域である。

【0027】

アナログ方式の駆動方法では、駆動用 T F T において、飽和領域を用い、そのゲート電圧を変化させることによってドレイン電流を変化させる。

【0028】

スイッチング用 T F T がオンとなり、画素内に、ソース信号線より入力されたアナログ

10

20

30

40

50

のビデオ信号は、駆動用 T F T のゲート電極に印加される。こうして、駆動用 T F T のゲート電圧が変化する。このとき、図 20 に示した $I_d - V_g$ 特性に従い、ゲート電圧に対してドレイン電流が 1 対 1 で決まる。こうして、駆動用 T F T のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、所定のドレイン電流が E L 素子に流れ、その電流量に対応した発光量で前記 E L 素子が発光する。

【 0 0 2 9 】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【 0 0 3 0 】

ここで、各画素の駆動用 T F T のゲート電圧は、たとえソース信号線から同じ信号が入力されても、駆動用 T F T のソース領域の電位が変化すると変化してしまう。ここで、駆動用 T F T のソース領域の電位は、電源供給線から与えられている。しかし、電源供給線の電位は、配線抵抗による電位降下のために、画素部内部の位置によって変化する。

10

【 0 0 3 1 】

また、画素部内の電源供給線の配線抵抗による電位降下の影響だけではなく、外部からの電源の入力部（以下、外部入力端子と表記する）より、画素部の電源供給線までの引き回し部分（以下、電源供給線引き回し部と表記する）の電位降下も問題となる。

【 0 0 3 2 】

つまり、外部入力端子の位置から、画素部の各電源供給線の位置までの配線引き回しの長さによって、電源供給線の電位にばらつきが生じることになる。

20

【 0 0 3 3 】

ここで、電源供給線の配線抵抗が小さな場合や、表示装置が、比較的小さな場合、また、電源供給線に流れる電流が比較的小さな場合は、それほど問題とならないが、そうでない場合、特に表示装置が比較的大きな場合は、この配線抵抗による電源供給線の電位の変化が大きくなる。

【 0 0 3 4 】

特に、表示装置が大きくなるほど、外部入力端子から画素部の各電源供給線までの距離のばらつきが大きくなるため、電源供給線引き回し部の配線の長さのばらつきが大きくなる。そのため、電源供給線引き回し部の電位降下による電源供給線の電位の変化が大きくなる。

30

【 0 0 3 5 】

これらの要因による電源供給線の電位ばらつきは、各画素の E L 素子の発光輝度に影響を与え、表示輝度を変化させるため表示ムラの原因となる。

【 0 0 3 6 】

以下に、電源供給線の電位のばらつきの具体的な例を示す。

【 0 0 3 7 】

図 23 に示すように、表示画面中に白または黒のボックスを表示させたときには、クロストークと呼ばれる現象が発生していた。これはボックスの上方または下方にボックスの横方向と輝度の違いが発生する現象である。

40

【 0 0 3 8 】

この現象が起こる、従来の表示装置の画素部の一部の回路図を図 40 に、また、その上面図を図 41 に示す。

【 0 0 3 9 】

図 41 において、図 40 と同じ部分は同じ符号を用いて示し、説明は省略する。

【 0 0 4 0 】

各画素は、スイッチング用 T F T 4402、駆動用 T F T 4406、保持容量 4419、E L 素子 4414 とによって構成される。

【 0 0 4 1 】

なお、図 40 及び図 41 において、スイッチング用 T F T 4402 はダブルゲート構造であるが、その他の構造であっても良い。

50

【 0 0 4 2 】

クロストークは、ボックスの上方、下方と、横方向それぞれの画素において、駆動用 T F T 4 4 0 6 に流れる電流に、差分を生じることから起こるものである。この差分の原因は、電源供給線 V 1、V 2 がソース信号線 S 1、S 2 に平行に配置されているために起こる。

【 0 0 4 3 】

例えば図 2 3 のように、表示画面の一部に白いボックスを表示した場合、このボックス表示をする画素に対応する電源供給線において、ボックス表示画素の駆動用 T F T のソース・ドレイン間を介して E L 素子に電流が流れる分、この電源供給線の配線抵抗による電位降下は、ボックスを表示しない画素のみにしか電源を供給しない電源供給線と比べて、大きくなる。そのため、ボックスの上下で、ボックス表示をしない他の画素より暗い部分が発生する。

10

【 0 0 4 4 】

また、従来のアクティブマトリクス型の E L 表示装置は図 2 4 に示すように、電源供給線を表示装置の一方向から引き出し、この引き出し口より外部からの電源及び信号等を入力している。

【 0 0 4 5 】

ここで、表示装置の表示画面のサイズが小さい場合には、それでも、問題は発生しなかったが、表示装置の表示画面のサイズが大きくなると、表示画面の面積に比例して、消費電流が増加する。

20

【 0 0 4 6 】

4 インチの表示画面を有する表示装置と、20 インチの表示画面を有する表示装置とでは、消費電流は 2.5 倍となる。

【 0 0 4 7 】

そのため、表示画面のサイズが大きい表示装置では、前述の電位降下の問題が大きな課題となる。

【 0 0 4 8 】

また、取り出し口に近い電源供給線（図 2 4 中 a）は、さほど電位降下は発生しないが、引き出し口より遠く離れた電源供給線（図 2 4 中 b）は、配線が長い距離引き回されるため、その配線抵抗による電位降下が大きく発生しする。そのため、この電源供給線（図 2 4 中 b）に接続された駆動用 T F T を有する画素の E L 素子に加わる電圧が低下し、画質の低下を招いていた。

30

【 0 0 4 9 】

例えば、20 インチの表示装置において、配線長は 700 mm、配線幅 10 mm、シート抵抗 0.1 オームとしても、電流が 1 A 程度流れると電位降下は 10 V になってしまい、正常な表示が不可能となる。

【 0 0 5 0 】

本発明は、上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型の E L 表示装置を提供することを課題とする。

そして、そのようなアクティブマトリクス型 E L 表示装置を用いた高性能な電子機器（電子デバイス）を提供することを課題とする。

40

【課題を解決するための手段】

【 0 0 5 1 】

本発明者は、電源供給線の配線抵抗による電位低下、特に電源供給線の引き出し部の配線抵抗による電位低下を軽減する方法を考えた。

【 0 0 5 2 】

以下に、本発明の構成について記載する。

【 0 0 5 3 】

本発明によって、絶縁表面上に複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、

50

スイッチング用薄膜トランジスタと、駆動用薄膜トランジスタと、EL素子とによって構成される表示装置において、複数の引き出し口を有し、前記複数の電源供給線は、前記複数の引き出し口まで引き回され、前記複数の引き出し口において、前記複数の電源供給線に電位が与えられ、前記引き出し口は、前記表示装置の少なくとも2方向に設けられていることを特徴とした表示装置が提供される。

【0054】

本発明によって、絶縁表面上に複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、スイッチング用薄膜トランジスタと、駆動用薄膜トランジスタと、EL素子とによって構成される表示装置において、引き出し口を有し、前記引出し口は、複数の外部入力端子を有し、前記複数の電源供給線は、5本以上50本以下にまとめられ、前記複数の外部入力端子まで引き回され、前記複数の外部入力端子において、前記複数の電源供給線に電位が与えられていることを特徴とした表示装置が提供される。

10

【0055】

本発明によって、絶縁表面上に複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、スイッチング用薄膜トランジスタと、駆動用薄膜トランジスタと、EL素子とによって構成される表示装置において、外部入力端子を有し、前記複数の電源供給線は、前記外部入力端子まで引き回され、帰還ループの中に有する帰還増幅器により、前記外部入力端子を介して前記電源供給線に電位を供給することを特徴とした表示装置が提供される。

20

【0056】

前記複数の電源供給線は、マトリクス状に配置されていることを特徴とする表示装置であってもよい。

【0057】

前記複数の電源供給線は、前記ソース信号線と同一の配線層と、前記ゲート信号線と同一の配線層とによって構成されていることを特徴とした表示装置であってもよい。

【0058】

前記複数の電源供給線は、前記ソース信号線とは異なる配線層と、前記ゲート信号と同一の配線層とによって構成されていることを特徴とした表示装置であってもよい。

【0059】

前記複数の電源供給線は、前記ゲート信号線とは異なる配線層と、前記ソース信号線と同一の配線層とによって構成されていることを特徴とした表示装置であってもよい。

30

【0060】

前記複数の電源供給線は、前記ゲート信号線及び前記ソース信号線のいずれとも異なる配線層で構成されていることを特徴とした表示装置であってもよい。

【0061】

前記複数の電源供給線の列方向の本数は、前記複数の画素の列方向の数より少ないことを特徴とした表示装置であってもよい。

【0062】

前記複数の電源供給線の行方向の本数は、前記画素の行方向の数より少ないことを特徴とした表示装置であってもよい。

40

【0063】

前記表示装置の表示部分の対角は20インチ以上であることを特徴とした表示装置であってもよい。

【0064】

前記表示装置を用いることを特徴とするパーソナルコンピュータ、テレビ受像機、ビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯情報端末であってもよい。

【発明の効果】

【0065】

従来のEL表示装置では、画面サイズを大きくした場合、それに伴う電流の増加により

50

、電源供給線において、電位降下が発生し、表示の画質を損う原因となっていた。

【0066】

しかし、本発明は上記構成によって、配線抵抗の影響を低減可能であり、EL素子に流れる電流が増加しても、画質を損なわずに表示を行うことができる。

【図面の簡単な説明】

【0067】

【図1】本発明の表示装置の引き出し口を示す図。

【図2】本発明の表示装置の画素部の回路構成を示す図。

【図3】本発明の表示装置の画素部の上面図。

【図4】本発明の表示装置の電源供給線の引き回し部の形状を示す図。

10

【図5】本発明の表示装置の駆動方法を示す図。

【図6】本発明の表示装置の上面図及び断面図。

【図7】本発明の表示装置の上面図及び断面図。

【図8】本発明の表示装置の断面図。

【図9】本発明の表示装置の断面図。

【図10】本発明の表示装置の画素部の回路図。

【図11】本発明の表示装置の作製工程を示す図。

【図12】本発明の表示装置の作製工程を示す図。

【図13】本発明の表示装置の作製工程を示す図。

【図14】本発明の表示装置の作製工程を示す図。

20

【図15】本発明の表示装置のソース信号側駆動回路の回路図。

【図16】本発明の表示装置のラッチの上面図。

【図17】本発明の表示装置を用いた電子機器を示す図。

【図18】従来の表示装置の画素部の回路図。

【図19】表示装置の駆動方法を示すタイミングチャートを示す図。

【図20】TFTのId-Vg特性を示す図。

【図21】本発明の表示装置の上面図及び断面図。

【図22】本発明の表示装置の断面図。

【図23】クロストークの発生例を示す図。

【図24】従来の表示装置の引き出し口を示す図。

30

【図25】本発明の表示装置の作製工程を示す図。

【図26】本発明の表示装置の作製工程を示す図。

【図27】本発明の表示装置の作製工程を示す図。

【図28】本発明の表示装置の作製工程を示す図。

【図29】本発明の表示装置の作製工程を示す図。

【図30】本発明の表示装置の作製工程を示す図。

【図31】本発明の表示装置の作製工程を示す図。

【図32】本発明の表示装置の作製工程を示す図。

【図33】本発明の表示装置の作製工程を示す図。

【図34】本発明の表示装置の作製工程を示す図。

40

【図35】従来の表示装置の電源供給線の引き回し部の形状を示す図。

【図36】本発明の表示装置の断面図。

【図37】本発明の表示装置の断面図。

【図38】本発明の表示装置の断面図。

【図39】本発明の表示装置の断面図。

【図40】従来の表示装置の画素部の回路図。

【図41】従来の表示装置の画素部の上面図。

【図42】本発明の表示装置の画素部の上面図。

【図43】本発明の表示装置の画素部の回路図。

【図44】本発明の表示装置の画素部の上面図。

50

【図45】本発明の表示装置の階調特性を示す図。

【発明を実施するための形態】

【0068】

以下に、本発明の表示装置の構造について説明する。

【0069】

(第一の実施形態)

画素部の電源供給線の外部への引き出しを一方向だけでなく、複数の方向へ引き出す。

【0070】

図1を用いて、第一の実施形態について説明する。

【0071】

図1のように、電源供給線引出し口1及び電源供給線引出し口2の、2方向から電源供給線を引き出す。

【0072】

ここで本明細書中では、引出し口とは、複数の外部入力端子によって構成され、外部より表示装置に、電源電位や映像信号などが入力される部分を示すものとする。

【0073】

このように表示装置の2方向から電源供給線を引き出すことによって、1方向からの引き出しに比べて、画素部の各電源供給線から外部入力端子までの配線の長さを短くし、また、その配線の長さのばらつきを低減することができる。

【0074】

上記構成によって、画素部周辺の電源供給線の引き回し部の電位降下の影響を低減することができる。

【0075】

(第二の実施形態)

本実施の形態では、電源供給線の引き回し部の配線は、小単位にまとめて、それぞれの引き出し口の、複数の隣接ではない外部入力端子に引き出される。

【0076】

本実施の形態の構造を図4に示す。

【0077】

これは、図35の従来例において示した、画素部の各電源供給線を、ひとつにまとめて、ひとつの外部入力端子に引き出す場合に比べて、まとめられた電源供給線毎において、各外部入力端子までの配線の長さを短くし、また、その配線長のばらつきを低減することができる。

【0078】

つまり、図4における配線aと配線bの長さの違いは、図35における配線aと配線bの長さの違いと比較して大きく低減されている。

【0079】

上記構成によって、画素部周辺の電源供給線の引き回し部の電位降下の影響を低減することができる。

【0080】

(第三の実施形態)

電源供給線に流れる電流は、前述したように大型の表示装置においては大電流になり得る。そのような場合に、画素領域から外部入力端子までの引き回しの配線抵抗による電位降下の影響は無視できない。

【0081】

この対策として、電位降下を見越して、外部電源の電位をあらかじめ、上げておくことも考えられるが、表示の内容によって流れる電流は変化するので、一律に外部電源の電位を上げるのは、望ましくない。よって、本実施の形態では帰還増幅器を用い、帰還ループの中に電位降下を起こす配線を含むことを提案するものである。

【0082】

10

20

30

40

50

図5に示すように、外部入力端子は帰還増幅器の出力に接続され、帰還増幅器の非反転入力(+)には、電源供給線に加えるべき電圧が入力され、反転入力端子(-)には画素部の電源供給線の電位をモニタし、印加する。帰還増幅器の原理により、非反転入力端子と反転入力端子は同じ電位になるように動作するため、帰還増幅器の出力端子は、電位降下分だけ高い電位が出力される。上記したように、電位補償が行われ、電位のずれは解消される。

【0083】

電源供給線引き回し部の配線抵抗を R とし、電流を i とすると Ri の電位降下が起こるが、モニタ端子では電流がほとんど流れないため、電位降下は発生しない。

【0084】

帰還増幅器はパネル完成後、外付けの基板上等に、外部IC等で構成される。

【0085】

(第四の実施形態)

図2に本発明の画素部の構成を示す回路図を示す。

【0086】

画素部の各画素は、スイッチング用TFT4402、駆動用TFT4406、保持容量4419、EL素子4414によって構成されている。電源供給線($VX1 \sim VXn$ 、 $VY1 \sim VYn$)が、ソース信号線($S1 \sim Sn$)と平行方向だけでなく、垂直方向にも配置されて、それぞれの方向から画素の駆動用TFT4406のソース領域もしくはドレイン領域に電圧が供給されている。これによって、EL素子4414を流れる電流は、ソース信号線 $S1 \sim Sn$ と平行方向からだけでなく、垂直方向からも供給されるので、従来例のような、クロストークの発生を抑制することが可能である。

【0087】

ここで、隣り合う画素同士で、電源供給線を共有する。これによって、各画素中の電源供給線が占める面積を低減することができる。そのため、電源供給線を縦横(マトリクス状)に配置した構造の画素であっても、開口率を上げることができる。

【0088】

第一の実施形態～第四の実施形態は、自由に組み合わせて実施することが可能である。

【0089】

以下に、本発明の実施例を説明する。

【実施例1】

【0090】

図4は、第二の実施形態において説明した、電源供給線を小単位で束ねて外部入力端子に接続した例である。

【0091】

画面の大きさが大きくなると、電位降下も大きくなるため、出来るだけ短い配線で引き出す必要がある。よって本発明では電源供給線を小単位でまとめて、近接の外部入力端子へ出力するものである。

【0092】

図4に示す例では、電源供給線を小単位でまとめ、ドライバ領域を貫通して、外部入力端子に接続することにより、配線抵抗を低減している。

【0093】

電源供給線は、5本から50本程度の範囲でまとめるのが望ましい。

【実施例2】

【0094】

本実施例では、発明の実施形態において図2で示した回路図の画素部の一部(4画素分)の上面図を図3に示す。

【0095】

なお、図2と同じ部分は、同じ符号を用いて示す。

【0096】

10

20

30

40

50

画素は、スイッチング用 T F T 4 4 0 2、駆動用 T F T 4 4 0 6、コンデンサ 4 4 1 9、E L 素子 4 4 1 4 によって構成されている。この実施例では、ゲート信号線 G 1、G 2 と平行に、ゲート信号線 G 1、G 2 と同様の配線材料を用いて、電源供給線 V X 1、V X 2 を配置し、従来からあるソース信号線 S 1、S 2 に平行な電源供給線 V Y 1、V Y 2 とは、コンタクトホールを介して接続されている。

【0097】

本実施例のように、ゲート信号線に平行な電源供給線を、ゲート信号線と同様の配線層を用いて形成した構成を、本発明の画素構造の第一の実施例とよぶことにする。

【0098】

本発明の画素構造の第一の実施例では、従来例において、図 4 0 及び図 4 1 の画素を実際に構成する場合に対して、マスク数を増やすこと無しに、マトリクス状の電源供給線を形成することができる。

10

【0099】

本実施例は、実施例 1 と自由に組み合わせて実施することが可能である。

【実施例 3】

【0100】

本実施例では、第四の実施形態において説明した、隣合う画素で電源供給線を共有する場合の例について、図 1 0 及び図 4 2 ~ 図 4 4 を用いて説明する。

【0101】

なお、本実施例において、G 1 ~ G 4 は、スイッチング用 T F T 4 4 0 2 のゲート配線（ゲート信号線の一部）、S 1 ~ S 3 はスイッチング用 T F T 4 4 0 2 のソース配線（ソース信号線の一部）、4 4 0 6 は駆動用 T F T、4 4 1 4 は E L 素子、V Y 1 ~ V Y 2 はソース配線に平行な電源供給線、V X 1 ~ V X 2 はゲート配線に平行な電源供給線、4 4 1 9 は保持容量とする。

20

【0102】

図 1 0 は、隣り合う 2 つの画素間で電源供給線 V Y 1 及び V X 1 を共通とした場合の例である。即ち、2 つの画素が電源供給線 V Y 1 及び V X 1 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、表示装置の開口率を増大し、また、画素部を高精細化することができる。

【0103】

また、図 1 0 の上面図を図 4 2 に示す。図 1 0 と同じ部分は同じ符号を用いて示し、説明は省略する。

30

【0104】

図 4 3 は本発明の別の実施例である。この実施例では、X 方向の電源供給線をすべての画素行に対して配置するのではなく、画素行の 1 / n にした例である。

ここで n は 2 以上の自然数である。ここでは、n が 3 の例を示す。

【0105】

また、図 4 3 の上面図を図 4 4 に示す。図 4 2 と同じ部分は、同じ符号を用いて示し説明は省略する。

【0106】

本実施例は、実施例 1 及び実施例 2 のいずれとも自由に組み合わせて実施することが可能である。

40

【実施例 4】

【0107】

本発明において、各画素の駆動用 T F T は n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることが可能であるが、E L 素子の陽極が画素電極で陰極が対向電極の場合、駆動用 T F T は p チャネル型 T F T であることが好ましい。また逆に E L 素子の陽極が対向電極で陰極が画素電極の場合、駆動用 T F T は n チャネル型 T F T であることが好ましい。

【0108】

50

本実施例は、実施例 1 ~ 実施例 3 のいずれとも自由に組み合わせて実施することが可能である。

【実施例 5】

【0109】

本実施例では、本発明の EL 表示装置を作製した例について説明する。

【0110】

図 6 (A) は本発明を用いた EL 表示装置の上面図である。また、図 6 (A) を A-A' で切断した断面図を図 6 (B) に示す。

【0111】

図 6 (A) において、4010 は基板、4011 は画素部、4012 a 及び 4012 b はソース信号線駆動回路、4013 a、4013 b はゲート信号線駆動回路であり、それぞれの駆動回路は配線 4014 a、4014 b、4015、4016 を経て FPC 4017 に至り、外部機器へと接続される。

【0112】

このとき、少なくとも画素部 4011、好ましくは駆動回路 4012 a、4012 b、4013 a、4013 b 及び画素部 4011 を囲むようにしてカバー材 6000、シーリング材 (ハウジング材ともいう) 7000、密封材 (第 2 のシーリング材) 7001 が設けられている。

【0113】

また、図 6 (B) は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路用 TFT (但し、ここでは n チャンネル型 TFT と p チャンネル型 TFT を組み合わせた CMOS 回路を図示している。) 4022 及び画素部用 TFT 4023 (但し、ここでは EL 素子への電流を制御する駆動用 TFT だけ図示) が形成されている。これらの TFT は公知の構造 (トップゲート構造またはボトムゲート構造) を用いれば良い。

【0114】

駆動回路用 TFT 4022、画素部用 TFT 4023 が完成したら、樹脂材料でなる層間絶縁膜 (平坦化膜) 4026 の上に画素部用 TFT 4023 のドレインと電気的に接続する透明導電膜でなる画素電極 4027 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物 (ITO と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4027 を形成したら、絶縁膜 4028 を形成し、画素電極 4027 上に開口部を形成する。

【0115】

次に、EL 層 4029 を形成する。EL 層 4029 は公知の EL 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0116】

本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (CCM) とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるが、いずれの方法を用いても良い。もちろん、単色発光の EL 表示装置とすることもできる。

【0117】

EL 層 4029 を形成したら、その上に陰極 4030 を形成する。陰極 4030 と EL 層 4029 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で EL 層 4029 と陰極 4030 を連続成膜するか、EL 層 4029 を不活性雰囲気

10

20

30

40

50

で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例では、マルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0118】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は、4031で示される領域において配線4016に接続される。配線4016は、陰極4030に所定の電圧を与えるための電源線であり、導電性ペースト材料4032を介してFPC4017に接続される。

10

【0119】

4031に示された領域において、陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは、層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとする事ができる。

【0120】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

20

【0121】

さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0122】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

30

【0123】

また、充填材6004の中にスペーサを含有させてもよい。このとき、スペーサをBaOなどからなる粒状物質とし、スペーサ自体に吸湿性をもたせてもよい。

【0124】

スペーサを設けた場合、パッシベーション膜6003はスペーサ圧を緩和することができる。また、パッシベーション膜とは別に、スペーサ圧を緩和する樹脂膜などを設けてもよい。

【0125】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

40

【0126】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0127】

50

また、配線4016は、シーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014a、4014b、4015も同様にしてシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。

【0128】

なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面(露呈面)を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} Torr以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

10

【0129】

本実施例は、実施例1~実施例4のいずれとも自由に組み合わせて実施することが可能である。

【実施例6】

【0130】

本実施例では、本発明を用いて実施例5とは異なる形態のEL表示装置を作製した例について、図7(A)、7(B)を用いて説明する。図6(A)、6(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

20

【0131】

図7(A)は本実施例のEL表示装置の上面図であり、図7(A)をA-A'で切断した断面図を図7(B)に示す。

【0132】

実施例5に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0133】

さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

30

【0134】

また、充填材6004の中にスペーサを含有させてもよい。このとき、スペーサをBaOなどからなる粒状物質とし、スペーサ自体に吸湿性をもたせてもよい。

【0135】

スペーサを設けた場合、パッシベーション膜6003はスペーサ圧を緩和することができる。また、パッシベーション膜とは別に、スペーサ圧を緩和する樹脂膜などを設けてもよい。

40

【0136】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0137】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

50

【0138】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0139】

また、配線4016はシーリング材6002と基板4010との隙間を通過してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014a、4014b、4015も同様にしてシーリング材6002と基板4010との隙間を通過してFPC4017に電氣的に接続される。

10

【0140】

なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

20

【0141】

本実施例は、実施例1～実施例5のいずれとも自由に組み合わせて実施することが可能である。

【実施例7】

【0142】

ここでEL表示装置における画素部のさらに詳細な断面構造を図8に示す。

【0143】

なお、本実施例は、ソース信号線と同じ層にソース信号線に平行な電源供給線を形成し、ゲート信号線と同じ層に、ゲート信号線に平行な電源供給線を形成する場合に相当する、本発明の画素構造の第一の実施例の画素構造を示す。

30

【0144】

図8において、基板3501上に設けられたスイッチング用TFT3502は公知の方法を用いて形成されたnチャンネル型TFTを用いる。本実施例では、ゲート電極39aと39bを有する、ダブルゲート構造としている。ダブルゲート構造とすることで、実質的に2つのTFTが直列接続された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成されたpチャンネル型TFTを用いても構わない。

40

【0145】

また、本実施例では、駆動用TFT3503は公知の方法を用いて形成されたnチャンネル型TFTを用いる。駆動用TFT3503のゲート電極37は配線36によって、スイッチング用TFT3502のドレイン配線35に電氣的に接続されている。また、34は、ソース信号線である。

【0146】

駆動用TFTは、EL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、駆動用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける構造は極めて有効である。

【0147】

50

また、本実施例では駆動用 T F T 3 5 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列接続したマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて、実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【 0 1 4 8 】

また、ソース配線 4 0 は、ゲート電極 3 7、3 9 が形成された層と同じ層に形成された電源供給線（電源線）3 8 に接続され、常に一定の電圧が加えられている。ここで、ソース配線 4 0 やソース信号線 3 4 と同じ層にも電源供給線が形成され、電源供給線 3 8 とは、コンタクトホールを介して電氣的に接続されているが、ここでは図示していない。

【 0 1 4 9 】

スイッチング用 T F T 3 5 0 2、駆動用 T F T 3 5 0 3 の上には第 1 パッシベーション膜 4 1 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 4 2 が形成される。平坦化膜 4 2 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【 0 1 5 0 】

また、4 3 は反射性の高い導電膜でなる画素電極（この場合 E L 素子の陰極）であり、駆動用 T F T 3 5 0 3 のドレイン領域に電氣的に接続される。画素電極 4 3 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。もちろん、他の導電膜との積層構造としても良い。

【 0 1 5 1 】

また、絶縁膜（好ましくは樹脂）で形成されたバンク 4 4 a、4 4 b により形成された溝（画素に相当する）の中に発光層 4 5 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。

【 0 1 5 2 】

なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. Shenk, H. B ecker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, " Polymers for Light Emitting D iodes ", Euro Display, Proceedings, 1999, p. 33-37」や特開平 1 0 - 9 2 5 7 6 号公報に記載されたような材料を用いれば良い。

【 0 1 5 3 】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 3 0 ~ 1 5 0 n m（好ましくは 4 0 ~ 1 0 0 n m）とすれば良い。

【 0 1 5 4 】

但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層を形成すれば良い。

【 0 1 5 5 】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【 0 1 5 6 】

本実施例では発光層 4 5 の上に P E D O T（ポリチオフェン）または P A n i（ポリアニリン）でなる正孔注入層 4 6 を設けた積層構造の E L 層としている。

10

20

30

40

50

そして、正孔注入層 4 6 の上には透明導電膜でなる陽極 4 7 が設けられる。本実施例の場合、発光層 4 5 で生成された光は上面側に向かって (T F T が形成された基板 3 5 0 1 とは逆の方向に向かって) 放射される。ここで陽極は、導電性を有し、且つ透光性を有する材料で形成されていなければならない。このような透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【 0 1 5 7 】

陽極 4 7 まで形成された時点で E L 素子 3 5 0 5 が完成する。なお、ここでいう E L 素子 3 5 0 5 は、画素電極 (陰極) 4 3、発光層 4 5、正孔注入層 4 6 及び陽極 4 7 で形成される。画素電極 4 3 を画素の面積にほぼ一致させているため、画素全体が E L 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

10

【 0 1 5 8 】

また本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては、窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

【 0 1 5 9 】

以上のように本発明の E L 表示装置は、図 8 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い駆動用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示装置が得られる。

20

【 0 1 6 0 】

本実施例は、実施例 1 ~ 実施例 6 のいずれとも自由に組み合わせて実施することが可能である。

【 実施例 8 】

【 0 1 6 1 】

本実施例では、実施例 7 に示した画素部において、E L 素子 3 5 0 5 の構造を反転させた構造について説明する。説明には図 9 を用いる。なお、図 8 の構造と異なる点は E L 素子 3 7 0 1 の部分と駆動用 T F T 3 5 5 3 だけであるので、その他の説明は省略する。

30

【 0 1 6 2 】

図 9 において、駆動用 T F T 3 5 5 3 は公知の方法を用いて形成された p チャネル型 T F T を用いる。なお、駆動用 T F T は、p チャネル型 T F T に限らず n チャネル型 T F T でもよい。

【 0 1 6 3 】

本実施例では、画素電極 (陽極) 5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【 0 1 6 4 】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート (a c a c K と表記される) でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 3 7 0 1 が形成される。

40

【 0 1 6 5 】

本実施例の場合、発光層 5 2 で発生した光は、矢印で示されるように T F T が形成された基板 3 5 0 1 の方に向かって放射される。

【 0 1 6 6 】

本実施例は、実施例 1 ~ 実施例 6 のいずれとも自由に組み合わせて実施することが可能

50

である。

【実施例 9】

【0167】

図 2、図 3、図 10 及び図 42 ~ 図 44 では駆動用 T F T のゲート電極にかかる電圧を保持するために保持容量を設ける構造としているが、保持容量を省略することも可能である。

【0168】

駆動用 T F T として用いる n チャネル型 T F T が、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を、駆動用 T F T のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いる点に特徴がある。

10

【0169】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【0170】

本実施例は、実施例 1 ~ 実施例 8 のいずれとも自由に組み合わせて実施することが可能である。

【実施例 10】

20

【0171】

本実施例では、本発明の E L 表示装置の画素部とその周辺に設けられる駆動回路部の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。

【0172】

まず、図 11 (A) に示すように、下地膜 (図示せず) を表面に設けた基板 501 を用意する。本実施例では結晶化ガラス上に下地膜として 100 nm 厚の窒化酸化珪素膜を 200 nm 厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を 10 ~ 25 wt % としておくが良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

30

【0173】

次に基板 501 の上に 45 nm の厚さのアモルファスシリコン膜 502 を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0174】

ここから図 11 (C) までの工程は本出願人による特開平 10 - 247735 号公報を完全に引用することができる。同公報では N i 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0175】

40

まず、開口部 503 a、503 b を有する保護膜 504 を形成する。本実施例では 150 nm 厚の酸化珪素膜を用いる。そして、保護膜 504 の上にスピンコート法によりニッケル (N i) を含有する層 (N i 含有層) 505 を形成する。この N i 含有層の形成に関しては、前記公報を参考にすれば良い。

【0176】

次に、図 11 (B) に示すように、不活性雰囲気中で 570 14 時間の加熱処理を加え、アモルファスシリコン膜 502 を結晶化する。この際、N i が接した領域 (以下、N i 添加領域という) 506 a、506 b を起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜 507 が形成される。

【0177】

50

次に、図 1 1 (C) に示すように、保護膜 5 0 4 をそのままマスクとして 1 5 族に属する元素 (好ましくはリン) を N i 添加領域 5 0 6 a、5 0 6 b に添加する。こうして高濃度にリンが添加された領域 (以下、リン添加領域という) 5 0 8 a、5 0 8 b が形成される。

【 0 1 7 8 】

次に、図 1 1 (C) に示すように、不活性雰囲気中で 6 0 0 1 2 時間の加熱処理を加える。この熱処理によりポリシリコン膜 5 0 7 中に存在する N i は移動し、最終的には殆ど全て、矢印が示すようにリン添加領域 5 0 8 a、5 0 8 b に捕獲される。これはリンによる金属元素 (本実施例では N i) のゲッタリング効果による現象であると考えられる。

【 0 1 7 9 】

この工程により、ポリシリコン膜 5 0 9 中に残る N i の濃度は S I M S (質量二次イオン分析) による測定値で少なくとも 2×10^{17} atoms/cm³ にまで低減される。N i は半導体にとって、ライフタイムキラーであるが、この程度まで低減されると T F T 特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状の S I M S 分析の測定限界であるので、実際にはさらに低い濃度 (2×10^{17} atoms/cm³ 以下) であると考えられる。

【 0 1 8 0 】

こうして触媒を用いて結晶化され、且つ、その触媒が T F T の動作に支障を与えないレベルにまで低減されたポリシリコン膜 5 0 9 が得られる。その後、このポリシリコン膜 5 0 9 のみを用いた活性層 5 1 0 ~ 5 1 3 をパターンニング工程により形成する。また、この時、後のパターンニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図 1 1 (D)

)

【 0 1 8 1 】

次に、図 1 1 (E) に示すように、5 0 n m 厚の窒化酸化シリコン膜をプラズマ C V D 法により形成し、酸化雰囲気中で 9 5 0 1 時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【 0 1 8 2 】

この熱酸化工程では、活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約 1 5 n m 厚のポリシリコン膜が酸化されて、約 3 0 n m 厚の酸化シリコン膜が形成される。即ち、3 0 n m 厚の酸化シリコン膜と 5 0 n m 厚の窒化酸化シリコン膜が積層されてなる 8 0 n m 厚のゲート絶縁膜 5 1 4 が形成される。また、活性層 5 1 0 ~ 5 1 3 の膜厚はこの熱酸化工程によって 3 0 n m となる。

【 0 1 8 3 】

次に、図 1 2 (A) に示すように、レジストマスク 5 1 5 a、5 1 5 b を形成し、ゲート絶縁膜 5 1 4 を介して p 型を付与する不純物元素 (以下、p 型不純物元素という) を添加する。p 型不純物元素としては、代表的には 1 3 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャネルドープ工程という) は、T F T のしきい値電圧を制御するための工程である。

【 0 1 8 4 】

なお、本実施例ではジボラン (B₂H₆) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³) の濃度でボロンを含む不純物領域 5 1 6、5 1 7 が形成される。

【 0 1 8 5 】

次に、図 1 2 (B) に示すように、レジストマスク 5 1 9 a、5 1 9 b を形成し、ゲート絶縁膜 5 1 4 を介して n 型を付与する不純物元素 (以下、n 型不純物元素という) を添加する。なお、n 型不純物元素としては、代表的には 1 5 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン (P H₃) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを 1×10^{18} atoms/cm³ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0186】

この工程により形成されるn型不純物領域520には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節する。

【0187】

次に、図12(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので、電熱炉を用いたファーネスアニール処理が好ましい。また、図12(A)の工程でチャンネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

10

【0188】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を8001時間のファーネスアニール処理により行う。なお、処理雰囲気酸化性を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気加熱処理を行っても良い。

【0189】

この工程によりn型不純物領域520の端部、即ち、n型不純物領域520の周囲に存在するn型不純物元素を添加していない領域(図12(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

20

【0190】

次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極522~525を形成する。このゲート電極522~525の線幅によって各TFTのチャンネル長の長さが決定する。

【0191】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

30

【0192】

本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると、応力による膜はがれを防止することができる。

【0193】

またこの時、ゲート電極523はn型不純物領域520の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに見えるが、実際は電氣的に接続されている。

40

【0194】

次に、図13(A)に示すように、ゲート電極522~525をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域526~533にはn型不純物領域520の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$)の濃度が好ましい。

【0195】

50

次に、図13(B)に示すように、ゲート電極等を覆う形でレジストマスク534a~534dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域535~539を形成する。ここでもフォスフィン(PH₃)を用いたイオンドーブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³(代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³)となるように調節する。

【0196】

この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図13(A)の工程で形成したn型不純物領域528~531の一部が残る。この残された領域が、スイッチング用TFTのLDD領域となる。

【0197】

次に、図13(C)に示すように、レジストマスク534a~534dを除去し、新たにレジストマスク542を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域540、541、543、544を形成する。ここではジボラン(B₂H₆)を用いたイオンドーブ法により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³)の濃度となるようにボロンを添加する。

【0198】

なお、不純物領域540、541、543、544には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0199】

次に、図13(D)に示すように、レジストマスク542を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0200】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0201】

さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0202】

なお、水素化処理は第1層間絶縁膜546を形成する前に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0203】

次に、図14(A)に示すように、第1層間絶縁膜546及びゲート絶縁膜514に対してコンタクトホールを形成し、ソース配線547~550と、ドレイン配線551~553を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0204】

次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜554を形成する。本実施例では第1パッシベーション膜554として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

10

20

30

40

50

【0205】

この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等、水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜546に供給され、熱処理を行うことで、第1パッシベーション膜554の膜質が改善される。それと同時に、第1層間絶縁膜546に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0206】

次に、図14(B)に示すように、有機樹脂からなる第2層間絶縁膜555を形成する。有機樹脂としてはポリイミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜555はTFEが形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では $2.5\mu m$ の厚さでアクリル膜を形成する。

【0207】

次に、第2層間絶縁膜555、第1パッシベーション膜554にドレイン配線553に達するコンタクトホールを形成し、画素電極(陽極)556を形成する。本実施例では酸化インジウム・スズ(ITO)膜を $110nm$ の厚さに形成し、パターンングを行って画素電極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極がEL素子203の陽極となる。

【0208】

次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を $500nm$ の厚さに形成し、画素電極556に対応する位置に開口部を形成して第3層間絶縁膜557を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることができる。開口部の側壁が十分になだらかでない場合、段差に起因するEL層の劣化が顕著な問題となってしまう。

【0209】

次に、EL層558及び陰極(MgAg電極)559を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層558の膜厚は $80\sim 200nm$ (典型的には $100\sim 120nm$)、陰極559の厚さは $180\sim 300nm$ (典型的には $200\sim 250nm$)とすれば良い。

【0210】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0211】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0212】

なお、EL層558としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子203の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0213】

また、保護電極 560 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 560 は E L 層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、E L 層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0214】

最後に、窒化珪素膜でなる第 2 パッシベーション膜 561 を 300 nm の厚さに形成する。実際には保護電極 560 が E L 層を水分等から保護する役割を果たすが、さらに第 2 パッシベーション膜 561 を形成しておくことで、E L 素子 203 の信頼性をさらに高めることができる。

【0215】

こうして図 14 (C) に示すような構造のアクティブマトリクス型の E L 表示装置が完成する。201 がスイッチング用 T F T、202 が駆動用 T F T、204 が駆動回路用 n チャネル型 T F T、205 が駆動回路用 p チャネル型 T F T である。

【0216】

なお、実際には、図 14 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。

【実施例 11】

【0217】

本実施例では、駆動をアナログ階調方式ではなく、デジタル時間階調方式にしたときの、ソース信号側駆動回路の構成について説明する。

【0218】

図 15 に本実施例で用いられるソース信号側駆動回路の一例を回路図で示す。本発明においては、駆動方法はアナログ階調方式、デジタル時間階調方式、デジタル面積階調方式などいずれにおいても適応が可能である。また、それらの階調方式を組み合わせた方式についても可能である。

【0219】

シフトレジスタ 801、ラッチ (A) (802)、ラッチ (B) (803)、が図に示すように配置されている。なお本実施例では、1組のラッチ (A) (802) と 1組のラッチ (B) (803) が、4本のソース信号線 S_a ~ S_d に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0220】

クロック信号 C L K、C L K の極性が反転したクロック信号 C L K B、スタートパルス信号 S P、駆動方向切り替え信号 S L / R はそれぞれ図に示した配線からシフトレジスタ 801 に入力される。また外部から入力されるデジタルデータ信号 V D は図に示した配線からラッチ (A) (802) に入力される。ラッチ信号 S_{L A T}、S_{L A T} の極性が反転した信号 S_{L A T b} はそれぞれ図に示した配線からラッチ (B) (803) に入力される。

【0221】

ラッチ (A) (802) の詳しい構成について、ソース信号線 S_a に対応するラッチ (A) (802) の一部 804 を例にとって説明する。ラッチ (A) (802) の一部 804 は 2つのクロックドインバータと 2つのインバータを有している。

【0222】

ラッチ (A) (802) の一部 804 の上面図を図 16 に示す。831 a、831 b はそれぞれ、ラッチ (A) (802) の一部 804 が有するインバータの 1つを形成する T F T の活性層であり、836 は該インバータの 1つを形成する T F T の共通のゲート電極である。また 832 a、832 b はそれぞれ、ラッチ (A) (802) の一部 804 が有するもう 1つのインバータを形成する T F T の活性層であり、837 a、837 b は活性層 832 a、832 b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837

10

20

30

40

50

a、837bは電氣的に接続されている。

【0223】

833a、833bはそれぞれ、ラッチ(A)(802)の一部804が有するクロックインバータの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【0224】

834a、834bはそれぞれ、ラッチ(A)(802)の一部804が有するもう1つのクロックインバータを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。この様なデジタル階調をおこなったときの階調特性を、図45に示す。

10

【0225】

上述のデジタル時間階調方式を用いれば、図45に示すように、64階調が表現可能である。

【0226】

本実施例は、実施例1～実施例10のいずれとも自由に組み合わせて実施することが可能である。

【実施例12】

20

【0227】

本発明のEL表示装置において、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐压特性を有するTFTを用いなければならない。

【0228】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0229】

本実施例は、実施例1～実施例11のいずれとも自由に組み合わせて実施することが可能である。

30

【実施例13】

【0230】

本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。

【0231】

低分子系有機物質はAlq₃(トリス-8-キノリライト-アルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質として、共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニレンビレン)、PVK(ポリビニルカルバゾール)、ポリカーボネート等が挙げられる。

40

【0232】

ポリマー系(高分子系)有機物質は、スピンコーティング法(溶液塗布法ともいう)、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0233】

また本発明のEL表示装置が有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

【0234】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界

50

面において多量の界面準位を形成する。そのため、E L素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0235】

また有機E L層にドーパント(不純物)を添加し、有機E L層の発光の色を変化させても良い。ドーパントとして、DCM1、ニルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0236】

本実施例は、実施例1~実施例12と自由に組み合わせて実施することが可能である。

【実施例14】

【0237】

本実施例では、本発明のE L表示装置について図21(A)、(B)を用いて説明する。図21(A)は、E L素子の形成されたTFT基板において、E L素子の封入まで行った状態を示す上面図である。点線で示された6801はソース信号側駆動回路、6802a、6802bはゲート信号側駆動回路、6803は画素部である。また、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とTFT基板との間には充填材6807(図21(B)参照)が設けられる。

10

【0238】

なお、6808はソース信号側駆動回路6801、ゲート信号側駆動回路6802a、及び画素部403に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC(フレキシブルプリントサーキット)409からビデオ信号やクロック信号を受け取る。

20

【0239】

ここで、図21(A)をA-A'で切断した断面に相当する断面図を図21(B)に示す。なお、図21(A)、(B)では同一の部位に同一の符号を用いている。

【0240】

図21(B)に示すように、基板6800上には画素部6803、ソース信号側駆動回路6801が形成されており、画素部6803はE L素子に流れる電流を制御するためのTFT(以下、駆動用TFTという)6851とそのドレインに電氣的に接続された画素電極6852を含む複数の画素により形成される。本実施例では駆動用TFT6851をpチャンネル型TFTとする。また、ソース信号側駆動回路6801はnチャンネル型TFT6853とpチャンネル型TFT6854とを相補的に組み合わせたCMOS回路を用いて形成される。

30

【0241】

各画素は画素電極の下にカラーフィルタ(R)6855、カラーフィルタ(G)6856及びカラーフィルタ(B)(図示せず)を有している。ここでカラーフィルタ(R)とは赤色光を抽出するカラーフィルタであり、カラーフィルタ(G)は緑色光を抽出するカラーフィルタ、カラーフィルタ(B)は青色光を抽出するカラーフィルタである。なお、カラーフィルタ(R)6855は赤色発光の画素に、カラーフィルタ(G)6856は緑色発光の画素に、カラーフィルタ(B)は青色発光の画素に設けられる。

40

【0242】

これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からはE L素子から赤色光が放射される(本実施例では画素電極側に向かって放射される)が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【0243】

また、従来カラーフィルタを用いない構造では、E L表示装置の外部から侵入した可視光がE L素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることでE L素子には特定の波

50

長の光しか入らないようになる。即ち、外部からの光により E L 素子が励起されてしまうような不具合を防ぐことが可能である。

【 0 2 4 4 】

なお、カラーフィルタを設ける構造は従来提案されているが、E L 素子は白色発光のものを用いていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えば E L 素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【 0 2 4 5 】

次に、画素電極 6 8 5 2 は透明導電膜で形成され、E L 素子の陽極として機能する。また、画素電極 6 8 5 2 の両端には絶縁膜 6 8 5 7 が形成され、さらに赤色に発光する発光層 6 8 5 8、緑色に発光する発光層 6 8 5 9 が形成される。なお、図示しないが隣接する画素には青色に発光する発光層を設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【 0 2 4 6 】

なお、発光層 6 8 5 8、6 8 5 9 の材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【 0 2 4 7 】

また、各発光層の上には E L 素子の陰極 6 8 6 0 が遮光性を有する導電膜をもって形成される。この陰極 6 8 6 0 は全ての画素に共通であり、接続配線 6 8 0 8 を経由して F P C 6 8 0 9 に電氣的に接続されている。

【 0 2 4 8 】

次に、第 1 シール材 6 8 0 5 をディスペンサー等で形成し、スペーサ（図示せず）を散布してカバー材 6 8 0 4 を貼り合わせる。そして、T F T 基板、カバー材 6 8 0 4 及び第 1 シール材 6 8 0 5 で囲まれた領域内に充填材 6 8 0 7 を真空注入法により充填する。

【 0 2 4 9 】

また、本実施例では充填材 6 8 0 7 に予め吸湿性物質 6 8 6 1 として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【 0 2 5 0 】

次に、充填材 6 8 0 7 を紫外線照射または加熱により硬化させた後、第 1 シール材 6 8 0 5 に形成された開口部（図示せず）を塞ぐ。第 1 シール材 6 8 0 5 の開口部を塞いだら、導電性材料 6 8 6 2 を用いて接続配線 6 8 0 8 及び F P C 6 8 0 9 を電氣的に接続させる。さらに、第 1 シール材 6 8 0 5 の露呈部及び F P C 6 8 0 9 の一部を覆うように第 2 シール材 6 8 0 6 を設ける。第 2 シール材 6 8 0 6 は第 1 シール材 6 8 0 7 と同様の材料を用いれば良い。

【 0 2 5 1 】

以上のような方式を用いて E L 素子を充填材 6 8 0 7 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置を作製することができる。

【 0 2 5 2 】

また、本発明を用いることで既存の液晶表示装置用の製造ラインを転用させることができるため、整備投資の費用が大幅に削減可能であり、歩留まりの高いプロセスで 1 枚の基板から複数の発光装置を生産することができるため、大幅に製造コストを低減しうる。

【 実施例 1 5 】

【 0 2 5 3 】

10

20

30

40

50

本実施例では、実施例 14 に示した EL 表示装置において、EL 素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図 22 を用いるが、基本的な構造は図 21 (B) と同様であるので変更部分に新しい符号を付して説明する。

【0254】

本実施例では画素部 6901 には駆動用 TFT 6902 として n チャンネル型 TFT が用いられている。また、駆動用 TFT 6902 のドレインには画素電極 6903 が電氣的に接続され、この画素電極 6903 は遮光性を有する導電膜で形成されている。本実施例では画素電極 6903 が EL 素子の陰極となる。

【0255】

また、本発明を用いて形成された赤色に発光する発光層 6858、緑色に発光する発光層 6859 の上には各画素に共通な透明導電膜 6904 が形成される。この透明導電膜 6904 は EL 素子の陽極となる。

【0256】

さらに、本実施例ではカラーフィルタ (R) 6905、カラーフィルタ (G) 6906 及びカラーフィルタ (B) (図示せず) がカバー材 6804 に形成されている点に特徴がある。本実施例の EL 素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図 22 の構造とすればその光の経路にカラーフィルタを設置することができる。

【0257】

本実施例のようにカラーフィルタ (R) 6905、カラーフィルタ (G) 6906 及びカラーフィルタ (B) (図示せず) をカバー材 6804 に設けると、TFT 基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【実施例 16】

【0258】

図 36、図 38 は本発明の画素構造の第二の実施例である。この実施例は、電源供給線を形成するために、ソース信号線、ゲート信号線と異なる層の配線層を追加している例である。

【0259】

なお、図 36 において、実施例 7 において示した図 8 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0260】

なお、図 38 において、実施例 8 において示した図 9 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0261】

半導体層の下側に配線層 4502a を設け、電源供給線 49a を形成している。このように別の層を設けることによって、配線追加による開口率の低下を防止することが可能になる。

【0262】

図 37、図 39 は本発明の第三の実施例である。この実施例では、第二の実施例とは異なる層 4502b に、電源供給線 49b を持ってきている。

【0263】

なお、図 37 において、実施例 7 において示した図 8 と同じ部分は同じ符号をもちいて示し、説明は省略する。

【0264】

なお、図 39 において、実施例 8 において示した図 9 と同じ部分は同じ符号をもちいて示し、説明は省略する。

【0265】

図 37 及び図 39 では、電源供給線 49b を信号線 34 の上部に形成しているが、この

10

20

30

40

50

場所ではなく、ゲート信号線とソース信号線との間の層でも良いし、ゲート信号の下の層でも良い。

【実施例 17】

【0266】

本実施例では、実施例 10 において、EL 表示装置の光の放射方向を下面（基板側）方向とし、電源供給線を半導体層の下側に設置する場合について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である CMOS 回路を図示することとする。ここで、駆動回路用 TFT については、実施例 10 で述べた作製方法を用いて作製することが可能であるので、ここでは省略する。

【0267】

まず、図 25 (A) に示すように、基板 600 を用意する。本実施例では結晶化ガラスを用いた。基板 600 上に 200 ~ 400 nm 厚の導電膜を形成し、レジストマスク 601 によりパターニングし、エッチングを行って電源供給線 602 を形成する。エッチングはドライエッチングでもウェットエッチングでも良い。

【0268】

次に図 25 (B)、(C) に示すように酸化膜を形成する。本実施例では 100 nm 厚の窒化酸化珪素膜 603 と 200 nm 厚の窒化酸化珪素膜 604 とを積層して用いる。この時、結晶化ガラス基板に接する方の窒化酸化珪素膜 603 の窒素濃度を 10 ~ 25 wt % としておくが良い。窒化酸化膜 604 を形成後、表面の平坦化を行う。具体的には CMP や表面研磨を行う。

【0269】

次に図 25 (D) に示すように 45 nm の厚さのアモルファスシリコン膜 605 を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0270】

ここから図 26 (C) までの工程は本出願人による特開平 10 - 247735 号公報を完全に引用することができる。同公報では Ni 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0271】

まず、図 25 (E) に示すように開口部 606a、606b を有する保護膜 607 を形成する。本実施例では 150 nm 厚の酸化珪素膜を用いる。そして、図 26 (A) に示すように保護膜 607 の上にスピコート法によりニッケル (Ni) を含有する層 (Ni 含有層) 608 を形成する。この Ni 含有層の形成に関しては、前記公報を参考にすれば良い。

【0272】

次に、図 26 (B) に示すように、不活性雰囲気中で 570 °C、14 時間の加熱処理を加え、アモルファスシリコン膜 605 を結晶化する。この際、Ni が接した領域（以下、Ni 添加領域という）609a、609b を起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜 610 が形成される。

【0273】

次に、図 26 (C) に示すように、保護膜 607 をそのままマスクとして 15 族に属する元素（好ましくはリン）を Ni 添加領域 609a、609b に添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）611a、611b が形成される。

【0274】

次に、図 26 (C) に示すように、不活性雰囲気中で 600 °C、12 時間の加熱処理を加える。この熱処理によりポリシリコン膜 610 中に存在する Ni は移動し、最終的には殆ど全て矢印が示すようにリン添加領域 611a、611b に捕獲されてしまう。これはリンによる金属元素（本実施例では Ni）のゲッターリング効果による現象であると考えら

10

20

30

40

50

れる。

【0275】

この工程によりポリシリコン膜612中に残るNiの濃度はSIMS（質量二次イオン分析）による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度（ 2×10^{17} atoms/cm³以下）であると考えられる。

【0276】

こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜612が得られる。その後、このポリシリコン膜612のみを用いた活性層613a、613bをパターニング工程により形成する。また、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。（図26（D））

10

【0277】

次に、図26（E）に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0278】

この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜614が形成される。また、活性層613a、613bの膜厚はこの熱酸化工程によって30nmとなる。

20

【0279】

次に、図27（A）に示すように、レジストマスク615を形成し、ゲート絶縁膜614を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。

30

【0280】

なお、本実施例ではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でボロンを含む不純物領域616が形成される。

【0281】

次に、図27（B）に示すように、レジストマスク619を形成し、ゲート絶縁膜614を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（PH₃）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

40

【0282】

この工程により形成されるn型不純物領域620には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³（代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³）の濃度で含まれるようにドーズ量を調節する。

【0283】

次に、図27（C）に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜614が設けられて

50

いるので電熱炉を用いたファーネスアニール処理が好ましい。

また、図 27 (A) の工程でチャンネル形成領域となる部分の活性層 / ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0284】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を 800、1 時間のファーネスアニール処理により行う。なお、処理雰囲気酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0285】

次に、200 ~ 400 nm 厚の導電膜を形成し、パターニングしてゲート電極 622、623、625 及びソース信号電極 624、電源電極 626 を形成する。このゲート電極 622、623、625 の線幅によって各 T F T のチャンネル長の長さが決定する。(図 27 (D))

10

【0286】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素でなる膜、または前記元素の窒化物でなる膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には Mo - W 合金、Mo - Ta 合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) を用いることができる。勿論、単層で用いても積層して用いても良い。

20

【0287】

本実施例では、50 nm 厚の窒化タングステン (WN) 膜 622b、623b、625b と、350 nm 厚のタングステン (W) 膜 622a、623a、625a とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン (Xe)、ネオン (Ne) 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0288】

なお、ゲート電極 622a (622b) と 623a (623b) は断面では二つに見えるが、実際は電氣的に接続されている。

30

【0289】

次に、図 28 (A) に示すように、ゲート電極 622、623、625、ソース信号電極 624、電源電極 626 をマスクとして自己整合的に n 型不純物元素 (本実施例ではリン) を添加する。こうして形成される不純物領域 627 ~ 631 には n 型不純物領域 620 の 1/2 ~ 1/10 (代表的には 1/3 ~ 1/4) の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$) の濃度が好ましい。

【0290】

次に、図 28 (B) に示すように、ゲート電極等を覆う形でレジストマスク 634a ~ 634c を形成し、n 型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む不純物領域 635 ~ 637 を形成する。ここでもフォスフィン (PH₃) を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$) となるように調節する。

40

【0291】

この工程によって n チャンネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T は、図 28 (A) の工程で形成した n 型不純物領域 627 ~ 631 の一部が残る。この残された領域が、スイッチング用 T F T の L D D 領域となる。

【0292】

次に、図 28 (C) に示すように、レジストマスク 634a ~ 634c を除去し、新た

50

にレジストマスク 642 を形成する。そして、p 型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域 643、644 を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度となるようにボロンを添加する。

【0293】

なお、不純物領域 643、644 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

【0294】

次に、図 28 (D) に示すように、レジストマスク 642 を除去した後、第 1 層間絶縁膜 646 を形成する。第 1 層間絶縁膜 646 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0295】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、 550 、4 時間の熱処理を行う。

【0296】

さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450$ で $1 \sim 12$ 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0297】

なお、水素化処理は第 1 層間絶縁膜 646 を形成する間に入れても良い。即ち、 200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0298】

次に、図 29 (A) に示すように、第 1 層間絶縁膜 646 及びゲート絶縁膜 614 に対してコンタクトホールを形成し、ソース配線 647、650 と、ドレイン配線 652、653 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm 、Ti を含むアルミニウム膜を 300 nm 、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0299】

次に、 $50 \sim 500 \text{ nm}$ （代表的には $200 \sim 300 \text{ nm}$ ）の厚さで第 1 パッシベーション膜 654 を形成する。本実施例では第 1 パッシベーション膜 654 として 300 nm 厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0300】

この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 646 に供給され、熱処理を行うことで、第 1 パッシベーション膜 654 の膜質が改善される。それと同時に、第 1 層間絶縁膜 646 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0301】

次に、図 29 (B) に示すように、有機樹脂からなる第 2 層間絶縁膜 655 を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第 2 層間絶縁膜 655 は TFT が形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では $2.5 \mu\text{m}$ の厚さでアクリル膜を形成する。

10

20

30

40

50

【0302】

次に、第2層間絶縁膜655、第1パッシベーション膜654にドレイン配線653に達するコンタクトホールを形成し、画素電極（陽極）656を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターンングを行って画素電極とする。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

【0303】

次に樹脂661a、661bを500nmの厚さに形成し、画素電極656に対応する位置に開口部を形成する。

【0304】

次に、EL層658及び陰極（MgAg電極）659を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層658の膜厚は80～200nm（典型的には100～120nm）、陰極659の厚さは180～300nm（典型的には200～250nm）とすれば良い。

【0305】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0306】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0307】

なお、EL層658としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0308】

また、保護電極660としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極660はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0309】

こうして図29（C）に示すような構造のアクティブマトリクス型のEL表示装置が完成する。

【0310】

なお、実際には、図29（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミック製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。

【実施例18】

【0311】

本実施例では、実施例10において、EL表示装置の光の放射方向を下面（基板側）方向とし、電源供給線を信号線の上部に作製する方法について説明する。

10

20

30

40

50

但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。ここで、駆動回路用TFTについては、実施例10で述べた作製方法を用いて作製することが可能であるので、ここでは省略する。

【0312】

まず、図30(A)に示すように、下地膜702を表面に設けた基板701を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくが良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0313】

次に下地膜702の上に45nmの厚さのアモルファスシリコン膜703を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0314】

ここから図30(C)までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0315】

まず、開口部704a、704b、704cを有する保護膜705を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜705の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層)706を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0316】

次に、図30(B)に示すように、不活性雰囲気中で570℃、14時間の加熱処理を加え、アモルファスシリコン膜703を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)707a、707b、707cを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜708が形成される。

【0317】

次に、図30(C)に示すように、保護膜705をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域707a、707b、707cに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)709a、709b、709cが形成される。

【0318】

次に、図30(C)に示すように、不活性雰囲気中で600℃、12時間の加熱処理を加える。この熱処理によりポリシリコン膜708中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域709a、709b、709cに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターング効果による現象であると考えられる。

【0319】

この工程によりポリシリコン膜710中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度(2×10^{17} atoms/cm³以下)であると考えられる。

【0320】

こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜710が得られる。その後、このポリシリコン膜710のみを用いた活性層711a、711bをパターニング工程により形成する。また、

10

20

30

40

50

この時、後のパターンングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図30(D))

【0321】

次に、図30(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0322】

この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜712が形成される。また、活性層711a、711bの膜厚はこの熱酸化工程によって30nmとなる。

【0323】

次に、図31(A)に示すように、レジストマスク713を形成し、ゲート絶縁膜712を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0324】

なお、本実施例ではジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$)の濃度でボロンを含む不純物領域714が形成される。

【0325】

次に、図31(B)に示すように、レジストマスク716を形成し、ゲート絶縁膜712を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH_3)を質量分離しないでプラズマ励起したプラズマドープング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0326】

この工程により形成されるn型不純物領域715には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節する。

【0327】

次に、図31(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜712が設けられているので電熱炉を用いたファーネスアニール処理が好ましい。

また、図31(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0328】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃で1時間のファーネスアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0329】

次に、200~400nm厚の導電膜を形成し、パターンングしてゲート電極719~724及び配線717、718を形成する。このゲート電極719~724の線幅によ

10

20

30

40

50

て各TFTのチャネル長の長さが決定する。(図31(D))

【0330】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

10

【0331】

本実施例では、50nm厚の窒化タングステン(WN)膜722~724と、350nm厚のタングステン(W)膜719~721とでなる積層膜を用いる。

これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0332】

ゲート電極719(722)、720(723)は断面では二つに見えるが、実際は電氣的に接続されている。

【0333】

次に、図32(A)に示すように、ゲート電極719~724及び配線717、718をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域725~729には、n型不純物領域715の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$)の濃度が好ましい。

20

【0334】

次に、図32(B)に示すように、ゲート電極等を覆う形でレジストマスク730a~730cを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域731~733を形成する。ここでもフォスフィン(PH₃)を用いたイオンドーブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$)となるように調節する。

30

【0335】

この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図32(A)の工程で形成したn型不純物領域725~727の一部が残る。この残された領域が、スイッチング用TFTのLDD領域となる。

【0336】

次に、図32(C)に示すように、レジストマスク730a~730cを除去し、新たにレジストマスク734を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域735、736を形成する。ここではジボラン(B₂H₆)を用いたイオンドーブ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$)の濃度となるようにボロンを添加する。

40

【0337】

なお、不純物領域735、736には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0338】

次に、図32(D)に示すように、レジストマスク734を除去した後、第1層間絶縁膜737を形成する。第1層間絶縁膜737としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μm

50

とすれば良い。本実施例では、200 nm厚の窒化酸化珪素膜の上に800 nm厚の酸化珪素膜を積層した構造とする。

【0339】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0340】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

10

【0341】

なお、水素化処理は第1層間絶縁膜737を形成する間に入れても良い。即ち、200 nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800 nm厚の酸化珪素膜を形成しても構わない。

【0342】

次に、図33(A)に示すように、第1層間絶縁膜737及びゲート絶縁膜712に対してコンタクトホールを形成し、ソース配線738、739と、ドレイン配線740、741を形成する。なお、本実施例ではこの電極を、Ti膜を100 nm、Tiを含むアルミニウム膜を300 nm、Ti膜150 nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

20

【0343】

次に、50～500 nm（代表的には200～300 nm）の厚さで第1パッシベーション膜742を形成する。本実施例では第1パッシベーション膜742として300 nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0344】

この時、窒化酸化シリコン膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜737に供給され、熱処理を行うことで、第1パッシベーション膜742の膜質が改善される。それと同時に、第1層間絶縁膜737に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

30

【0345】

次に、図33(B)に示すように、絶縁膜743を形成する。本実施例では、絶縁膜743として窒化酸化シリコン膜を用いる。その後、絶縁膜743及び第1パッシベーション膜742、第1層間絶縁膜737に配線739に達するコンタクトホールを形成し、電源供給線744を形成する。なお、本実施例では、電源供給線744を窒化タングステン膜と、タングステン膜とでなる積層膜とする。勿論、他の導電膜でも良い。

【0346】

次に、図33(C)に示すように、有機樹脂からなる第2層間絶縁膜745を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜745はTFTが形成する段差を平坦化する必要があるので、平坦性に優れたアクリル膜が好ましい。本実施例では2.5 μmの厚さでアクリル膜を形成する。

40

【0347】

次に、図33(D)に示すように、第2層間絶縁膜745、絶縁膜743及び第1パッシベーション膜742にドレイン配線741に達するコンタクトホールを形成し、画素電極（陽極）746を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110 nmの厚さに形成し、パターンングを行って画素電極とする。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

50

【0348】

次に、図34に示すように、樹脂747a、747bを500nmの厚さに形成し、画素電極746に対応する位置に開口部を形成する。

【0349】

次に、EL層748及び陰極(MgAg電極)749を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層748の膜厚は80~200nm(典型的には100~120nm)、陰極749の厚さは180~300nm(典型的には200~250nm)とすれば良い。

【0350】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

10

【0351】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

20

【0352】

なお、EL層748としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0353】

また、保護電極750としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極750はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

30

【0354】

こうして図34に示すような構造のアクティブマトリクス型のEL表示装置が完成する。

【0355】

なお、実際には、図34まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やセラミック製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。

40

【実施例19】

【0356】

本発明を用いて形成されたEL表示装置は様々な電子機器に用いることができる。以下に、本発明を用いて形成されたEL表示装置を表示媒体として組み込んだ電子機器について説明する。

【0357】

その様な電子機器としては、テレビ受像機、電話機、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図17に示す。

50

【0358】

図17(A)はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004等を含む。本発明のEL表示装置は、パーソナルコンピュータの表示部2003に用いることができる。

【0359】

図17(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は、ビデオカメラの表示部2102に用いることができる。

【0360】

図17(C)はヘッドマウントディスプレイの一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニター2304、光学系2305、表示部2306等を含む。本発明のEL表示装置は、ヘッドマウントディスプレイの表示部2306に用いることができる。

10

【0361】

図17(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2401、記録媒体(CD、LDまたはDVD等)2402、操作スイッチ2403、表示部(a)2404、表示部(b)2405等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置は、記録媒体を備えた画像再生装置の表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

20

【0362】

図17(E)は携帯型(モバイル)コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505等を含む。本発明のEL表示装置は、携帯型(モバイル)コンピュータの表示部2505に用いることができる。

【0363】

図17(F)はテレビ受像機であり、本体2604a、表示部2604c、操作スイッチ2604d等を含む。本発明のEL表示装置は、テレビ受像機の表示部2604cに用いることができる。

【0364】

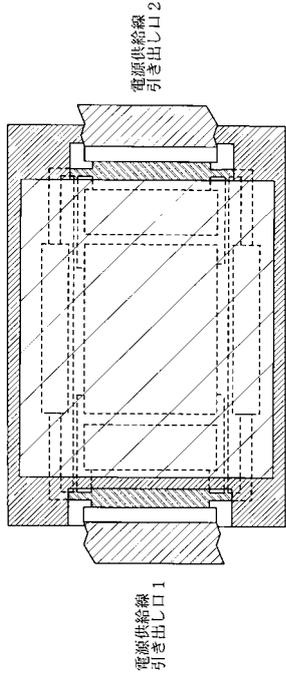
また、将来的にEL材料の発光輝度が高くなれば、フロント型もしくはリア型のプロジェクターに用いることも可能となる。

30

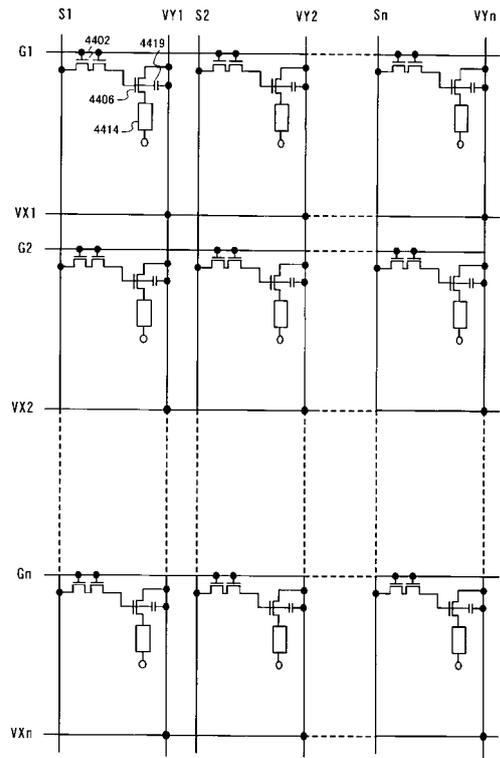
【0365】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~18のどのような組み合わせからなる構成を用いても実現することができる。

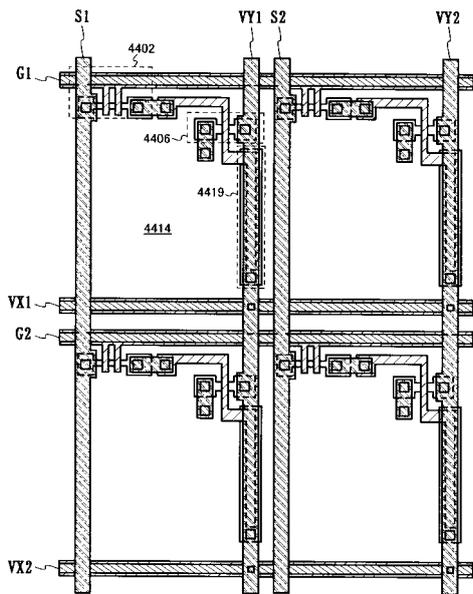
【 図 1 】



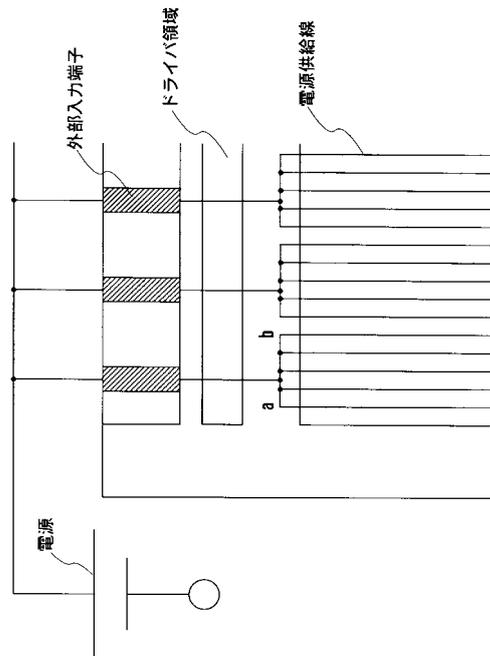
【 図 2 】



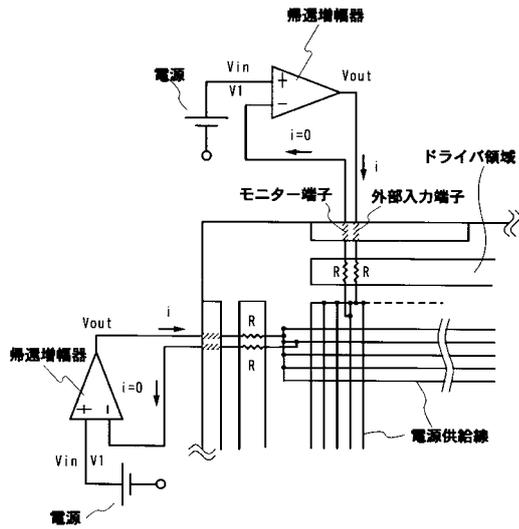
【 図 3 】



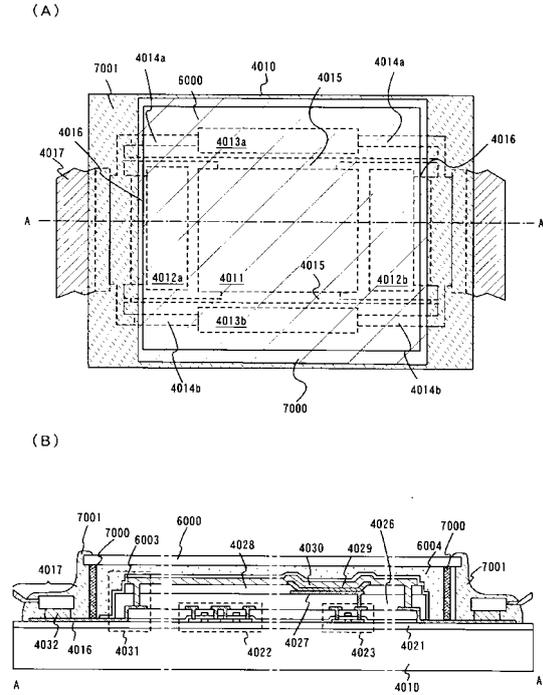
【 図 4 】



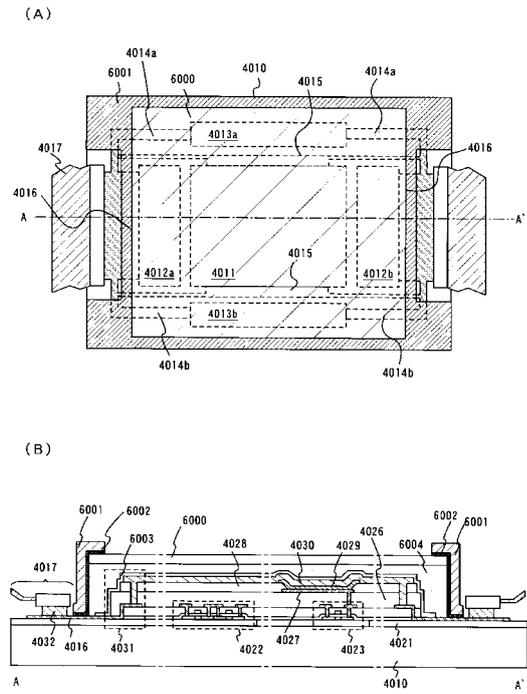
【図5】



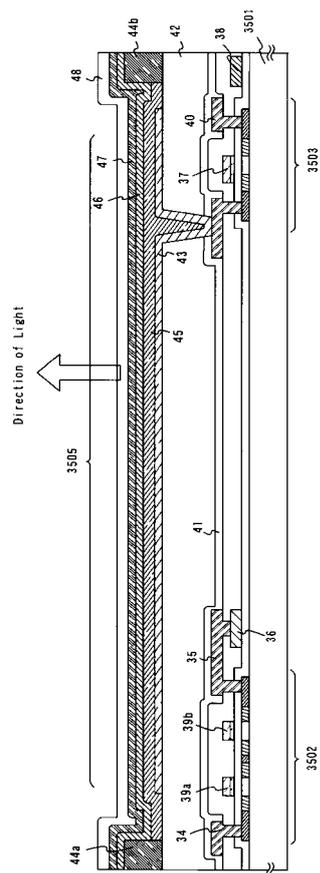
【図6】



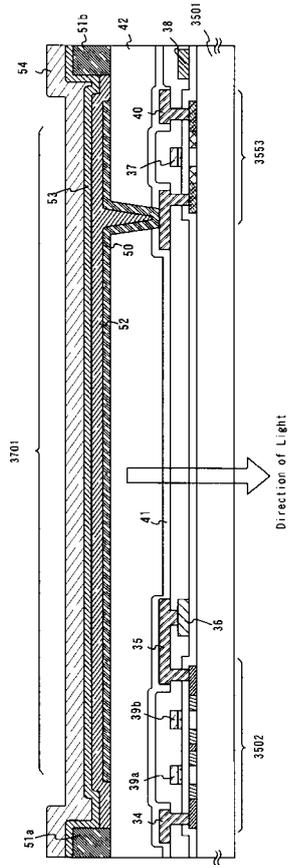
【図7】



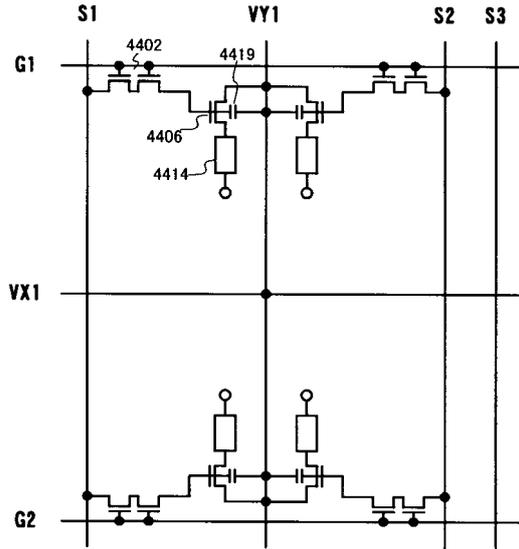
【図8】



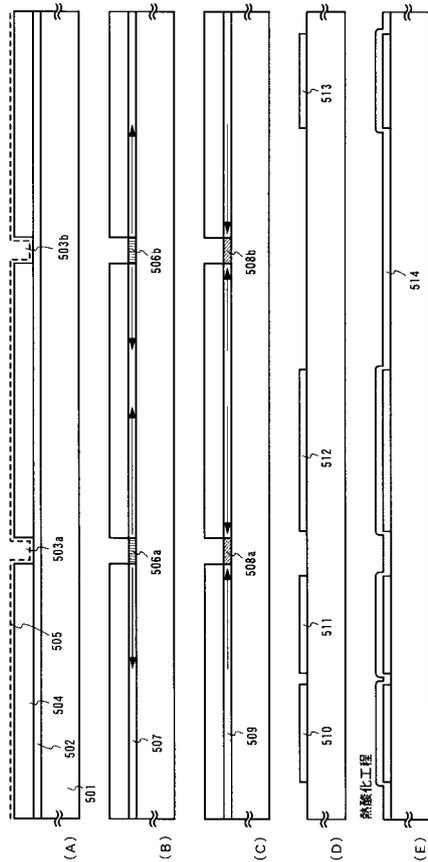
【図9】



【図10】

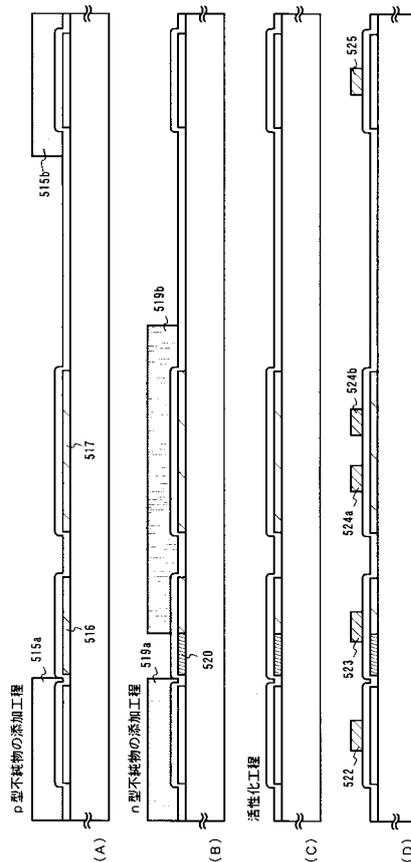


【図11】



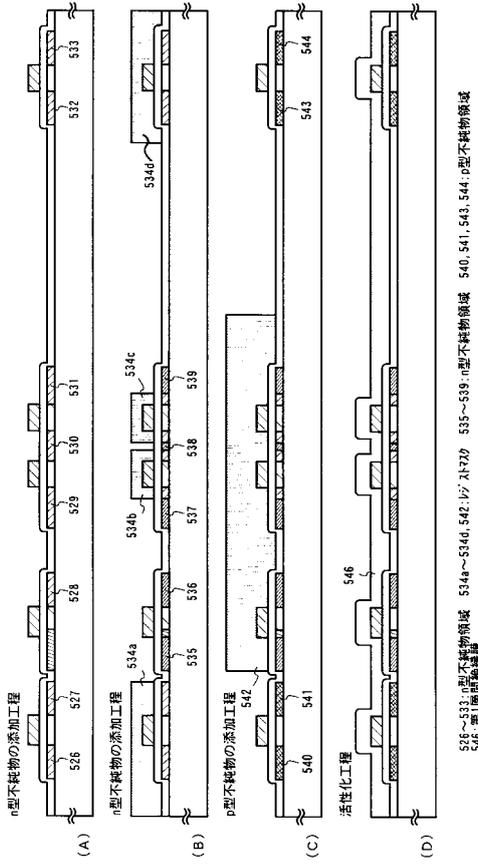
501: 石英基板 502: 7Hf73Siの膜 503a, 503b: 開口部 504: 保護膜 505: Ni含有層
 506a, 506b: Ni添加領域 507: 多孔質膜 508a, 508b: シリカ添加領域 509: 多孔質膜
 510~513: 活性層 514, 515: 絶縁層

【図12】

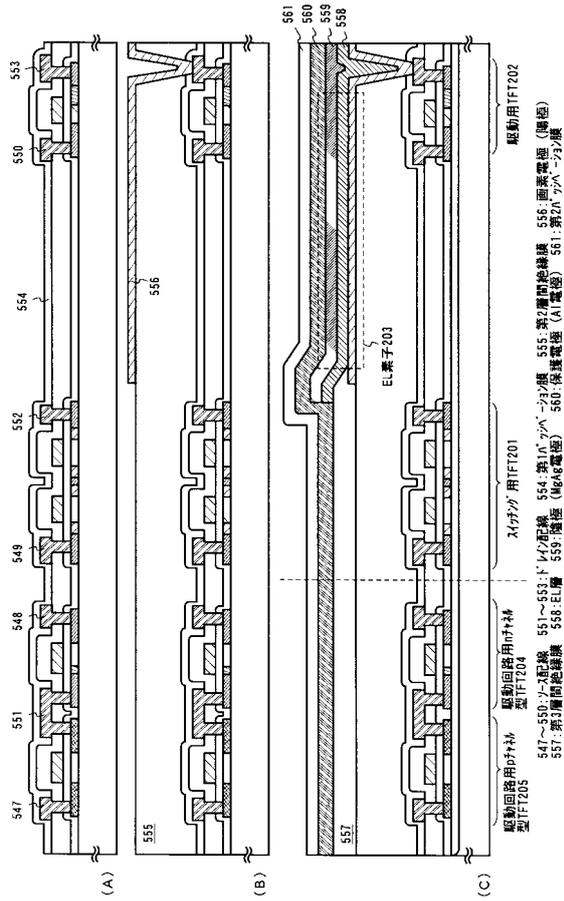


515a, 515b, 519a, 519b: p型不純物領域 520: n型不純物領域
 522~525: p+電極

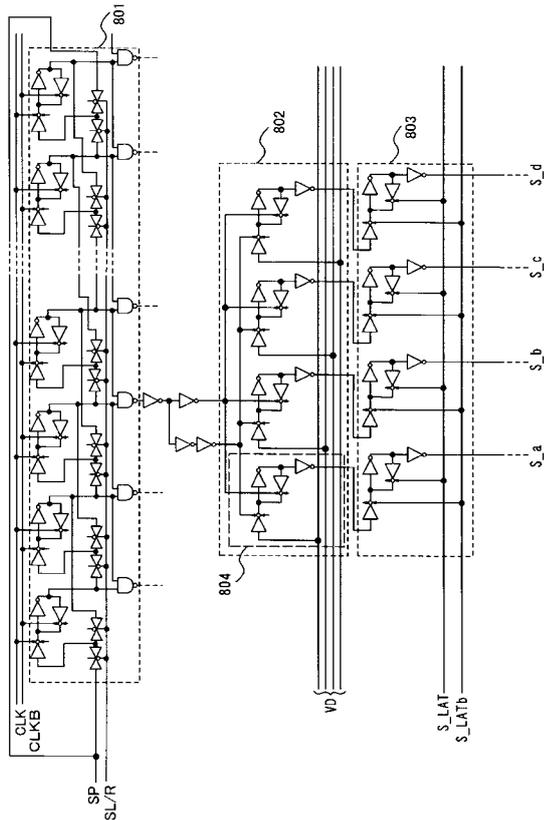
【 図 1 3 】



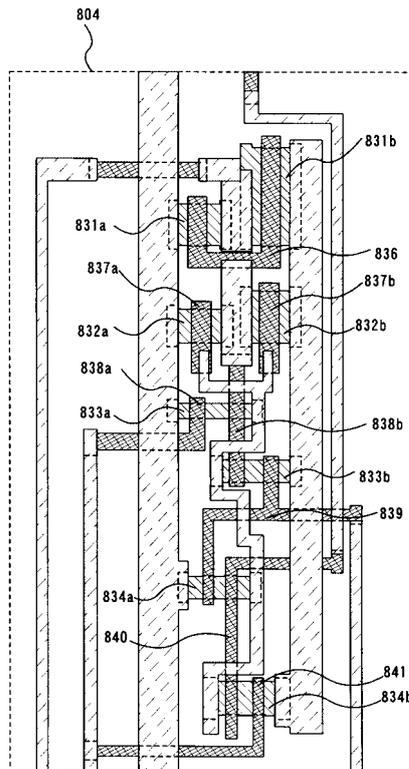
【 図 1 4 】



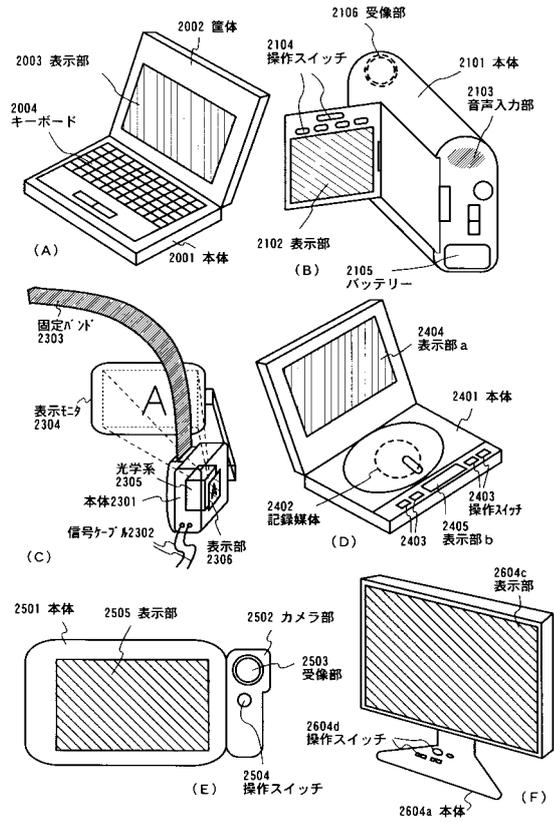
【 図 1 5 】



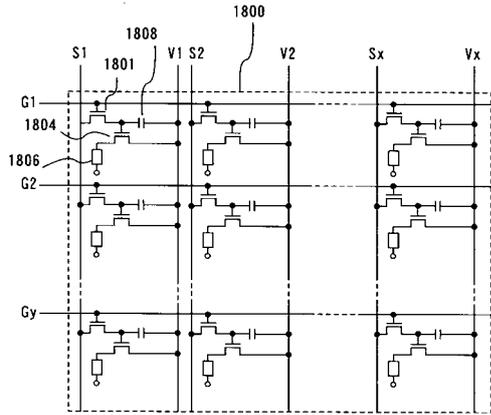
【 図 1 6 】



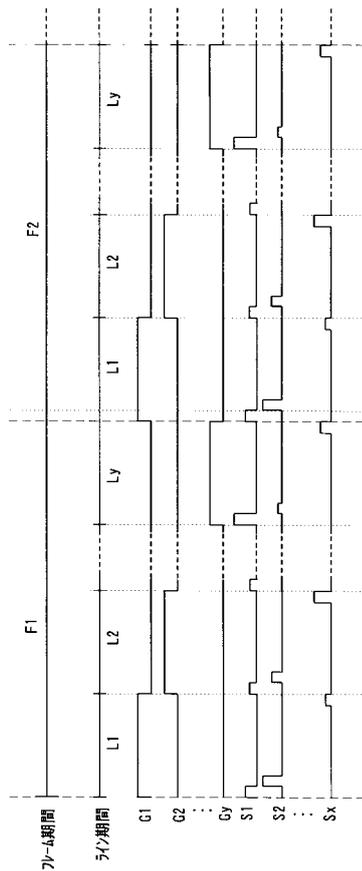
【図 17】



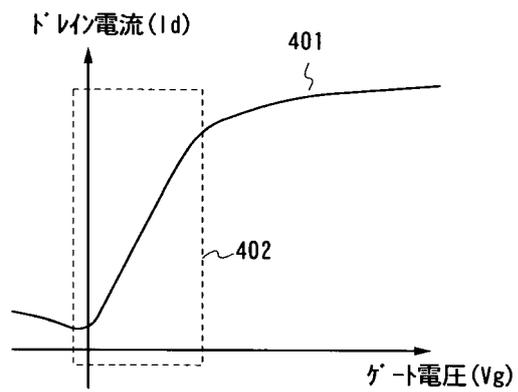
【図 18】



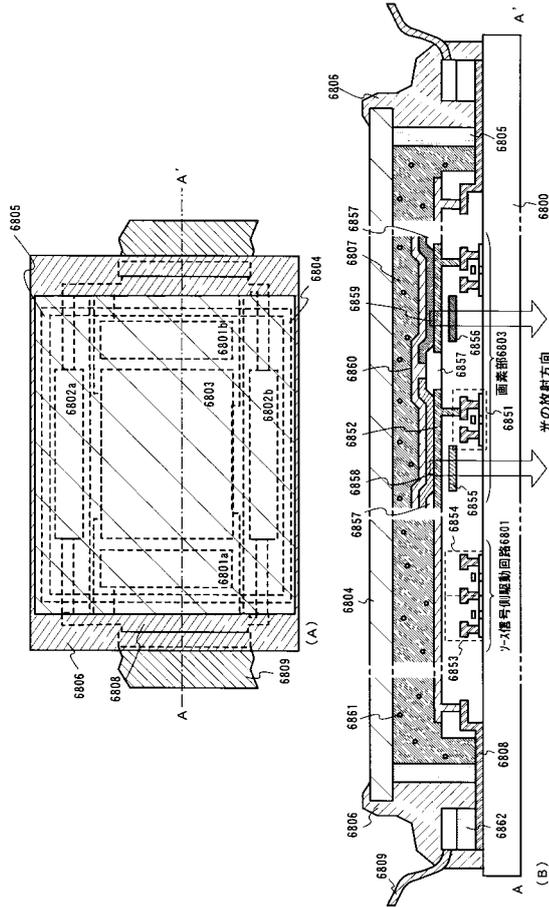
【図 19】



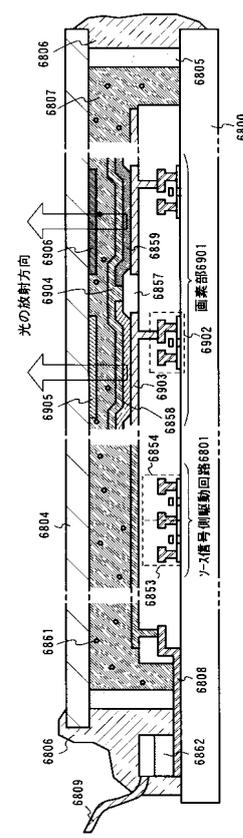
【図 20】



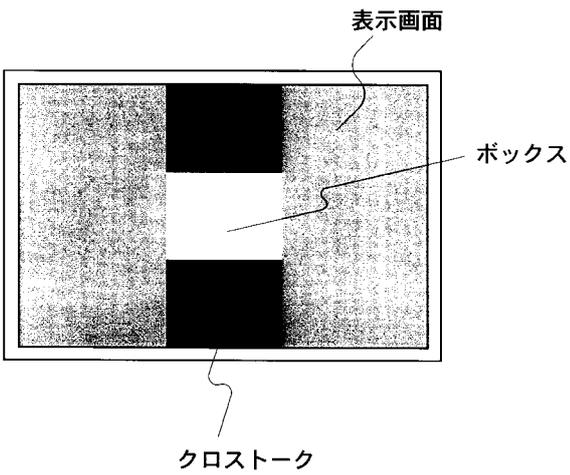
【図 2 1】



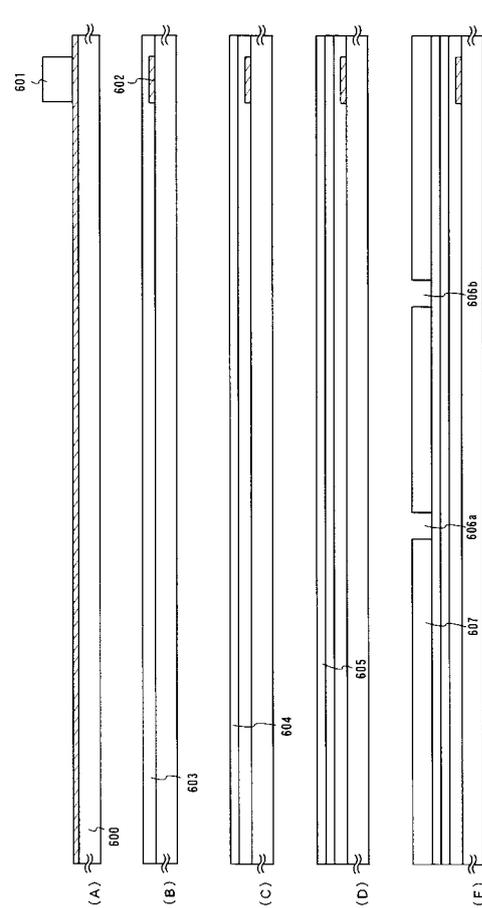
【図 2 2】



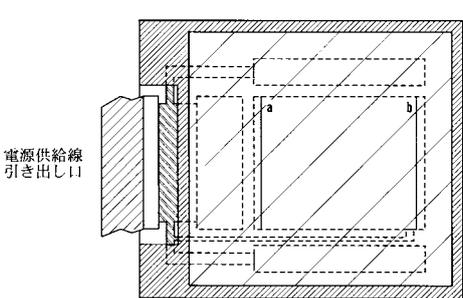
【図 2 3】



【図 2 5】

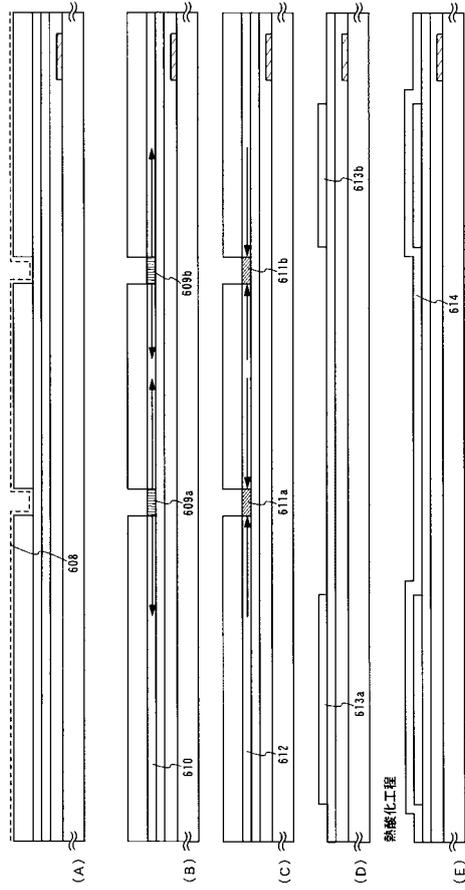


【図 2 4】



600: 石英基板、601: レジストマスク、602: 電源供給線、603, 604: 電化炭化性素膜
 605a, 605b: 開口部、607: 保護膜

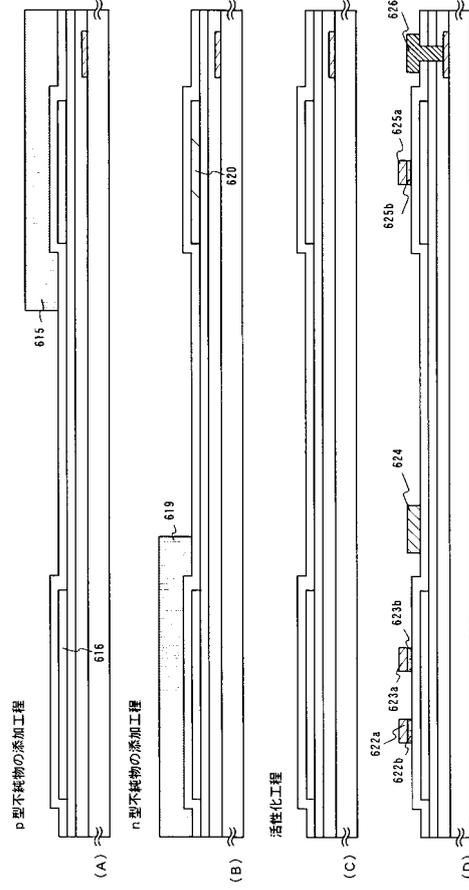
【図 26】



608: Ni含有層 609: Ni添加領域 610: Al/Al₂O₃層
 611a, 611b: Al添加領域 612: Al/Al₂O₃層 613: 活性層 614: p+絶縁膜

熱酸化工程

【図 27】



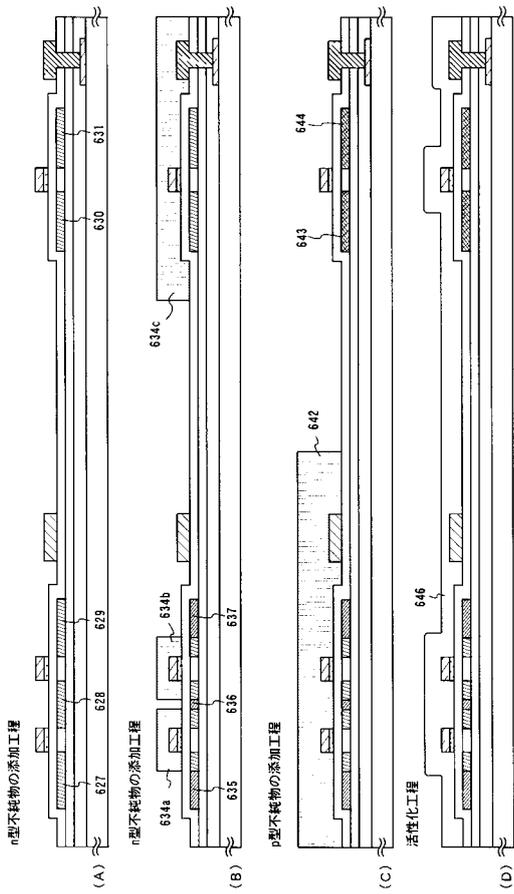
615, 619: Al/Al₂O₃層 616: p型不純物層 620: 絶縁物層
 622, 623, 625: p+電極 624: n+大面積電極 626: 絶縁電極

p型不純物の添加工程

n型不純物の添加工程

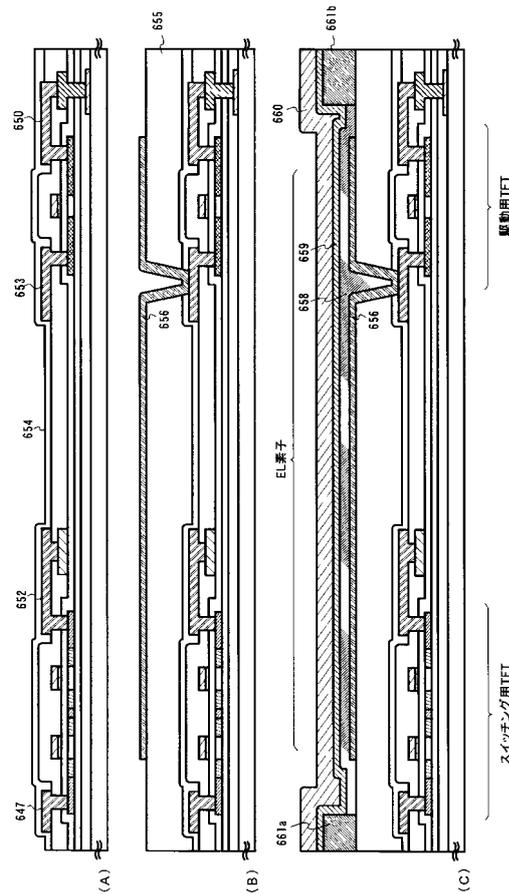
活性化工程

【図 28】



637~639: n型不純物領域 634a~634c: Al/Al₂O₃層 635~637: n型不純物領域 643, 644: p型不純物領域
 646: 第1層間絶縁膜

【図 29】

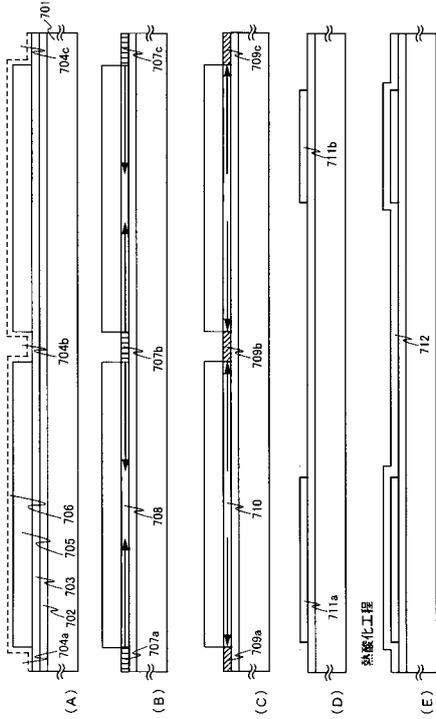


647, 650: p型不純物層 652, 653: Al/Al₂O₃層 654: 第1層間絶縁膜 655: 第2層間絶縁膜 656: 面電極 (傾斜)
 658: EL層 659: 傾斜 (n+電極) 660: 傾斜電極 (A電極) 661a, 661b: 傾斜

スイッチング用 TFT

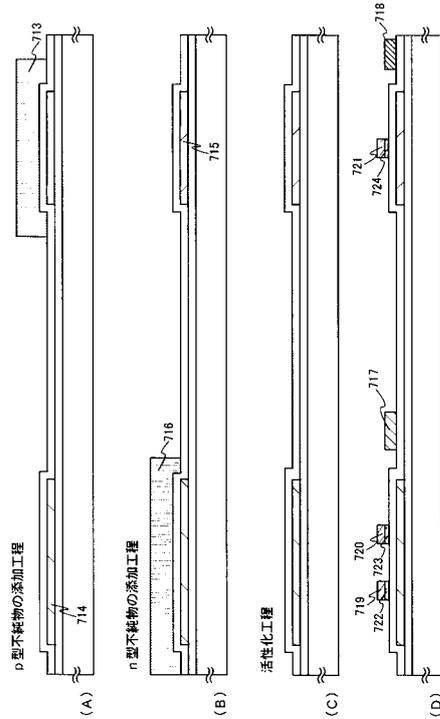
駆動用 TFT

【図 30】



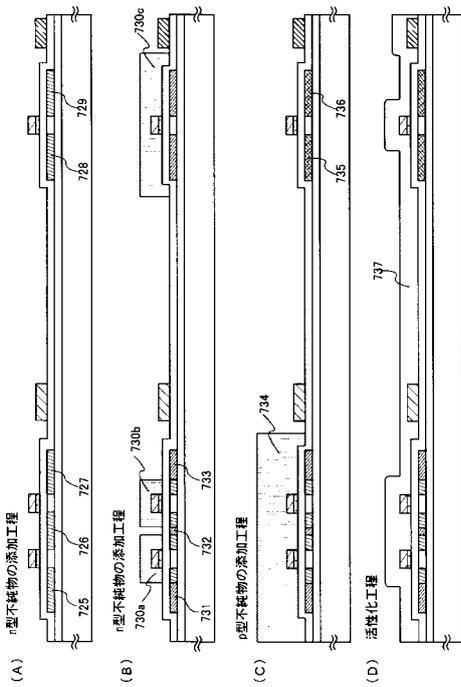
701: 石英系基板 702: 下地層 703: 747/747a層 704a, 704b, 704c: 開口部 705: 保護層 706: Ni含有層
 707a, 707b, 707c: 添加領域 708: 748/748a層 709a, 709b, 709c: 添加領域 710: 半導体層
 711a, 711b: 活性層 712: 絶縁層

【図 31】



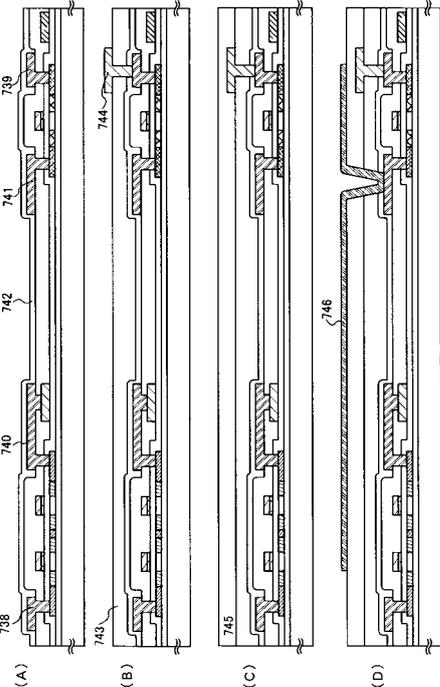
713, 716: 1/2 Al₂O₃ 714: p型不純物の添加領域 715: n型不純物の添加領域 717, 718: 配線 719~724: p-n電極

【図 32】



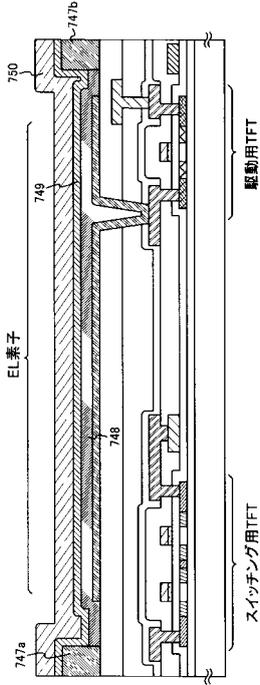
735~739: n型不純物の添加領域 730a~730c: 734: 1/2 Al₂O₃ 731~733: n型不純物の領域 735, 736: p型不純物の領域
 737: 第一層間絶縁膜

【図 33】



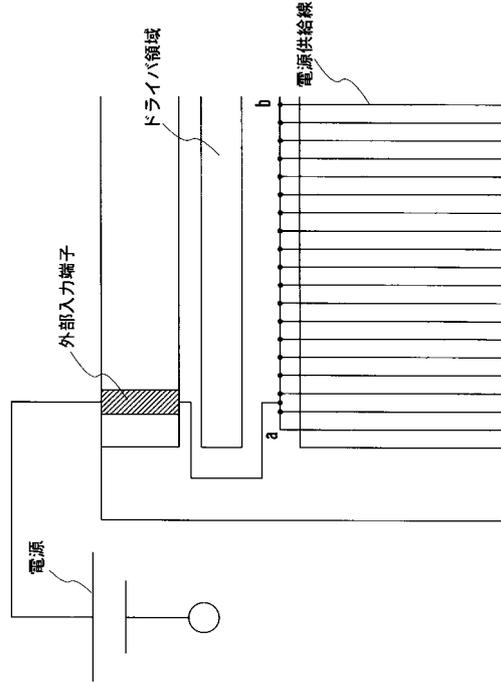
738, 739: Si₃N₄配線 740, 741: ドレイン配線 742: 第二層間絶縁膜 743: 第二層間絶縁膜 744: 絶縁膜
 745: 電源低抵抗層 746: 電源低抵抗層

【図 3 4】

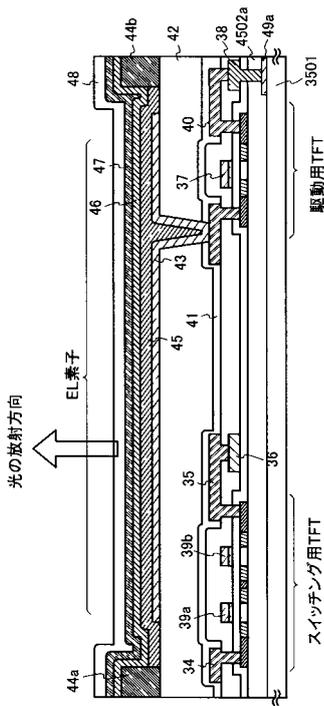


747a, 747b: 樹脂 748: EL層 749: 絶縁(μg)電極 750: 保護電極(A)電極

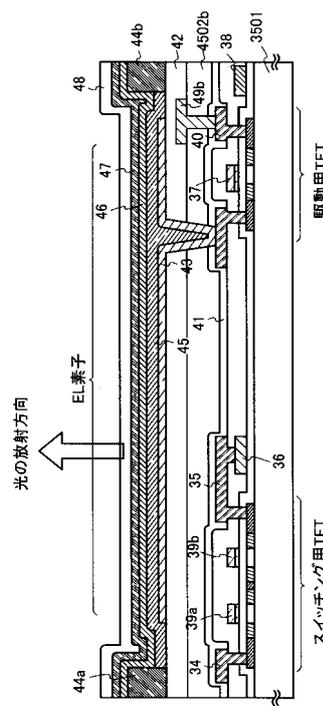
【図 3 5】



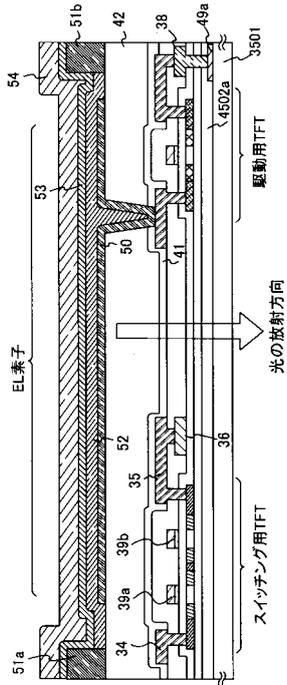
【図 3 6】



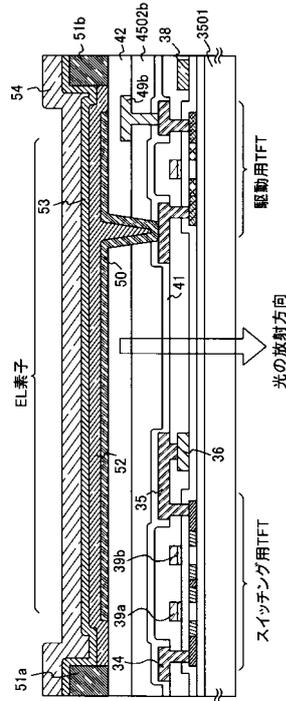
【図 3 7】



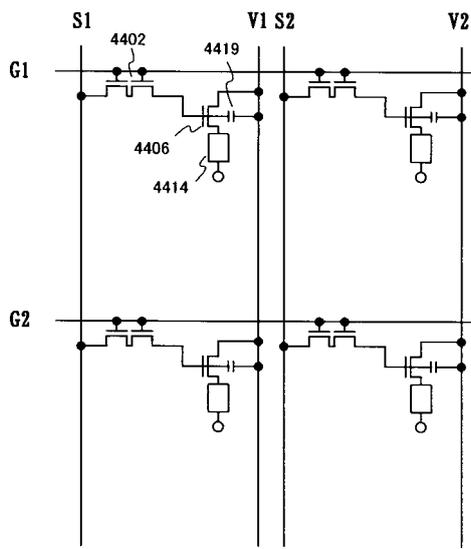
【 図 3 8 】



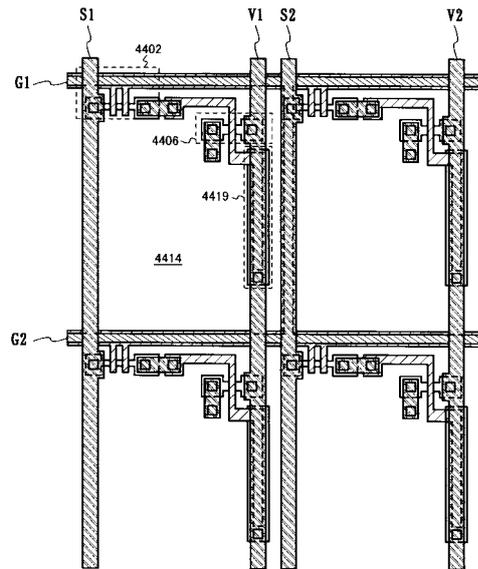
【 図 3 9 】



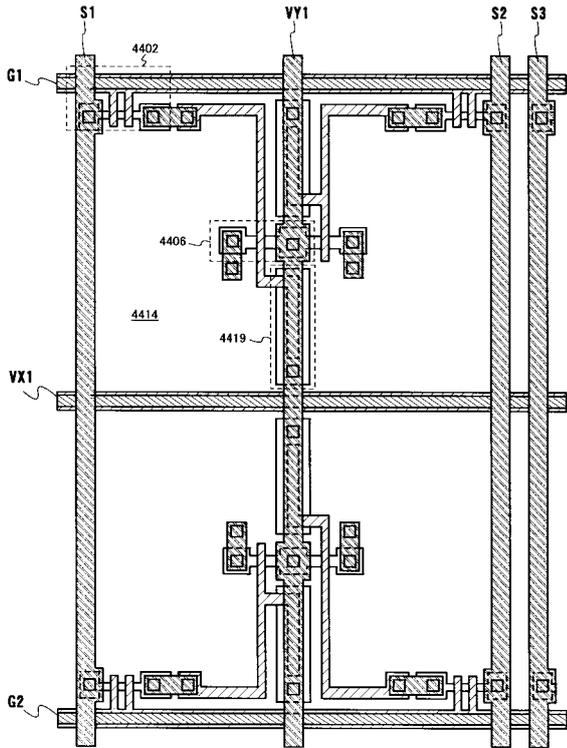
【 図 4 0 】



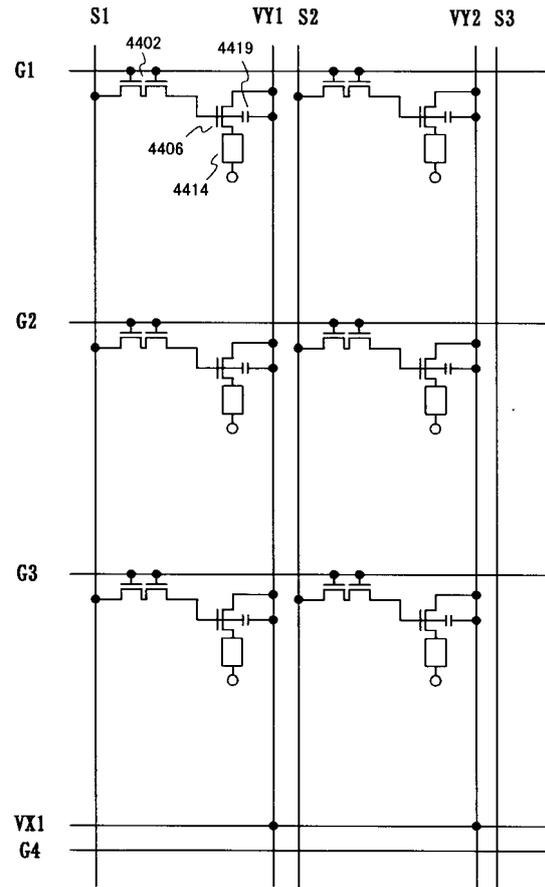
【 図 4 1 】



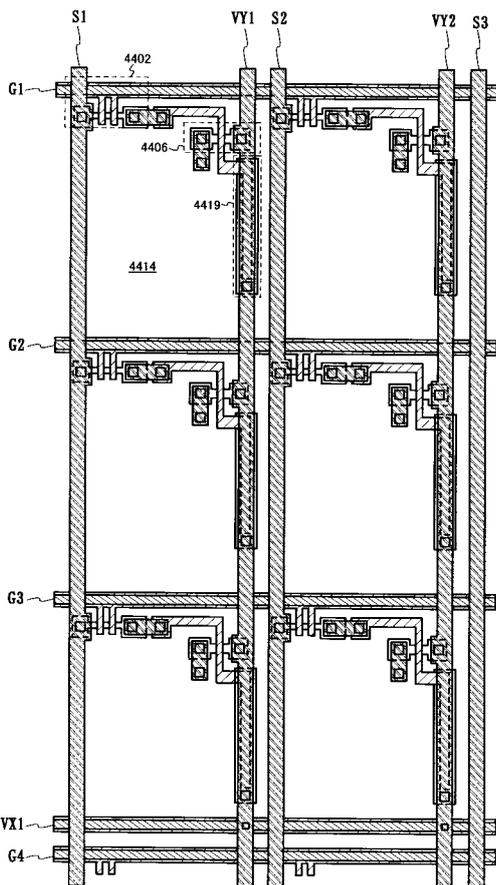
【図 4 2】



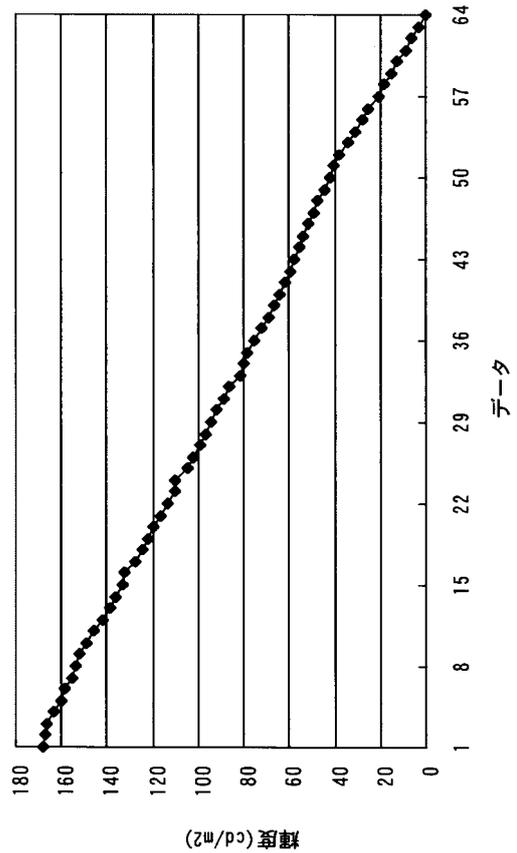
【図 4 3】



【図 4 4】



【図 4 5】



フロントページの続き

Fターム(参考) 5G435 AA04 AA16 BB05 CC09 EE12 EE41 HH12 HH13 LL04 LL07
LL08 LL14 LL17