

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 1 部門第 2 区分  
【発行日】令和 6 年 8 月 14 日(2024.8.14)

【公開番号】特開 2024-58101(P2024-58101A)  
【公開日】令和 6 年 4 月 25 日(2024.4.25)  
【年通号数】公開公報(特許)2024-077  
【出願番号】特願 2022-165251(P2022-165251)  
【国際特許分類】  
A 63 F 7/02(2006.01)  
【FI】  
A 63 F 7/02 326 Z

10

【手続補正書】  
【提出日】令和 6 年 8 月 5 日(2024.8.5)  
【手続補正 1】  
【補正対象書類名】特許請求の範囲  
【補正対象項目名】全文  
【補正方法】変更  
【補正の内容】

20

【特許請求の範囲】  
【請求項 1】

演算回路、リードメモリ、及びリードライトメモリを含んだマイクロプロセッサを実装して遊技の進行を制御する遊技機であって、  
前記リードメモリは、遊技の進行に直接関与するプログラム、及びデータが記憶された第 1 記憶手段と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第 2 記憶手段で構成され、  
前記第 2 記憶手段に記憶されたプログラムには、前記第 1 記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第 1 記憶手段のプログラムに戻る特定サブルーチンと、前記第 2 記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第 2 記憶手段のプログラムに戻る通常サブルーチンとがあり、  
前記演算回路は、前記特定サブルーチンを呼び出す場合に使用する特定コール命令を実行して前記特定サブルーチンを呼び出し、  
前記特定コール命令は、呼び出す特定サブルーチンが、前記第 2 記憶手段の特定アドレスより前に記憶されたプログラムを呼び出す場合と、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合とでは、前記第 1 記憶手段に記憶される命令容量が異なり、  
前記命令容量は、前記特定アドレスより前に記憶されたプログラムを呼び出す場合より、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合の方が多く必要であり、  
前記特定サブルーチンのプログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記命令容量を少なくするため、前記特定コール命令が、前記特定アドレスより前のアドレスに記憶されているプログラムの呼び出しを経由して、前記特定サブルーチンのプログラム本体を実行し、  
前記特定サブルーチンのプログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記特定アドレスより前のアドレスには、当該特定サブルーチンのプログラム本体を実行するための処理コードを記憶し、  
前記特定コール命令は、前記処理コードを実行することによって、前記特定サブルーチンのプログラム本体を実行し、

30

40

50

前記処理コードと前記特定サブルーチンのプログラム本体の記憶位置が所定範囲内になるよう調整され、  
前記演算回路は、遊技の進行を制御する遊技制御手段として機能し、  
前記リードライトメモリは、遊技に関する情報群を格納するための第1格納領域と、前記第1格納領域とは異なる位置にある第2格納領域と、を有し、  
前記遊技制御手段は、  
所定の条件が成立している場合に、前記第1格納領域に記憶された情報の全てを前記第2格納領域に退避する退避手段と、  
前記所定の条件の成立、及び、特定の条件が成立している場合に、前記第2格納領域に退避してある情報を、前記第1格納領域に復帰させる復帰手段と、を有し、  
前記退避手段、及び前記復帰手段は、一部の処理を除き共通のプログラムであり、  
前記退避手段、及び前記復帰手段は、前記第1格納領域の先頭アドレスを、2バイトのデータをセット可能な第1のレジスタにセットし、前記第2格納領域の先頭アドレスを、2バイトのデータをセット可能な第2のレジスタにセットし、  
前記第1のレジスタにセットされた転送元アドレスから前記第2のレジスタにセットされた転送先アドレスに転送命令で前記転送元アドレスに格納された情報を転送し、  
前記復帰手段による処理が実行される場合は、前記転送命令を実行する前に、前記第1のレジスタにセットされた前記転送元アドレスと、前記第2のレジスタにセットされた前記転送先アドレスを入れ替えることを特徴とする遊技機。

10

20

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の第1の実施態様に係る発明は、下記の構成を有する。

演算回路（例えば、メインCPU2101）、リードメモリ（例えば、メインROM2102）、及びリードライトメモリ（例えば、メインRAM2103）を含んだマイクロプロセッサ（例えば、マイクロプロセッサ2100）を実装して遊技の進行を制御する遊技機（例えば、パチスロ機2001）であって、

30

前記リードメモリは、遊技の進行に直接関与するプログラム、及びデータが記憶された第1記憶手段（例えば、使用領域内ROMエリア2202a）と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第2記憶手段（例えば、使用領域外ROMエリア2202b）で構成され、

前記第2記憶手段に記憶されたプログラムには、前記第1記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶手段のプログラムに戻る特定サブルーチン（例えば、図177に示した使用領域外RAM初期化処理（継続）を実行するサブプログラムや、図180に示したインタフェース2出力処理（継続）を実行するサブプログラム）と、前記第2記憶手段に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第2記憶手段のプログラムに戻る通常サブルーチン（例えば、図173に示したCRC演算処理（使用領域外））とがあり、

40

前記演算回路は、前記特定サブルーチンを呼び出す場合に使用する特定コール命令（例えば、「CALLLEX」）を実行して前記特定サブルーチンを呼び出し、

前記特定コール命令は、呼び出す特定サブルーチンが、前記第2記憶手段の特定アドレス（例えば、「2100」H）より前に記憶されたプログラムを呼び出す場合と、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合とでは、前記第1記憶手段に記憶される命令容量が異なり（例えば、特定アドレスより前のプログラムを呼び出す場合は2バイト命令、特定アドレス以降のプログラムを呼び出す場合は4バイト命令）、前記命令容量は、前記特定アドレスより前に記憶されたプログラムを呼び出す場合より、前記特定アドレス以降のアドレスに記憶されたプログラムを呼び出す場合の方が多く必要

50

であり、

前記特定サブルーチンのプログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記命令容量を少なくするため、前記特定コール命令が、前記特定アドレスより前のアドレスに記憶されているプログラム（例えば、「JR」や「JP」命令）の呼び出しを経由して、前記特定サブルーチンのプログラム本体を実行し、

前記特定サブルーチンのプログラム本体が前記特定アドレス以降のアドレスに記憶されている場合に、前記特定アドレスより前のアドレスには、当該特定サブルーチンのプログラム本体を実行するための処理コード（例えば、メインCPU 2101が解釈可能なコード）を記憶し、

前記特定コール命令は、前記処理コードを実行することによって、前記特定サブルーチンのプログラム本体を実行し、

前記処理コードと前記特定サブルーチンのプログラム本体の記憶位置が所定範囲内になるよう調整され、

前記演算回路は、遊技の進行を制御する遊技制御手段として機能し、

前記リードライトメモリは、遊技に関する情報群を格納するための第1格納領域と、前記第1格納領域とは異なる位置にある第2格納領域と、を有し、

前記遊技制御手段は、

所定の条件が成立している場合に、前記第1格納領域に記憶された情報の全てを前記第2格納領域に退避する退避手段と、

前記所定の条件の成立、及び、特定の条件が成立している場合に、前記第2格納領域に退避してある情報を、前記第1格納領域に復帰させる復帰手段と、を有し、

前記退避手段、及び前記復帰手段は、一部の処理を除き共通のプログラムであり、

前記退避手段、及び前記復帰手段は、前記第1格納領域の先頭アドレスを、2バイトのデータをセット可能な第1のレジスタにセットし、前記第2格納領域の先頭アドレスを、2バイトのデータをセット可能な第2のレジスタにセットし、

前記第1のレジスタにセットされた転送元アドレスから前記第2のレジスタにセットされた転送先アドレスに転送命令で前記転送元アドレスに格納された情報を転送し、

前記復帰手段による処理が実行される場合は、前記転送命令を実行する前に、前記第1のレジスタにセットされた前記転送元アドレスと、前記第2のレジスタにセットされた前記転送先アドレスを入れ替えることを特徴とする遊技機。

10

20

30

40

50