

雙面影印

# 公告本

申請日期	88.10.20
案號	88118140
類別	H01L 27/04

A4  
C4

434877

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	半導體記憶裝置及其製造方法
	英文	SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME
二、發明人	姓名	(1)長野能久 (2)田中圭介 (3)那須徹
	國籍	日本
	住、居所	(1)日本國大阪府吹田市原町3-26-1-203 (2)日本國滋賀縣大津市大將軍3-12-29 (3)日本國京都府京都市中京區西京塚本町4-7
三、申請人	姓名 (名稱)	日商・松下電子工業股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國大阪府高槻市幸町1番1號
	代表人姓名	大鶴英嗣

經濟部智慧財產局員工消費合作社印製

裝  
訂  
線

434877.3

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 1998,12,03 案號： 特願平10-343896  
有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

本發明所屬之技術領域

本發明係有關於一種以絕緣性金屬氧化物作為容量膜之半導體記憶裝置及其製造方法。

習知技藝

近年來隨著數位技術之進展，於推廣大容量之資料(數據)處理、保存的傾向中，使電子機器之機能更加高度化，並使所使用之半導體元件的微細化急速進展。隨其而欲實現動態RAM之高積體化，乃廣泛研究開發使用高誘電率材料之技術，以替代素來之矽氧化物或矽氮化物使用作容量絕緣膜。並且，以低動作電壓且高速可寫入、讀出的不揮發性RAM之實用化作為目標，而積極進行有關具有自發分極特性之強誘電體膜方面的研究開發。為實現該等之半導體記憶裝置的最重要課題為，要開發將容量元件以無特性之劣化而能用在CMOS積體電路積體化之製程。

以下，針對習知的半導體記憶裝置及其製造方法，使用第5圖作說明。

如在第5圖所示，由源極領域、汲極領域21及閘極22所成的電晶體，有形成如同覆蓋經予積體化之半導體基板整面般的第1保護絕緣膜23。其次，在第1保護絕緣膜23上有形成由下部電極24、絕緣性金屬氧化物所成之容量膜25，以及由上部電極26所成之資料記憶用容量元件。其次，如同覆蓋該資料記憶用容量元件般予以形成氮障壁層27，接著，如同覆蓋第1保護

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(2)

絕緣膜23及氫障壁層27之整面般予以形成第2保護絕緣膜28。

然後，由於將第2保護絕緣膜28及氫障壁層27予以作蝕刻，乃予形成可通到上部電極26之接觸(連通)孔29及可通到下部電極24之接觸孔30。其次，由於將第1保護絕緣膜23及第2保護絕緣膜28作蝕刻，而予形成至電晶體的接觸孔31。最後，將連接電晶體及容量元件之配線層32予以形成在所定之領域。

如上述，於習知之半導體記憶裝置，係氫障壁層27形成為如同覆蓋容量元件部。由於該氫障壁層27具有作為配線層之機能之同時，乃使用對於氫成為障壁之材料，是故，在形成配線層以後之製程上，能予抑制隨因絕緣性金屬氧化物所成之容量膜的還元反應而起之特性劣化。

但是，於上述之習知技藝，如在第6A圖所示，在使用於上部電極26或下部電極24(未圖示)之白金電極上所形成之第2保護絕緣膜28，予以形成接觸孔之時，在第2保護絕緣膜28上會形成阻體(抗蝕體)。其次，如在第6B圖所示，將阻體於氧電漿中予以去除。該場合，在阻體去除中所發生之OH基的一部份乃因在白金表面之觸媒反應而被分解，並生成活性氫。該活性氫，如在第6C圖所示，擴散在白金中。其結果，如在第6D圖所示，活性氫就從上部電極26，或從下部電極24分別擴散至容量膜25，而使絕緣性金屬

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

氧化物之容量膜予以還元，其結果，使容量元件的特性劣化。

對於位在該白金表面之氫的觸媒反應，在具有容量元件之半導體記憶裝置的製造工程上之下列的2工程，一定會發生。

其一為，如在第7A圖所示，係於容量元件之上部電極26及下部電極24的接觸孔作蝕刻之後，依氧電漿作抗蝕體去除工程時，而另一為，如在第7B圖所示，乃於電晶體的汲極領域及源極領域21的接觸孔作蝕刻之後，依氧電漿作抗蝕體去除工程時。

對於前者之第7A圖之場合，於抗蝕體去除後，在氧氣環境下施予熱處理就能將所還元元件之絕緣性金屬氧化物再度予以氧化。但是，對於後者之第7B圖，由於通到電晶體的汲極領域及源極領域21之接觸孔的表面，係使用可簡單予以氧化之矽之故，乃不能於氧氣環境下施予熱處理。

如是，在習知之半導體記憶裝置，因對在白金表面上的氫之觸媒反應，有不能予以抑制隨由絕緣性金屬氧化物所成之容量膜的還元反應而生的容量元件之特性劣化的課題存在。

本發明所欲解決之課題

本發明係欲解決上述之課題者。其依簡單之構成就能予以抑制對於在白金表面之氫的觸媒反應，乃能予以防止因絕緣性金屬氧化物所成之容量膜的還元反應而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

生的容量元件之特性劣化，是故，乃能獲得具有良好特性之半導體記憶裝置及其製造方法。

解決課題之本發明的裝置及方法

本發明係具有由源極領域、汲極領域及閘極所成之電晶體且經予積體化之半導體基板，覆蓋該半導體基板上的整面之第1保護絕緣膜，由形成在該第1保護絕緣膜上之下部電極，由絕緣性金屬氧化物所成之容量膜及由上部電極所成之資料記憶用容量元件，覆蓋第1保護絕緣膜及容量元件之第2保護絕緣膜，形成在第2保護絕緣膜且在可通到上部電極及下部電極之接觸孔表面上，使上部電極表面及下部電極表面不會露出而所形成之氫障壁層，以及形成在第1保護絕緣膜及第2保護絕緣膜且在可通到電晶體之接觸孔上，使容量元件與電晶體作電氣性連接之用的配線層。

並且，本發明具有由源極領域、汲極領域及閘極所成之電晶體，而予形成如同覆蓋經予積體化之半導體基板上之整面的第1保護絕緣膜之工程，在第1保護絕緣膜上由下部電極，絕緣性金屬氧化物所成之容量膜以及由上部電極所成之資料記憶用容量元件形成工程，覆蓋第1保護絕緣膜及容量元件之整面的第2保護絕緣膜之形成工程，在第2保護絕緣膜予以形成抗蝕體且在該抗蝕體欲予形成於上部電極及下部電極之接觸孔之用的屏罩圖案的形成工程，將第2保護絕緣膜依照屏罩圖案，作蝕刻，而予形成可通到上部電極及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

下部電極之接觸孔的工程，依氧電漿而將抗蝕體去除而隨後作熱處理之工程，在可通到上部電極之接觸孔的表面及在可通到下部電極之接觸孔的表面與上部電極及下部電極之露出面，形成氫障壁之工程，在第2保護絕緣膜及氫障壁層上形成抗蝕體且在該抗蝕體欲予形成可通到電晶體之接觸孔之用的屏罩圖案的工程，將第1保護絕緣膜及第2保護絕緣膜依照屏罩圖案作蝕刻，而予形成可通到電晶體之接觸孔的工程，依氧電漿予以去除抗蝕體之工程，以及形成容量元件與電晶體作電氣性連接之配線層的工程。依據本發明，於上部電極及下部電極形成接觸孔之後，依氧電漿去除抗蝕體之時，雖在上部電極及下部電極表面發生對於氫之觸媒反應，惟，由在其後之氧氣環境下的熱處理亦能使容量膜再度氧化，同時，於電晶體形成接觸孔之後，依氧電漿去除抗蝕體之時，由於有形成氫障壁層使上部電極及下部電極表面不會露出，因此，不會發生對在上部電極及下部電極表面之氫的觸媒反應，乃不會使容量膜有所還元，是故，乃能獲得具備有高信賴度之容量元件的半導體記憶裝置。

本發明之實施態樣

以下，使用第1圖及第2圖說明本發明之實施態樣。首先，如在第2A圖所示，使由源極領域或汲極領域1及閘極2所成之電晶體，如同覆蓋經予積體化之半導體基板上的整面般予以形成第1保護絕緣膜3。接著

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

，在第1保護絕緣膜3上，分別依噴濺法形成由白金所成之下部電極4，依有機金屬分解法或噴濺法形成由 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所成之容量膜5以及依噴濺法形成由白金所成之上部電極6。其次，依乾蝕刻法將下部電極4、容量膜5及上部電極6加工程為所定之形狀並予形成資料記憶用容量元件。

其次，如同覆蓋第1保護絕緣膜3及容量元件之整面般予以形成第2保護絕緣膜7。接著，在第2保護絕緣膜7上之整面予以形成抗蝕體，並依照設在該抗蝕體之屏罩圖案而依乾蝕刻法加工第2保護絕緣膜7，並予形成於上部電極6之接觸孔8及於下部電極4之接觸孔9。

然後，依氧電漿去除抗蝕體而後在氧氣環境中進行 $650^\circ\text{C}$ 之熱處理。

其次，如在第2B圖所示，依噴濺法將成為氫障壁層之氮化鈦予以形成在基板整面，並依露光照相法(光刻照相法)予以形成屏罩圖案而使接觸孔8之表面與上部電極6之表面以及接觸孔9之表面與下部電極4之表面不露出，接著，依乾蝕刻法予以加工為所定之形狀，並在接觸孔8之表面與上部電極6之表面形成由氮化鈦所成之氫障壁層10，以及在接觸孔9之表面與下部電極4之表面形成由氮化鈦所成之氫障壁層11。

其次，如在第2C圖所示，在第2保護絕緣膜7及氫障壁層10，11上之整面形成抗蝕體，並予形成欲予

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(7)

通到電晶體之接觸孔之用的屏罩圖案。接著，以選擇性使第1保護絕緣膜3及第2保護絕緣膜7作乾蝕刻，而予形成可通到電晶體之接觸孔12，然後，依氧電漿去除抗蝕體。

最後，為使容量元件及電晶體作電氣性連接，乃予形成從下面起依序積層鈦、氮化鈦、鋁、氮化鈦之配線層13。

如是，依據本發明，於上部電極6及下部電極4形成接觸孔8、9之後，依氧氣電漿作抗蝕體去除時，雖於上部電極及下部電極表面發生對於氫之觸媒反應，惟，在抗蝕體去除後之氧氣環境中亦可作熱處理，是故，能使容量膜5再度予以氧化。

又，在通到電晶體之接觸孔12的形成後，依氧氣電漿去除抗蝕體之時，由於不使上部電極6及下部電極4之表面不予露出，乃依氮障壁層10、11完全被覆接觸孔8、9之表面，是故，於上部電極6及下部電極4表面不會發生對於氫氣之觸媒反應，因此，容量膜5不會被還元。

於此，對於習知之半導體記憶裝置與於本發明之半導體記憶裝置的特性進行比較之結果作說明。

第3圖係表示在第1圖所示之各位元位址(橫軸)所對應之容量元件的殘留分極(縱軸)。而位址號碼係從接近於通到下部電極4之接觸孔9之處理，定義於A0、A1、A2~An(參照第1圖)。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(8)

由第3圖可知，習知之半導體記憶裝置(圖中(a))，於其所有之位址的容量元件，其殘留分極為 $5\mu\text{C}/\text{cm}^2$ ，而劣化顯著。其乃起因於上部電極及下部電極發生對於氫之觸媒反應，而使容量膜被還元之故。

其次，僅在可通到上部電極6之接觸孔8上設置由氮化鈦所成之氫障壁層10的場合(圖中(b))，在靠近可通到下部電極4之接觸孔9的位址A0及A1，發現殘留分極之劣化。其係因在接觸孔9內之下部電極4的表面，因發生對於氫之觸媒反應而使氫從接觸孔9以橫方向擴散，且到達位址A0及A1之容量元件的結果，而引起容量膜之還元為其起因。

其次，在接觸孔8之表面及接觸孔9之表面設置由氮化鈦所成之氫障壁層10、11之本發明場合(圖中(c))，在全位址均未發現殘留分極之劣化。其係在上部電極6及下部電極4之表面，能予完全防止對於氫之觸媒反應，而使容量膜不被還元之故。

其次，對於本發明及習知之半導體記憶裝置作特性比較之結果，表示於第4圖。第4圖係表示對應於在第1圖所示之各位元位址(橫軸)之各位址的不良位元發生率(縱軸)。

首先，於習知之半導體記憶裝置(圖中(a))之場合，由於殘留分極之劣化顯著之故，在全位址均為不良率100%。其次，僅在上部電極6之接觸孔8設置由氮化鈦所成之氫障壁層10之半導體記憶裝置(圖中(b))的

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(9)

場合，即僅在靠近於下部電極4之接觸孔9的位址A0及A1發生不良。

其次，於本發明之半導體記憶裝置(圖中(c))之場合，均能予達成全位址均為不良率0%。其係表示容量元件之特性的影響對半導體記憶裝置之特性有密切之關係。

由上述實施態樣明確可知，依據本發明之半導體記憶裝置，即，能予獲得具備有高信賴度的容量元件之良好特性的半導體記憶裝置。

又，在本發明之半導體記憶裝置的製造工程上，抗蝕體去除後之熱處理乃於氧氣中以650°C進行，惟，只要溫度從600°C至850°C之範圍，即，容量膜之氧化為可行之故，亦可獲得同樣之效果。

又，在上述各實施態樣，係使用氮化鈦作為氫障壁層。惟，使用對於氫無觸媒反應且為導電性之材料的氮化鉍、氧化鉍、氧化鈦以及氧化銻之任一種，或者，由該等之組合的積層膜，就能獲得同樣之效果。

而在上述各實施態樣，係使用 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 作為容量膜。惟，予以使用其以外而具有鈹層狀鈣鈦礦構造之強誘電體、鈦酸鋯酸鉛、鈦酸鋇銀，或5氧化鉍，就能獲得同樣之效果。

而在上述各實施態樣，係使用白金作為上部電極及下部電極。惟，使用鉍、鈦、銻之任一種，或者，包含由該等之組合的積層膜，亦可獲得同樣之效果。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 五、發明說明(10)

如上述，依據本發明，在半導體記憶裝置之製造工程上，由於依氧電漿去除抗蝕體之時，於上部電極及下部電極表面所發生之對於氫的觸媒反應能予抑制，是故，能予消除因容量膜之還元反應而生的特性劣化，且以容易之方法就能獲得具有良好特性之半導體記憶裝置。

### 圖面之簡單說明

第1圖係表示於本發明之實施態樣上的半導體記憶裝置之要部截面圖。

第2A~2C圖係表示於本發明之實施態樣上的半導體記憶裝置之工程截面圖。

第3圖係表示於本發明之實施態樣上的容量元件之電氣特性圖。

第4圖係表示於本發明之實施態樣上的半導體記憶裝置之電氣特性圖。

第5圖係表示習知之半導體記憶裝置的部份截面圖。

第6A~6D圖係說明習知之半導體記憶裝置的製造方法上之不良發生的結構之截面圖。

第7A、B圖係表示習知之半導體記憶裝置的製造方法上引起不良發生之工程的截面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 五、發明說明(11)

### 元件標號對照

- 1、21…源極領域、汲極領域
- 2、22…閘極
- 3、23…第1保護絕緣膜
- 4、24…下部電極
- 5、25…容量膜
- 6、26…上部電極
- 7、28…第2保護絕緣膜
- 8、9、12、29、30、31…接觸(連接)孔
- 10、11、27…氮障壁層
- 13、32…配線層

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 四、中文發明摘要(發明之名稱：半導體記憶裝置及其製造方法)

本發明具有：覆蓋於由源極領域、汲極領域以及閘極所形成之電晶體，經積體化的半導體基板上的整面之第1保護絕緣膜(3)；形成在該第1保護絕緣膜(3)上的下部電極(4)與由絕緣性金屬氧化物所成之容量膜(5)與由上部電極(6)所形成之資料記憶用容量元件；覆蓋第1保護絕緣膜(3)及容量素子的整面之第2保護絕緣膜(7)；設在連通形成在第2保護絕緣膜(7)之上部電極(6)與下部電極(4)上之接觸孔(8、9)之表面，與上部電極(6)及下部電極(4)之露出面的全面之氫障

(接下頁)

## 英文發明摘要(發明之名稱：SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME)

A semiconductor memory device which comprises a first protective insulation film 3 covering the whole surface of a semiconductor substrate having a transistor composed of a source region, a drain region and a gate integrated thereon, a capacitive element for data storage composed of a lower electrode 4, a capacitive film 5 of an insulating metal oxide and an upper electrode 6 formed on the first protective insulation film 3, a second protective insulation film 7 covering the whole surface of first protective insulation film 3 and the capacitive elements, a hydrogen barrier layer 10, 11 formed to cover the whole surfaces of contact holes 8, 9 formed through the second protective insulation film 7 penetrating respectively to the upper electrode 6 and the lower electrode 4 and the exposed surfaces of upper electrode 6 and lower electrode 4, a contact hole 12 formed through the first protective insulation film 3 and the second protective insulation film 7 penetrating to the transistor, and an interconnection layer 13 which electrically connects the capacitive element and the transistor. In the memory device, the catalytic reaction against hydrogen, which takes place at the surfaces of upper electrode and the lower electrode during resist removal with oxygen plasma, can be suppressed. Thus, a semiconductor memory device containing capacitive elements of high reliability is presented.

四、中文發明摘要(發明之名稱: )

(承上頁)

壁層(10、11);形成在第1保護絕緣膜(3)及第2保護絕緣膜(7)的電晶體的接觸孔(12);以及將容量元件及電晶體以電氣性作連接的配線層(13),其以氧電漿去除抗蝕體之時,對於在上部電極以及下部電極表面之氫氧所發生的觸媒反應能予作控制。因此,就能獲得具有高信賴度的容量元件的半導體記憶裝置。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱: )

## 六、申請專利範圍

1. 一種半導體記憶裝置，其構成特徵在於具有：

半導體基板，係由源極領域，汲極領域以及閘極所成之電晶體予以積體化；

第1保護絕緣膜，係覆蓋該半導體基板上之整面；

資料記憶用容量元件，係由形成在前述第1保護絕緣膜上之下部電極，由絕緣性金屬氧化物所形成之容量膜，以及由上部電極所構成；

第2保護絕緣膜，係覆蓋前述第1保護絕緣膜以及前述容量元件；

氮障壁層，係形成在前述第2保護絕緣膜，且形成在可連通前述上部電極及前述下部電極之接觸孔的表面，以及在前述上部電極與前述下部電極之露出面之整面；及

配線層，係形成在前述第1保護絕緣膜及前述第2保護絕緣膜，且使設置在可連通前述電晶體之接觸孔的前述容量元件，與前述電晶體作電氣性連接。

2. 如申請專利範圍第1項之半導體記憶裝置，其中：

前述氮障壁層對於氮乃無觸媒反應性且由導電性之材料所構成。

3. 如申請專利範圍第1或2項之半導體記憶裝置，其中：

前述氮障壁層係氮化鈦、氮化鉭、氧化鉭、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

氧化鈦以及氧化銻之任一種，或該等之積層膜。

4. 如申請專利範圍第1項之半導體記憶裝置，其中：

構成前述容量膜之絕緣性金屬氧化物，係具有鈹層狀鈣礦構造之強誘電體、鈦酸鋯酸鉛、鈦酸鋇銀或5氧化鉭之任一種。

5. 如申請專利範圍第1項之半導體記憶裝置，其中：

前述上部電極與前述下部電極，係白金、鈦、鈦、鈦之任一種，或該等之積層膜。

6. 一種半導體記憶裝置之製造方法，其步驟特徵在於包含有：

第1保護絕緣膜形成工程，係覆蓋由源極領域、汲極領域及閘極所形成之電晶體經予積體化的半導體基板上之整面；

資料記憶用容量元件形成工程，係形成在前述第1保護絕緣膜上，而由下部電極與由絕緣性金屬氧化物所成之容量膜及上部電極所形成；

第2保護絕緣膜形成工程，係覆蓋前述第1保護絕緣膜及前述容量元件之整面；

屏罩圖案形成工程，係在前述第2保護絕緣膜形成抗蝕體，並在前述抗蝕體形成於前述上部電極及前述下部電極之接觸孔之用的屏罩圖案；

接觸(連接)孔形成工程，係利用屏罩圖案將前述第2保護絕緣膜作蝕刻，並形成可連通前述上部電極及前述下部電極之接觸孔；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

熱處理工程，係利用氧氣電漿去除前述抗蝕體，而後施予熱處理；

氮障壁層形成工程，係於形成在可通到前述上部電極之接觸孔的表面，及可通到前述下部電極之接觸孔的表面，與前述上部電極及前述下部電極之露出面的整面形成氮障壁層；

屏罩圖案形成工程，係在前述第2保護絕緣膜及前述氮障壁層上形成抗蝕體，並在前述抗蝕體形成可通到前述電晶體之接觸孔之用的屏罩圖案；

接觸孔形成工程，係利用前述屏罩圖案將前述第1保護絕緣膜及前述第2保護絕緣膜作蝕刻，並形成可通到前述電晶體之接觸孔；

抗蝕體去除工程，係利用氧電漿去除前述抗蝕體；及

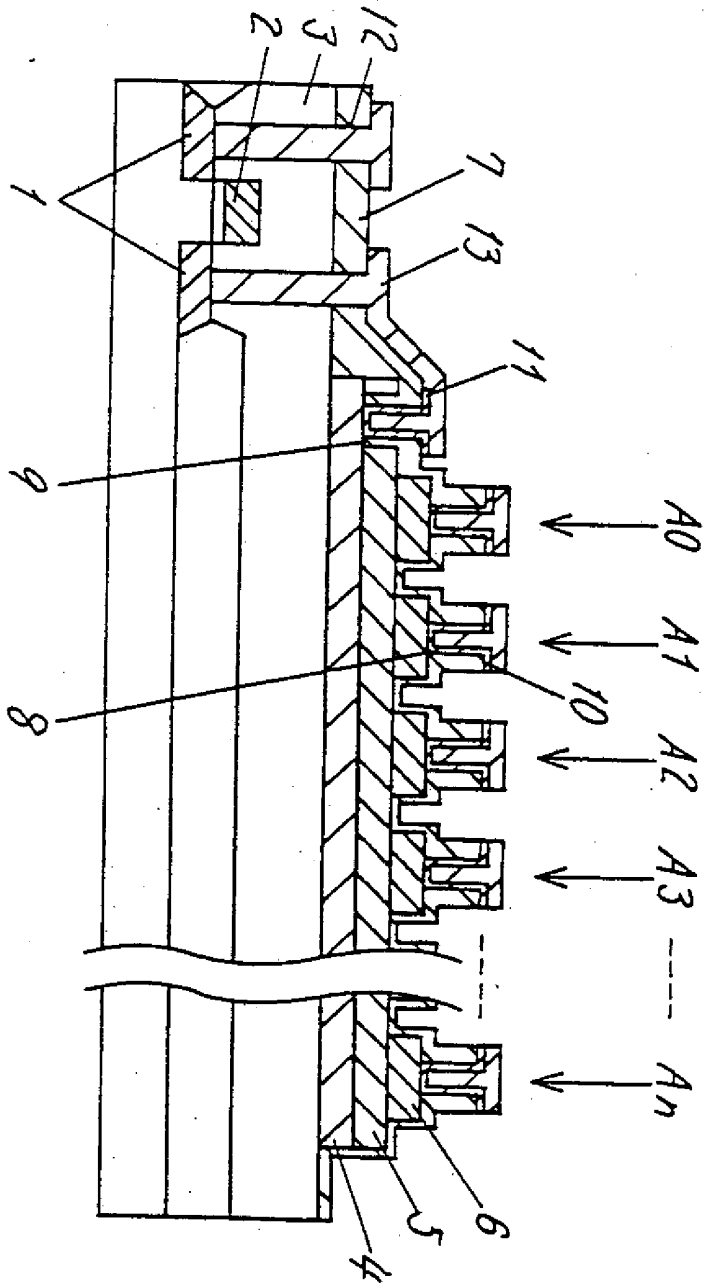
配線層形成工程，係將前述容量元件與前述電晶體作電氣性連接。

7. 如申請專利範圍第6項之半導體記憶裝置的製造方法，其中：

前述熱處理係於含有氧之環境中，以 $600^{\circ}\text{C} \sim 850^{\circ}\text{C}$ 之溫度範圍進行。

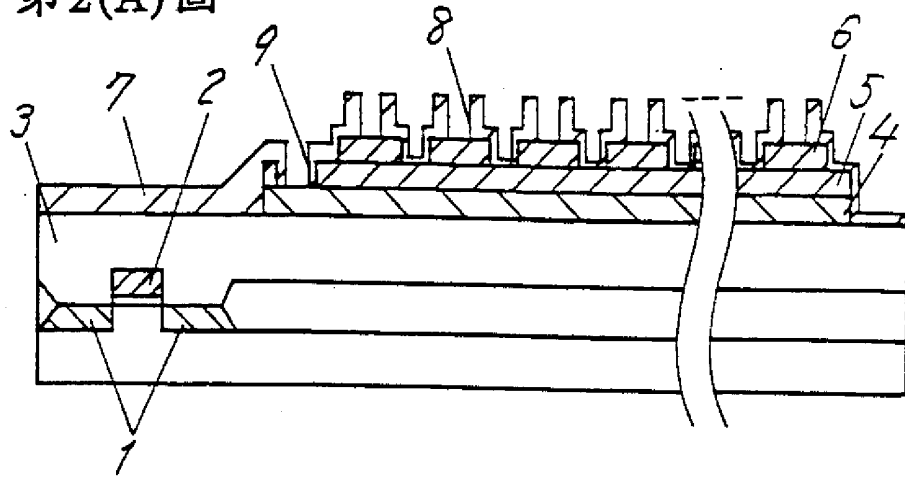
(請先閱讀背面之注意事項再填寫本頁)

訂  
線

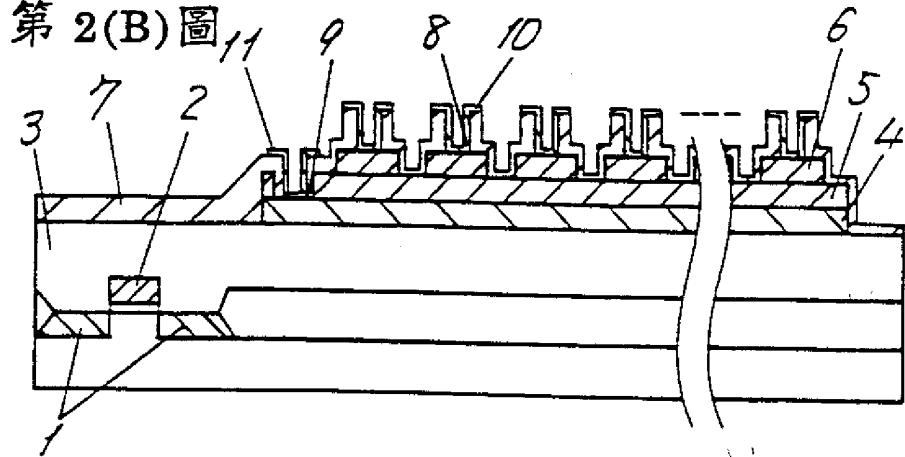


第 1 圖

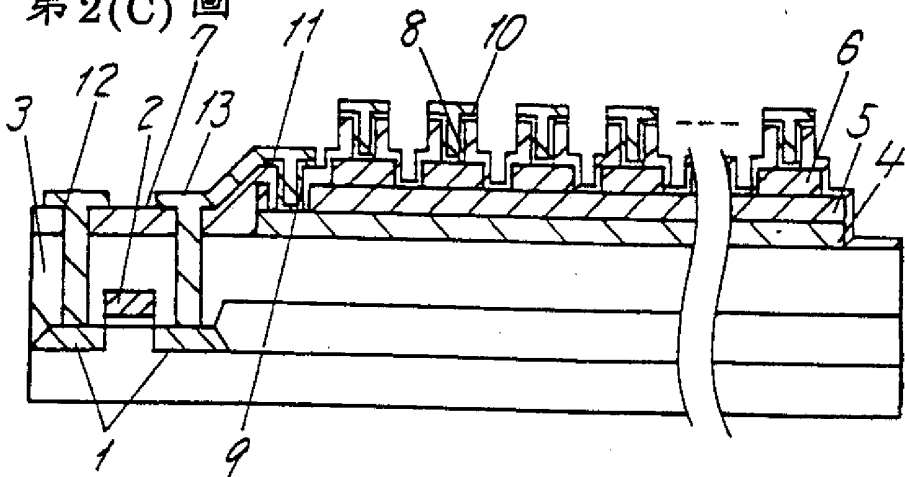
第2(A)圖

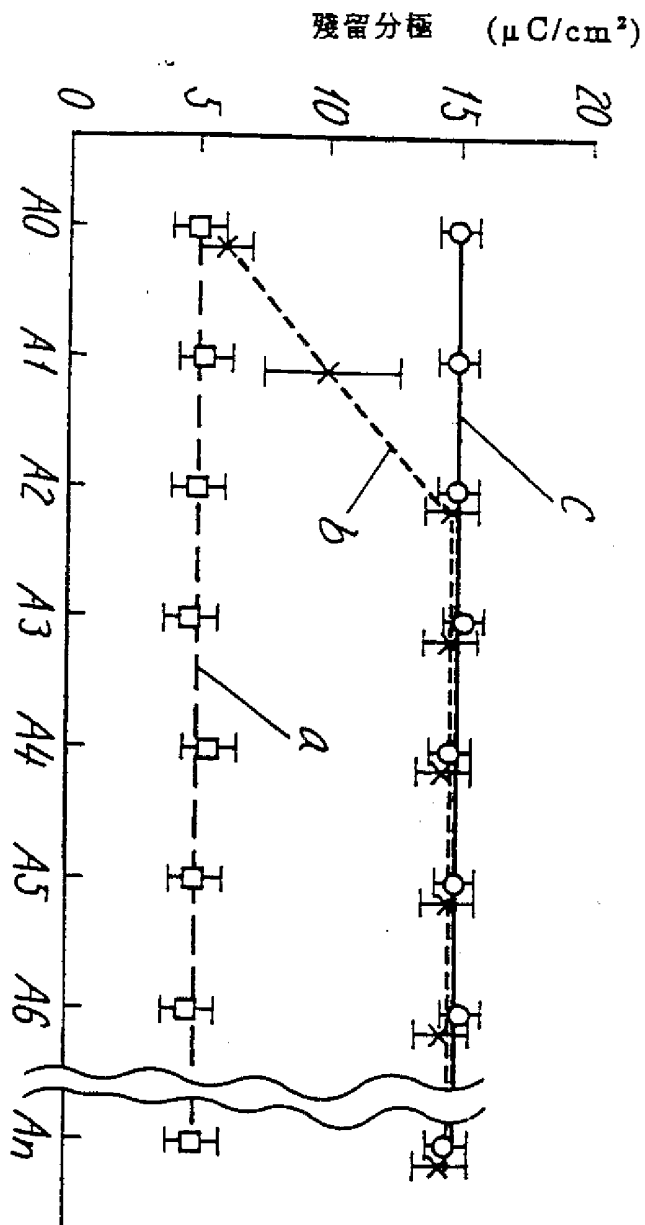


第2(B)圖



第2(C)圖

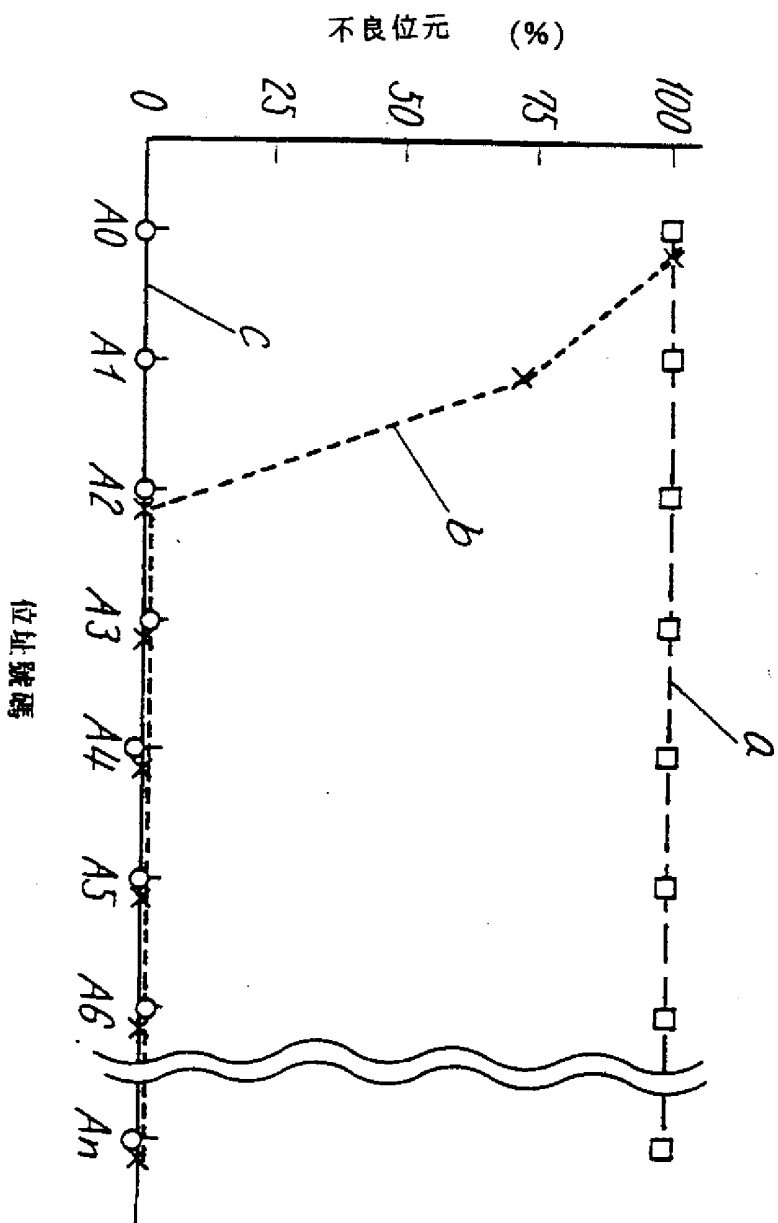




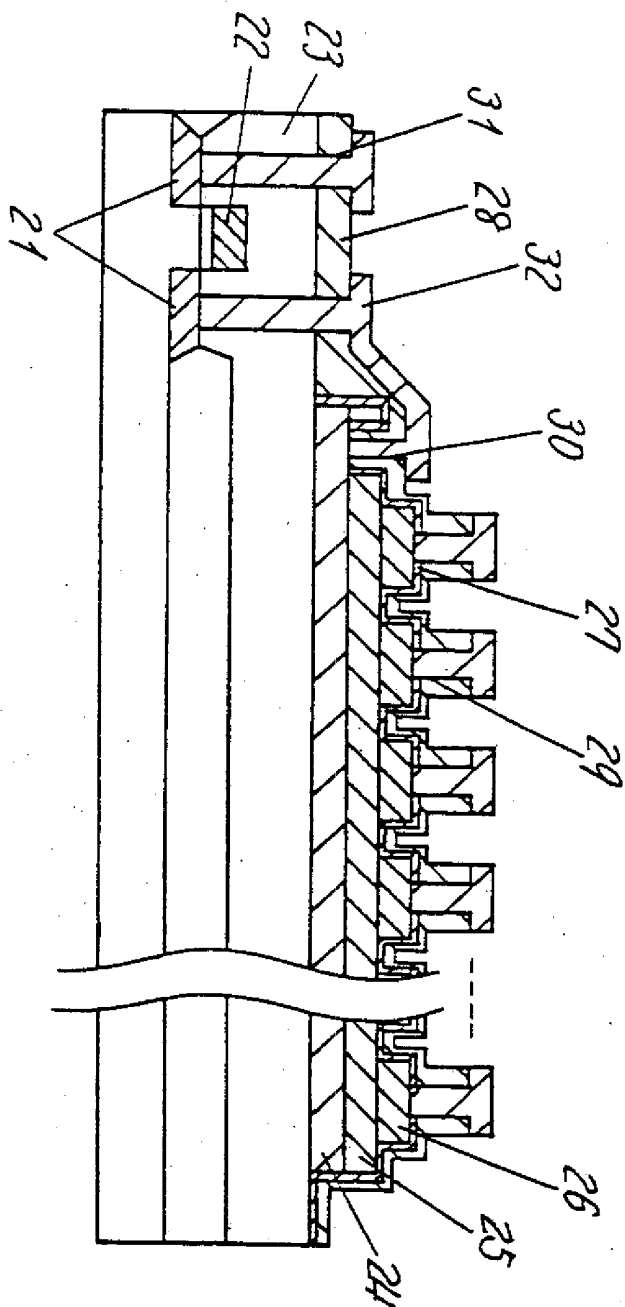
第 3 圖

(An: 由下電極接觸孔所計算出之位元位址)

第 4 圖

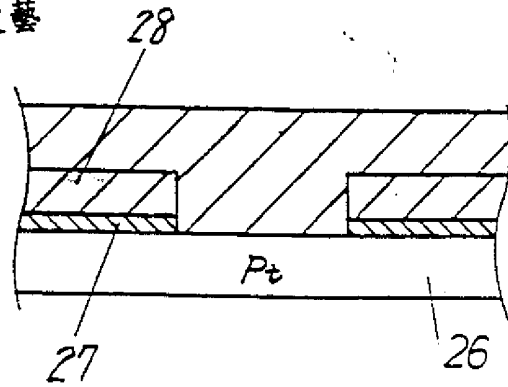


(An: 由下電極接觸孔所計算出之位元位址)

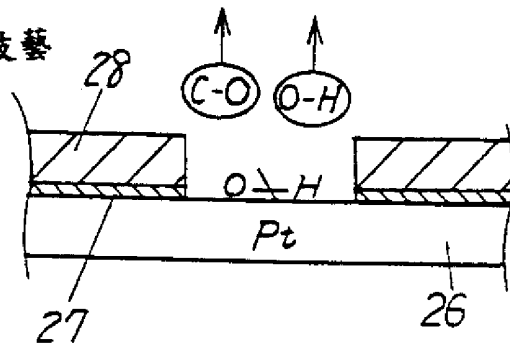


第 5 圖 習知技藝

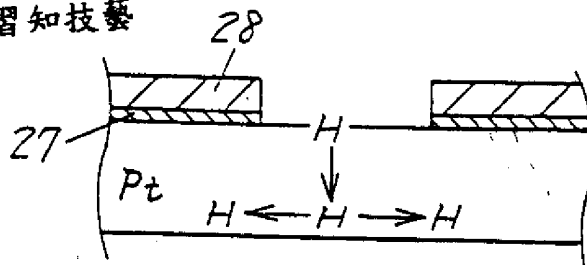
第6(A)圖 習知技藝



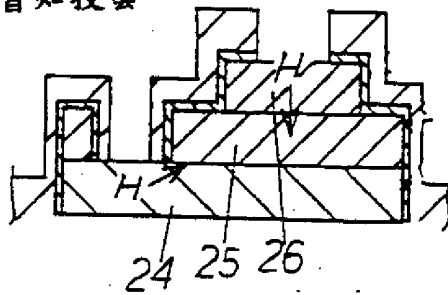
第6(B)圖 習知技藝



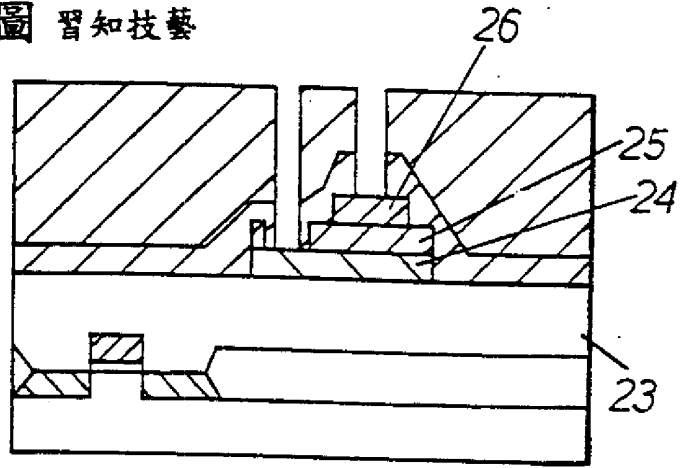
第6(C)圖 習知技藝



第6(D)圖 習知技藝



第7(A)圖 習知技藝



第7(B)圖 習知技藝

