

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5171934号
(P5171934)

(45) 発行日 平成25年3月27日(2013.3.27)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.	F 1
HO3F 1/34 (2006.01)	HO3F 1/34
HO3F 1/26 (2006.01)	HO3F 1/26
HO3F 1/30 (2006.01)	HO3F 1/30 A
G11C 11/417 (2006.01)	G11C 11/34 305
	HO3F 1/30 Z

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2010-501287 (P2010-501287)
(86) (22) 出願日	平成20年3月31日 (2008.3.31)
(65) 公表番号	特表2010-524304 (P2010-524304A)
(43) 公表日	平成22年7月15日 (2010.7.15)
(86) 国際出願番号	PCT/US2008/058937
(87) 国際公開番号	W02008/121979
(87) 国際公開日	平成20年10月9日 (2008.10.9)
審査請求日	平成23年2月28日 (2011.2.28)
(31) 優先権主張番号	11/695,015
(32) 優先日	平成19年3月31日 (2007.3.31)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	11/695,017
(32) 優先日	平成19年3月31日 (2007.3.31)
(33) 優先権主張国	米国(US)

(73) 特許権者	507318624 サンディスク スリーディー, エルエルシ ー
	アメリカ合衆国、95035、カリフォル ニア州、ミルピタス、マッカシー ブルバ ード 601
(74) 代理人	100075144 弁理士 井ノ口 寿
(72) 発明者	ファゾーリ, ルカ ジー. アメリカ合衆国、95131、カリフォル ニア州、サンノゼ、アルティッシュモ プレ イス 1229

最終頁に続く

(54) 【発明の名称】空間分布增幅回路

(57) 【特許請求の範囲】

【請求項 1】

回路であって、
増幅器制御ノードと、
増幅器出力ノードと、

複数の第1の空間分布最終增幅段であって、各々が増幅器制御ノードに結合されたそれぞれの入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第1の回路構成を備える複数の第1の空間分布最終增幅段と、

複数の第2の空間分布最終增幅段であって、各々が増幅器制御ノードに結合されたそれぞれの入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第1の回路構成とは異なる第2の回路構成を備える複数の第2の空間分布最終增幅段と、

第1の操作モードにおいて増幅器制御ノード上に第1の信号を生成するために、および第2の操作モードにおいて増幅器制御ノード上に第2の信号を生成するために、増幅器出力ノードに応答する第1のフィードバック手段と、

第1の操作モードにおいて複数の第1の最終增幅段をイネーブルし、第2の操作モードにおいて複数の第2の最終增幅段をイネーブルするための手段と、
を備える回路。

【請求項 2】

請求項1記載の回路において、
前記第1のフィードバック手段は、

10

20

第1の操作モードにおいてイネーブルされた場合、増幅器制御ノード上に第1の信号を生成するための第1の前置増幅器回路と、

第2の操作モードにおいてイネーブルされた場合、増幅器制御ノード上に第2の信号を生成するための第2の前置増幅器回路と、

を備える回路。

【請求項3】

請求項1～2のいずれか記載の回路において、

アレイ線を含む第1のメモリアレイをさらに備え、

複数の第1および第2の最終増幅段は、第1のメモリアレイにわたって空間分布され、

増幅器出力ノードは、第1の操作モードにおいて第1のメモリアレイ内のあるアレイ線に第1の電圧を供給し、第2の操作モードにおいて第1のメモリアレイ内のあるアレイ線に第2の電圧を供給するために結合される回路。10

【請求項4】

請求項3記載の回路において、

アレイ線を備える第2のメモリアレイと、

第2の増幅器制御ノードと、

第2の増幅器出力ノードと、

複数の第3の空間分布最終増幅段であって、各々が第2の増幅器制御ノードに結合されたそれぞれの入力を有し、第2の増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第1の回路構成を備える複数の第3の空間分布最終増幅段と、20

複数の第4の空間分布最終増幅段であって、各々が第2の増幅器制御ノードに結合されたそれぞれの入力を有し、第2の増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第2の回路構成を備える複数の第4の空間分布最終増幅段と、

第2のメモリアレイのための第1の操作モードにおいて第2の増幅器制御ノード上に第1の信号を生成するために、および第2のメモリアレイのための第2の操作モードにおいて第2の増幅器制御ノード上に第2の信号を生成するために、第2の増幅器出力ノードに応答する第2のフィードバック手段と、

第2のメモリアレイのための第1の操作モードにおいて複数の第3の最終増幅段をイネーブルし、第2のメモリアレイのための第2の操作モードにおいて複数の第4の最終増幅段をイネーブルするための手段と、をさらに備え、30

複数の第3および第4の最終増幅段は、第2のメモリアレイにわたって空間分布され、

第2の増幅器出力ノードは、第2のメモリアレイのための第1の操作モードにおいて第2のメモリアレイ内のあるアレイ線に第1の電圧を供給し、第2のメモリアレイのための第2の操作モードにおいて第2のメモリアレイ内のあるアレイ線に第2の電圧を供給するために結合され、

同時に、第1のメモリアレイは第1および第2の操作モードのうちの一方のためにイネーブルされ、第2のメモリアレイは第1および第2の操作モードのうちの他方のためにイネーブルされる回路。

【請求項5】

請求項4記載の回路において、

前記第1および第2のフィードバック手段は、40

第1および第2の増幅器出力ノードのうちの一方に選択的に結合された第1の入力を有し、第1および第2の増幅器制御ノードのうちの一方の上に、第1の操作モードのための第1の信号を生成するために、第1および第2の増幅器制御ノードのうちの一方に選択的に結合された出力を有する第1の前置増幅器回路と、

第1および第2の増幅器出力ノードのうちの一方に選択的に結合された第1の入力を有し、第1および第2の増幅器制御ノードのうちの他方の上に、第2の操作モードのための第2の信号を生成するために、第1および第2の増幅器制御ノードのうちの一方に選択的に結合された出力を有する第2の前置増幅器回路と、

をともに備える回路。50

【請求項 6】

請求項 3 ~ 5 のいずれか記載の回路において、

第 1 のメモリアレイは、基板上に形成された 3 次元メモリアレイを備え、

複数の第 1 および第 2 の最終增幅段は、第 1 のメモリアレイの下に配置される回路。

【請求項 7】

請求項 1 ~ 6 のいずれか記載の回路において、

複数の第 1 の最終增幅段の各々は、それぞれ、

増幅器制御ノードに応答するソースフォロワ素子と、

第 1 のイネーブル信号に応答するスイッチ素子と、を備え、

前記ソースフォロワ素子および前記スイッチ素子は、関連付けられた電圧供給ノード 10 と増幅器出力ノードとの間で直列に結合され、

複数の第 2 の最終增幅段の各々は、それぞれ、

増幅器制御ノードに応答する共通ゲート素子と、

第 2 のイネーブル信号に応答するスイッチ素子と、を備え、

前記共通ゲート素子および前記スイッチ素子は、関連付けられた電圧供給ノードと増幅器出力ノードとの間で直列に結合される回路。

【請求項 8】

請求項 1 ~ 6 のいずれか記載の回路において、

複数の第 1 および第 2 の最終增幅段の各々は、それぞれ、

増幅器制御ノードに結合された制御端末を有し、増幅器出力ノードに結合された第 1 20 の電流処理端末を有し、第 1 の内部ノードに結合された第 2 の電流処理端末を有する第 1 のトランジスタと、

関連付けられたイネーブル信号ノードに結合された制御端末を有し、第 1 の内部ノードに結合された第 1 の電流処理端末を有し、関連付けられた電圧供給ノードに結合された第 2 の電流処理端末を有する第 2 のトランジスタと、を備え、

複数の第 1 の最終增幅段の第 1 および第 2 のトランジスタのうちの 1 つは、複数の第 2 の最終增幅段の対応する第 1 または第 2 のトランジスタの導電型とは反対の導電型を備え、

複数の第 1 の最終增幅段と関連付けられた電圧供給ノードは、複数の第 2 の最終增幅段と関連付けられた電圧供給ノードと同一である回路。 30

【請求項 9】

方法であって、

第 1 の操作モードにおいて、各々が増幅器制御ノードに応答し、かつ増幅器出力ノードを駆動するために結合された、第 1 の回路構成を有する複数の第 1 の空間分布最終增幅段をイネーブルするステップと、

第 2 の操作モードにおいて、各々が増幅器制御ノードに応答し、かつ増幅器出力ノードを駆動するために結合された、第 1 の回路構成とは異なる第 2 の回路構成を有する複数の第 2 の空間分布最終增幅段をイネーブルするステップと、

増幅器出力ノードに応答して、第 1 の操作モードにおいて増幅器制御ノードを増幅器出力ノード上に第 1 の電圧を生成するための適切な電圧に駆動し、第 2 の操作モードにおいて増幅器制御ノードを増幅器出力ノード上に第 2 の電圧を生成するための適切な電圧に駆動するステップと、 40

を含む方法。

【請求項 10】

請求項 9 記載の方法において、

第 1 の操作モードにおいて、増幅器出力ノードに応答して増幅器制御ノード上に第 1 の信号を生成するために、第 1 の前置増幅器回路をイネーブルするステップと、

第 2 の操作モードにおいて、増幅器出力ノードに応答して増幅器制御ノード上に第 2 の信号を生成するために、第 2 の前置増幅器回路をイネーブルするステップと、

をさらに含む方法。 50

【請求項 1 1】

請求項 1 0 記載の方法において、

複数の第 1 および第 2 の最終増幅段は、アレイ線を有する第 1 のメモリアレイにわたって空間分布され、前記方法は、

第 1 の操作モードにおいて増幅器出力ノードを第 1 のメモリアレイ内のあるアレイ線に結合して第 1 の電圧をアレイ線上に供給し、第 2 の操作モードにおいて増幅器出力ノードを第 1 のメモリアレイ内のあるアレイ線に結合して第 2 の電圧をアレイ線上に供給するステップをさらに含む方法。

【請求項 1 2】

請求項 1 1 記載の方法において、

10

第 2 のメモリアレイのための第 1 の操作モードにおいて、各々が第 1 の回路構成を有し、第 2 の増幅器制御ノードに応答し、かつ第 2 の増幅器出力ノードを駆動するために結合された、第 2 のメモリアレイにわたって分布された複数の第 3 の空間分布最終増幅段をイネーブルするステップと、

第 2 のメモリアレイのための第 2 の操作モードにおいて、各々が第 2 の回路構成を有し、第 2 の増幅器制御ノードに応答し、かつ第 2 の増幅器出力ノードを駆動するために結合された、第 2 のメモリアレイにわたって分布された複数の第 4 の空間分布最終増幅段をイネーブルするステップと、

第 2 のメモリアレイのための第 1 の操作モードにおいて第 2 の増幅器制御ノードを第 2 の増幅器出力ノード上に第 1 の電圧を生成するための適切な電圧に駆動し、第 2 のメモリアレイのための第 2 の操作モードにおいて第 2 の増幅器制御ノードを第 2 の増幅器出力ノード上に第 2 の電圧を生成するための適切な電圧に駆動するステップと、

20

第 2 のメモリアレイのための第 1 の操作モードにおいて第 2 の増幅器出力ノードを第 2 のメモリアレイ内のあるアレイ線に結合して第 1 の電圧をアレイ線上に供給し、第 2 のメモリアレイのための第 2 の操作モードにおいて第 2 の増幅器出力ノードを第 2 のメモリアレイ内のあるアレイ線に結合して第 2 の電圧をアレイ線上に供給するステップと、

第 1 および第 2 の操作モードのうちの一方のための第 1 のメモリアレイをイネーブルし、第 1 および第 2 の操作モードの他方のための第 2 のメモリアレイを同時にイネーブルするステップと、

をさらに含む方法。

30

【請求項 1 3】

請求項 1 2 記載の方法において、

第 1 の前置増幅器回路の第 1 の入力を第 1 および第 2 の増幅器出力ノードのうちの一方に結合し、第 1 の前置増幅器回路の出力を第 1 および第 2 の増幅器制御ノードのうちの一方に結合し、第 1 の操作モードのための第 1 の信号を増幅器制御ノード上に生成するステップと、

第 2 の前置増幅器回路の第 1 の入力を第 1 および第 2 の増幅器出力ノードの他方に結合し、第 2 の前置増幅器回路の出力を第 1 および第 2 の増幅器制御ノードの他方に結合し、第 2 の操作モードのための第 2 の信号を増幅器制御ノード上に生成するステップと、

をさらに含む方法。

40

【請求項 1 4】

請求項 1 1 ~ 1 3 のいずれか記載の方法において、

第 1 のメモリアレイは、基板上に形成された 3 次元メモリアレイを含み、

複数の第 1 および第 2 の最終増幅段は、第 1 のメモリアレイの下に配置される方法。

【請求項 1 5】

回路であって、

アレイ線を含む第 1 のメモリアレイと、

増幅器制御ノードと、

増幅器出力ノードと、

複数の第 1 の空間分布最終増幅段であって、各々が増幅器制御ノードに結合されたそれ

50

その入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第1の回路構成を備える複数の第1の空間分布最終増幅段と、

複数の第2の空間分布最終増幅段であって、各々が増幅器制御ノードに結合されたそれぞれの入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第1の回路構成とは異なる第2の回路構成を備える複数の第2の空間分布最終増幅段と、

第1の操作モードにおいて複数の第1の最終増幅段をイネーブルし、第2の操作モードにおいて複数の第2の最終増幅段をイネーブルするための手段と、を備え、

複数の第1および第2の最終増幅段は、第1のメモリアレイにわたって空間分布され、増幅器出力ノードは、第1の操作モードにおいて第1のメモリアレイ内のあるアレイ線に第1の電圧を供給し、第2の操作モードにおいて第1のメモリアレイ内のあるアレイ線に第2の電圧を供給するために結合される回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路に関し、特に、分布並行増幅段を有する増幅回路に関する。

【背景技術】

【0002】

増幅回路は、1つのみのトランジスタの代わりに、多数の並行トランジスタで実装された増幅段を含むことがある。例えば、精密差動増幅回路は、第1の増幅段にトランジスタの差動対を含み得る。この差動対を形成する2つのトランジスタの各々は、並行に接続された多数（例えば、4、8または16）の個別のトランジスタとして実際に実装され得る。しかし、第1の差動対トランジスタおよび第2の差動対トランジスタの両方の個別のトランジスタは、二次元アレイ内で互いに空間的に混合される。この方法では、半導体素子にわたって要因の勾配に起因するトランジスタ特性の差が、相殺するとともに、差動増幅器のより低いオフセット電圧をもたらす傾向がある。そのような勾配として、ドーピング密度、温度、電界または磁界、可動性、しきい値電圧などのばらつきが挙げられ得る。点在した物理的配列が、増幅器のオフセットに対するそのような勾配の影響を低減する（またはさらに相殺する）ことで有用であるとしても、増幅回路内にそのような多数の素子は、通常、高密度局部領域内に実装されて、領域にわたる勾配によって引き起こされる任意の要因の差の大きさを最小化する。

【0003】

他の増幅器では、そのような多数の並行段は、回路の大きな領域にわたって空間分布され得る。例えば、増幅器は、集積回路の大領域を横断する出力ノードに高電流を供給するように構成され得るが、そのような出力電流は、出力ノードに沿った任意の位置で局部的に持ち込まれ得る。そのような場合、広い領域にわたって最終増幅段（またはドライバ段）を分布することによって、実出力電流負荷により近接して多くの最終段が設置される。これにより、配線抵抗に対する出力ノード感度、ノイズカップリングおよび他の影響を低減することができる。

【0004】

図1を参照すると、増幅回路100が、メモリアレイ104の全体にわたって分布された増幅器出力ノード102上に出力信号を生成する。2つの増幅器が示され、一方が図の下にあり、他方が図の上にある。第1の増幅器は、複数の空間分布出力ドライバNMOSトランジスタ116、117、118を含み、各々は、電源ノード（例えば、本願明細書ではVDDノードとして示されている）に結合されたドレイン端子と、CTR_LA制御ノード114に結合されたゲート端子と、増幅器出力ノード102に結合されたソース端子と、を含む。この増幅器が、ノード112上を伝達されるENABLE_A信号（つまり、「イネーブル112」信号とも称される）によってイネーブルされる場合、増幅器出力ノード102は、ノード113上を伝達される参照電圧VREF_Aと比較され、したがって、CTR_LA信号114が生成される。分布NMOSドライバトランジスタ116、117、118は、増幅器出力ノード102の電圧がCTR_LA電圧より低いソ-

10

20

30

40

50

スフォロワ構成である。

【0005】

第2の増幅器は、複数の空間分布出力ドライバPMOSトランジスタ126、127、128を含み、各々は、電源ノードに結合されたドレイン端子と、CTRL_B制御ノード124に結合されたゲート端子と、増幅器出力ノード102に結合されたソース端子と、を含む。この増幅器が、ノード122上を伝達されるENABLE_B信号（つまり、「イネーブル122」信号とも称される）によってイネーブルされる場合、増幅器出力ノード102は、ノード123上を伝達される参照電圧VREF_Bと比較され、したがって、ノード124上を伝達されるCTRL_B信号が生成される。分布PMOSドライバトランジスタ126、127、128は、増幅器出力ノード102電圧がCTRL_B電圧より高い共通ゲート増幅構成である。10

【0006】

多くの集積回路は、特に、高温操作がそのような配線層の堆積後に必要ならば、相互接続配線のためにタングステンメタライゼーションを利用する。そのようなタングステン相互接続線は、アルミニウムまたは銅がドープされたアルミニウム（例えば、0.04オーム/）よりはるかに高い抵抗（例えば、1.3オーム/）を有する。ある3Dメモリアーキテクチャは、多数のメモリ面の各々上面にメモリセルを形成するのに必要な高温に起因して、メモリアレイの下に出力分布のためのタングステンを使用することを必要とし得る。さらに、ダイオードベースのメモリアレイが、選択されたアレイブロックにおける未選択ワード線電圧および未選択ビット線電圧を制御することを必要とし得る。未選択ダイオードの逆電流により、実質的な電流が、未選択ワード線および未選択ビット線の電圧を制御しながら未選択メモリセルを流れ得る。この電流は、非常に小さな領域に集中する可能性があるが、電流フローの特定の領域が、アレイ内のいかなる場所にも（つまり、広範囲の領域にわたって）生じる可能性がある。20

【0007】

分布ドライバ（つまり、より一般に「最終増幅段」）を有する増幅器を使用することは、電流負荷の位置（つまり選択されたアレイブロックの位置）から多少独立して非常に低い出力抵抗をもたらすことができるので、これらの問題を軽減する。異なる電圧レベルが読み出しありまたは書き込みに必要ならば、2つの異なる増幅器が、同じ出力ノードを共有して利用され得るが、各々は、アレイの全体にわたって分布された多数のドライバを有する（つまり、前述した例の場合、一方は読み出し用であり、もう一方は書き込み用である）。そのような各増幅器は、感知制御ノードをそのドライバのグループを駆動するために必要とする。メモリアレイがより高密度になるとともに、各制御ノードをルートすることはより困難になる。これは、ルートする自由が制限される3次元メモリアレイにおいて特に当てはまることがある。30

【先行技術文献】

【特許文献】

【0008】

【特許文献1】米国特許第7,054,219号

【特許文献2】米国特許第6,856,572号

【特許文献3】米国特許第6,859,410号

【特許文献4】米国特許第7,142,471号

【特許文献5】米国特許第6,879,505号

【特許文献6】米国特許第7,272,052号

【特許文献7】米国特許第7,286,439号

【特許文献8】米国特許第6,034,882号

【特許文献9】米国特許第6,420,215号

【特許文献10】米国特許第6,525,953号

【特許文献11】米国特許第6,952,043号

【特許文献12】米国特許第6,545,898号

40

50

【特許文献 13】米国特許第 6,891,748 号

【特許文献 14】米国特許第 6,952,030 号

【特許文献 15】米国公開特許出願第 2007-0090425 号

【特許文献 16】米国公開特許出願第 2007-0236981 号

【特許文献 17】米国公開特許出願第 2005-0158950 号

【特許文献 18】米国公開特許出願第 2007-0072360 号

【特許文献 19】米国公開特許出願第 2006-0250836 号

【特許文献 20】米国公開特許出願第 2006-0250837 号

【非特許文献】

【0009】

10

【非特許文献 1】Pirovano et al., "Electronic Switching in Phase-Change Memories," IEEE Transactions on Electronic Devices, Vol. 51, No. 3, March 2003

【非特許文献 2】Baek et al., "Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application," IEEE International Electron Devices Meeting, 2005

【非特許文献 3】Baek et al., "Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses," IEEE International Electron Devices Meeting, 2004

【非特許文献 4】Hwang et al., "Writing Current Reduction for High-Density Phase-Change RAM", IEEE International Electron Devices Meeting, 2003

20

【発明の概要】

【0010】

一般に、各々が複数の空間分布最終增幅段を備える 2 つの增幅回路は、異なる增幅構成のための增幅器の最終段の同じ制御ノードを共有し得る。增幅回路の各々は他方がディスエーブルされる時に一般にイネーブルされ、かつ両方の增幅回路が同じ増幅器出力ノードを共有し得る。そのようなものとして、1 つのクリティカルアナログノードのみが、メモリアレイなどの集積回路の領域の全体にわたってルートされなければならない。

【0011】

メモリアレイで適用される本発明のある実施形態において、メモリセルの一方のグループは書き込みのためにイネーブルされ、他方のグループは読み出しのためにイネーブルされ、それによって、記録時再生アーキテクチャを提供する。例えば、第 1 のメモリプロック、メモリアレイ、メモリコアまたはメモリセルの第 1 の物理的グループ化（本願明細書では一般的にメモリアレイと称する）は書き込みのためにイネーブルされ、対応する書き込み増幅器はイネーブルされてメモリセルの第 1 の物理的グループ化のために共通増幅器出力線上に書き込み電圧を供給する一方で、メモリセルの第 2 の物理的グループ化は読み出しのためにイネーブルされ、対応する読み出し増幅器はイネーブルされてメモリセルの第 2 の物理的グループ化のために共通増幅器出力線上に読み出し電圧を供給し得る。メモリセルの第 1 および第 2 の物理的グループ化の各々内で、対応する増幅器は、共通の感知制御ノードを共有し得る。

30

【0012】

40

1 つの態様では、本発明は、例示的な実施形態において、増幅器制御ノードおよび増幅器出力ノードを含む回路を提供する。例示的な回路は、さらに、複数の第 1 の空間分布最終增幅段を備え、各々が増幅器制御ノードに結合されたそれぞれの入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ第 1 の回路構成を備える。例示的な回路は、さらに、複数の第 2 の空間分布最終增幅段を備え、各々が増幅器制御ノードに結合されたそれぞれの入力を有し、増幅器出力ノードに結合されたそれぞれの出力を有し、かつ、第 1 の回路構成と異なる第 2 の回路構成を備える。

【0013】

他の態様では、本発明は、例示的な実施形態において、第 1 の操作モードにおいて、各々が増幅器制御ノードに応答し、かつ増幅器出力ノードを駆動するために結合された、第

50

1の回路構成を有する複数の第1の空間分布最終增幅段をイネーブルするステップを含む方法を提供する。例示的な方法は、さらに、第2の操作モードにおいて、各々が増幅器制御ノードに応答し、かつ増幅器出力ノードを駆動するために結合された、第1の回路構成と異なる第2の回路構成を有する複数の第2の空間分布最終增幅段をイネーブルするステップを含む。例示的な方法は、さらに、第1の操作モードにおいて増幅器制御ノードを増幅器出力ノード上に第1の電圧を生成するのに適切な電圧に駆動し、第2の操作モードにおいて増幅器制御ノードを増幅器出力ノード上に第2の電圧を生成するのに適切な電圧に駆動するステップを含む。

【0014】

いくつかの態様における本発明は、メモリアレイを有する集積回路を含む集積回路内の実装、そのような回路を操作するための方法、そのような回路を組み込むシステム、およびそのような回路のコンピュータ読み取り可能なメディアエンコーディングに特に適切であり、そのすべてが本願明細書により詳細に記載され、添付の特許請求の範囲でも説明されている。種々の様々なそのような集積回路は、基板上に形成された3次元メモリアレイを有するものを含めて、特に考慮される。

10

【0015】

本発明は、ある抵抗受動素子メモリセルを組み込むものなどのある消去可能なメモリアレイ技術と共に使用された場合、特に有用である。そのようなセルは、プログラムし、消去する場合、高い漏洩電流を有する傾向があり、したがって、メモリアレイ、特に、3次元メモリアレイは、必要とされるプログラム電圧および消去電圧で、大きな空間的に局在した電流を必要とする。

20

【0016】

前述した説明は概要であって、したがって必要に応じて詳細の単純化、一般化、および省略を包含する。したがって、当業者は、前述した概要が単に例示的であること、および本発明をいかなる方法でも限定するようには意図されていないことを認識すべきである。さらに、本願明細書に記載されている発明の態様は、単独でまたは組み合わせて使用されることが考慮される。本発明の他の態様、発明の特徴および利点は、もっぱら特許請求の範囲によって規定され、以下に記載される詳細な説明から明らかになり得る。

【0017】

添付の図面を参照することによって、本発明はよりよく理解され、その多くの目的、特徴および利点が当業者に明らかになる。

30

異なる図面における同じ参照記号の使用は、同様または同一の事項を示す。

【図面の簡単な説明】

【0018】

【図1】先行技術の増幅回路の回路図である。

【図2】本発明のある実施形態による増幅回路の回路図である。

【図3】本発明のある実施形態による他の増幅回路の回路図である。

【図4】本発明のある実施形態による増幅回路のブロック図である。

【図5】本発明のある実施形態によるメモリアレイ全体にわたって配置された空間分布最終增幅段を有する増幅回路のブロック図である。

40

【図6】本発明のある実施形態による他の増幅回路のブロック図である。

【図7】本発明のある実施形態で有用なメモリアレイのブロック図である。

【図8】本発明のある実施形態で有用な3次元メモリアレイを含む例示的な集積回路を表すブロック図である。

【発明を実施するための形態】

【0019】

以下、図2を参照すると、増幅回路150が、メモリアレイ154の全体にわたって分布された共有増幅器出力ノード152上に出力信号を生成する。2つの増幅器が示され、各々が分布最終增幅段のそれ自身のセットを有するが、両方の増幅器は、同じ増幅器出力ノード152を共有する。第1の増幅器は、それぞれの複数の空間分布最終增幅段186

50

、187、188を含み、各々がイネーブル信号に応答するスイッチ素子（例えば、PMOSトランジスタ166）と直列にソースフォロワ出力ドライバトランジスタ（例えば、NMOSトランジスタ116）とを含む。ソースフォロワトランジスタ116、117、118の各々は、制御ノード162に結合されたそのゲート端子、増幅器出力ノード152に結合されたそのソース端子を有する。この増幅器がイネーブルされる場合、ノード164上を伝達される/*EN_A*イネーブル信号（つまり、*Enable A*「bar」または*complement*）は活性であり（例えば、この場合ローであり）、PMOSスイッチ素子166、167、168の各々をオンに転換し、それによって、最終増幅段186、187、188の各々をイネーブルする。さらに、ノード112上を伝達される*EN_A*信号は活性であり、差動増幅回路110（本願明細書では「前置増幅器」回路または「コンパレータ」回路と称することもある）をイネーブルする。増幅器出力ノード152は、ノード113上をマルチプレクサ158を介して増幅器入力ノード160上に伝達される参照電圧*VREF_A*と比較され、したがって、ノード162上を伝達される共有制御ノード信号が生成される。分布NMOSドライバトランジスタ116、117、118は、増幅器出力ノード152の電圧が制御ノード162の電圧より低いソースフォロワ構成である（イネーブルされた場合）。

【0020】

第2の増幅器は、それぞれの複数の空間分布最終増幅段196、197、198を含み、各々がイネーブル信号に応答するスイッチ素子（例えば、PMOSトランジスタ176）と直列に共通ゲート出力ドライバトランジスタ（例えば、PMOSトランジスタ126）とを含む。共通ゲートトランジスタ126、127、128の各々は、共有制御ノード162に結合されたそのゲート端子と、増幅器出力ノード152に結合されたそのドレン端子とを含む。この増幅器がイネーブルされる場合、ノード174上を伝達される/*EN_B*イネーブル信号は活性であり（例えば、この場合ローであり）、スイッチ素子176、177、178の各々をオンに転換し、それによって、最終増幅段196、197、198の各々をイネーブルする。さらに、ノード122上を伝達される*EN_B*信号は活性であり、差動増幅回路120をイネーブルする。増幅器出力ノード152は、ノード123上をマルチプレクサ158を介して増幅器入力ノード160上に伝達される参照電圧*VREF_B*と比較され、したがって、共有制御ノード162の信号（例えば、電圧）が生成される。分布PMOSドライバトランジスタ126、127、128は、出力ノード152の電圧が制御ノード162の電圧より高い共通ゲート構成である（イネーブルされた場合）。

【0021】

この実施形態では、「A」増幅器のための最終増幅段186、187、188は、ノード180上を伝達される電源電圧*SUPPLY_A*に結合される一方で、「B」増幅器のための最終増幅段196、197、198は、ノード182上を伝達される別個の電源電圧*SUPPLY_B*に結合されている。他の実施形態では、以下に記載される実施形態に示すように、2つ（または2つ以上）の増幅器のための最終増幅段は、同じ電源ノードに結合されていてもよい。

【0022】

この実施形態では、2つの参照電圧*VREF_A*および*VREF_B*のうちの1つは、マルチプレクサ158によって選択され、両方の増幅器のための共通入力ノードに伝達される。他の実施形態では、各参照電圧は、その対応する増幅器に直接結合されていてもよい。さらに他の実施形態では、单一参照発生器回路（図示せず）が、ノード160などの共通増幅器入力ノードに結合された单一*VREF*出力を有していてもよく、*VREF*出力の電圧は、2つの増幅器のどちらがイネーブルされるかに応じて変化される（例えば、図4に示すように）。

【0023】

例示的な使用法では、ソースフォロワ最終段を有するA増幅器が読み出しモードの間に使用されて、メモリアレイ内のあるアレイ線に出力ノード152上の適切な電圧を供給し

10

20

30

40

50

得る。例えば、そのような読み出しモード電圧は、メモリアレイ内の1つ以上のメモリブロック内の未選択ワード線に伝達され得る。共通ゲート最終段を有するB増幅器は、書き込みモードの間に使用されて、メモリアレイ内のあるアレイ線に出力ノード152上の適切な電圧を供給し得る。例えば、そのような書き込みモード電圧が、メモリアレイ内の1つ以上のメモリブロック内の未選択ワード線に伝達され得る。共通ゲート構成は、そのような制御された書き込みモード電圧がソースフォロワ構成を使用する場合より高くなることを可能とするが、ソースフォロワ構成は、そのような読み出しモード電圧が、より大きな安定性およびより良好な一時応答で生成されることを可能にする。

【0024】

両方の増幅器のための最終段は、メモリアレイ全体にわたって分布されている（図には3つのそのような最終段のみが示されている）。両方の増幅器は、制御ノード162を共有し、それは感知アナログノードであり、したがって、単一のアナログノードのみがメモリアレイ全体にわたって分布されている。1つの増幅器と他の増幅器との間の切り替えは、1セットの最終増幅段をイネーブルし（例えば、1セットの段によって導電性パスをイネーブルし）、増幅器のための電気回路の残り（例えば、差動増幅回路110または120）をイネーブルすることによってなされる。

10

【0025】

複数の最終増幅段の各々は、共通制御ノードに結合された入力と、増幅器出力ノードに結合された出力とを有するとして見られ得る。例えば、トランジスタ116のゲート端子は、最終増幅段186の入力として見られ得る。さらに、複数の最終増幅段の各々は、対応するイネーブル信号に結合されたイネーブル入力を有するとして見られ得る。例えば、トランジスタ166のゲート端子は、最終増幅段186のイネーブル入力として見られ、それは/EN_A信号に結合されている。他の構成において、最終段入力端子およびイネーブル入力端子は、トランジスタのゲート端子以外であってもよい。

20

【0026】

図3を参照すると、増幅回路200が示され、読み出しのためにイネーブルされる1つのメモリアレイに読み出しモード電圧を供給し、同時に、書き込みのためにイネーブルされる他のメモリアレイに書き込みモード電圧を供給する。すでに述べたように、所定のメモリアレイ内で、共通制御ノードは、そのメモリアレイ内の読み出し増幅器および書き込み増幅器によって共有され、メモリアレイ外のいくつかの論理スイッチの状態を変更することによって、所定のアレイのための増幅器出力ノード上に生成された電圧は、読み出しモードレベルまたは書き込みモードレベルにされ得る。

30

【0027】

メモリコアのうちの1つ（つまり、メモリアレイ0）は、154と示され、図3では、両方の増幅器のための分布最終増幅段が、同じ電源ノード202を共有するとして示されているという点を除いて、図2に示されるものに一般に一致する。さらに、ソースフォロワ最終増幅段は、ノード252上を伝達される/EN_RD_0イネーブル信号によってイネーブルされ、共通ゲート最終増幅段は、ノード254上を伝達される/EN_WR_0イネーブル信号によってイネーブルされる。共通制御ノードは256と示され、共通増幅器出力ノードは258と示される。

40

【0028】

第2のメモリコア（つまり、メモリアレイ1）は、204と示され、その構造は、メモリコア154と同一である。このアレイでは、ソースフォロワ最終増幅段は、ノード253上を伝達されるEN_RD_1#信号によってイネーブルされ、共通ゲート最終増幅段は、ノード255上を伝達されるEN_WR_1#信号によってイネーブルされる。共通制御ノードは257と示され、共通増幅器出力ノードは259と示される。

【0029】

单一の書き込み増幅器コンパレータ230（つまり、差動増幅器）が使用されて、書き込みのためにイネーブルされるメモリアレイのための共通制御ノード上に適切なレベルを供給する。例えば、メモリアレイ154が書き込みのためにイネーブルされるならば、増

50

幅器出力ノード 258 は、コンパレータ 230 の非反転入力ノード 235 にスイッチ 234 を介して結合され、非反転入力ノード 235 の出力は、共通制御ノード 256 にスイッチ 238 を介して結合される。スイッチ 232 および 240 は、オフのままである。したがって、ノード 231 上を伝達される書き込み参照電圧 VREF_WR は、増幅器出力ノード 258 に対して比較され、したがって、共通制御ノード 256 上に電圧が生成される。

【0030】

または、メモリアレイ 204 が書き込みのためにイネーブルされるならば、増幅器出力ノード 259 は、コンパレータ 230 の非反転入力ノード 235 にスイッチ 232 を介して結合され、非反転入力ノード 235 の出力は、共通制御ノード 257 にスイッチ 248 を介して結合される。スイッチ 234 および 238 は、オフのままである。したがって、ノード 231 上を伝達される書き込み参照電圧 VREF_WR は、増幅器出力ノード 259 に対して比較され、したがって、共通制御ノード 257 上に電圧が生成される。

【0031】

同様な方法で、単一の読み出し増幅器コンパレータ 240 が使用されて、読み出しのためにイネーブルされるメモリアレイのための共通制御ノード上に適切なレベルを供給する。例えば、メモリアレイ 154 が読み出しがためにイネーブルされるならば、増幅器出力ノード 258 は、コンパレータ 240 の反転入力ノード 245 にスイッチ 242 を介して結合され、反転入力ノード 245 の出力は、共通制御ノード 256 にスイッチ 240 を介して結合される。スイッチ 244 および 250 は、オフのままである。したがって、ノード 241 上を伝達される読み出し参照電圧 VREF_RD は、増幅器出力ノード 258 に対して比較され、したがって、共通制御ノード 256 上に電圧が生成される。

【0032】

または、メモリアレイ 204 が読み出しがためにイネーブルされるならば、増幅器出力ノード 259 は、コンパレータ 240 の反転入力ノード 245 にスイッチ 244 を介して結合され、反転入力ノード 245 の出力は、共通制御ノード 257 にスイッチ 250 を介して結合される。スイッチ 242 および 248 は、オフのままである。したがって、ノード 241 上を伝達される読み出し参照電圧 VREF_RD は、増幅器出力ノード 259 に対して比較され、したがって、共通制御ノード 257 上に電圧が生成される。

【0033】

書き込みコンパレータ 230 は、ノード 233 上を伝達される EN_WR 信号によってイネーブルされ、読み出しコンパレータ 240 は、ノード 243 上を伝達される EN_RD 信号によってイネーブルされる。4つの制御信号 EN_RD_0、EN_RD_1、EN_WR_0、および EN_WR_1 が使用されて、各操作モードのための読み出しあり書き込みコンパレータの入出力を結合する様々なスイッチを制御する。そのようなスイッチは、フル CMOS 移送ゲート（相補的イネーブル信号を使用する）、部分的移送ゲートなどを含めて、様々な方法で実装されてもよい。

【0034】

各メモリアレイ内の分布最終増幅段は、単一メモリアレイのために実装された類似回路と同一であり得ることを認識するべきである。これは、実際のメモリコア（つまり、アレイ）およびその中の分布増幅段に対する最小の変更またはさらなる複雑性で実装され得る「デュアルコア」アーキテクチャを提供する。さらに、1つのアレイ内の VOUT 電圧は、単一アレイの場合と同じである。これは、読み出し電圧および書き込み電圧の両方が両方のコアに同時に分布されるものなどの他のデュアルコアパワースキームにおける改良である。さらに、この実施形態は、単一の読み出し増幅器（例えば、コンパレータ 240）および単一の書き込み増幅器（例えば、コンパレータ 230）のみを使用して、他のメモリコアを書き込みながら1つのメモリコアを読み出すことを提供する。これも、各コアにつき2つの増幅器（読み出し + 書き込み）、合計4つの増幅器があり得る他の考えられるデュアルコアパワースキームにおける改良である。

他の実施形態では、両方のコアを同時に読み出すことができるよう、2つ以上の読み

10

20

30

40

50

出し増幅器が設けられてもよい。同様に、両方のコアを同時に書き込むことができるよう に、2つ以上の書き込み増幅器が設けられてもよい。

【0035】

ここで図4を参照すると、増幅回路300が示され、本発明のある実施形態の一般化として見られ得る。この増幅回路300は、メモリアレイ301全体にわたって分布され得る共有された増幅器出力ノード306上に出力信号を生成する。分布最終増幅段の2つのグループが示されている。第1のグループは、空間分布最終増幅段321、323、および325を含み、各々がノード311上を伝達されるENABLE_A信号に応答する。第2のグループは、空間分布最終増幅段320、322、および324を含み、各々がノード312上を伝達されるENABLE_B信号に応答する。第1のグループの最終増幅段は、第2のグループの最終増幅段に対して構成が異なる。

【0036】

この実施形態では、参照電圧発生器302が、ENABLE_A信号またはENABLE_B信号のいずれかによってイネーブルされて、増幅器入力ノードに結合されたノード303上に单一VREF出力を生成する。VREF出力の電圧の大きさは、2つの増幅器モードのどちらがイネーブルされるかに依存する。フィードバック回路304は、ENABLE_A信号またはENABLE_B信号のいずれかによってイネーブルされる場合、参照電圧VREFに対して増幅器出力ノード306の電圧を比較し、したがって、増幅器出力ノード306の電圧を、VREF303の電圧を一致させるように駆動するのに十分な共有された制御ノード305の電圧を生成する。そのようなフィードバック回路は、1つ以上の差動増幅器、コンパレータ、前置増幅器、スイッチ、および/または制御ノードが増幅器出力ノード電圧および参照電圧に応答して駆動されるようにする他の要素を含んでいてもよい。「A」増幅器のための分布最終増幅段321、323、325、および「B」増幅器のための分布最終増幅段320、322、324は、1つ以上の他の信号ノード310（例えば、電源電圧、バイアス電圧など）に結合されている。

【0037】

ここで図5を参照すると、増幅回路350が示され、半導体基板上に形成されたアレイなどの3次元（3D）メモリアレイの下に配置された空間分布最終増幅段（例えば、段358）を含む。フィードバック回路354が設けられ、増幅器出力ノード356の電圧を参照電圧VREFと比較し、制御ノード355を適切に駆動する。さらに、空間分布最終増幅段の単一のグループが表され、それらは、すべて図に示されていない1つ以上の制御信号によって同時にイネーブルまたはディスエーブルされる。既に述べたように、最終増幅段の各々は、メモリアレイ全体にわたって分布された共有された増幅器出力ノード356に結合され、図5では、3つのメモリアレイブロック360、362、および364を含むように描かれている。ある実施形態では、メモリアレイは、（例えば、半導体基板上に形成された）3次元メモリアレイであり、空間分布最終増幅段は、（例えば、半導体基板内に一般に形成された）メモリアレイの下に配置されている。

【0038】

ここで図6を参照すると、増幅回路400が示され、分布最終増幅段の3つ以上のグループを利用する。この増幅回路400は、集積回路の全体にわたってまたはその一部に分布された共有された増幅器出力ノード406上に出力信号を生成する。分布最終増幅段401の多数のグループ（例えば、3、4、または「n」グループまで）が示されている。第1のグループは、空間分布最終増幅段420・424を含み、各々がノード411上を伝達されるENABLE_1信号に応答する。第2のグループは、空間分布最終増幅段421・425を含み、各々がノード412上を伝達されるENABLE_2信号に応答する。「第nの」グループは、空間分布最終増幅段422・426を含み、各々がノード413上を伝達されるENABLE_n信号に応答する。各グループの最終増幅段は、他のグループの最終増幅段とは構成が異なるのが好ましい。さらに、最終増幅段は、ノード410上を伝達される、電源ノード、内部生成された電圧供給ノード、バイアス電圧ノード、参照電圧ノードなどの1つ以上の他の増幅器入力に結合されている。

【0039】

この実施形態では、参照電圧が、フィードバック回路404にノード403上を伝達される。このフィードバック回路404は、様々なイネーブル信号の各々に結合され、所定の増幅構成のためにイネーブルされる場合、参照電圧VREFに対して増幅器出力ノード406の電圧を比較し、したがって、ノード405上を伝達される共有制御ノード信号を生成する。各個別のイネーブル信号411、412、413は、分布最終増幅段の構成に適切であるとともに、所望の増幅器出力406の電圧に適切である制御ノード405上に電圧を生成するように、特定の増幅器モードに適切なさらなる参照電圧を生成するステップ、および様々な内部モードをその中の様々な内部回路の入力または出力のいずれかに結合するステップを含めて、フィードバック回路404の適切な構成変化に影響し得る。 10

【0040】

ここで図7を参照すると、例示的なメモリアレイ650が描かれている。この図は、セグメント化されたワード線配列を有する3次元メモリアレイの一部を表す立体図である。各ワード線は、メモリアレイの少なくとも1つ、有利には2つ以上のワード線層上の、1つ以上のワード線セグメントによって形成されている。例えば、第1のワード線が、メモリアレイの1つのワード線層に配置されたワード線セグメント660と、他のワード線層に配置されたワード線セグメント662によって形成される。ワード線セグメント660、662は、垂直の接続部658によって接続されて、第1のワード線を形成する。垂直の接続部658は、また、(例えば、半導体基板内の)他の層に配置されることが好ましいワード線ドライバ素子632、634に接続パスを与える。グローバル行デコーダ(図示せず)からのグローバル行選択線SELの出力606は、デコードされたソース選択バス線SELN626に素子634を介してワード線セグメント660、662を結合するときもあり、他のときには、ワード線セグメント660、662を、デコードされた逆ソース選択バス線SELP616に素子632を介して結合する。ワード線セグメント661、663も示され、垂直の接続部659によって接続されて、第2のワード線を形成するとともに、ワード線ドライバ回路642、644に接続パスを与え、ワード線ドライバ回路642、644は、第2の行選択SEL出力608に結合されている。 20

【0041】

図8は、2つのメモリアレイ718、720を含む例示的な回路700のブロック図である。デュアル行デコーダ702、704は、アレイのための行選択線を生成し、行選択線の各々は、メモリアレイ718、720にわたって横断する。この実施形態では、ワード線ドライバ回路(図示せず)は、メモリアレイの下に空間分布され、個別のメモリアレイブロック(それらのうちの2つは、706、708と示されている)の交互の、垂直の接続部(それらのうちの1つは710と示されている)によってワード線に接続する。回路700は、さらに、4つの列デコーダ、ビット線、回路の上、上中間、下中間、下にそれぞれI/O回路ブロック712、714、715、716を備える。さらなるアレイが組み込まれてもよい。各メモリアレイブロック内のビット線は、列関連回路のピッチ要件を緩和するためにインターリーブされて2:1であってもよい。例として、ビット線722は、上列回路ブロック712に関連付けられ(つまり、駆動および感知される)る一方で、ビット線724は、上中間列回路ブロック714と関連付けられる。 40

【0042】

例示的な実施形態では、メモリ回路700は、4つのメモリ面の各々上に形成された受動素子メモリセルの3次元メモリアレイを含む。そのようなメモリセルは、トリマブル抵抗素子を組み込むことが好ましく、さらに、アンチヒューズを含んでいてもよい。各論理ワード線は、4つのワード線層の各々(各々がそれぞれのメモリ面と関連付けられる)上のワード線セグメントに接続されている。

【0043】

例示的なメモリ回路700のアレイ718、720の各々は、ブロック708などの多くのブロックに分割されてもよい。選択されたメモリアレイブロックでは、「N」個のソース選択バス線SELN(または、逆ソース選択バス線SELP)のうちの1つは、 50

デコードされ、行バイアス回路（図示せず）によって活性バイアス条件に駆動され、残りのN-1個のバス線XSELN（「バイアス線」とも称する）は、非活性条件（つまり、未選択ワード線に適切な電圧）に駆動される。したがって、単一の選択されたRSEL線は、選択されたメモリブロックにおいて1つのワード線を活性に駆動し、選択されたブロックのN-1個のワード線を未選択バイアスレベルに駆動するのが好ましい。他の選択されていないメモリブロックでは、ソースおよび逆ソース選択バスの個別のバス線のいずれも、活性に駆動されず、その結果、ワード線は、活性RSEL線によって選択されない。前述した様々な実施形態で表された増幅器出力ノードは、メモリアレイ全体にわたって分布され、そのような行バイアス回路に結合されて、例えば、メモリアレイ内の選択または未選択ワード線上に、または他の実施形態では、メモリアレイ内の他のアレイ線上に適切な電圧を供給し得る。

10

【0044】

例示的なメモリアレイ、有用なデコード回路、バイアス条件、読み出しモードおよびプログラムモードを含む操作モードなどが、その全体が本願明細書において参照により援用されている、Christopher J. Pettirらによる米国特許第7,054,219号（特許文献1）、Roy E. Scheuerleinらによる米国特許第6,856,572号（特許文献2）、Roy E. Scheuerleinらによる米国特許第6,859,410号（特許文献3）、Luca G. Fasoliらによる米国特許第7,142,471号（特許文献4）、Roy E. Scheuerleinらによる米国特許第6,879,505号（特許文献5）、Roy E. Scheuerleinらによる「Decoding Circuit for Non-Binary Groups of Memory Line Drivers」という米国公開特許出願第2006-0221702号（米国特許第7,272,052号）（特許文献6）、およびLuca G. Fasoliらによる「Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders」という米国特許出願公開第2006-0146639号（米国特許第7,286,439号）（特許文献7）にさらに記載されている。

20

【0045】

半導体基板上に製作されたモノリシックな3次元メモリアレイ用などの、基板以外の層上にアレイが製作されるあるメモリ技術について、前述したある回路は、メモリアレイの他に領域を必要とするのではなくメモリサブアレイの下に実装されてもよい。半導体基板上に製作され得る例示的なモノリシックな3次元メモリアレイは、Johnsonらの米国特許第6,034,882号（特許文献8）、N. Johan Knallらの米国特許第6,420,215号（特許文献9）、Johnsonらの米国特許第6,525,953号（特許文献10）、Vyvodaらの米国特許第6,952,043号（特許文献11）、Scheuerleinらの米国特許第6,545,898号（特許文献12）に記載され、その全体が本願明細書において参照により援用されている。

30

【0046】

本願明細書で用いられているように、3次元メモリアレイを有する集積回路は、2つ以上のモノリシックな集積回路のアセンブリというよりはむしろ、モノリシックな集積回路であると考えられる。本発明の方法および装置は、また、例えば3次元不揮発性フィールドプログラム可能なメモリアレイ（追記型メモリアレイおよび書き換え可能なメモリアレイの両方）などのモノリシックな3次元メモリにおいて有利に使用され得る。さらに、本発明の方法および装置は、また、2次元アレイを含む集積回路、および他の多くの非メモリ集積回路において有利に使用され得る。

40

【0047】

多くのタイプのメモリセルを逆バイアスを使用してプログラムすることができる。そのようなセルは、金属酸化物（例えば、遷移金属酸化物）およびダイオードを有する受動素子セルを含む。他の適切なセルとして、ダイオード選択素子によって、低R状態と高R状態との間でプログラムされる抵抗材料を有するものが挙げられる。例として、プログラム可能なメタライゼーション接続、GST材料などの相変化抵抗器、有機材料可変抵抗器、複合金属酸化物、炭素ポリマーフィルム、カーボンナノチューブ抵抗器、ドープされた力

50

ルコゲナイトガラス、および抵抗を変化させるための移動性原子を含むショットキーバリヤダイオードが挙げられる。選択された抵抗材料は、一度だけプログラム可能な(OTP)メモリセルまたは複数回書き込み可能なメモリセルをもたらし得る。さらに、逆バイアスストレスによって変更された導電性を有するポリシリコンダイオードを使用することができる。

【0048】

有用な2端末メモリセルの説明が、本願明細書において参照により援用されている次の論文、すなわち(i)Pirovano et al., "Electronic Switching in Phase-Change Memories," IEEE Transactions on Electronic Devices, Vol. 51, No. 3, March 2003(非特許文献1)、(ii)Baek et al., "Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application," IEEE International Electron Devices Meeting, 2005(非特許文献2)、(iii)Baek et al., "Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses," IEEE International Electron Devices Meeting, 2004(非特許文献3)、(iv)Hwang et al., "Writing Current Reduction for High-Density Phase-Change RAM," IEEE International Electron Devices Meeting, 2003(非特許文献4)に記載されている。さらなる詳細も、本願明細書において参照により援用されているTsuchidaの米国特許第6,891,748号(特許文献13)に記載されている。

【0049】

他の有用なメモリセルは、S. Brad Hernerらの「High-Density Three-Dimensional Memory Cell」という米国特許第6,952,030号(特許文献14)、さらには、2005年9月28日に出願されたTanmay Kumarらによる「Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance」という米国特許出願第11/237,167号(米国公開特許出願第2007-0090425号)(特許文献15)に記載されている。適切な金属酸化物メモリセルが、2006年3月31日に出願されたS. Brad Hernerによる「Multilevel Nonvolatile Memory Cell Comprising a Resistivity-Switching Oxide or Nitride and an Antifuse」という米国特許出願第11/394,903号(米国公開特許出願第2007-0236981号)(特許文献16)に示されている。多重抵抗状態をもたらすことができる相変化材料を使用する適切なメモリセルが、Roy E. Scheuerleinらによる「Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series」という米国公開特許出願第2005-0158950号(特許文献17)に示されている。遷移金属酸化物(例えば、コバルトを有するものを含む)を有する他の例示的なメモリセル、およびステアリング素子自体のポリシリコン材料が切り替え可能な抵抗材料を含む例示的なセルが、2006年7月31日に出願されたTanmay Kumar, S. Brad Herner, Roy E. Scheuerlein, Christopher J. Pettitによる「Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance」という米国特許出願第11/496,986号(米国公開特許出願第2007-0072360号)(特許文献18)に記載されている。これらの特許および特許出願における開示はそれぞれ、その全体が本願明細書において参照により援用されている。

【0050】

さらに、2005年5月9日に出願されたS. Brad Hernerらによる「Rewritable Memory Cell Comprising a Diode and a Resistance Switching Material」という米国特許出願第11/125,939号(米国公開特許出願第2006-0250836号)(特許文献19)には、ニッケル酸化物などの酸化物と直列にダイオードを組み込む有用な書き換え可能なメモリセルが開示され、メモリセルの抵抗は、低抵抗状態から高抵抗状態および高抵抗状態から低抵抗状態に繰り返し切り替え得る。2006年3月31日に出願されたS. Brad Hernerらによる「Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material」という米国特許出願第11/395,995号(米国公開特許出願第2006-0250837号)(特許文献20)には、フォワードバイアスを使

10

20

30

40

50

用してセットされ、逆バイアスを使用してリセットされるOTPマルチレベルメモリセルが開示されている。これらの特許出願における開示はそれぞれ、その全体が本願明細書において参照により援用されている。

【0051】

本願明細書で用いられているように、回路の構成は、トポロジと同様にトランジスタ型を考える。例えば、トポロジ的な意味で等しく接続されているが、異なるタイプのトランジスタを使用する2つの回路が、異なる回路構成を有するとして見られる。

本願明細書に記載されているように、ある実施形態が、受動素子メモリアレイを考慮する。いくつかの実施形態では、本願明細書に記載されているように、受動素子メモリアレイは、可変抵抗メモリセルを含む。

10

【0052】

前述したある実施形態は、メモリアレイにわたって空間分布された最終增幅段を表すが、そのようなものは、特許請求の範囲において明示的に記載されない限り必ずしも必要ではない。空間分布最終增幅段を有する他の実施形態が、メモリアレイにわたって空間分布される必要はないが、任意の適切な集積回路にわたってまたはその一部に分布されていてもよい。前置増幅器、コンパレータ、差動増幅器などの記述用語の本願明細書での使用は、その入出力電圧の任意の特定のレベルを意味すると推測されるべきではない。

【0053】

前述したある実施形態は、多くても、空間分布最終增幅段（例えば「A」增幅段または「B」增幅段のいずれか）の单一グループをイネーブルすると見なされ得る。しかし、そのような段は、必ずしも相互に排他的な方法でイネーブルされない。例えば、分布増幅器段の2つのグループは、1つの操作モードのために同時にイネーブルされることができるが、分布増幅器段の1つのグループだけが第2の操作モードのためにイネーブルされることができる。

20

【0054】

本願明細書に記載されているある実施形態は、所定の最終增幅段をイネーブルするためのスイッチ素子を含み、その素子は、そのゲート端子に結合されたイネーブル信号を有する。最終增幅段は、イネーブル信号がそのようなスイッチ素子をオンに転換するために適切な電圧に駆動される場合には、イネーブルされるとして示されている。しかし、他の方法および構成も、最終增幅段をイネーブルするために考慮される。例えば、そのようなスイッチ素子がPMOS素子である必要はない。他の例として、制御素子と直列のスイッチ素子を、本願明細書に記載されているものに対して適切に逆にしてもよい。他の例として、切り替えられた電源を、明示的なスイッチ素子が各最終增幅段内に含まれない状態で使用してもよい。

30

【0055】

本願明細書で使用されている一般的な用語に関して、回路内の様々な信号およびノードを含む回路の操作について記載する場合、いくつかの表現のうちのいずれかを同様に良好に使用し得ることが当業者に認識されるべきである。任意の種類の信号は、ロジック信号またはより一般的なアナログ信号であれ、回路内のノードの電圧レベル（またはいくつかの回路技術に関しては電流レベル）の物理的形態をとる。ワイヤまたはバス上を伝達される信号について考えることは正しい。例えば、「回路10の出力が、VDDに向けてノード11の電圧を駆動し、したがってノード11上を伝達される信号OUTをアサートする」として、特定の回路操作を記載し得る。これは、多少厄介な表現にもかかわらず正確である。したがって、そのような回路操作を、「回路10はノード11をハイに駆動する」と「ノード11は回路10によってハイにもたらされる」、「回路10はOUT信号をハイに引く」と「回路10はOUTをハイに駆動する」として同様に記載することは当該技術分野において周知である。特に、図の回路図が、対応する回路ブロックおよびノード名と様々な信号名とを明白に関連付けているので、回路操作について記載するためのそのような簡略化した表現は、回路操作の詳細を表現するのにより効率的である。便宜上、CLK信号を伝達する他の無名ノードは、CLKノードと称せられ得る。同様に、「

40

50

ハイに引く」、「ハイに駆動する」および「充電する」などの表現は、「ローに引く」、「ローに駆動する」および「放電する」の表現として別段区別されなければ一般に同意語である。これらより簡潔な記述的な表現の使用は、開示の明瞭性および教示を向上すると考えられる。これら表現および他の同様の表現の各々は、共通回路操作について説明するために置き替え可能に使用され、微妙な推論が、この説明内で様々な使用法に読まれるべきではないことが当業者によって認識されるべきである。

【0056】

第1の電流処理端末（または電流搬送端子）と第2の電流処理端末との間の電流のフローを制御する制御端末を有するとして、トランジスタが概念化され得る。制御端末に関する適切な条件は、第1の電流処理端末から／第1の電流処理端末に、および第2の電流処理端末（第1および第2の電流処理端末の代表的な操作電圧用）に／第2の電流処理端末から電流を流す。バイポーラトランジスタでは、第1の電流処理端末はエミッタ、制御端末はベース、第2の電流処理端末はコレクタと考え得る。第1の電流処理端末と第2の電流処理端末との間の電流のフローを制御する制御端末を有するとして、MOS型トランジスタが同様に概念化され得る。ドレイン、ゲートおよびソースを有するとして、MOS型トランジスタはしばしば検討されるが、ほとんどのそのような素子では、ドレインは、ソースと交換可能である。これは、トランジスタのレイアウトおよび半導体処理が対称的（一般に、バイポーラトランジスタの場合には当てはまらない）であるからである。N-チャネルMOS型トランジスタについて、高電圧で通常存在する電流処理端末は、通例ドレインと呼ばれる。低電圧で通常存在する電流処理端末は、通例ソースと呼ばれる。したがって、ゲート上の十分に高い電圧（ソース電圧に対して）は、ドレインからソースに電流を流す（ドレインおよびソースのそれぞれの電圧が異なる条件で）。エンハンスマントモードN-チャネル素子については、（ボディ効果を含む）しきい値電圧より大きい正のゲート-ソース電圧が十分である。N-チャネルMOS素子方程式で称せられるソース電圧は、単に、どちらの電流処理端末が任意の所定の時点で低電圧を有するかに言及する。例えば、双方向CMOS移送ゲートのN-チャネル素子の「ソース」は、移送ゲートのどの側が低電圧にあるかに依存する。ほとんどのN-チャネルMOS型トランジスタのこの対称性を反映すると、制御端末はゲートと考えられ、第1の電流処理端末は「ドレイン／ソース」と称され、第2の電流処理端末は「ソース／ドレイン」と称され得る。そのような記載は、ドレイン電圧とソース電圧との間の極性およびドレインとソースとの間の電流のフローの方向がそのような用語によって意味されないので、P-チャネルMOS型トランジスタに等しく有効である。または、2つが別個ではなく交換可能であるという暗黙の理解で、一方の電流処理端末が任意に「ドレイン」と考えられる一方で、他方は「ソース」と考えられ得る。

【0057】

電源について、回路に電力を供給するために使用される单一の正の電源電圧（例えば、2.5ボルトの電源）が、しばしば「VDD」電源と名づけられる。集積回路では、トランジスタおよび他の回路素子は、VDD端子またはVDDノードに実際に接続され、次いで、VDD電源に操作可能に接続される。「VDDに結合された」または「VDDに接続された」などの表現の口語用法は、「VDDノードに接続された」を意味すると理解され、それは集積回路の使用の間に実際にVDD電源電圧を受けるように一般に操作可能に接続される。

【0058】

そのような单一の電源回路のための参照電圧は、しばしば、「VSS」と呼ばれる。トランジスタおよび他の回路素子は、VSS端子またはVSSノードに実際に接続され、それは集積回路の使用の間にVSS電源に操作可能に接続される。しばしば、VSS端子は、接地参照電位または単に「接地」に接続される。特定のトランジスタまたは回路によって「接地される」ノードについての記載（別段の定義がない限り）は、トランジスタまたは回路によって、「低く引かれる」または「接地に引かれる」ことと同じことを意味する。

10

20

30

40

50

本願明細書のブロック図は、ブロックを接続する単一のノードの用語を用いて記載されてもよい。とはいっても、コンテキストによって必要とされる場合、そのような「ノード」が差分信号を伝えるための1対のノードを実際に表し、またはいくつかの関連付けられた信号を運ぶため、またはデジタルワードを形成する複数の信号を運ぶための複数の別個のワイヤ（たとえば、バス）を表し得ることが認識されるべきである。

【0059】

回路および物理構造が一般に推定される一方で、近代的な半導体設計および製造において、物理構造および回路は、結果としての製造された半導体集積回路におけるのと同様に、続く設計、試験または製造段階で使用するのに適したコンピュータ読み取り可能な記述的な形式で具体化され得ることが十分認識される。したがって、従来の回路または構造に向けられた特許請求の範囲は、その特定の言語と一致して、それが媒体で具体化されるか、または対応する回路および/または構造の製造、試験、もしくは設計変更を可能にする適切な読み出し設備と組み合わされるかにかかわらず、コンピュータ読み取り可能なエンコードおよびその表現上で読み出され得る。本発明は、すべて本願明細書に記載され、添付の特許請求の範囲に規定されているように、回路、関連する方法または動作、そのような回路を製造するための関連する方法、そのような回路および方法のコンピュータ読み取り可能な媒体エンコードを含むように考慮される。本願明細書で用いられているように、コンピュータ読み取り可能な媒体は、少なくともディスク、テープまたは他の磁気的、光学的、半導体（たとえば、フラッシュメモリカード、ROM）、または電子的媒体およびネットワーク媒体、ワイヤ線媒体、ワイヤレス媒体もしくは他の通信媒体を含む。回路のエンコードは、回路概略情報、物理的レイアウト情報、挙動シミュレーション情報、および/または回路がそれによって表現されたり通信されたりし得る他のエンコードを含んでいてもよい。

10

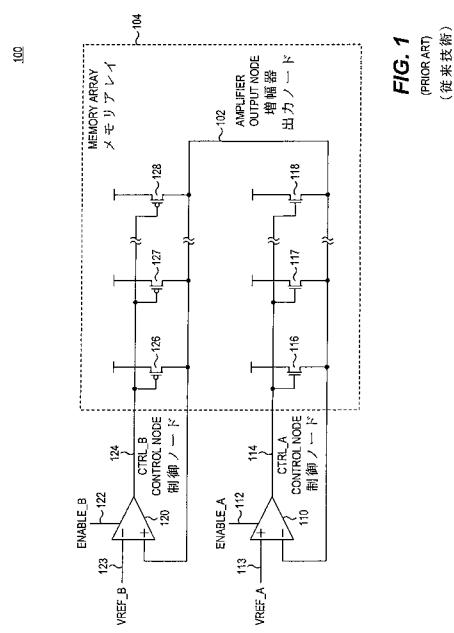
【0060】

前述した詳細な説明は、本発明の多くの可能な実現例のうちのいくつかのみを記載したものである。このため、この詳細な説明は、限定ではなく例示を意図するものである。本願明細書に開示された実施形態の変形および修正は、本発明の範囲および精神から逸脱することなく本願明細書に述べられた記載に基づいてなされ得る。さらに、前述した実施形態は、さまざまな組み合わせでも、単独でも、同様に用いられるように特に考慮される。本発明の範囲を規定するように意図されるのは、すべての等価物を含む添付の特許請求の範囲のみである。したがって、本願明細書に記載されていない他の実施形態、変形、および改善が本発明の範囲から必ずしも排除されるものではない。

20

30

【図1】

FIG. 1
(PRORART
(従来技術)

【図2】

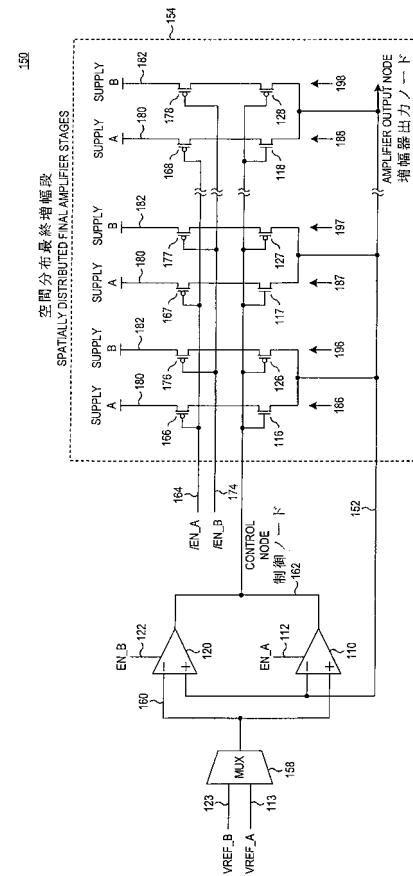
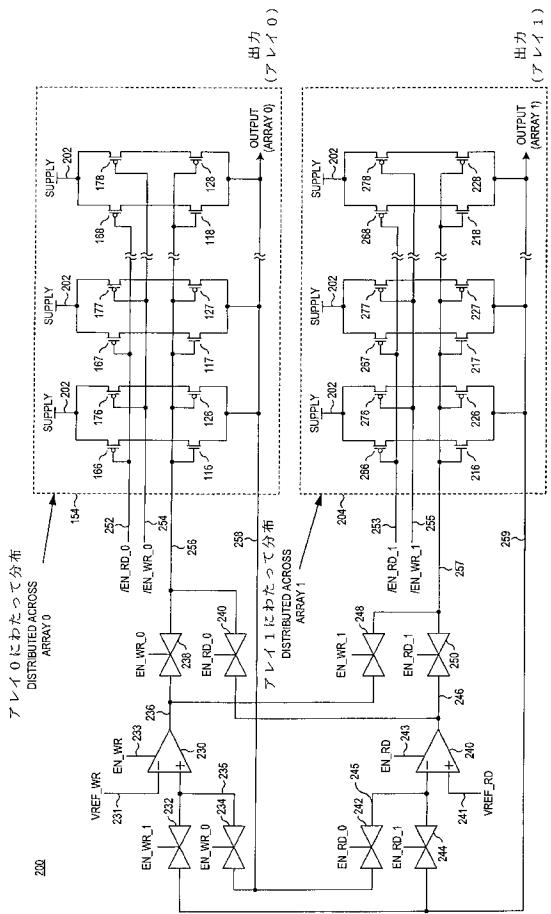


FIG. 2

【図3】



【図4】

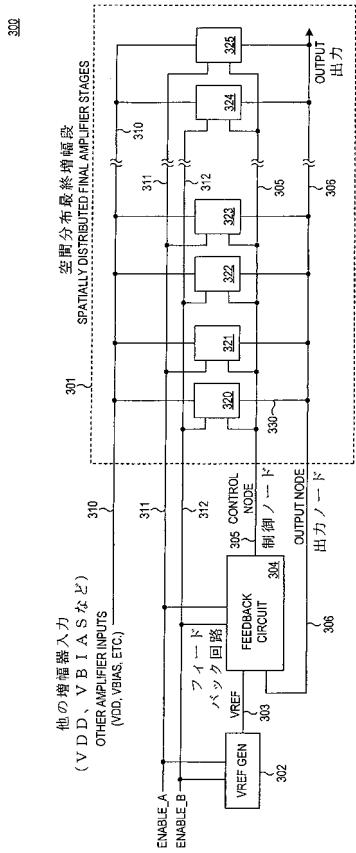
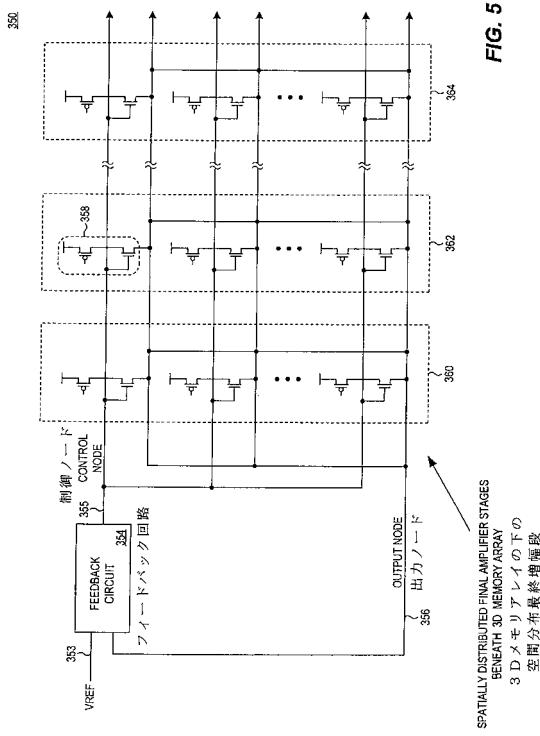


FIG. 4

【 四 5 】



【図6】

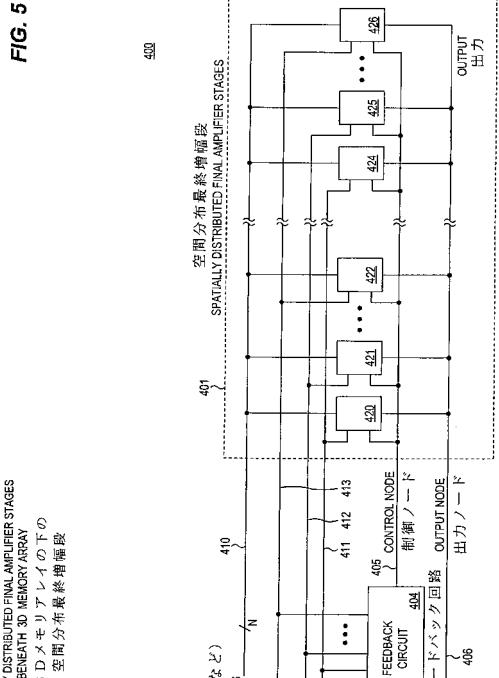
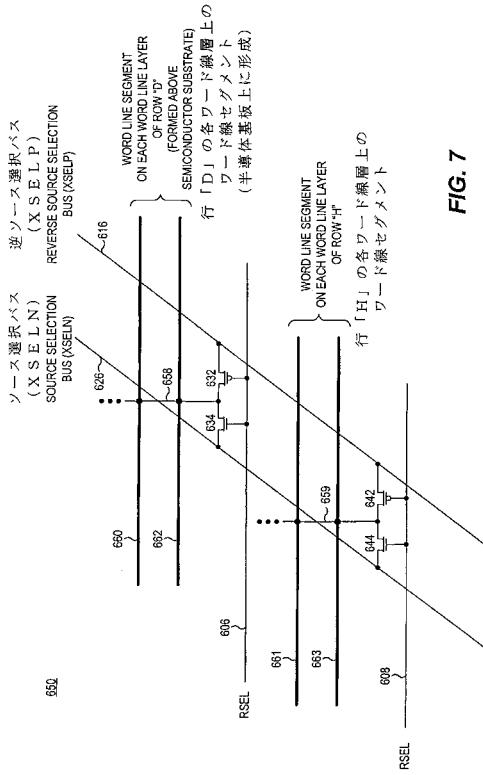


FIG. 6

【圖 7】



【図 8】

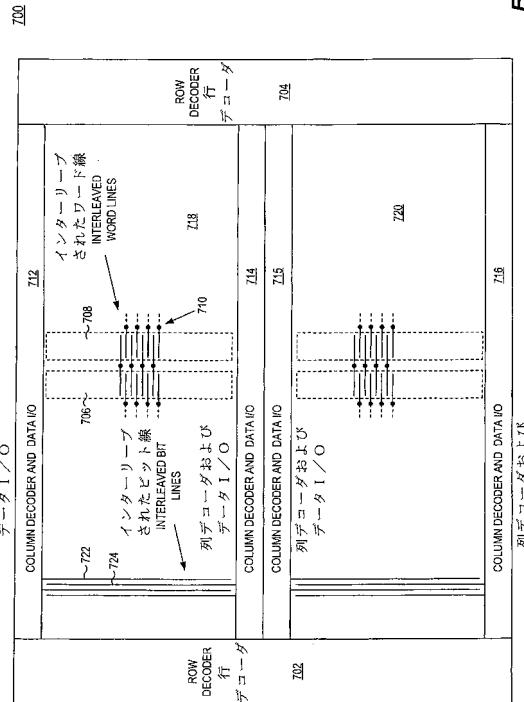


FIG. 8

フロントページの続き

(72)発明者 アル - シャンマ , アリ

アメリカ合衆国、94040、カリフォルニア州、マウンテン ビュー、コンチネンタル サークル 707、#2137

(72)発明者 ソ , ケネス ケー .

アメリカ合衆国、94002、カリフォルニア州、ベルモント、コロネット ブルバード 261
3

審査官 安井 雅史

(56)参考文献 特開2002-169501(JP, A)

特開2006-345190(JP, A)

特開2001-155486(JP, A)

特開2005-159359(JP, A)

(58)調査した分野(Int.Cl. , DB名)

H03F 1/00-3/72, 7/00-7/06

G11C 11/34-11/38, 11/41-11/419,

14/00