

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 9 月 14 日 (14.09.2023)



(10) 国际公布号
WO 2023/168570 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) **H01L 21/336** (2006.01)

(21) 国际申请号: PCT/CN2022/079600

(22) 国际申请日: 2022 年 3 月 7 日 (07.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 复旦大学(FUDAN UNIVERSITY) [CN/CN]; 中国上海市杨浦区邯郸路220号, Shanghai 200433 (CN)。上海集成电路制造创新中心有限公司(SHANGHAI INTEGRATED CIRCUIT MANUFACTURING INNOVATION CENTER CO., LTD.) [CN/CN]; 中国上海市中国(上海)自由贸易试验区碧波路690号401-23室, Shanghai 201203 (CN)。

(72) 发明人: 汪大伟(WANG, Dawei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。刘桃(LIU, Tao); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。孙新(SUN, Xin); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。徐敏(XU, Min); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。张卫(ZHANG, Wei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。陈鲲(CHEN, Kun); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。杨静雯(YANG, Jingwen); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。吴春蕾(WU, Chunlei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。王晨(WANG,

(54) Title: METHOD FOR FORMING DIELECTRIC ISOLATION, DEVICE PREPARATION METHOD, AND DEVICE AND APPARATUS

(54) 发明名称: 形成电介质隔离的方法、器件的制备方法、器件及设备

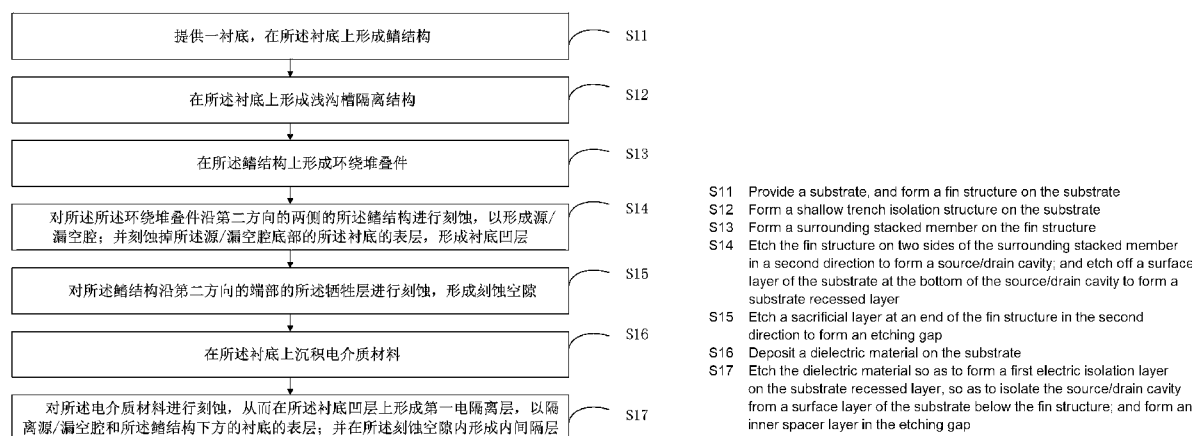


图 1

(57) Abstract: A method for partially forming dielectric isolation for a gate-all-around device, the method comprising: providing a substrate (101), and forming a fin structure and a surrounding stacked member (104) on the substrate (101), the surrounding stacked member (104) going across the fin structure, and the fin structure comprising a part of the substrate (101), and sacrificial layers (102) and trench layers (103), which are stacked at intervals on the part of the substrate (101); etching the fin structure on two sides of the surrounding stacked member (104) in a second direction to form a source/drain cavity; etching off a surface layer of the substrate (101) at the bottom of the source/drain cavity to form a substrate recessed layer; etching the sacrificial layer (102) at an end of the fin structure in the second direction to form an etching gap; forming a first electric isolation layer (107) on the substrate recessed layer, so as to isolate the source/drain cavity from a surface layer of the substrate (101) below the fin structure; forming an inner spacer layer (106) in the etching gap; and isolating a surface layer of the substrate (101) at the bottom end of the fin structure from a source/drain layer. Further disclosed are a method for preparing a semiconductor device, a semiconductor device and an electronic apparatus.

Chen); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。 徐赛生(**XU, Saisheng**); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。 尹睿(**YIN, Rui**); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。

(74) 代理人: 上海慧晗知识产权代理事务所(普通合伙)(**SHANGHAI HUIHAN INTELLECTUAL PROPERTY LAW FIRM**); 中国上海市普陀区铜川路70号22楼2202-2212室徐海晟, Shanghai 200333 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格(细则4.17(iv))

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种垂直堆叠环栅器件局部形成体电介质隔离的方法, 包括: 提供一衬底(101), 在衬底(101)上形成鳍结构以及环绕堆叠件(104), 环绕堆叠件(104)横跨鳍结构, 鳍结构包括部分衬底(101)以及在部分衬底(101)上间隔堆叠的牺牲层(102)和沟道层(103); 对环绕堆叠件(104)沿第二方向的两侧的鳍结构进行刻蚀, 以形成源/漏空腔; 并刻蚀掉源/漏空腔底部的衬底(101)的表层, 形成衬底凹层; 对鳍结构沿第二方向的端部的牺牲层(102)进行刻蚀, 形成刻蚀空隙; 在衬底凹层上形成第一电隔离层(107), 以隔离源/漏空腔和鳍结构下方的衬底(101)的表层; 并在刻蚀空隙内形成内间隔层(106); 使得鳍结构底端的衬底(101)的表层和源/漏层隔离。还公开了一种半导体器件的制备方法、半导体器件、电子设备。

形成电介质隔离的方法、器件的制备方法、器件及设备

技术领域

本发明涉及半导体器件领域，尤其涉及一种形成电介质隔离的方法、器件的制备方法、器件及设备。

背景技术

垂直堆叠环栅(Gate-all-around, GAA)器件由于其优越的沟道控制能力，从而成为 5nm 及以下节点的主流器件结构。

为了获得更强的单位面积电流驱动能力，GAA 器件会选择较为宽的纳米薄片(Nanosheet, NS)作为沟道区域。

由 Fin FET 转向 GAA FET 结构，NS 下部的寄生沟道的宽度较大（与上层 NS 的宽度一致），该寄生沟道由于有着较弱的栅控能力，在较短沟道长度条件下，将会导致源漏之间较大的漏电流，增加器件的能耗，限制沟道长度的进一步缩小；同时导致器件的亚阈值特性如亚阈值摆幅(Sub-threshold swing, SS)与漏致势垒降低(Drain induced Barrier Lowering, DIBL)的劣化，导致器件性能下降。

因此，源漏之间存在较大的漏电流问题，成为本行业亟待要解决的技术重点。

发明内容

本发明提供一种形成电介质隔离的方法、器件的制备方法、器件及设备，以解决垂直堆叠环栅(Gate-all-around, GAA)器件的源/漏区之间的较大漏电流的问题。

根据本发明的第一方面，提供了一种垂直堆叠环栅器件局部形成电介质隔离的方法，该方法包括：

提供一衬底，在所述衬底上形成鳍结构，所述鳍结构包括部分所

述衬底，以及在部分所述衬底上间隔堆叠的牺牲层和沟道层；

在所述衬底上形成浅沟槽隔离结构；

在所述鳍结构上形成环绕堆叠件，所述环绕堆叠件沿第一方向横跨所述鳍结构；

对所述环绕堆叠件沿第二方向的两侧的所述鳍结构进行刻蚀，以形成源/漏空腔；并刻蚀掉所述源/漏空腔底部的所述衬底的表层，形成衬底凹层；

对所述鳍结构沿第二方向的端部的所述牺牲层进行刻蚀，形成刻蚀空隙；

在所述衬底上沉积电介质材料；

对所述电介质材料进行刻蚀，从而在所述衬底凹层上形成第一电隔离层，以隔离源/漏空腔和所述鳍结构下方的衬底的表层；并在所述刻蚀空隙内形成内间隔层。

可选的，所述第一电隔离层的高度不高于所述衬底上的第一牺牲层的顶部且不低于所述第一牺牲层的底部；其中，所述第一牺牲层为直接接触所述衬底的所述牺牲层。

可选的，在所述衬底上形成鳍结构具体包括：

在所述衬底上形成第一堆叠件，所述第一堆叠件包括间隔堆叠的牺牲层与沟道层；

对所述第一堆叠件以及所述衬底顶层进行刻蚀，形成鳍结构。

可选的，所述第一牺牲层沿所述第一堆叠件的堆叠方向的厚度大于其他所述牺牲层的厚度。

可选的，在所述衬底上沉积电介质材料之后，所述电介质材料填充所述刻蚀空隙、所述源/漏空腔、所述衬底凹层，且所述电介质材料沿所述第一堆叠件堆叠方向的高度不低于所述鳍结构。

可选的，沉淀所述电介质材料采用各向同性淀积结合化学机械抛光的方式或流动性化学气相淀积的方式。

可选的，形成所述第一电隔离层之后还包括：在所述第一电隔离层上形成源/漏区，其中，所述源/漏区形成于所述源/漏空腔内。

根据本发明的第二方面，提供了一种半导体器件的制备方法，包

括：

本发明第一方面任一项所述的垂直堆叠环栅器件局部形成体电介质隔离的方法。

根据本发明的第三方面，提供了一种半导体器件，利用本发明第二方面所述的半导体器件的制备方法制备而成。

根据本发明的第四方面，提供了一种电子设备，包括本发明第三方面所述的半导体器件。

本发明提供的一种垂直堆叠环栅器件局部形成体电介质隔离的方法，在源/漏空腔刻蚀完成后，源/漏区形成之前，在源/漏空腔底端的衬底的表层嵌入第一电隔离层，并且使得第一电隔离层延伸出源/漏空腔，从而隔离鳍结构底端的衬底的表层和源/漏层，以避免后续工艺形成的源/漏区与寄生沟道相接触，从而减小源/漏区之间的漏电流，实现减小器件能耗，避免器件性能下降的效果。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图1是本发明垂直堆叠环栅器件局部形成体电介质隔离的方法的刻蚀步骤流程图；

图2是本发明一具体实施例中不同刻蚀阶段的示意图一；

图3是本发明一具体实施例中不同刻蚀阶段的示意图二；

图4是本发明一具体实施例中不同刻蚀阶段的示意图三；

图5是本发明一具体实施例中不同刻蚀阶段的示意图四；

图6是本发明一具体实施例中不同刻蚀阶段的示意图五；

附图标记说明：

101-衬底；

102-牺牲层；
103-沟道层；
104-环绕堆叠件；
1041-第一隔离层；
1042-假栅结构；
105-电介质材料；
106-内间隔层；
107-第一电隔离层。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

垂直堆叠环栅(Gate-all-around, GAA)器件由于其优越的沟道控制能力，从而成为 5nm 及以下节点的主流器件结构；为了获得更强的单位面积电流驱动能力，GAA 器件会选择较为宽的纳米薄片(Nanosheet, NS)作为沟道区域。

由 Fin FET 转向 GAA FET 结构，NS 下部的寄生沟道的宽度

较大（或者与上层 NS 的宽度一致），该寄生沟道由于有着较弱的栅控能力，在较短沟道长度条件下，将会导致源/漏层之间较大的漏电流，增加器件的能耗，限制沟道长度的进一步缩小；同时导致器件的亚阈值特性如亚阈值摆幅(Sub-threshold swing, SS)与漏致势垒降低(Drain induced Barrier Lowering, DIBL)的劣化，导致器件性能下降。

具体的，现有技术中当寄生沟道的宽度等于其上层的纳米薄片的宽度时，源/漏层底端会接触到寄生沟道；因而，现有技术中 GAA FET 结构的设置，在较短沟道长度条件下，将会导致源/漏层之间较大的漏电流；寄生沟道是指间隔堆叠的沟道层和牺牲层底端的衬底表层。

针对上述技术手段所产生的技术问题，本发明创造性的提出：在源/漏空腔刻蚀完成后，源/漏层外延之前，在源/漏空腔底端的衬底表层嵌入第一电隔离层，并且使得第一电隔离层延伸出源/漏空腔，从而隔离寄生沟道和源/漏层，从而避免后续工艺形成的源/漏层与寄生沟道相接触，以减小源/漏层之间的漏电流，实现减小器件能耗，避免器件性能下降的效果。

下面以具体地实施例对本发明的技术方案进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例不再赘述。

请参考图 1-图 6，图中仅以一个鳍结构为例说明本发明的内容，然而本发明并不将鳍结构的数量作任何限制，只要包含类似结构，均在本发明保护范围内，根据本发明一实施例提供的一种垂直堆叠环栅器件局部形成体电介质隔离的方法，该方法包括：

S11：提供一衬底 101，在所述衬底 101 上形成鳍结构，所述鳍结构包括部分所述衬底，以及在部分所述衬底上间隔堆叠的牺牲层 102 和沟道层 103；

一种实施例中，在所述衬底 101 上形成鳍结构具体包括：

在所述衬底 101 上形成第一堆叠件，所述第一堆叠件包括间隔堆叠的牺牲层 102 与沟道层 103；

对所述第一堆叠件和所述衬底顶层进行刻蚀，形成鳍结构；

所述第一堆叠件可以选择交替外延淀积的方式形成；

牺牲层 102 与沟道层 103 具体的层数由实际器件的需要而决定，本文具体以 4 层牺牲层与 3 层沟道层为例。

对所述第一堆叠件和所述衬底顶层进行刻蚀的方式采用光刻刻蚀的方式；

对所述第一堆叠件以及衬底顶层进行刻蚀之后，形成部分所述衬底，以及在部分所述衬底上间隔堆叠的牺牲层和沟道层，即所述鳍结构。

所述鳍结构的数量视实际需要而定。

S12：在所述衬底 101 上形成浅沟槽隔离结构；

所述浅沟槽隔离结构位于所述鳍结构之间（图中未示出）；

S13：在所述鳍结构上形成环绕堆叠件 104，所述环绕堆叠件 104 沿第一方向横跨所述鳍结构；

所述环绕堆叠件 104 的数量视实际情况而定。

执行 S11-S13 之后的器件结构如图 2 所示；

S14：对所述环绕堆叠件 104 沿所述第二方向的两侧的所述鳍结构进行刻蚀，以形成源/漏空腔；并刻蚀掉所述源/漏空腔底部的所述衬底 101 的表层，形成衬底凹层，如图 3 所示。

该步骤需要过量刻蚀，除了需要刻蚀所述鳍结构的叠层，需要把所述衬底 101（Si Fin）刻蚀掉一部分，从而形成所述源/漏空腔和所述衬底凹层。

所述第一方向同时也是所述鳍结构的排列方向。

所述第二方向同时也是所述环绕堆叠件 104 的排列方向。

而所述环绕堆叠件 104 沿所述第一方向横跨所述鳍结构，且通常所述鳍结构和所述环绕堆叠件 104 之间的夹角为 90° ，因此所述第一方向垂直于所述第二方向；所述第二方向如图 2 所示的箭头方向；所述第一方向在所述衬底 101 平面上垂直于所述第二方向。

所述环绕堆叠件 104 包括：假栅结构 1042 以及第一隔离层 1041，第一隔离层 1041 形成于沿所述第二方向上的假栅结构 1042 的一对侧

壁上。

S15: 对所述鳍结构沿第二方向的端部的所述牺牲层 102 进行刻蚀, 形成刻蚀空隙, 如图 4 所示。

一种实施方式中, 采用各向同性刻蚀的方式刻蚀所述电介质材料形成所述刻蚀空隙;

一种实施方式中, 所述刻蚀空隙沿所述第二方向上的宽度适配于第一隔离层 1041 的宽度, 此处的适配于指: 并且所述刻蚀空隙的宽度根据所述第一隔离层 1041 的宽度调整, 使得所述刻蚀空隙沿所述第二方向上的宽度与第一隔离层 1041 的宽度相同。其他实施方式中, 所述刻蚀空隙沿所述第二方向上的宽度同第一隔离层 1041 的宽度也可以不同。

S16: 在所述衬底 101 上沉积电介质材料 105, 如图 5 所示。

请参考图 5, 一种实施例中, 在所述衬底 101 上沉积电介质材料 105 之后, 所述电介质材料 105 填充所述刻蚀空隙、所述源/漏空腔、所述衬底凹层, 且所述电介质材料 105 沿所述第一堆叠件堆叠方向的高度不低于所述鳍结构。

S17: 对所述电介质材料 105 进行刻蚀, 从而在所述衬底凹层上形成第一电隔离层 107, 以隔离源/漏空腔和所述鳍结构下方的衬底 101 的表层; 并在所述刻蚀空隙内形成内间隔层 106, 如图 6 所示。

一种实施方式中, 刻蚀所述电介质材料形成所述第一电隔离层的方式为各向异性定量刻蚀; 刻蚀方向垂直于所述衬底;

一种实施方式中, 当所述刻蚀空隙沿所述第二方向上的宽度适配于第一隔离层 1041 的宽度; 因而所述内间隔层 106 沿所述第二方向上的宽度也适配于所述第一隔离层 1041 的宽度。另一种实施方式中, 当所述刻蚀空隙沿所述第二方向上的宽度同第一隔离层 1041 的宽度不同时, 所述内间隔层 106 沿所述第二方向上的宽度也不同于所述第一隔离层 1041 的宽度;

所述第一电隔离层 107 填充于所述衬底凹层并延伸出所述衬底凹层而填充到部分源/漏空腔内, 从而使得所述源/漏空腔和所述鳍结构下方的寄生沟道层隔离。

所述寄生沟道层位于所述鳍结构下方的衬底 101 的表层。

所述刻蚀空隙存在所述沟道层 103 之间，刻蚀所述电介质材料 105 形成内间隔层 106 后，暴露出所述沟道层 103 的侧面。

所述源/漏空腔用于生成源/漏区，其中，所述源/漏区的源/漏材料接触全部暴露出来的所述沟道层 103 的侧面，且由于所述第一电隔离层 107 的存在，不接触所述寄生沟道层。

该步骤可以同时形成所需的 Inner spacer 和 Bottom dielectric isolation (BDI)；Inner spacer 即为所述内间隔层 106；Bottom dielectric isolation 即为所述第一电隔离层 107。

因而减少了源/漏区之间较大的漏电流，从而减少了器件的能耗，同时实现了器件性能的提升。

构成所述内间隔层 106(inner spacer)的材料是电介质材料 105。

一种实施例中，所述第一电隔离层 107 的高度不高于所述衬底 101 上的第一牺牲层 102 的顶部且不低于所述第一牺牲层 102 的底部；其中，所述第一牺牲层 102 为直接接触所述衬底 101 的所述牺牲层 102。

一种实施方式中，构成所述第一牺牲层 102 的材料为 SiGe。

所述第一电隔离层 107 是通过垂直的选择性刻蚀所述电介质材料 105 而形成的，刻蚀所述电介质材料 105 时：需要控制刻蚀的量，保证接触所述第一牺牲层 102 的沟道层 103 的沿所述第二方向的侧面完全露出，同时不能过量刻蚀，导致源/漏区与寄生沟道层相接触；因而，需要将所述第一电隔离层 107 的高度控制在所述第一牺牲层 102 底层之上，最接近所述第一牺牲层 102 的沟道层 103 底层之下，即上述描述的：所述第一电隔离层 107 的高度不高于所述第一牺牲层 102 的顶部且不低于所述第一牺牲层 102 的底部。

实际操作中，为了避免该步骤出现过量或者不足刻蚀的情况，可以考虑将所述第一牺牲层 102 厚度增加，从而减小刻蚀工艺控制难度；因而，优选的：一种实施例中，所述第一牺牲层 102 沿所述第一堆叠件的堆叠方向的厚度大于其他所述牺牲层 102 的厚度；从而所述第一电隔离层 107 的刻蚀高度更可控。

一种实施例中，沉淀所述电介质材料 105 采用各向同性淀积结合化学机械抛光的方式或流动性化学气相淀积的方式。

一种实施方式中，所述第一电隔离层 107 的形成方式为淀积加刻蚀，

一种实施方式中，沉淀所述电介质材料的方式为：各向同性淀积结合化学机械抛光的方式；

具体步骤包括：在所述衬底 101 上通过各向同性沉淀的方式沉淀所述电介质材料 105，因此步骤通常沉淀的所述电介质材料 105 会覆盖所述环绕堆叠件 104 顶部的表面，因而需要通过化学机械抛光 (Chemical Mechanical Polishing, CMP) 的方式实现所述电介质材料 105 和所述衬底 101 上环绕堆叠件 104 的高度的统一，从而在此基础上对所述电介质材料 105 进行刻蚀，最终得到所述第一电隔离层 107。

另一种实施方式中，直接通过可流动性化学气相淀积 (Flowable Chemical Vapor Deposition, FCVD) 来完成所述电介质材料 105 的填充，从而使得所述电介质材料 105 达到指定高度，再对所述电介质材料 105 进行刻蚀得到所述第一电隔离层 107。

其中指定高度通常指：以上工艺完成后，所述电介质材料 105 填充至与所述环绕堆叠件 104 相同高度，或与所述鳍结构的高度相同的高度，其他高度同样可以，由于刻蚀后需同时在所述刻蚀空隙内形成内间隔层 106，因而所述致指定高度不低于于所述鳍结构的高度。

一种实施例中，形成所述第一电隔离层 107 之后还包括：在所述第一电隔离层 107 上形成源/漏区，其中，所述源/漏区形成于所述源/漏空腔内。

在所述第一电隔离层 107 上形成源/漏区，由于所述源/漏区下存在所述第一电隔离层 107，使得所述源/漏区与寄生沟道层相隔离从而有效降低漏电流。

所述源/漏区内是源/漏层。

在所述源/漏层和所述浅槽隔离结构上形成层间介质层。

所述层间介质层形成于所述源/漏空腔中，所述层间介质层覆盖于所述每个所述源/漏层顶部和侧壁。

在所述源/漏层和所述浅槽隔离结构上形成所述层间介质层具体包括：在所述源/漏层和所述浅槽隔离结构上沉淀介质材料，采用 CMP 的方式将所述介质材料刻蚀到特定高度，刻蚀所述介质材料形成所述层间介质层。

形成所述层间介质层之后包括以下步骤：

1) 去除所述假栅结构 1042。

一种实施方式中，所述假栅结构 1042 是由多晶硅材料制成的。

2) 选择性刻蚀所述牺牲层 102，从而释放 Si 沟道层 103。

假栅结构 1042 去除后以及所述牺牲层 102 释放后形成假栅空腔。

一种实施方式中，所述选择性刻蚀的方法是干法刻蚀。

其他实施方式中，也可以采用其他方法选择性刻蚀所述牺牲层 102。

3) 在所述假栅空腔内填充金属栅材料形成所述金属栅。

在所述假栅空腔内填充金属栅材料之前还包括：在所述假栅空腔中填充高介电常数材料；所述金属栅材料覆盖所述高介电常数材料；所述高介电常数材料与金属栅(Metal gate, MG)完成对沟道层 103 的全包裹。

一种实施方式中，所述高介电常数材料 (High-k, HK)即高 K 材料；所述金属栅材料为现有技术中应用广泛的材料。

对上述金属栅材料和所述高介电常数材料进行 CMP 处理，从而去除所述层间电介质层顶部的金属栅材料和所述高介电常数材料，使得所述金属栅材料和所述高介电常数材料刻蚀后达到指定高度，所述指定高度为同所述层间电介质层的高度相同的高度。

4) 在上述步骤形成的结构外表面沉淀刻蚀阻挡层 (Nitride)，在所述刻蚀阻挡层上做图形化光刻，以所述刻蚀阻挡层为掩膜，刻蚀所述源/漏层顶端和侧壁的部分层间电介质层，形成接触孔，在接触孔中沉淀金属材料形成器件接触结构。

此时不仅仅能够在源漏顶部形成接触，其侧面与底面也同样可以被金属材料包裹，所述器件接触结构将的源/漏层包裹，形成环绕式接触(wrap around contact, WAC)，降低接触电阻；

所述金属材料可以是 W，TiN 等。

根据本发明一实施例，提供了一种半导体器件的制备方法，包括：
本发明前述实施例任一项所述的垂直堆叠环栅器件局部形成体电介质隔离的方法。

根据本发明一实施例，提供了一种半导体器件，利用本发明前述实施例所述的半导体器件的制备方法制备而成。

根据本发明一实施例，提供了一种电子设备，包括本发明前述实施例所述的半导体器件。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权利要求书

1.一种垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，该方法包括：

提供一衬底，在所述衬底上形成鳍结构，所述鳍结构包括部分所述衬底，以及在部分所述衬底上间隔堆叠的牺牲层和沟道层；

在所述衬底上形成浅沟槽隔离结构；

在所述鳍结构上形成环绕堆叠件，所述环绕堆叠件沿第一方向横跨所述鳍结构；

对所述环绕堆叠件沿第二方向的两侧的所述鳍结构进行刻蚀，以形成源/漏空腔；并刻蚀掉所述源/漏空腔底部的所述衬底的表层，形成衬底凹层；

对所述鳍结构沿第二方向的端部的所述牺牲层进行刻蚀，形成刻蚀空隙；

在所述衬底上沉积电介质材料；

对所述电介质材料进行刻蚀，从而在所述衬底凹层上形成第一电隔离层，以隔离源/漏空腔和所述鳍结构下方的衬底的表层；并在所述刻蚀空隙内形成内间隔层。

2.根据权利要求1所述的垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，所述第一电隔离层的高度不高于所述衬底上的第一牺牲层的顶部且不低于所述第一牺牲层的底部；其中，所述第一牺牲层为直接接触所述衬底的所述牺牲层。

3.根据权利要求1所述的垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，

形成鳍结构具体包括：

在所述衬底上形成第一堆叠件，所述第一堆叠件包括间隔堆叠的牺牲层与沟道层；

对所述第一堆叠件以及衬底顶层进行刻蚀，形成鳍结构。

4.根据权利要求3所述的垂直堆叠环栅器件局部形成电介质隔离的方法，其特征在于，所述第一牺牲层沿所述第一堆叠件的堆叠方向的厚度大于其他所述牺牲层的厚度。

5.根据权利要求1所述的垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，在所述衬底上沉积电介质材料之后，所述电介质材料填充所述刻蚀空隙、所述源/漏空腔、所述衬底凹层，且所述电介质材料沿所述第一堆叠件堆叠方向的高度不低于所述鳍结构。

6.根据权利要求1所述的垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，

沉淀所述电介质材料采用各向同性淀积结合化学机械抛光的方式或流动性化学气相淀积的方式。

7.根据权利要求1-6任意一项所述的垂直堆叠环栅器件局部形成体电介质隔离的方法，其特征在于，形成所述第一电隔离层之后还包括：在所述第一电隔离层上形成源/漏区，其中，所述源/漏区形成于所述源/漏空腔内。

8.一种半导体器件的制备方法，其特征在于，包括：

权利要求1至7任一项所述的垂直堆叠环栅器件局部形成体电介质隔离的方法。

9.一种半导体器件，其特征在于，利用权利要求8所述的半导体器件的制备方法制备而成。

10.一种电子设备，包括权利要求9所述的半导体器件。

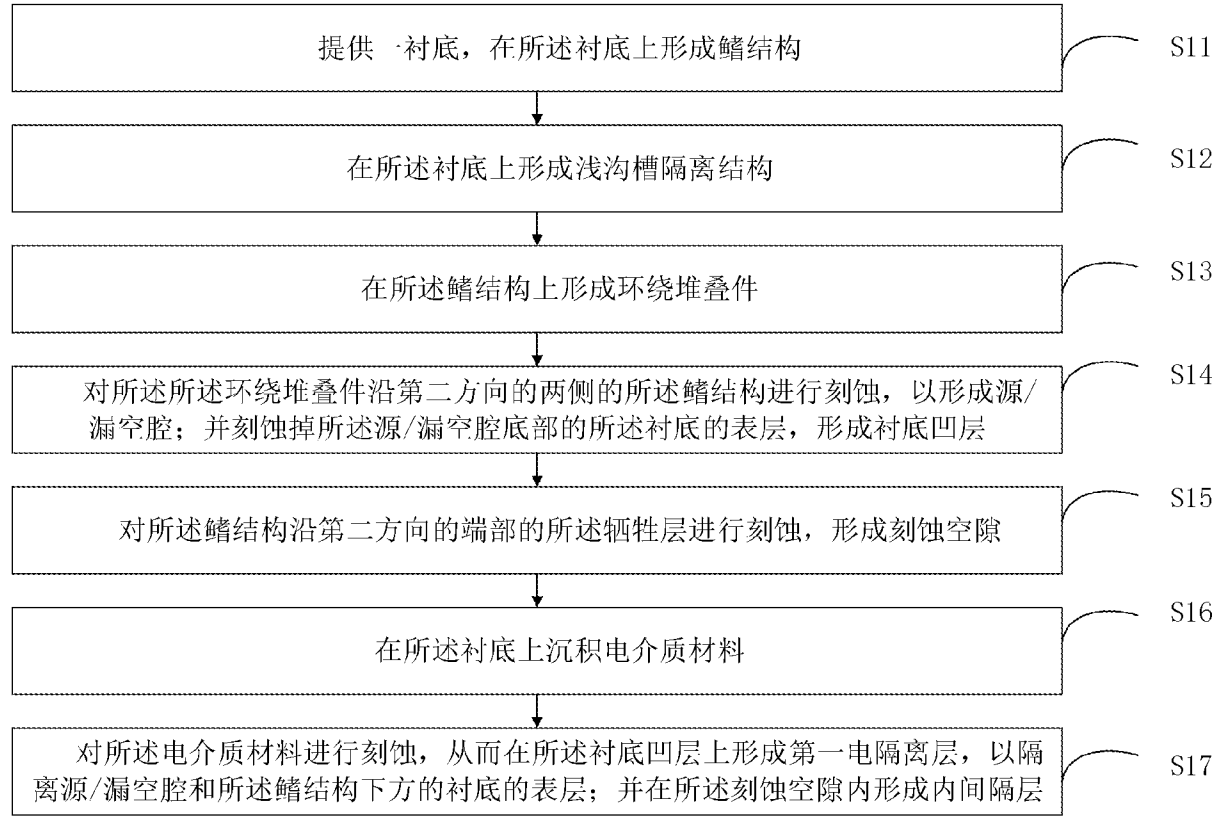


图 1

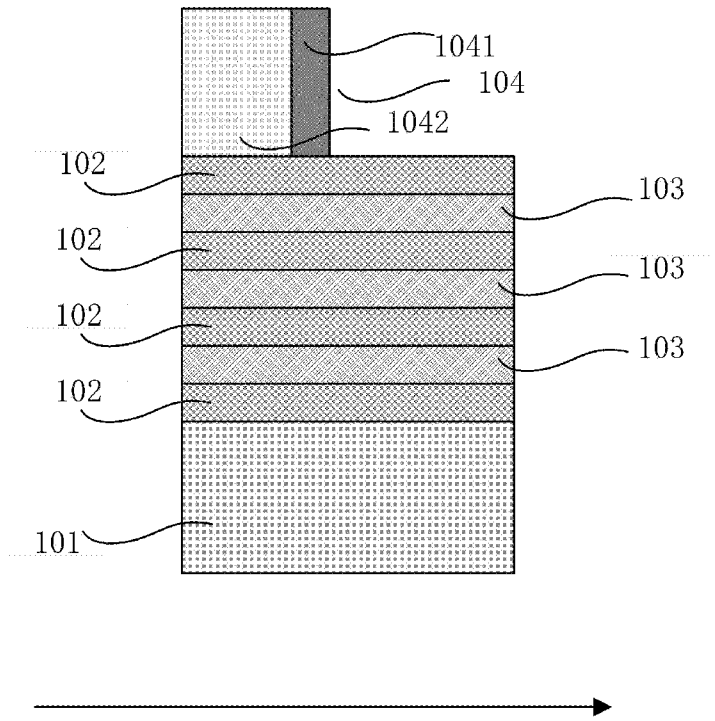


图 2

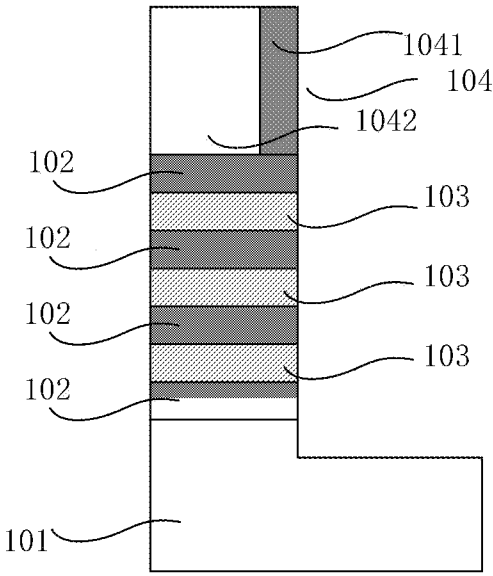


图 3

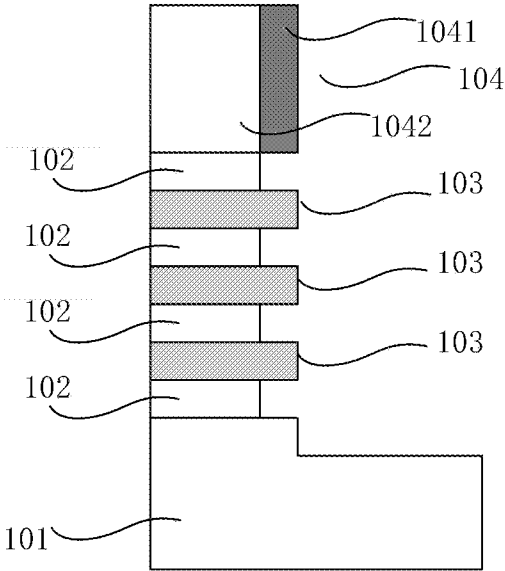


图 4

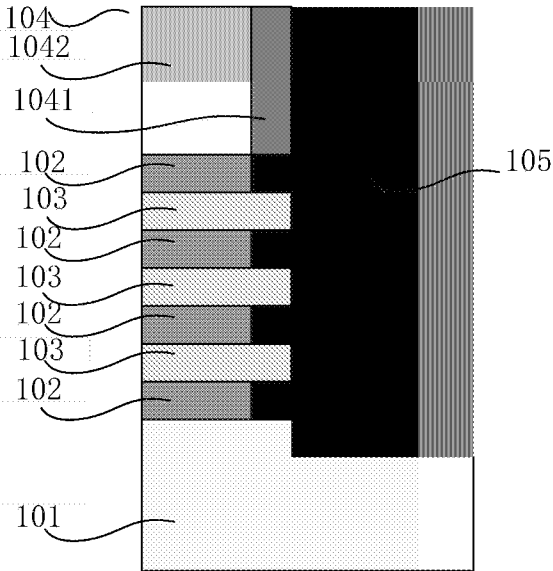


图 5

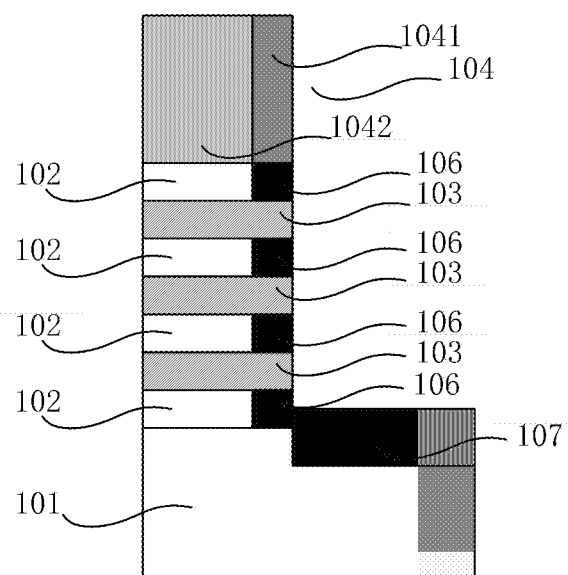


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/079600

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/-;H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; VEN; USTXT; WOTXT; EPTXT; CNKI: 环栅, 鳍, 牺牲层, 堆叠, 凹槽, 介电层, gate all around, fin, sacrifice layer, stack, recess, dielectric layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113903666 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 07 January 2022 (2022-01-07) description, paragraphs 38-150, and figures 1-21	1-10
X	CN 111223778 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 02 June 2020 (2020-06-02) description, paragraphs 33-149, and figures 1-10	1-10
A	CN 109599335 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 09 April 2019 (2019-04-09) entire document	1-10
A	US 2017141207 A1 (IBM) 18 May 2017 (2017-05-18) entire document	1-10
A	US 2021305420 A1 (IBM) 30 September 2021 (2021-09-30) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 November 2022

Date of mailing of the international search report

28 November 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/079600

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113903666	A	07 January 2022	None			
CN	111223778	A	02 June 2020	None			
CN	109599335	A	09 April 2019	None			
US	2017141207	A1	18 May 2017	US	9853132	B2	26 December 2017
US	2021305420	A1	30 September 2021	US	11282961	B2	22 March 2022

国际检索报告

国际申请号

PCT/CN2022/079600

A. 主题的分类

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L29/-;H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;VEN;USTXT;WOTXT;EPTXT;CNKI:环栅, 鳍, 牺牲层, 堆叠, 凹槽, 介电层, gate all around, fin, sacrifice layer, stack, recess, dielectric layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 113903666 A (中芯国际集成电路制造上海有限公司 等) 2022年1月7日 (2022 - 01 - 07) 说明书第38-150段, 图1-21	1-10
X	CN 111223778 A (中芯国际集成电路制造上海有限公司 等) 2020年6月2日 (2020 - 06 - 02) 说明书第33-149段, 图1-10	1-10
A	CN 109599335 A (中国科学院微电子研究所) 2019年4月9日 (2019 - 04 - 09) 全文	1-10
A	US 2017141207 A1 (IBM) 2017年5月18日 (2017 - 05 - 18) 全文	1-10
A	US 2021305420 A1 (IBM) 2021年9月30日 (2021 - 09 - 30) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月17日

国际检索报告邮寄日期

2022年11月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

孙鹏

电话号码 86-(20)-28958385

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/079600

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113903666	A	2022年1月7日	无			
CN	111223778	A	2020年6月2日	无			
CN	109599335	A	2019年4月9日	无			
US	2017141207	A1	2017年5月18日	US	9853132	B2	2017年12月26日
US	2021305420	A1	2021年9月30日	US	11282961	B2	2022年3月22日