



**ÚŘAD PRO VÝNÁLEZY
A OBJEVY**

K AUTORSKÉMU OSVĚDČENÍ

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 22 10 82
(21) PV 7526-82

(51) Int. Cl.⁴

G 08 C 15/00,

G 08 C 15/06

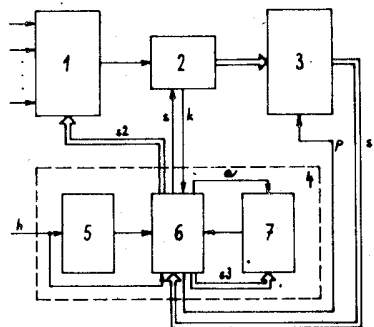
(40) Zverejňeno	16 04 85
(45) Vydáno	01 10 87

(75)
Autor vynálezu

ŠTASTNÝ ALOIS ing. CSc.,
PATROVSKÝ JIŘÍ ing.,
NEJEDLÝ VLADIMÍR ing., PRAHA

(54) Zapojení řadiče systému ke kvantování současně probíhajících kvazistatických a dynamických signálů

Zapojení řadiče, který řídí činnost systému ke kvantování v čase a amplitudě současně probíhajících kvazistatických, to je relativně pomalu se měnících a dynamických, to je relativně rychle se měnících, analogových měřicích signálů. Podstata spočívá v tom, že řadič sestává ze dvou čítačů (5) a (7) a bloku (6) řídicí logiky. První čítač (5) na základě vstupních hodinových impulsů generuje impulsní signály s frekvencemi, které odpovídají frekvencím vzorkování jednotlivých tříd signálů stejných dynamických vlastností, do kterých jsou vstupní analogové signály rozděleny. Druhý čítač (7) určuje příslušnost vstupních analogových signálů do jednotlivých tříd signálů stejných dynamických vlastností a blok (6) řídicí logiky na základě výstupních signálů z obou čítačů (5), (7) řídicího slova z minipočítače (3) a vstupních hodinových impulsů řadiče (4) vydává povely pro přenos dat z výstupu analogočíslíkového převodníku (2) do paměti minipočítače (3), platné pro jednotlivé třídy vstupních analogových signálů, stejných dynamických vlastností. Zapojení řadiče podle vynálezu se s výhodou uplatní ve všech systémech do minipočítače, které používají multiplexor analogových signálů a centrální analogočíslíkový převodník.



Vynález se týká zapojení řadiče, který řídí činnost systému ke kvantování v čase a amplitudě současně probíhajících kvazistatických, tj. relativně pomalu se měnících, a dynamických, tj. relativně rychle se měnících analogových měřicích signálů. Signály se kvantují za účelem jejich zavedení do minipočítače a jejich následného zpracování.

Dosud známé řadiče v systémech ke kvantování analogových měřicích signálů, obsahujících multiplexor vstupních analogových signálů, centrální analogočíslicový převodník a minipočítač, pracují tak, že na základě vstupních hodinových impulsů řadiče a v závislosti na nastavených parametrech vytvářejí jednotlivé pracovní cykly řadiče, ve kterých postupně generují pro zvolený počet vstupních kanálů jejich adresy, takže se v daném pracovním cyklu prostřednictvím multiplexoru postupně připojují jednotlivé kanály ke vstupu analogočíslicového převodníku, přičemž vždy při vyslání adresy následuje startovací signál pro analogočíslicový převodník, čímž se zahájí činnost analogočíslicového převodníku, který převede vstupní analogový údaj z daného kanálu na výstupní číslicovou hodnotu, která se po vyslání povelového signálu z řadiče na řídicí vstup minipočítače převede přes datový vstup minipočítače do jeho paměti.

Nevýhodou těchto řadičů je, že jsou-li v souboru vstupních analogových signálů dynamické a kvazistatické signály, tj. signály, které se značně liší svou proměnlivostí v čase, pak je požadovaná frekvence pracovních cyklů, kdy se v každém pracovním cyklu přenášejí data do minipočítače postupně ze všech zvolených kanálů, určena dynamickými vlastnostmi rychle se měnících vstupních signálů a je nadbytečná pro kvazistatické vstupní signály; paměť minipočítače se tak plní nadbytečnými údaji, které popisují průběh pomalu se měnících signálů a její kapacity se špatně využívá.

Uvedené nevýhody odstraňuje zapojení řadiče systému ke kvantování současně probíhajících kvazistatických a dynamických signálů s multiplexorem analogových signálů, analogočíslicovým převodníkem a minipočítačem podle vynálezu, jehož podstata spočívá v tom, že řadič sestává z prvního čítače, z bloku řídicí logiky a z druhého čítače, přičemž první vstup bloku řídicí logiky je spojen s výstupem minipočítače a dru-

hý vstup bloku řídicí logiky je spojen s druhým výstupem analogočísllicového převodníku, jehož druhý vstup je spojen s druhým výstupem bloku řídicí logiky, na jehož třetí vstup je připojen zdroj hodinových impulsů, jenž je současně připojen na vstup prvního čítače, jehož výstup je spojen se čtvrtým vstupem bloku řídicí logiky, jehož pátý vstup je spojen s výstupem druhého čítače, jehož první vstup je spojen se čtvrtým výstupem bloku řídicí logiky, přičemž první výstup bloku řídicí logiky je spojen s prvním vstupem multiplexoru analogových signálů, třetí výstup bloku řídicí logiky je spojen s řídicím vstupem minipočítače a pátý výstup bloku řídicí logiky je spojen s druhým vstupem druhého čítače.

Výhodou navrženého zapojení je, že sice nadále probíhá v daných pracovních cyklech převod signálů ze všech vstupních kanálů, avšak povely pro přenos dat z výstupu analogočísllicového převodníku do paměti minipočítače se vydávají jen pro některé výstupní údaje analogočísllicového převodníku. Tím se dosáhne toho, že se nadbytečná údaje, které odpovídají pomalu se měnícím vstupním analogovým signálům, do paměti minipočítače nepřenášejí.

Příklad provedení zapojení podle vynálezu je schematicky znázorněn na připojeném výkresu.

System je tvořen multiplexorem 1 analogových signálů, analogočísllicovým převodníkem 2, minipočítačem 3 a řadičem 4. Řadič 4 sestává z prvního čítače 5, z bloku 6 řídicí logiky a z druhého čítače 7. Na analogové vstupy multiplexoru 1 analogových signálů jsou přivedeny měřicí signály. Výstup multiplexoru 1 analogových signálů je spojen s prvním vstupem analogočísllicového převodníku 2, jehož první výstup je spojen s datovým vstupem minipočítače 3. Výstup minipočítače 3 je spojen s prvním vstupem bloku 6 řídicí logiky, jehož druhý vstup je spojen s druhým výstupem analogočísllicového převodníku 2. Druhý vstup analogočísllicového převodníku 2 je spojen s druhým výstupem bloku 6 řídicí logiky, na jehož třetí vstup je připojen zdroj hodinových impulsů, jenž je současně připojen na vstup prvního čítače 5, jehož první výstup je spojen se čtvrtým vstupem bloku 6 řídicí logiky. Pátý vstup bloku 6 řídicí logiky je spojen s výstupem druhého čítače 7, jehož první vstup

je spojen se čtvrtým výstupem bloku 6 řídicí logiky. První výstup bloku 6 řídicí logiky je spojen s řídicím vstupem multiplexoru 1 analogových signálů, třetí výstup bloku 6 řídicí logiky je spojen s řídicím vstupem minipočítače 3 a pátý výstup bloku 6 řídicí logiky je spojen s druhým vstupem druhého čítače 7.

Pro výklad funkce řadiče jsou vstupní analogové signály rozděleny podle svých dynamických vlastností do několika tříd tak, že v každé třídě jsou vždy signály, kterým odpovídá stejná frekvence vzorkování. Řadič 4 generuje povelový signál p , který způsobuje zápis výstupního číselného údaje z analogočíslicového převodníku 2 do paměti minipočítače 3 pro údaje příslušné vstupním analogovým signálům dané třídy, nikoliv v každém, ale pouze v některém pracovním cyklu, který odpovídá dané třídě signálů. Výsledek je stejný, jako kdyby se signály, patřící do jednotlivých tříd, vzorkovaly frekvencemi, odpovídajícími těmto třídám. Řadič 4 sestává z prvního čítače 5, z bloku 6 řídicí logiky a druhého čítače 7. První čítač 5 čítá hodinové impulsy h , z nichž každý startuje jeden pracovní cyklus. Na výstupu prvního čítače 5, který se skládá z několika paralelních vývodů, se objevují impulsy, z kterých se v bloku 6 řídicí logiky odvozuje povelový signál p pro přenos dat z analogočíslicového převodníku 2 do minipočítače 3. Frekvence impulsů na jednotlivých vývodech výstupu prvního čítače 5 odpovídá jednotlivým požadovaným frekvencím vzorkování pro dané třídy vstupních analogových signálů. Druhý čítač 7 čítá převody v rámci každého pracovního cyklu. Na výstupu druhého čítače 7, který se rovněž skládá z několika paralelních vývodů, se objevují impulsy, které se v bloku 6 řídicí logiky používají k výběru výstupních vývodů z prvního čítače 5 v závislosti na příslušnosti právě vzorkovaného vstupního analogového signálu určité třídě. Rozdělení signálů do tříd se druhému čítači 7 zadává řídicím slovem s_3 , které se v bloku 6 řídicí logiky odvozuje od řídicího slova s_1 , které přichází z minipočítače 3. Druhý čítač 7 mění svůj stav vždy po příchodu signálu a , který se v bloku 6 řídicí logiky odvozuje od signálu k , který přichází z analogočíslicového převodníku 2, když tento zakončí převod. V bloku 6 řídicí logiky se vyhodnocují výstup-

ní signály z čítačů 5 a 7 a hodinové impulsy h , které označují začátek pracovního cyklu systému a na základě těchto signálů se vydává povelový signál p , který způsobí přenos výstupního číselného údaje analogočíslicového převodníku 2 do paměti minipočítače 3.

Celý systém pracuje v cyklickém režimu tzn., že se opakovaně zpracovávají vstupní signály z prvního až do požadovaného počtu kanálů. Každý pracovní cyklus systému se zahajuje příchodem hodinového impulsu h . V té době je již na výstupu řadiče 4 vystaveno řídicí slovo s_2 generované v bloku 6 řídicí logiky, udávající adresu prvního kanálu. Blok 6 řídicí logiky vyšle startovací impuls s do analogočíslicového převodníku 2 a ten převede analogové napětí na číselný údaj, který se dále přenesení do minipočítače 3, pokud blok 6 řídicí logiky vydá povelový signál p . Když analogočíslicový převodník 2 skončí převod, vyšle do bloku 6 řídicí logiky signál k . Ten způsobí, že řadič 4 zvýší o jedničku adresu, udávanou řídicím slovem s_2 a vyšle další startovací impuls s do analogočíslicového převodníku 2 a dojde tak ke zpracování vzorku signálu z dalšího kanálu. Popsaný postup se opakuje tak dlouho, pokud se nezpracují vzorky signálů ze všech požadovaných kanálů, které tvoří zvolený cyklus. Příchodem dalšího hodinového impulsu h se zahajuje nový pracovní cyklus.

Zapojení řadiče podle vynálezu se s výhodou uplatní ve všech systémech pro sběr a převod analogových signálů do minipočítače, které používají multiplexor analogových signálů a centrální analogočíslicový převodník.

PŘEDMĚT VYNÁLEZU

238 458

Zapojení řadiče systému ke kvantování současně probíhajících kvazistatických a dynamických signálů s multiplexorem analogových signálů, analogočíslicovým převodníkem a minipočítačem, vyznačené tím, že řadič (4) sestává z prvního čítače (5), z bloku (6) řídicí logiky a z druhého čítače (7), přičemž první vstup bloku (6) řídicí logiky je spojen s výstupem minipočítače (3) a druhý vstup bloku (6) řídicí logiky je spojen s druhým výstupem analogočíslicového převodníku (2), jehož druhý vstup je spojen s druhým výstupem bloku (6) řídicí logiky, na jehož třetí vstup je připojen zdroj hodinových impulsů, jenž je současně připojen na vstup prvního čítače (5), jehož výstup je spojen se čtvrtým vstupem bloku (6) řídicí logiky, jehož pátý vstup je spojen s výstupem druhého čítače (7), jehož první vstup je spojen se čtvrtým výstupem bloku (6) řídicí logiky, přičemž první výstup bloku (6) řídicí logiky je spojen s prvním vstupem multiplexoru⁽¹⁾ analogových signálů, třetí výstup bloku (6) řídicí logiky je spojen s řídicím vstupem minipočítače (3) a pátý výstup bloku (6) řídicí logiky je spojen s druhým vstupem druhého čítače (7).

1 výkres

