

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 8 日 (08.06.2023)



(10) 国际公布号
WO 2023/097752 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/77** (2017.01)
- (21) 国际申请号: PCT/CN2021/137154
- (22) 国际申请日: 2021 年 12 月 10 日 (10.12.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111460405.X 2021 年 12 月 2 日 (02.12.2021) CN
- (71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 罗传宝 (LUO, Chuanbao); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。 姚江波 (YAO, Jiangbo); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

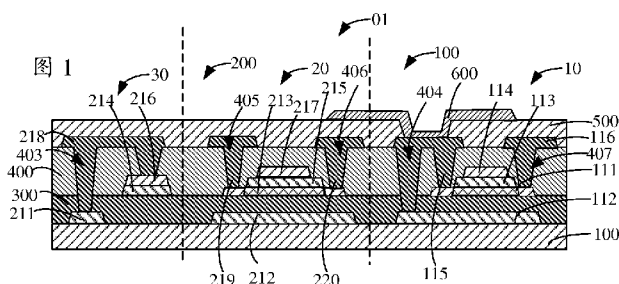
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制备方法和显示面板



(57) Abstract: Disclosed in the present application are an array substrate and a preparation method therefor, and a display panel. The array substrate comprises a base, a switch transistor and a drive transistor, wherein the switch transistor and the drive transistor are arranged on the base; an orthographic projection of the switch transistor on the base and an orthographic projection of the drive transistor on the base are staggered; the mobility of the switch transistor is greater than that of the drive transistor; and a threshold voltage of the drive transistor is smaller than a threshold voltage of the switch transistor.

(57) 摘要: 本申请公开了一种阵列基板及其制备方法和显示面板, 阵列基板包括衬底、开关晶体管和驱动晶体管, 开关晶体管与驱动晶体管设置于衬底上, 开关晶体管在衬底上的正投影与驱动晶体管在衬底上的正投影错开; 其中, 开关晶体管的迁移率大于驱动晶体管的迁移率, 驱动晶体管的阈值电压小于开关晶体管的阈值电压。

WO 2023/097752 A1

阵列基板及其制备方法和显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种阵列基板及其制备方法和显示面板。

背景技术

[0002] 低温多晶硅（LTPS）薄膜晶体管（TFT）因高迁移率的驱动性能而被广泛应用于手机以及平板等小尺寸显示器中，但LTPS TFT漏电流较大；然而，金属氧化物TFT因漏电流较小而可将刷新率降低，但迁移率相对于LTPS TFT较低。

[0003] 为了解决大尺寸器件的迁移率低以及稳定性差的问题，通常将低温多晶硅LTPS TFT以及金属氧化物TFT结合，即低温多晶硅氧化物（LTPO）TFT，以提高该器件的迁移率以及稳定性，但LTPO TFT制程复杂，且LTPS TFT和IGZO TFT制程需分别完成，并且LTPS TFT大面积均一性较差，为兼容LTPS TFT工艺，使得LTPO TFT也很难应用于大尺寸产品或者目前大世代线面板厂量产。

发明概述

技术问题

[0004] 本申请实施例提供一种阵列基板及其制备方法和显示面板，以提高阵列基板的性能。

问题的解决方案

技术解决方案

[0005] 本申请提供一种阵列基板，包括：

[0006] 衬底；

[0007] 开关晶体管和驱动晶体管，所述开关晶体管与所述驱动晶体管设置于所述衬底上，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；

[0008] 其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。

[0009] 可选的，在本申请的一些实施例中，所述开关晶体管的迁移率是驱动晶体管的

1.5倍-3倍迁移率，所述驱动晶体管的阈值电压是开关晶体管的 $1/3-1/2$ 倍阈值电压。

[0010] 可选的，在本申请的一些实施例中，所述开关晶体管包括第一栅极和与所述第一栅极连接的第二栅极，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属或电负性的化合物中的一种或几种组合。

[0011] 可选的，在本申请的一些实施例中，所述第一氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。

[0012] 可选的，在本申请的一些实施例中，所述驱动晶体管与所述开关晶体管同层设置于所述衬底上，所述衬底包括相邻设置的显示区和非显示区，所述驱动晶体管位于所述显示区，所述开关晶体管位于所述非显示区。

[0013] 可选的，在本申请的一些实施例中，所述非显示区包括相邻设置的桥接区和主区，所述桥接区位于所述主区远离所述显示区的一侧；所述第一栅极包括相互间隔设置的第一子栅极和第一遮光部，所述第一子栅极位于所述衬底的桥接区，所述第一遮光部位于所述衬底的主区，所述第二栅极包相互间隔设置的第二子栅极和第三子栅极，所述第二子栅极位于所述桥接区，且位于所述第一子栅极之上，所述第一子栅极与所述第二子栅极连接；所述第三子栅极位于所述主区，且位于所述第一遮光部之上。

[0014] 可选的，在本申请的一些实施例中，所述开关晶体管还包括第二氧化物半导体部、附加栅极绝缘部、第一栅极绝缘部、第一源极和第一漏极，所述驱动晶体管还包括第二遮光部、第二栅极绝缘部、第三栅极、第二源极和第二漏极；

[0015] 所述第一子栅极、所述第一遮光部和所述第二遮光部同层设置于所述衬底上，且间隔设置，所述第一子栅极位于所述桥接区，所述第一遮光部位于所述主区，所述第二遮光部位于所述显示区；

[0016] 缓冲层覆盖所述第一子栅极、所述第一遮光部、所述第二遮光部和衬底上；

[0017] 所述第一氧化物半导体部和所述第二氧化物半导体部同层设置于所述缓冲层上，且间隔设置；所述第二氧化物半导体部位于所述主区，所述第一氧化物半导体部位于所述显示区；

- [0018] 所述附加栅极绝缘部、所述第一栅极绝缘部和所述第二栅极绝缘部同层且间隔设置；所述附加栅极绝缘部设置于所述缓冲层上，且位于所述桥接区；所述第一栅极绝缘部设置于所述第二氧化物半导体部上，所述第二栅极绝缘部设置于所述第一氧化物半导体部上；
- [0019] 所述第二子栅极、所述第三子栅极和第三栅极同层且间隔设置，所述第二子栅极设置于所述附加栅极绝缘部上，所述第三子栅极设置于所述第一栅极绝缘部上，所述第三栅极设置于所述第二栅极绝缘部；
- [0020] 层间介质层覆盖所述缓冲层、附加栅极绝缘部、第二氧化物半导体部、第一氧化物半导体部、第二子栅极、第一栅极绝缘部、第二栅极绝缘部、第三子栅极和第三栅极；
- [0021] 连接部、第一源极、第一漏极、第二源极和第二漏极同层且间隔设置于所述层间介质层上，所述连接部位于所述桥接区，所述连接部连接所述第一子栅极和所述第二子栅极，所述第一源极和所述第一漏极与所述第二氧化物半导体部的两侧连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第一氧化物半导体部的另一侧连接。
- [0022] 可选的，在本申请的一些实施例中，所述阵列基板还包括钝化层和第一电极，所述钝化层覆盖所述层间介质层、所述连接部、所述第一源极、所述第一漏极、所述第二源极和所述第二漏极，所述第一电极设置于所述钝化层上，所述第一电极与所述第二源极连接。
- [0023] 可选的，在本申请的一些实施例中，所述第二氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，所述第二氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。
- [0024] 可选的，在本申请的一些实施例中，所述稀土金属元素和所述氟系化合物在第一氧化物半导体部和所述第二氧化物半导体部中的质量百分含量为0.2%–5%。
- [0025] 可选的，在本申请的一些实施例中，所述开关晶体管还包括第二氧化物半导体部、第一栅极绝缘部、第二栅极绝缘部、第三栅极、第一源极、第一漏极、第二源极、第二漏极和第二遮光部；
- [0026] 所述第一栅极和所述第二遮光部同层且间隔设置于所述衬底上，所述第一栅极

位于所述非显示区，所述第二遮光部位于所述显示区；

[0027] 缓冲层覆盖所述第一栅极和所述第二遮光部；

[0028] 所述第一氧化物半导体部和所述第二氧化物半导体部同层且间隔设置于所述缓冲层上，所述第二氧化物半导体部位于所述第一栅极之上，所述第一氧化物半导体部位于所述第二遮光部之上；

[0029] 所述第一栅极绝缘部和所述第二栅极依次层叠设置于所述第二氧化物半导体部上；

[0030] 所述第二栅极绝缘部和所述第三栅极依次层叠设置于所述第一氧化物半导体部上；

[0031] 层间介质层覆盖所述缓冲层、所述第一氧化物半导体部、所述第二氧化物半导体部、第一栅极绝缘部、第二栅极绝缘部、第二栅极以及第三栅极上；

[0032] 所述第一源极、所述第一漏极、所述第二源极以及所述第二漏极同层且间隔设置于所述层间介质层上，所述第一源极和所述第一漏极与所述第二氧化物半导体部连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第一氧化物半导体部的另一侧连接；

[0033] 钝化层覆盖所述层间介质层、所述第一源极、所述第一漏极、所述第二源极和所述第二漏极；

[0034] 所述连接部设置于所述钝化层上，且位于所述第一源极或所述第一漏极之上，所述连接部连接所述第一栅极和所述第二栅极。

[0035] 相应的，本申请还提供一种阵列基板的制备方法，包括：

[0036] 提供一衬底；

[0037] 在所述衬底上形成开关晶体管 and 驱动晶体管，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；

[0038] 其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。

[0039] 可选的，在本申请的一些实施例中，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合。

- [0040] 相应的，本申请还提供一种显示面板，所述显示面板包括阵列基板，其中，所述阵列基板包括：
- [0041] 衬底；
- [0042] 开关晶体管和驱动晶体管，所述开关晶体管与所述驱动晶体管设置于所述衬底上，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；
- [0043] 其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。
- [0044] 可选的，在本申请的一些实施例中，所述开关晶体管的迁移率是所述驱动晶体管的1.5倍-3倍迁移率，所述驱动晶体管的阈值电压是所述开关晶体管的 $1/3-1/2$ 倍阈值电压。
- [0045] 可选的，在本申请的一些实施例中，所述开关晶体管包括第一栅极和与所述第一栅极连接的第二栅极，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合。
- [0046] 可选的，在本申请的一些实施例中，所述第一氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。
- [0047] 可选的，在本申请的一些实施例中，所述驱动晶体管与所述开关晶体管同层设置于所述衬底上，所述衬底包括相邻设置的显示区和非显示区，所述驱动晶体管位于所述显示区，所述开关晶体管位于所述非显示区。
- [0048] 可选的，在本申请的一些实施例中，所述非显示区包括相邻设置的桥接区和主区，所述桥接区位于所述主区远离所述显示区的一侧；所述第一栅极包括相互间隔设置的第一子栅极和第一遮光部，所述第一子栅极位于所述衬底的桥接区，所述第一遮光部位于所述衬底的主区，所述第二栅极包相互间隔设置的第二子栅极和第三子栅极，所述第二子栅极位于所述桥接区，且位于所述第一子栅极之上，所述第一子栅极与所述第二子栅极连接；所述第三子栅极位于所述主区，且位于所述第一遮光部之上。
- [0049] 可选的，在本申请的一些实施例中，所述开关晶体管还包括第二氧化物半导体

部、附加栅极绝缘部、第一栅极绝缘部、第一源极和第一漏极，所述驱动晶体管还包括第二遮光部、第二栅极绝缘部、第三栅极、第二源极和第二漏极；

[0050] 所述第一子栅极、所述第一遮光部和所述第二遮光部同层设置于所述衬底上，且间隔设置，所述第一子栅极位于所述桥接区，所述第一遮光部位于所述主区，所述第二遮光部位于所述显示区；

[0051] 缓冲层覆盖所述第一子栅极、所述第一遮光部、所述第二遮光部和衬底上；

[0052] 所述第一氧化物半导体部和所述第二氧化物半导体部同层设置于所述缓冲层上，且间隔设置；所述第二氧化物半导体部位于所述主区，所述第一氧化物半导体部位于所述显示区；

[0053] 所述附加栅极绝缘部、所述第一栅极绝缘部和所述第二栅极绝缘部同层且间隔设置；所述附加栅极绝缘部设置于所述缓冲层上，且位于所述桥接区；所述第一栅极绝缘部设置于所述第二氧化物半导体部上，所述第二栅极绝缘部设置于所述第一氧化物半导体部上；

[0054] 所述第二子栅极、所述第三子栅极和第三栅极同层且间隔设置，所述第二子栅极设置于所述附加栅极绝缘部上，所述第三子栅极设置于所述第一栅极绝缘部上，所述第三栅极设置于所述第二栅极绝缘部；

[0055] 层间介质层覆盖所述缓冲层、附加栅极绝缘部、第二氧化物半导体部、第一氧化物半导体部、第二子栅极、第一栅极绝缘部、第二栅极绝缘部、第三子栅极和第三栅极；

[0056] 连接部、第一源极、第一漏极、第二源极和第二漏极同层且间隔设置于所述层间介质层上，所述连接部位于所述桥接区，所述连接部连接所述第一子栅极和所述第二子栅极，所述第一源极和所述第一漏极与所述第二氧化物半导体部的两侧连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第一氧化物半导体部的另一侧连接。

发明的有益效果

有益效果

[0057] 本申请公开了一种阵列基板及其制备方法和显示面板，阵列基板包括衬底、开关晶体管和驱动晶体管，开关晶体管与驱动晶体管设置于衬底上，开关晶体管

在衬底上的正投影与驱动晶体管在衬底上的正投影错开；其中，开关晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管的阈值电压小于开关晶体管的阈值电压。开关晶体管采用的晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管采用的晶体管的阈值电压小于开关晶体管的阈值电压，提高了开关晶体管的迁移率，同时，提高了驱动晶体管的稳定性，从而提高阵列基板性能。

对附图的简要说明

附图说明

- [0058] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0059] 图1是本申请实施例提供的阵列基板的第一种结构示意图。
- [0060] 图2是本申请实施例提供的阵列基板的电路结构示意图。
- [0061] 图3是本申请实施例提供的阵列基板的第二种结构示意图。
- [0062] 图4是本申请实施例提供的阵列基板的制备方法流程示意图。
- [0063] 图5-图12是本申请实施例提供的阵列基板的制备方法流程结构示意图。
- [0064] 本申请的实施方式
- [0065] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。此外，应当理解的是，此处所描述的具体实施方式仅用于说明和解释本申请，并不用于限制本申请。在本申请中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。在本申请中，“反应”可以为化学反应或物理反应。
- [0066] 本申请公开了一种阵列基板及其制备方法和显示面板，阵列基板包括衬底、开关晶体管和驱动晶体管，开关晶体管与驱动晶体管设置于衬底上，开关晶体管

在衬底上的正投影与驱动晶体管在衬底上的正投影错开；其中，开关晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管的阈值电压小于开关晶体管的阈值电压。

[0067] 在本申请中，开关晶体管采用的晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管采用的晶体管的阈值电压小于开关晶体管的阈值电压，提高了开关晶体管的迁移率，同时，提高了驱动晶体管的稳定性，从而提高阵列基板性能。

[0068] 以下分别进行详细说明：

[0069] 请参阅图1和图2，图1是本申请实施例提供的阵列基板的第一种结构示意图，图2是本申请实施例提供的阵列基板的电路结构示意图。阵列基板01包括衬底100、开关晶体管200和驱动晶体管100。开关晶体管200与驱动晶体管100设置于衬底100上，开关晶体管200在衬底100上的正投影与驱动晶体管100在衬底100上的正投影错开。开关晶体管200的迁移率大于驱动晶体管100的迁移率，驱动晶体管100的阈值电压小于开关晶体管200的阈值电压。

[0070] 具体的，驱动晶体管100与开关晶体管200同层设置于衬底100上。衬底100包括相邻设置的显示区10和非显示区10。驱动晶体管100位于显示区10。开关晶体管200位于非显示区10。非显示区10包括相邻设置的桥接区30和主区20。桥接区30位于主区20远离显示区10的一侧。

[0071] 在一实施例中，开关晶体管200的迁移率是驱动晶体管100的1.5倍-3倍迁移率，驱动晶体管100的阈值电压是开关晶体管200的 $1/3$ - $1/2$ 倍阈值电压。具体的，开关晶体管200的迁移率可以是驱动晶体管100的1.5倍迁移率、2倍迁移率、2.3倍迁移率或3倍迁移率等，驱动晶体管100的阈值电压可以是开关晶体管200的 $1/3$ 倍阈值电压、 $4/5$ 倍阈值电压或 $1/2$ 倍阈值电压等。

[0072] 在本申请中，将开关晶体管200的迁移率设置为是驱动晶体管100的1.5倍-3倍迁移率，驱动晶体管100的阈值电压设置为是开关晶体管200的 $1/3$ - $1/2$ 倍阈值电压，进一步使得驱动晶体管100具有高稳定性，进一步使得开关晶体管200具有高迁移率，从而提高了阵列基板01的性能。

[0073] 在一实施例中，开关晶体管200包括第一栅极和与第一栅极连接的第二栅极，

驱动晶体管100包括第一氧化物半导体部111，第一氧化物半导体部111中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即，第一氧化物半导体部111中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。第一栅极设置于衬底100上。第一栅极包括相互间隔设置的第一子栅极211和第一遮光部212。第一子栅极211位于衬底100的桥接区30。第一遮光部212位于衬底100的主区20。

[0074] 在一实施例中，驱动晶体管100还包括第二遮光部112。第二遮光部112与所述第一遮光部212以及第一子栅极211同层且间隔设置于所述衬底100上。第二遮光部112位于显示区10。

[0075] 在一实施例中，第一子栅极211、第一遮光部212以及第二遮光部112的材料均为导电材料。导电材料包括Mo、Ti、Cu和Al中的一种或几种组合。

[0076] 缓冲层300覆盖于第一子栅极211、第一遮光部212、第二遮光部112和衬底100上。

[0077] 在一实施例中，缓冲层300的材料包括氮化硅和氧化硅中的一种或几种组合。缓冲层300可以为多层。

[0078] 在一实施例中，开关晶体管200还包括第二氧化物半导体部213。第一氧化物半导体部111和第二氧化物半导体部213同层设置于缓冲层300上，且间隔设置。第二氧化物半导体部213位于主区20。第一氧化物半导体部111位于显示区10。

[0079] 在一实施例中，第一氧化物半导体部111和第二氧化物半导体部213的材料为金属氧化物材料，金属氧化物材料包括IGZO、 Ga_2O_3 、ZnMgO和 SnO_2 中的一种或几种组合。

[0080] 在一实施例中，第一氧化物半导体部111和第二氧化物半导体部213均包括本体部和设置于本体部两侧的导体部。

[0081] 在本申请中，开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，避免了因现有技术中将LTPS晶体管和金属氧化物晶体管集成在大尺寸器件，而导致LTPS晶体管和金属氧化物晶体管工艺的出现兼容性难度增大的问题，即开关晶体管200和驱动晶体管100的氧化物半导体部采用金属氧化物形成，可以降低开关晶体管200和驱动晶体管100工艺的兼容性难度；现有技术

中LTPS晶体管需要一定量的H原子钝化硅膜层本体及界面的悬空键，来减少半导体部本体及界面缺陷，而H原子会破坏金属氧化物晶体管中的氧化物半导体的氧空位和金属原子-氧化学键（M-O）的平衡，而导致 V_{th} 产生负漂，而在本申请中，开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，不需要H原子处理氧化物半导体部，从而避免 V_{th} 产生负漂；LTPO制程复杂，LTPS和IGZO制程需分别完成，并且LTPS大面积均一性较差，使得LTPO较难应用于大尺寸产品，而在本申请中，开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，制备工艺简单，且可以提高阵列基板01的大面积均一性。

[0082] 在一实施例中，第二氧化物半导体部213中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，进一步的，第二氧化物半导体部213中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。

[0083] 在一实施例中，稀土金属元素包括镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)、钇(Y)和钪(Sc)中的一种或几种组合。氟系化合物包括三氟化氮、六氟化硫、四氟化碳、全氟丁二烯、六氟乙烷、全氟丙烷、三氟甲烷中的一种或几种组合。

[0084] 在本申请中，在第一氧化物半导体部111掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即掺杂有稀土金属元素和氟系化合物中的一种或几种组合，提高了驱动晶体管100的稳定性，使得驱动晶体管100长时间处于开态时，可以保持输出电流的稳定，从而提高了阵列基板01的性能。

[0085] 在一实施例中，稀土金属元素和氟系化合物中的一种或几种组合在第一氧化物半导体部111和第二氧化物半导体部213中的质量百分含量均为0.2%-5%。具体的，稀土金属元素和氟系化合物中的一种或几种组合在第一氧化物半导体部111和第二氧化物半导体部213中的质量百分含量均为0.2%、1.3%、2.5%、3%、4.7%或5%等。

[0086] 在本申请中，稀土金属元素和氟系化合物中的一种或几种组合在第一氧化物半导体部111和第二氧化物半导体部213中的质量百分含量设置为0.2%-5%，进一步

提高了驱动晶体管100的稳定性，使得驱动晶体管100长时间处于开态时，保持输出电流的稳定，从而进一步提高了阵列基板01的性能。

[0087] 在一实施例中，开关晶体管200还包括附加栅极绝缘部214和第一栅极绝缘部215。驱动晶体管100还包括第二栅极绝缘部113。附加栅极绝缘部214、第一栅极绝缘部215和第二栅极绝缘部113同层且间隔设置。附加栅极绝缘部214设置于缓冲层300上，且位于桥接区30。第一栅极绝缘部215设置于第二氧化物半导体部213上。第二栅极绝缘部113设置于第一氧化物半导体部111上。附加栅极绝缘部214、第一栅极绝缘部215和第二栅极绝缘部113的材料均为绝缘材料。

[0088] 第二栅极包相互间隔设置的第二子栅极216和第三子栅极217。第二子栅极216位于桥接区30，且位于第一子栅极211之上。第三子栅极217位于主区20，且位于第一遮光部212之上。第二子栅极216设置于附加栅极绝缘部214上。第三子栅极217设置于第一栅极绝缘部215上。

[0089] 在一实施例中，驱动晶体管100还包括第三栅极114。第三栅极114与第二子栅极216以及第三子栅极217同层且间隔设置。第三栅极114设置于第二栅极绝缘部113。

[0090] 在一实施例中，第二子栅极216、第三子栅极217以及第三栅极114的材料均为导电材料。导电材料包括Mo、Ti、Cu和Al中的一种或几种组合。

[0091] 层间介质层400覆盖缓冲层300、附加栅极绝缘部214、第二氧化物半导体部213、第一氧化物半导体部111、第二子栅极216、第一栅极绝缘部215、第二栅极绝缘部113、第三子栅极217和第三栅极114。层间介质层400上设置有第一通孔403、第二通孔405、第三通孔406、第四通孔404和第五通孔407。第一通孔403的第一分孔贯穿层间介质层400以及缓冲层300以暴露第一子栅极211。第一通孔403的第二分孔贯穿层间介质层400以暴露第二子栅极216。第二通孔405贯穿层间介质层400以暴露第二氧化物半导体部213的一导体部。第三通孔406贯穿层间介质层400以暴露第二氧化物半导体部213的另一导体部。第四通孔404的第一分孔贯穿层间介质层400以及缓冲层300以暴露第二遮光部112。第四通孔404的第二分孔贯穿层间介质层400以暴露第一氧化物半导体部111的一导体部。第五通孔407贯穿层间介质层400以暴露第一氧化物半导体部111的另一导体部。

- [0092] 在一实施例中，层间介质层400的材料包括氧化铝、氮化硅和氧化硅中的一种或几种组合。层间介质层400可以为多层。
- [0093] 在一实施例中，开关晶体管200还包括第一源极219和第一漏极220。驱动晶体管100还包括第二源极115和第二漏极116。连接部218、第一源极219、第一漏极220、第二源极115和第二漏极116同层且间隔设置于层间介质层400上。连接部218位于桥接区30，且连接部218延伸入第一通孔403的第一分孔中与第一子栅极211连接以及延伸入第一通孔403的第二分孔中与第二子栅极216连接。第一源极219延伸入第二通孔405中与第二氧化物半导体部213的一导体部连接。第一漏极220延伸入第三通孔406中与第二氧化物半导体部213的另一导体部连接。第二源极115的一端延伸入第四通孔404的第一分孔中与第二遮光部112连接。第二源极115的另一端延伸入第四通孔404的第二分孔中与第一氧化物半导体部111的一导体部连接。第二漏极116延伸入第五通孔407中与第一氧化物半导体部111的另一导体部连接。
- [0094] 在一实施例中，连接部218、第一源极219、第一漏极220、第二源极115和第二漏极116的材料均为导电材料。导电材料包括Mo、Ti、Cu和Al中的一种或几种组合。
- [0095] 在本申请中，开关晶体管200的第一子栅极211和第二子栅极216通过连接部218连接，使得开关晶体管200实现双栅控制，进而提高开关晶体管200的迁移率，使得开关晶体管200长时间处于关态时，可以提高将电信号写入驱动晶体管100的速度，从而提高阵列基板01的性能，且第一子栅极211和第二子栅极216位于桥接区30，使得阵列基板01的制备工艺要求降低，易于实现。
- [0096] 在一实施例中，阵列基板01还包括钝化层500和第一电极600。钝化层500覆盖层间介质层400、连接部218、第一源极219、第一漏极220、第二源极115和第二漏极116。钝化层500上设置有过孔。过孔贯穿钝化层500以暴露第二源极115。第一电极600设置于钝化层500上，并延伸入过孔中与第二源极115连接。
- [0097] 在一实施例中，钝化层500的材料包括氧化铝、氮化硅和氧化硅中的一种或几种组合。钝化层500可以为多层。
- [0098] 在一实施例中，第一电极600的材料包括高透金属氧化物，高透金属氧化物包

括ITO或IZO等。

[0099] 请参阅图3，图3是本申请实施例提供的阵列基板01的第二种结构示意图。需要说明的是，第二种结构与第一种结构的不同之处在于：

[0100] 在开关晶体管200中不另设置一个区域使得第一子栅极和第二子栅极连接，且不设置第一子栅极、第二子栅极和附加栅极绝缘部，第一通孔403的第一分孔贯穿层间介质层400以及缓冲层300以暴露第一遮光部212，第一通孔403的第二分孔贯穿层间介质层400以暴露第三子栅极217，连接部218设置于钝化层500上，连接部218位于第一源极219或第一漏极220之上，连接部218连接第一栅极和第二栅极，即连接部218连接第一遮光部212以及第三子栅极217。

[0101] 在本申请中，不另设置桥接区来连接第一栅极和第二栅极，实现开关晶体管200高迁移率的同时，减小非显示区10的占用面积，进而有利于实现窄边框设计。

[0102] 本申请提供一种阵列基板01，开关晶体管200的迁移率大于驱动晶体管100的迁移率，驱动晶体管100的阈值电压小于开关晶体管200的阈值电压，具体的，开关晶体管200的第一栅极和第二栅极通过连接部218连接，使得开关晶体管200可以实现双栅控制，提高了开关晶体管200的迁移率，使得开关晶体管200长时间处于关态时，可以提高将电信号写入驱动晶体管100的速度，从而提高阵列基板01的性能，并使得阵列基板01的制备工艺要求降低，易于实现，且驱动晶体管100的第一氧化物半导体部111中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即掺杂有稀土金属元素和氟系化合物，提高了驱动晶体管100的稳定性，使得驱动晶体管100长时间处于开态时，可以保持输出电流的稳定，从而提高阵列基板01的性能；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，避免了因现有技术中将LTPS晶体管和金属氧化物晶体管集成在大尺寸器件，而导致LTPS晶体管和金属氧化物晶体管工艺的出现兼容性难度增大的问题，即开关晶体管200和驱动晶体管100的氧化物半导体部采用金属氧化物形成，可以降低开关晶体管200和驱动晶体管100工艺的兼容性难度；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，不需要H原子处理氧化物半导体部，从而避免 V_{th} 产生负漂；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，制备工艺简单，且

可以提高阵列基板01的大面积均一性。

[0103] 请参阅图4以及图5-图12，图4为本申请实施例提供的阵列基板的制备流程示意图，图5-图12为本申请实施例提供的阵列基板的制备流程结构示意图。本申请还提供一种阵列基板的制备方法，包括：

[0104] B11、提供一衬底。

[0105] B12、在衬底上形成开关晶体管和驱动晶体管，开关晶体管在衬底上的正投影与驱动晶体管在衬底上的正投影错开；

[0106] 其中，所述开关晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管的阈值电压小于开关晶体管的阈值电压。

[0107] 在本申请中，开关晶体管采用的晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管采用的晶体管的阈值电压小于开关晶体管的阈值电压，提高了开关晶体管的迁移率，同时，提高了驱动晶体管的稳定性，从而提高阵列基板的性能。

[0108] 详细说明如下：

[0109] B11、提供一衬底。

[0110] B12、在衬底上形成开关晶体管和驱动晶体管，开关晶体管在衬底上的正投影与驱动晶体管在衬底上的正投影错开；

[0111] 其中，开关晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管的阈值电压小于开关晶体管的阈值电压。

[0112] 具体的，请参阅图5。在衬底100上利用物理气相沉积工艺沉积导电材料，并图形化形成间隔设置的第一栅极的第一子栅极211、第一栅极的第一遮光部212以及第二遮光部112。第一子栅极211位于衬底100的桥接区30。第一遮光部212位于衬底100的主区20。第二遮光部112位于显示区10。

[0113] 请参阅图6。然后，在第一子栅极211、第一遮光部212、第二遮光部112和衬底100上利用化学气相沉积缓冲层300的材料，并对其高温退火处理，退火温度为300-400℃，退火时间为2-3h，形成缓冲层300。具体的，退火温度可以为300℃、350℃、380℃或400℃等。退火时间可以为2、2.3h、2.8h或3h等。

[0114] 在本申请中，退火温度设置为300-400℃，退火时间设置为2-3h，降低缓冲层3

00中氧缺陷，并降低缓冲层300与第一氧化物半导体部111以及第二氧化物半导体部213的界面缺陷，降低下未与硅配位的弱键氧的比例，从而提高驱动晶体管100以及开关晶体管200的稳定性。

[0115] 请继续参阅图6。然后，在缓冲层300上沉积高稳定性的金属氧化物材料，并图形化形成间隔设置的第一氧化物半导体部111和第二氧化物半导体部213。第二氧化物半导体部213位于主区20。第一氧化物半导体部111位于显示区10。

[0116] 在一实施例中，第一氧化物半导体部111中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即掺杂有稀土金属元素和氟系化合物中的一种或几种组合。第二氧化物半导体部213中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即掺杂有稀土金属元素和氟系化合物中的一种或几种组合。

[0117] 在一实施例中，稀土金属元素包括镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)、钇(Y)和钪(Sc)中的一种或几种组合。氟系化合物包括三氟化氮、六氟化硫、四氟化碳、全氟丁二烯、六氟乙烷、全氟丙烷、三氟甲烷中的一种或几种组合。

[0118] 请参阅图7。然后，在缓冲层300、第一氧化物半导体部111和第二氧化物半导体部213上依次层叠沉积绝缘材料和导电材料，对导电材料进行图形化形成间隔设置的第二栅极的第二子栅极216、第二栅极的第三子栅极217以及第三栅极114，第三子栅极217位于主区20，且位于第一遮光部212之上，第二子栅极216设置于附加栅极绝缘部214上，第三子栅极217设置于第一栅极绝缘部215上，并采用第二栅极以及第三栅极114自对准工艺完成附加栅极绝缘部214、第一栅极绝缘部215以及第二栅极绝缘部的图形化；然后，采用等离子体处理第一氧化物半导体部111和第二氧化物半导体部213分别形成第一氧化物半导体部111和第二氧化物半导体部213的本体部以及导体部。

[0119] 请参阅图8。在缓冲层300、第一氧化物半导体部111、第二氧化物半导体部213、附加栅极绝缘部214、第一栅极绝缘部215以及第二栅极绝缘部113上采用化学气相沉积工艺沉积层间介质层400的材料，对其进行图形化形成层间介质层400

图形，层间介质层400上形成贯穿部分层间介质层400的第一预制孔401和第二预制孔402。第一预制孔401位于桥接区30。第二预制孔402位于显示区10。

[0120] 请参阅图9。对层间介质层400和缓冲层300进一步图形化处理，层间介质层400上设置有由第一预制孔401形成第一通孔403的第一分孔、第一通孔403的第二分孔、第二通孔405、第三通孔406、由第二预制孔402形成的第四通孔404的第一分孔、第四通孔404的第二分孔和第五通孔407。第一通孔403的第一分孔贯穿层间介质层400以及缓冲层300以暴露第一子栅极211。第一通孔403的第二分孔贯穿层间介质层400以暴露第二子栅极216。第二通孔405贯穿层间介质层400以暴露第二氧化物半导体部213的一导体部。第三通孔406贯穿层间介质层400以暴露第二氧化物半导体部213的另一导体部。第四通孔404的第一分孔贯穿层间介质层400以及缓冲层300以暴露第二遮光部112。第四通孔404的第二分孔贯穿层间介质层400以暴露第一氧化物半导体部111的一导体部。第五通孔407贯穿层间介质层400以暴露第一氧化物半导体部111的另一导体部。

[0121] 请参阅图10。在层间介质层400上采用物理气相沉积工艺沉积导电材料，并对其进行图形化形成间隔设置的连接部218、第一源极219、第一漏极220、第二源极115和第二漏极116。连接部218位于桥接区30，且连接部218延伸入第一通孔403的第一分孔中与第一子栅极211连接以及延伸入第一通孔403的第二分孔中与第二子栅极216连接。第一源极219延伸入第二通孔405中与第二氧化物半导体部213的一导体部连接。第一漏极220延伸入第三通孔406中与第二氧化物半导体部213的另一导体部连接。第二源极115的一端延伸入第四通孔404的第一分孔中与第二遮光部112连接。第二源极115的另一端延伸入第四通孔404的第二分孔中与第一氧化物半导体部111的一导体部连接。第二漏极116延伸入第五通孔407中与第一氧化物半导体部111的另一导体部连接。第一栅极、第二栅极、第二氧化物半导体部213、附加栅极绝缘部214、第一栅极绝缘部215、第一源极219以及第一漏极220组成开关晶体管200，第一氧化物半导体部111、第二遮光部112、第二栅极绝缘部113、第三栅极114、第二源极115以及第二漏极116组成驱动晶体管100。第一子栅极211和第二子栅极216通过位于桥接区30的连接部218连接，使得开关晶体管200可以实现双栅控制，提高开关晶体管200的迁移率，可以使

得开关晶体管200处于长时间的关态下，提高将电信号的写入驱动晶体管100的效率。

[0122] 在一实施例中，开关晶体管200的迁移率是驱动晶体管100的1.5倍-3倍迁移率，驱动晶体管100的阈值电压是开关晶体管200的 $1/3$ - $1/2$ 倍阈值电压。具体的，开关晶体管200的迁移率可以是驱动晶体管100的1.5倍迁移率、2倍迁移率、2.3倍迁移率或3倍迁移率等，驱动晶体管100的阈值电压可以是开关晶体管200的 $1/3$ 倍阈值电压、 $4/5$ 倍阈值电压或 $1/2$ 倍阈值电压等。

[0123] 在本申请中，将开关晶体管200的迁移率设置为是驱动晶体管100的1.5倍-3倍迁移率，驱动晶体管100的阈值电压设置为是开关晶体管200的 $1/3$ - $1/2$ 倍阈值电压，进一步使得驱动晶体管100具有高稳定性，进一步使得开关晶体管200具有高迁移率，从而提高了阵列基板01的性能。

[0124] 请参阅图11。沉积钝化层500材料，并对其图案化形成钝化层500，钝化层500上设置有过孔。过孔贯穿钝化层500以暴露第二源极115。

[0125] 请参阅图12。在钝化层500上设置高透金属氧化物，并对其图形化成第一电极600，可在高透金属氧化物上做OLED或Mini/Micro-LED等显示元件。

[0126] 本申请还提供一种显示面板，显示面板包括本申请提供的阵列基板，具有本申请所述的特征。

[0127] 本申请提供一种阵列基板01及其制备方法和显示面板，开关晶体管采用的晶体管的迁移率大于驱动晶体管的迁移率，驱动晶体管采用的晶体管的阈值电压小于开关晶体管的阈值电压，具体的，开关晶体管200的第一栅极和第二栅极通过连接部218连接，使得开关晶体管200可以实现双栅控制，提高了开关晶体管200的迁移率，使得开关晶体管200长时间处于关态时，可以提高将电信号写入驱动晶体管100的速度，从而提高阵列基板01的性能，并使得阵列基板01的制备工艺要求降低，易于实现，且驱动晶体管100的第一氧化物半导体部111中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，也即掺杂有稀土金属元素和氟系化合物，提高了驱动晶体管100的稳定性，使得驱动晶体管100长时间处于开态时，可以保持输出电流的稳定，从而提高阵列基板01的性能；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，避免了因

现有技术中将LTPS晶体管和金属氧化物晶体管集成在大尺寸器件，而导致LTPS晶体管和金属氧化物晶体管工艺的出现兼容性难度增大的问题，即开关晶体管200和驱动晶体管100的氧化物半导体部采用金属氧化物形成，可以降低开关晶体管200和驱动晶体管100工艺的兼容性难度；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，不需要H原子处理氧化物半导体部，从而避免 V_{th} 产生负漂；开关晶体管200和驱动晶体管100的氧化物半导体部均采用金属氧化物形成，制备工艺简单，且可以提高阵列基板01的大面积均一性。

[0128] 以上对本申请实施例所提供的一种阵列基板及其制备方法和显示面板进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权利要求书

- [权利要求 1] 一种阵列基板，其包括：
衬底；
开关晶体管和驱动晶体管，所述开关晶体管与所述驱动晶体管设置于所述衬底上，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；
其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述开关晶体管的迁移率是所述驱动晶体管的1.5倍-3倍迁移率，所述驱动晶体管的阈值电压是所述开关晶体管的1/3-1/2倍阈值电压。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，所述开关晶体管包括第一栅极和与所述第一栅极连接的第二栅极，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合。
- [权利要求 4] 根据权利要求3所述的阵列基板，其中，所述第一氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。
- [权利要求 5] 根据权利要求3所述的阵列基板，其中，所述驱动晶体管与所述开关晶体管同层设置于所述衬底上，所述衬底包括相邻设置的显示区和非显示区，所述驱动晶体管位于所述显示区，所述开关晶体管位于所述非显示区。
- [权利要求 6] 根据权利要求5所述的阵列基板，其中，所述非显示区包括相邻设置的桥接区和主区，所述桥接区位于所述主区远离所述显示区的一侧；所述第一栅极包括相互间隔设置的第一子栅极和第一遮光部，所述第一子栅极位于所述衬底的桥接区，所述第一遮光部位于所述衬底的主区，所述第二栅极包相互间隔设置的第二子栅极和第三子栅极，所述第二子栅极位于所述桥接区，且位于所述第一子栅极之上，所述第一子栅极与所述第二子栅极连接；所述第三子栅极位于所述主区，且位

于所述第一遮光部之上。

[权利要求 7]

根据权利要求6所述的阵列基板，其中，所述开关晶体管还包括第二氧化物半导体部、附加栅极绝缘部、第一栅极绝缘部、第一源极和第一漏极，所述驱动晶体管还包括第二遮光部、第二栅极绝缘部、第三栅极、第二源极和第二漏极；

所述第一子栅极、所述第一遮光部和所述第二遮光部同层设置于所述衬底上，且间隔设置，所述第一子栅极位于所述桥接区，所述第一遮光部位于所述主区，所述第二遮光部位于所述显示区；

缓冲层覆盖所述第一子栅极、所述第一遮光部、所述第二遮光部和衬底上；

所述第一氧化物半导体部和所述第二氧化物半导体部同层设置于所述缓冲层上，且间隔设置；所述第二氧化物半导体部位于所述主区，所述第一氧化物半导体部位于所述显示区；

所述附加栅极绝缘部、所述第一栅极绝缘部和所述第二栅极绝缘部同层且间隔设置；所述附加栅极绝缘部设置于所述缓冲层上，且位于所述桥接区；所述第一栅极绝缘部设置于所述第二氧化物半导体部上，所述第二栅极绝缘部设置于所述第一氧化物半导体部上；

所述第二子栅极、所述第三子栅极和第三栅极同层且间隔设置，所述第二子栅极设置于所述附加栅极绝缘部上，所述第三子栅极设置于所述第一栅极绝缘部上，所述第三栅极设置于所述第二栅极绝缘部；

层间介质层覆盖所述缓冲层、附加栅极绝缘部、第二氧化物半导体部、第一氧化物半导体部、第二子栅极、第一栅极绝缘部、第二栅极绝缘部、第三子栅极和第三栅极；

连接部、第一源极、第一漏极、第二源极和第二漏极同层且间隔设置于所述层间介质层上，所述连接部位于所述桥接区，所述连接部连接所述第一子栅极和所述第二子栅极，所述第一源极和所述第一漏极与所述第二氧化物半导体部的两侧连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第

一氧化物半导体部的另一侧连接。

[权利要求 8] 根据权利要求7所述的阵列基板，其中，所述阵列基板还包括钝化层和第一电极，所述钝化层覆盖所述层间介质层、所述连接部、所述第一源极、所述第一漏极、所述第二源极和所述第二漏极，所述第一电极设置于所述钝化层上，所述第一电极与所述第二源极连接。

[权利要求 9] 根据权利要求7所述的阵列基板，其中，所述第二氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合，所述第二氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。

[权利要求 10] 根据权利要求9所述的阵列基板，其中，所述稀土金属元素和所述氟系化合物中的一种或几种组合在第一氧化物半导体部中的质量百分含量均为0.2%-5%，所述稀土金属元素和所述氟系化合物中的一种或几种组合在所述第二氧化物半导体部中的质量百分含量均为0.2%-5%。

[权利要求 11] 根据权利要求5所述的阵列基板，其中，所述开关晶体管还包括第二氧化物半导体部、第一栅极绝缘部、第二栅极绝缘部、第三栅极、第一源极、第一漏极、第二源极、第二漏极和第二遮光部；
所述第一栅极和所述第二遮光部同层且间隔设置于所述衬底上，所述第一栅极位于所述非显示区，所述第二遮光部位于所述显示区；
缓冲层覆盖所述第一栅极和所述第二遮光部；
所述第一氧化物半导体部和所述第二氧化物半导体部同层且间隔设置于所述缓冲层上，所述第二氧化物半导体部位于所述第一栅极之上，所述第一氧化物半导体部位于所述第二遮光部之上；
所述第一栅极绝缘部和所述第二栅极依次层叠设置于所述第二氧化物半导体部上；
所述第二栅极绝缘部和所述第三栅极依次层叠设置于所述第一氧化物半导体部上；
层间介质层覆盖所述缓冲层、所述第一氧化物半导体部、所述第二氧化物半导体部、第一栅极绝缘部、第二栅极绝缘部、第二栅极以及第

三栅极上；

所述第一源极、所述第一漏极、所述第二源极以及所述第二漏极同层且间隔设置于所述层间介质层上，所述第一源极和所述第一漏极与所述第二氧化物半导体部连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第一氧化物半导体部的另一侧连接；

钝化层覆盖所述层间介质层、所述第一源极、所述第一漏极、所述第二源极和所述第二漏极；

所述连接部设置于所述钝化层上，且位于所述第一源极或所述第一漏极之上，所述连接部连接所述第一栅极和所述第二栅极。

[权利要求 12]

一种阵列基板的制备方法，其包括：

提供一衬底；

在所述衬底上形成开关晶体管和驱动晶体管，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；

其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。

[权利要求 13]

根据权利要求12所述的阵列基板的制备方法，其中，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合。

[权利要求 14]

一种显示面板，所述显示面板包括阵列基板，其中，所述阵列基板包括：

衬底；

开关晶体管和驱动晶体管，所述开关晶体管与所述驱动晶体管设置于所述衬底上，所述开关晶体管在所述衬底上的正投影与所述驱动晶体管在所述衬底上的正投影错开；

其中，所述开关晶体管的迁移率大于所述驱动晶体管的迁移率，所述驱动晶体管的阈值电压小于所述开关晶体管的阈值电压。

[权利要求 15]

根据权利要求14所述的显示面板，其中，所述开关晶体管的迁移率是

所述驱动晶体管的1.5倍-3倍迁移率，所述驱动晶体管的阈值电压是所述开关晶体管的1/3-1/2倍阈值电压。

- [权利要求 16] 根据权利要求14所述的显示面板，其中，所述开关晶体管包括第一栅极和与所述第一栅极连接的第二栅极，所述驱动晶体管包括第一氧化物半导体部，所述第一氧化物半导体部中掺杂有具有电负性的金属和电负性的化合物中一种或两种组合。
- [权利要求 17] 根据权利要求16所述的显示面板，其中，所述第一氧化物半导体部中掺杂有稀土金属元素和氟系化合物中的一种或几种组合。
- [权利要求 18] 根据权利要求16所述的显示面板，其中，所述驱动晶体管与所述开关晶体管同层设置于所述衬底上，所述衬底包括相邻设置的显示区和非显示区，所述驱动晶体管位于所述显示区，所述开关晶体管位于所述非显示区。
- [权利要求 19] 根据权利要求18所述的显示面板，其中，所述非显示区包括相邻设置的桥接区和主区，所述桥接区位于所述主区远离所述显示区的一侧；所述第一栅极包括相互间隔设置的第一子栅极和第一遮光部，所述第一子栅极位于所述衬底的桥接区，所述第一遮光部位于所述衬底的主区，所述第二栅极包相互间隔设置的第二子栅极和第三子栅极，所述第二子栅极位于所述桥接区，且位于所述第一子栅极之上，所述第一子栅极与所述第二子栅极连接；所述第三子栅极位于所述主区，且位于所述第一遮光部之上。
- [权利要求 20] 根据权利要求19所述的显示面板，其中，所述开关晶体管还包括第二氧化物半导体部、附加栅极绝缘部、第一栅极绝缘部、第一源极和第一漏极，所述驱动晶体管还包括第二遮光部、第二栅极绝缘部、第三栅极、第二源极和第二漏极；
- 所述第一子栅极、所述第一遮光部和所述第二遮光部同层设置于所述衬底上，且间隔设置，所述第一子栅极位于所述桥接区，所述第一遮光部位于所述主区，所述第二遮光部位于所述显示区；
- 缓冲层覆盖所述第一子栅极、所述第一遮光部、所述第二遮光部和衬

底上；

所述第一氧化物半导体部和所述第二氧化物半导体部同层设置于所述缓冲层上，且间隔设置；所述第二氧化物半导体部位于所述主区，所述第一氧化物半导体部位于所述显示区；

所述附加栅极绝缘部、所述第一栅极绝缘部和所述第二栅极绝缘部同层且间隔设置；所述附加栅极绝缘部设置于所述缓冲层上，且位于所述桥接区；所述第一栅极绝缘部设置于所述第二氧化物半导体部上，所述第二栅极绝缘部设置于所述第一氧化物半导体部上；

所述第二子栅极、所述第三子栅极和第三栅极同层且间隔设置，所述第二子栅极设置于所述附加栅极绝缘部上，所述第三子栅极设置于所述第一栅极绝缘部上，所述第三栅极设置于所述第二栅极绝缘部；

层间介质层覆盖所述缓冲层、附加栅极绝缘部、第二氧化物半导体部、第一氧化物半导体部、第二子栅极、第一栅极绝缘部、第二栅极绝缘部、第三子栅极和第三栅极；

连接部、第一源极、第一漏极、第二源极和第二漏极同层且间隔设置于所述层间介质层上，所述连接部位于所述桥接区，所述连接部连接所述第一子栅极和所述第二子栅极，所述第一源极和所述第一漏极与所述第二氧化物半导体部的两侧连接，所述第二源极与所述第一氧化物半导体部的一侧以及所述第二遮光部连接，所述第二漏极与所述第一氧化物半导体部的另一侧连接。

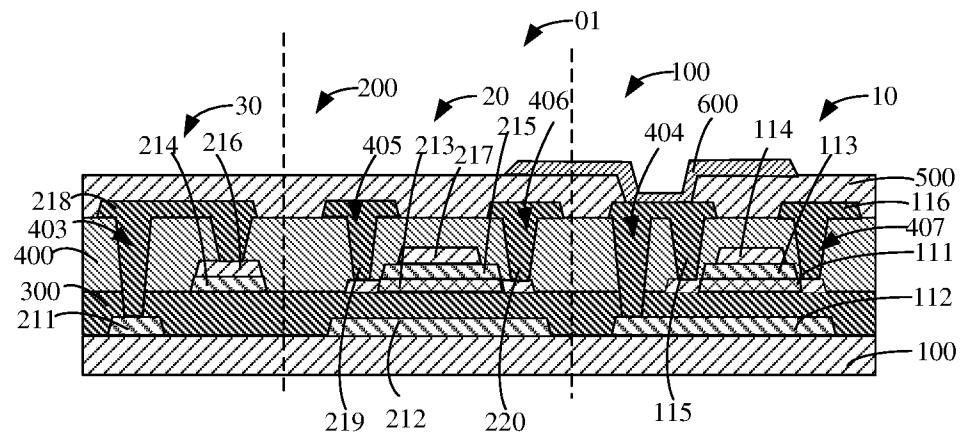


图 1

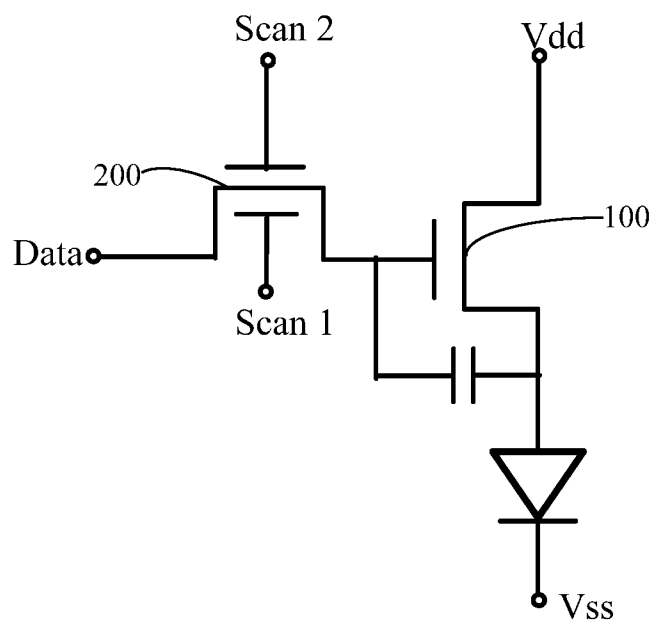


图 2

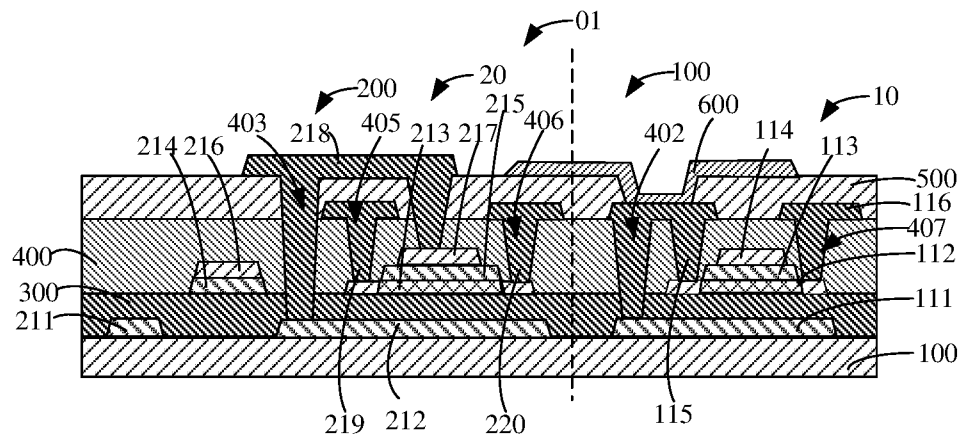


图 3

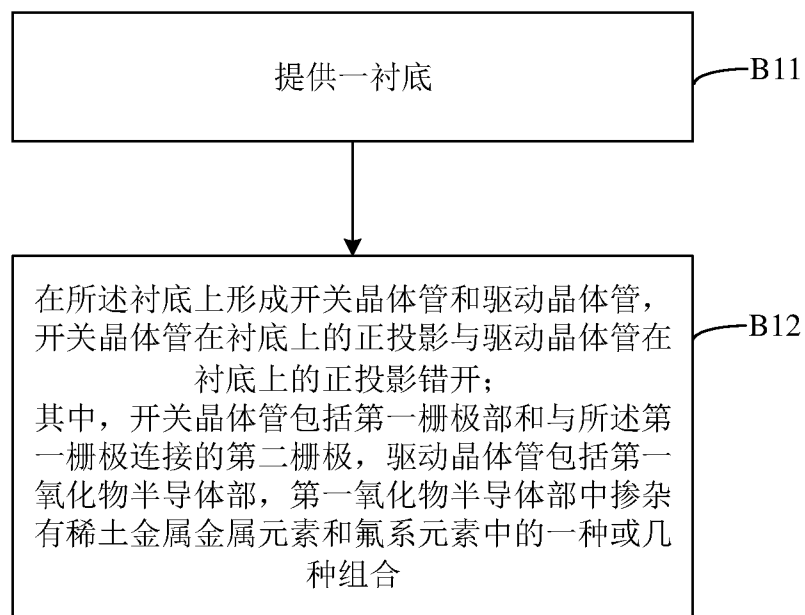


图 4

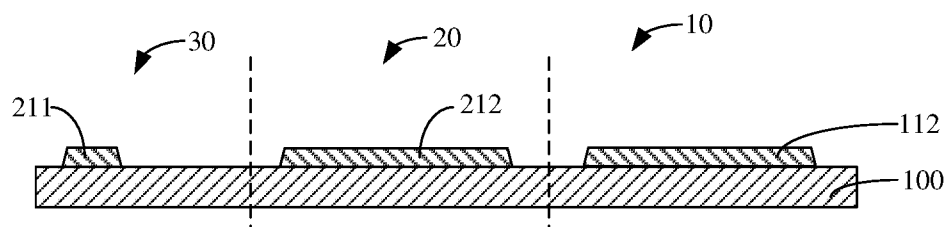


图 5

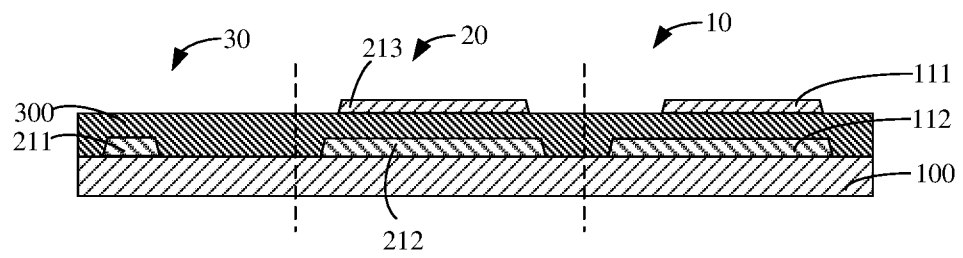


图 6

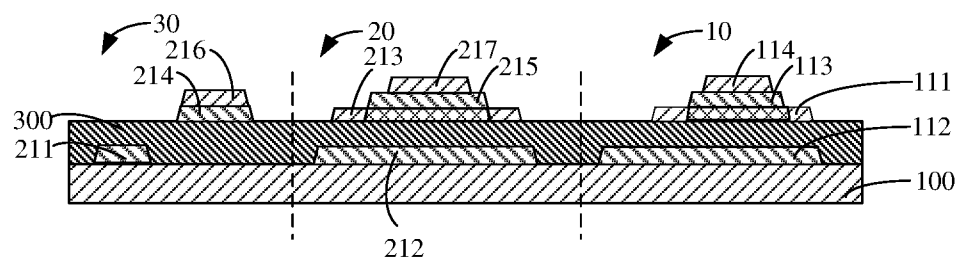


图 7

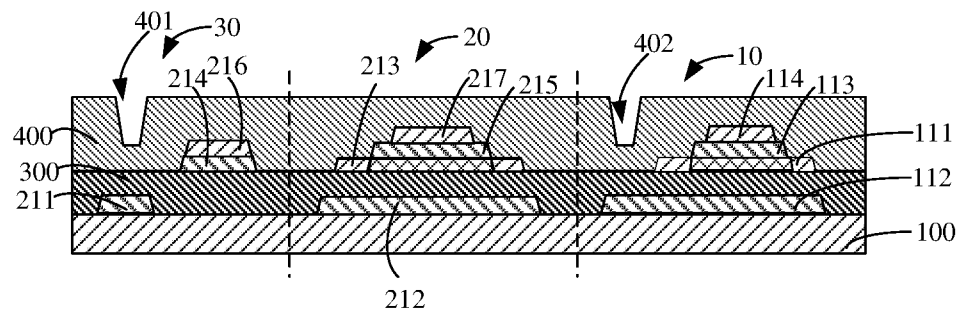


图 8

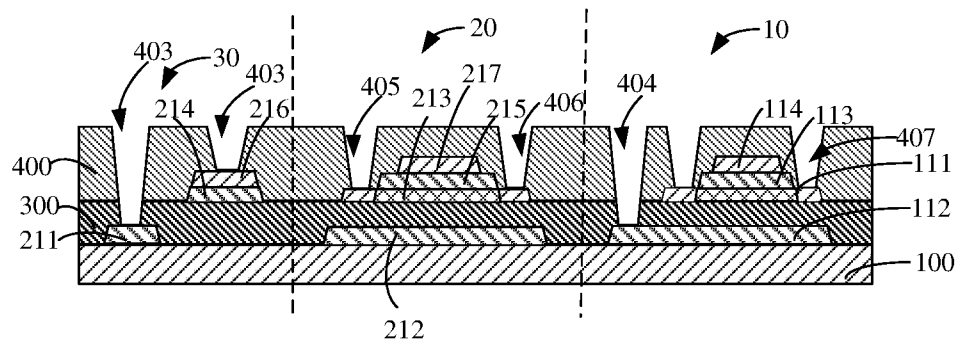


图 9

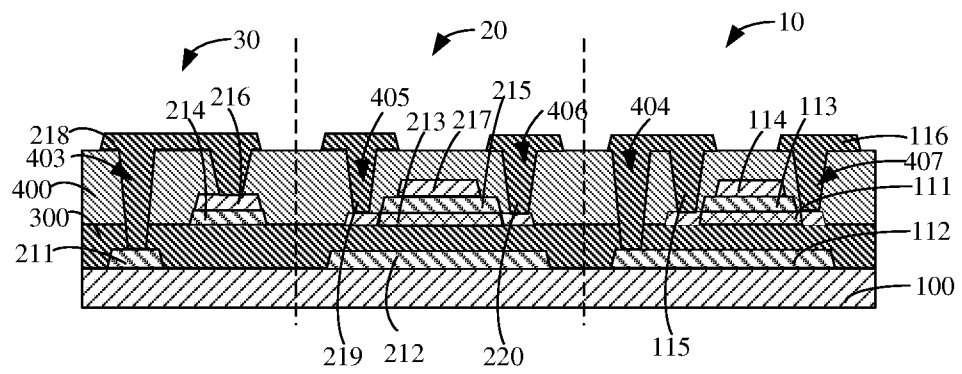


图 10

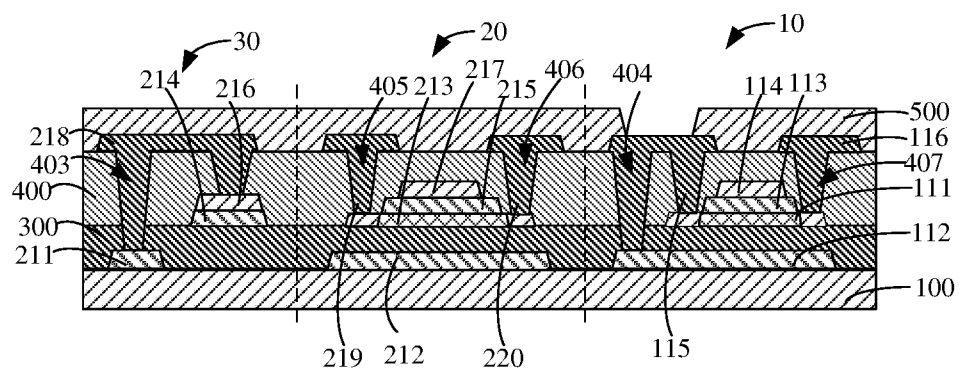


图 11

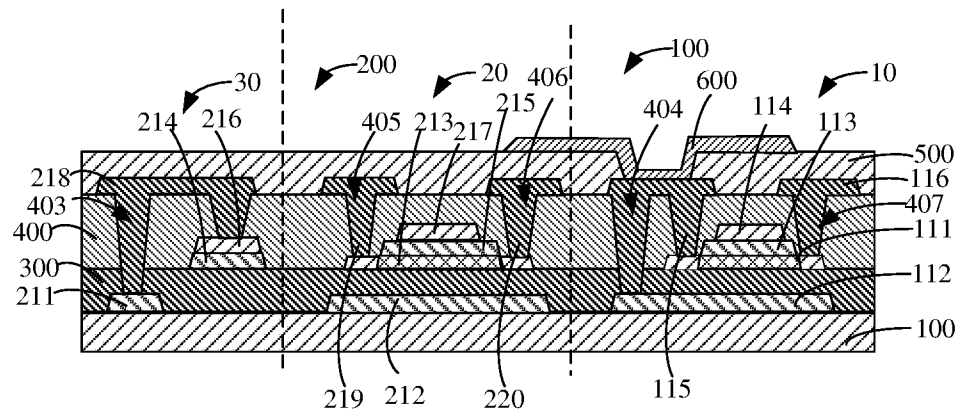


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/137154

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 阵列基板, 开关晶体管, 驱动晶体管, 迁移率, 阈值电压, 大, 小, 倍, 高, 低, 显示区, 像素区, 非显示区, 非像素区, array, substrate, switch, driv+, transistor?, mobility, threshold voltage, smaller, larger, stability

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113540165 A (SAMSUNG DISPLAY CO., LTD.) 22 October 2021 (2021-10-22) description, paragraphs [0048]-[0193], and figures 1-24	1-20
A	CN 110880518 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 13 March 2020 (2020-03-13) entire document	1-20
A	CN 107004682 A (LG DISPLAY CO., LTD.) 01 August 2017 (2017-08-01) entire document	1-20
A	US 7605399 B2 (SAMSUNG MOBILE DISPLAY CO., LTD.) 20 October 2009 (2009-10-20) entire document	1-20
A	CN 108320705 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 July 2018 (2018-07-24) entire document	1-20
A	CN 112310151 A (SAMSUNG DISPLAY CO., LTD.) 02 February 2021 (2021-02-02) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 August 2022

Date of mailing of the international search report

25 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/137154

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113540165	A	22 October 2021	EP	3896736	A1	20 October 2021
				KR	20210129294	A	28 October 2021
				US	2021327983	A1	21 October 2021
				EP	3896736	A4	20 October 2021
CN	110880518	A	13 March 2020	US	2022059576	A1	24 February 2022
				WO	2021103616	A1	03 June 2021
				CN	110880518	B	13 July 2021
CN	107004682	A	01 August 2017	EP	3241240	A1	08 November 2017
				US	2015243720	A1	27 August 2015
				US	2015243718	A1	27 August 2015
				US	2015243719	A1	27 August 2015
				EP	3241209	A1	08 November 2017
				WO	2016108464	A1	07 July 2016
				IN	201617044281	A	14 April 2017
				US	9634038	B2	25 April 2017
				KR	20170101203	A	05 September 2017
				EP	3241209	A4	13 December 2017
				CN	107004682	B	19 June 2020
				US	9449994	B2	20 September 2016
				US	9406705	B2	02 August 2016
				EP	3241240	A4	22 August 2018
				EP	3241240	B1	18 November 2020
US	7605399	B2	20 October 2009	US	2007045628	A1	01 March 2007
				KR	100646939	B1	23 November 2006
CN	108320705	A	24 July 2018	WO	2019157822	A1	22 August 2019
				JP	2021513663	A	27 May 2021
				EP	3754637	A1	23 December 2020
				US	2021335950	A1	28 October 2021
				IN	201947034791	A	27 March 2020
				CN	108320705	B	27 April 2021
				EP	3754637	A4	10 November 2021
CN	112310151	A	02 February 2021	IN	383399	B	03 December 2021
				KR	20210016111	A	15 February 2021
				US	2021036028	A1	04 February 2021
				US	11227875	B2	18 January 2022

国际检索报告

国际申请号

PCT/CN2021/137154

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 阵列基板, 开关晶体管, 驱动晶体管, 迁移率, 阈值电压, 大, 小, 倍, 高, 低, 显示区, 像素区, 非显示区, 非像素区, array, substrate, switch, driv+, transistor?, mobility, threshold voltage, smaller, larger, stability

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 113540165 A (三星显示有限公司) 2021年10月22日 (2021 - 10 - 22) 说明书第[0048]-[0193]段, 图1-24	1-20
A	CN 110880518 A (云谷固安科技有限公司) 2020年3月13日 (2020 - 03 - 13) 全文	1-20
A	CN 107004682 A (乐金显示有限公司) 2017年8月1日 (2017 - 08 - 01) 全文	1-20
A	US 7605399 B2 (SAMSUNG MOBILE DISPLAY CO., LTD.) 2009年10月20日 (2009 - 10 - 20) 全文	1-20
A	CN 108320705 A (京东方科技集团股份有限公司) 2018年7月24日 (2018 - 07 - 24) 全文	1-20
A	CN 112310151 A (三星显示有限公司) 2021年2月2日 (2021 - 02 - 02) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年8月12日

国际检索报告邮寄日期

2022年8月25日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

祁少杰

电话号码 86-(10)-53961206

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/137154

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113540165	A	2021年10月22日	EP	3896736	A1	2021年10月20日
				KR	20210129294	A	2021年10月28日
				US	2021327983	A1	2021年10月21日
				EP	3896736	A4	2021年10月20日
CN	110880518	A	2020年3月13日	US	2022059576	A1	2022年2月24日
				WO	2021103616	A1	2021年6月3日
				CN	110880518	B	2021年7月13日
CN	107004682	A	2017年8月1日	EP	3241240	A1	2017年11月8日
				US	2015243720	A1	2015年8月27日
				US	2015243718	A1	2015年8月27日
				US	2015243719	A1	2015年8月27日
				EP	3241209	A1	2017年11月8日
				WO	2016108464	A1	2016年7月7日
				IN	201617044281	A	2017年4月14日
				US	9634038	B2	2017年4月25日
				KR	20170101203	A	2017年9月5日
				EP	3241209	A4	2017年12月13日
				CN	107004682	B	2020年6月19日
				US	9449994	B2	2016年9月20日
				US	9406705	B2	2016年8月2日
				EP	3241240	A4	2018年8月22日
				EP	3241240	B1	2020年11月18日
US	7605399	B2	2009年10月20日	US	2007045628	A1	2007年3月1日
				KR	100646939	B1	2006年11月23日
CN	108320705	A	2018年7月24日	WO	2019157822	A1	2019年8月22日
				JP	2021513663	A	2021年5月27日
				EP	3754637	A1	2020年12月23日
				US	2021335950	A1	2021年10月28日
				IN	201947034791	A	2020年3月27日
				CN	108320705	B	2021年4月27日
				EP	3754637	A4	2021年11月10日
				IN	383399	B	2021年12月3日
CN	112310151	A	2021年2月2日	KR	20210016111	A	2021年2月15日
				US	2021036028	A1	2021年2月4日
				US	11227875	B2	2022年1月18日