

申請日期: 6.12	案號: P1112776
類別: H01L 21/765	

(以上各欄由本局填註)

發明專利說明書

538500

一、 發明名稱	中文	場效電晶體閘極之製造方法
	英文	
二、 發明人	姓名 (中文)	1. 郝中蓬 2. 毛惠民 3. 陳逸男 4. 蔡子敬
	姓名 (英文)	1. Chung-Peng Hao 2. 3. Yi-Nan Chen 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 台北市赤峰街47巷14號2樓 2. 台南縣永康市光復里影劇三村437號 3. 台北市北投區西安街一段347號 4. 台中縣神岡鄉豐洲路115號
三、 申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓名 (中文)	1. 連日昌
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

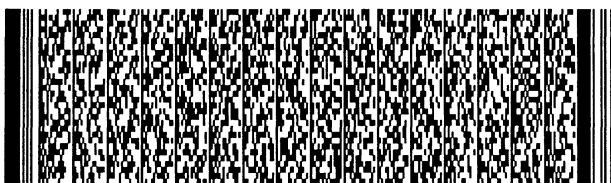
發明領域

本發明係有關於一種半導體元件之製造方法；特別是，係有關於鑲嵌式場效電晶體(MOSFET)閘極之製造方法。

發明背景

隨著半導體製程技術之不斷進步，電晶體之閘極長度已經緊縮(scaling down)至小於100毫微米(nm)之範圍內，而閘極氧化層之厚度也經常小於3nm。習知場效電晶體之閘極製造方法主要是在矽基底上形成有二氧化矽構成的淺溝槽隔離物(shallow trench isolation)STI，以區隔出主動區域；之後依序形成一閘極氧化層和複晶矽層(polysilicon)後，施與一平坦化處理步驟，去除部分表面不平坦之複晶矽，然後再以一硬罩幕層覆蓋複晶矽層，以微影製程(photolithography)和蝕刻技術定義出一複晶矽閘極電極，之後再進行輕度摻雜汲極(lightly doped drain)離子植入，以及形成間隙壁等步驟。

習知製程通常需要多次沈積、微影製程與蝕刻技術等過程，硬罩幕的製造昂貴，且在元件更精細的情形下，也增加閘極電極製程上的難度。此外，在除去非閘極電極區域的複晶矽層與氧化層時，常會發生過度蝕刻氧化層，而損及下面之矽基底的情形，如此而來，在之後的製造方法中將會面臨該表面不平整的缺點，而可能會有接觸不良的情形。若是蝕刻不完全，更會造成閘極與閘極間，或閘極



五、發明說明 (2)

與位元線間的殘留(stringer)，而容易發生短路的情形。此上述習知技術之缺點即是本發明所欲解決的問題。

發明概述

本發明之目的係為提供一種鑲嵌式場效電晶體閘極之製造方法，包含下列步驟：提供一矽基底；依序沈積形成一墊層、以及一介電層於該基底上；在閘極預定區定義出一貫穿該介電層以及該墊層之溝渠，以露出閘極預定區之基底；於閘極預定區之基底由底部向上依序形成一閘極介電層、一閘極導電層以及一上蓋層，以形成一鑲嵌狀閘極結構，以及去除該介電層，以得到一閘極電極。

本發明所提供之另一種鑲嵌式場效電晶體閘極之製造方法，包含下列步驟：提供一矽基底；依序沈積形成一墊層、以及一介電層於該基底上；在閘極預定區定義出一貫穿該介電層以及該墊層之溝渠，以露出閘極預定區之基底；於閘極預定區之基底由底部向上依序形成一閘極介電層、一閘極第一導電層、一閘極第二導電層以及一上蓋層，以形成一鑲嵌狀閘極結構，且該鑲嵌狀閘極結構之形成包含下列步驟：(i) 沈積一閘極介電層，(ii) 沈積一第一導電層，對該第一導電層平進行平坦化與蝕刻，形成一鑲嵌狀之第一導電層，(iii) 沈積一第二導電層，對該第二導電層進行平坦化與蝕刻，形成一鑲嵌狀之第二導電層，以及(iv) 沈積一上蓋層，對該上蓋層進行平坦化與蝕刻，形成一鑲嵌狀之上蓋層；以及去除該介電層，以得到一閘



五、發明說明 (3)

極電極。

為了讓本發明之上述和其他目的、特徵，以及優點能更明顯易懂，下文特舉較佳實施例並配合所附圖式，作詳細說明如下：

實施例

以下，請參照第1圖至第10圖，其顯示本發明較佳實施例，本實施例以場效電晶體之閘極製程為例，說明本發明技術。

首先，請參照第1圖，提供一矽基底100，其形成有二氧化矽構成的淺溝槽隔離物STI，以定義出一主動區。接著，在矽基底100上沈積形成一例如氮化物構成的墊層102，以及一例如四乙基矽酸鹽 (tetra-ethyl-ortho-silicate, TEOS) 構成之介電層104，上述墊層102與介電層104可利用化學氣相沈積法 (chemical vapor deposition; CVD) 或是高溫熱氧化法 (thermal oxidation) 形成。然後，利用光阻形成一圖案化光阻層105，定義出一閘極預定區，以蝕刻露出一貫穿該介電層104與墊層102之溝渠，而露出閘極預定區之矽基底，如第2圖所示。

然後，請參照第3圖，以熱氧化法形成一例如二氧化矽構成之薄閘極介電層106，再形成一作為第一導電層之摻雜有N型離子的複晶矽層108，上述複晶矽層108可利用低壓化學氣相沈積法(LPCVD)在525~575°C之間沈積而得，



五、發明說明 (4)

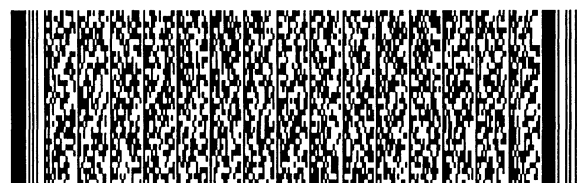
其厚度範圍最好在1000~5000 Å 之間。對於N型元件而言，可在沈積複晶矽層108時，於矽烷氣體中加入磷化氫(phosphine)或砷化三氫(arsine)進行原位摻雜，或者，亦可先沈積複晶矽層108後，再以磷離子或砷離子進行離子佈植，佈植能量範圍約25~75KeV，佈植濃度範圍約 $1E14\sim 1E16$ 原子/平方公分。

再者，請參照第4圖，以化學機械研磨(Chemical mechanical polish, CMP)，平坦化處理複晶矽層108。

接著，請參照第5圖，將複晶矽層108加以回蝕刻，使其表面低於閘極預定區溝渠開口，形成一鑲嵌狀結構。此蝕刻步驟可使用含有 Cl_2 的蝕刻氣體以選擇性地去除複晶矽。使表面低於閘極預定區溝渠開口係為了後續步驟可以填入矽化鎢(WSi)，並藉此於閘極預定區底部定義出複晶矽閘極108a。

然後，請參照第6圖，沈積一作為第二導電層之薄矽化鎢(WSi_x)層110，可利用電漿加強化學氣相沈積法(PECVD)、濺鍍法、或是最佳的，採用化學氣相沈積法形成。

之後，請參照第7圖，以化學機械研磨以及蝕刻技術，或是直接以蝕刻技術，平坦化處理矽化鎢層110成一鑲嵌狀結構110a。此矽化鎢層110a與複晶矽層108a共同構成一鑲嵌狀閘極導電層，且作為第一導電層之複晶矽層108a厚度大於作為第二導電層之矽化鎢層110a。此外，此閘極導電層之組合，亦可改為第一導電層為複晶矽層，第



五、發明說明 (5)

二導電層為氮化鎢/鎢層，且第一導電層厚度仍大於第二導電層。

再者，請參照第8圖，沈積一薄氮化層112，再以化學機械研磨或蝕刻技術處理氮化層112成一鑲嵌狀結構。

最後，請參照第9圖，將四乙基矽酸鹽(TEOS)構成之介電層104以濕式蝕刻技術處理，使留下如圖所示之閘極電極A，其中由底部向上依序包含：一閘極介電層106、一第一導電層108a、一第二導電層110a以及一氮化層112。

當完成閘極電極之結構後，請參照第10圖，以閘極導電層為佈植罩幕，對矽基底100進行離子佈植，在基底中形成源極/汲極摻雜區域116，並形成間隙壁114，由是而完成本發明之電晶體元件結構。對於DRAM而言，為減小因佈植損害(implant damage)所造成的漏電流，所以陣列電晶體(array transistor)以磷為源/汲極為佳。以砷離子形成源極/汲極摻雜區域116時，可以1~100KeV的佈植能量， $1E15\sim 8E15$ 原子/平方公分的佈植劑量進行。

發明特徵及效果

鑲嵌製程通常係用於導線之製程，本發明人等將此技術施用於閘極電極的製程，使本發明可以應用於小於0.1微米的製程；並使閘極電極製程不需要用到硬罩幕，因此可以簡化流程與避免製作硬罩幕在次微米元件製程上的困難度，此外，也可以較容易地進行閘極的蝕刻。

由於製程中多數層的表面皆採用化學機械研磨，也會

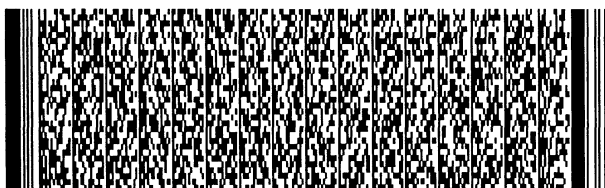


五、發明說明 (6)

有更平坦的表面，而得到精緻而不容易表面接觸不良的閘極。

另外，由於先以介電層沈積分隔製作各閘極電極，傳統製程上常發生的閘極與閘極間殘留所導致的短路情形也可以避免。而且，在矽基底可能發生的閘極與位元線間殘留也可以避免，這在動態隨機存取記憶體(DRAM)應用上特別重要。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此技藝者，在不脫離本發明之精神和範圍外，當可作各種之更動與潤飾，因此本發明之保護範圍，當視後附之申請專利範圍所界定者為準。

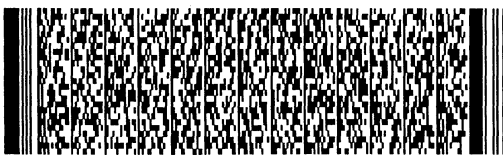


圖式簡單說明

第1圖至第10圖為顯示本發明較佳實施例場效電晶體閘極之製造方法剖面圖。

符號之說明

100~矽基底；	102~墊層；
104~介電層；	105~光阻圖案層；
106~閘極介電層；	108~第一導電層；
110~第二導電層；	112~氮化層；
114~組合間隙壁；	116~汲極或源極摻雜區域。



四、中文發明摘要 (發明之名稱：場效電晶體閘極之製造方法)

本發明提供一種場效電晶體閘極之製造方法，包含下列步驟：(a)提供一矽基底；(b)依序沈積形成一墊層、以及一介電層於該基底上；(c)在閘極預定區定義出一貫穿該介電層以及該墊層之溝渠，以露出閘極預定區之基底；(d)於閘極預定區之基底由底部向上依序形成一閘極介電層、一第一導電層、一第二導電層、以及一上蓋層，以形成一鑲嵌狀閘極結構，且該鑲嵌狀閘極結構之形成包含下列步驟：(i)沈積一閘極介電層，(ii)沈積一第一導電層，對該第一導電層進行平坦化與蝕刻，形成一鑲嵌狀之第一導電層，(iii)沈積一第二導電層，對該第二導電層進行平坦化與蝕刻，形成一鑲嵌狀之第二導電層，以及(iv)沈積一上蓋層，對該上蓋層進行平坦化與蝕刻，形成

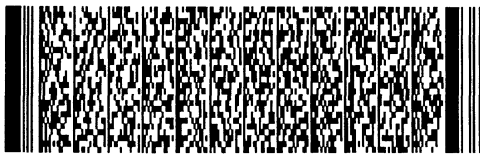
英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：場效電晶體閘極之製造方法)

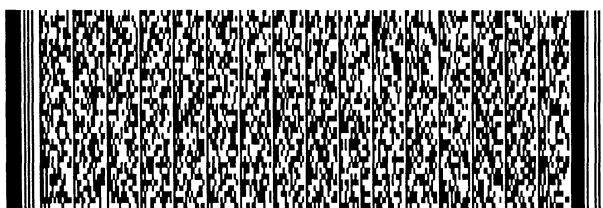
一鑲嵌狀之上蓋層；以及(e)去除該介電層，以得到一閘極電極。本發明具有簡化傳統閘極電極製造方法，使表面更平坦化，並減少閘極與閘極間、或閘極與位元線間的殘留，因而降低閘極與閘極間或矽基底表面短路的可能性。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種場效電晶體閘極之製造方法，包含下列步驟：
提供一矽基底；
依序沈積形成一墊層、以及一介電層於該基底上；
在閘極預定區定義出一貫穿該介電層以及該墊層之溝渠，以露出閘極預定區之基底；
在閘極預定區之基底由底向上依序形成一閘極介電層、一閘極導電層、以及一上蓋層，以形成一鑲嵌狀閘極結構；以及
去除該介電層，以得到一閘極電極。
2. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中該墊層係氮化層。
3. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中該介電層係四乙基矽酸鹽。
4. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中該溝渠之形成包括：
利用光罩定義出一圖案化光阻層，以曝露出閘極預定區；
以該圖案化光阻層為罩幕，蝕刻去除該閘極預定區上的部分介電層與墊層；以及
移除光阻層。
5. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中該鑲嵌狀閘極結構之形成包含下列步驟：
沈積一閘極介電層，
沈積一閘極導電層，對於該閘極導電層進行平坦化與



六、申請專利範圍

蝕刻，形成一鑲嵌狀之閘極導電層；以及

沈積一上蓋層，對於該上蓋層進行平坦化或蝕刻，形成一鑲嵌狀之上蓋層。

6. 如申請專利範圍第5項所述之場效電晶體閘極之製造方法，其中該閘極介電層之沈積方法係熱氧化法。

7. 如申請專利範圍第5項所述之場效電晶體閘極之製造方法，其中平坦化係以化學機械研磨方法進行。

8. 如申請專利範圍第5項所述之場效電晶體閘極之製造方法，其中該閘極導電層由閘極介電層向上更分為第一導電層與二導電層。

9. 如申請專利範圍第8項所述之場效電晶體閘極之製造方法，其中該第一導電層厚度大於第二導電層。

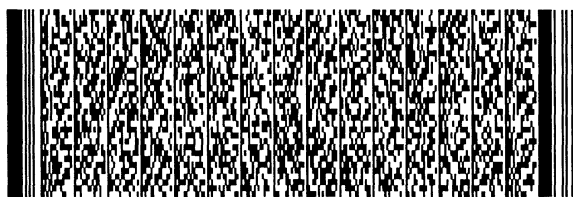
10. 如申請專利範圍第9項所述之場效電晶體閘極之製造方法，其中第一導電層係摻雜有N型離子之複晶矽層，第二導電層係矽化鎢層。

11. 如申請專利範圍第9項所述之場效電晶體閘極之製造方法，其中第一導電層係N型複晶矽層，第二導電層係氮化鎢/鎢層。

12. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中去除該介電層之方法係濕式蝕刻。

13. 如申請專利範圍第1項所述之場效電晶體閘極之製造方法，其中該上蓋層係一氮化層。

14. 一種場效電晶體閘極之製造方法，包含下列步驟：



六、申請專利範圍

(a) 提供一矽基底；

(b) 依序沈積形成一墊層、以及一介電層於該基底上；

(c) 在閘極預定區定義出一貫穿該介電層以及該墊層之溝渠，以露出閘極預定區之基底；

(d) 於閘極預定區之基底由底部向上依序形成一閘極介電層、一第一導電層、一第二導電層、以及一上蓋層，以形成一鑲嵌狀閘極結構，且該鑲嵌狀閘極結構之形成包含下列步驟：

(i) 沈積一閘極介電層，

(ii) 沈積一第一導電層，對該第一導電層平進行平坦化與蝕刻，形成一鑲嵌狀之第一導電層，

(iii) 沈積一第二導電層，對該第二導電層進行平坦化與蝕刻，形成一鑲嵌狀之第二導電層，以及

(iv) 沈積一上蓋層，對該上蓋層進行平坦化與蝕刻，形成一鑲嵌狀之上蓋層；以及

(e) 去除該介電層，以得到一閘極電極。

15. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中該墊層係氮化層。

16. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中該介電層係四乙基矽酸鹽。

17. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中該溝渠之形成包括：

利用光罩定義出一圖案化光阻層，以曝露出閘極預定



六、申請專利範圍

區；

以該圖案化光阻層為罩幕，蝕刻去除該閘極預定區上的部分介電層與墊層；以及

移除光阻層。

18. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中該閘極介電層之沈積方法係熱氧化法。

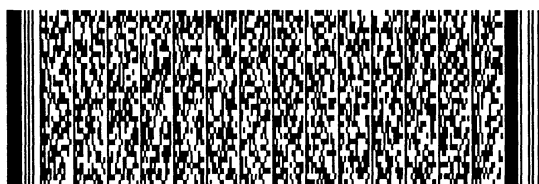
19. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中平坦化係以化學機械研磨方法進行。

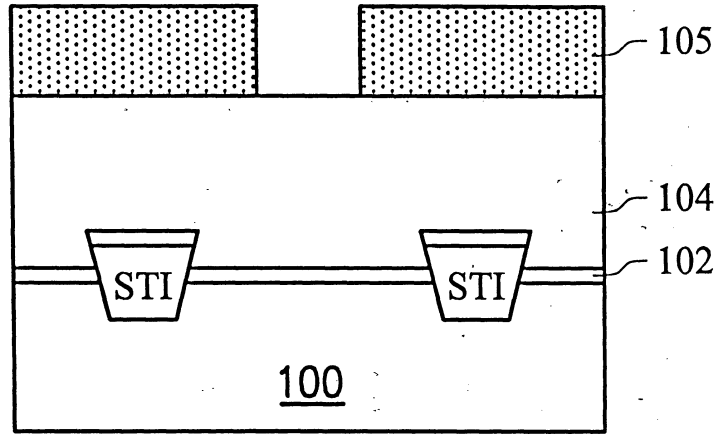
20. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中第一導電層厚度大於第二導電層。

21. 如申請專利範圍第20項所述之場效電晶體閘極之製造方法，其中第一導電層係摻雜有N型離子之複晶矽層，第二導電層係矽化鎢層。

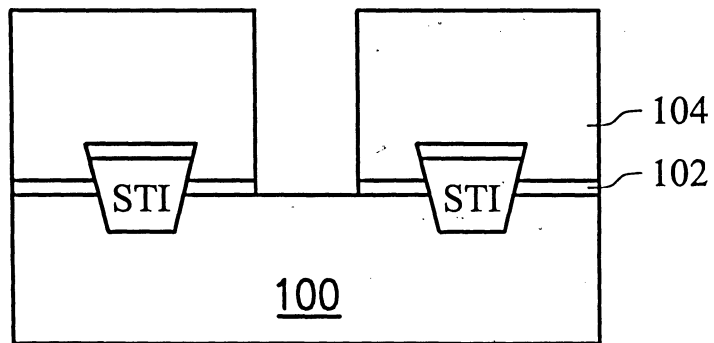
22. 如申請專利範圍第20項所述之場效電晶體閘極之製造方法，其中第一導電層係N型複晶矽層，第二導電層係氮化鎢/鎢層。

23. 如申請專利範圍第14項所述之場效電晶體閘極之製造方法，其中該上蓋層係氮化層。

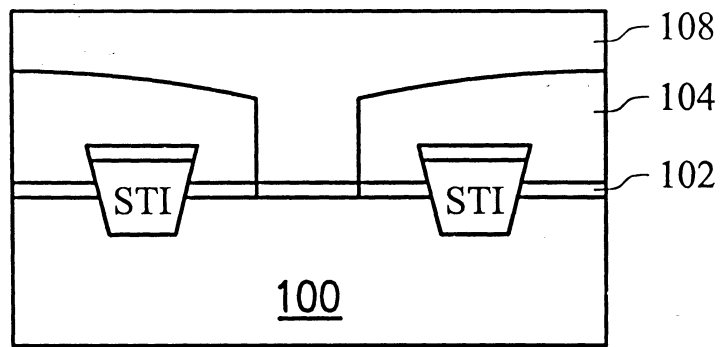




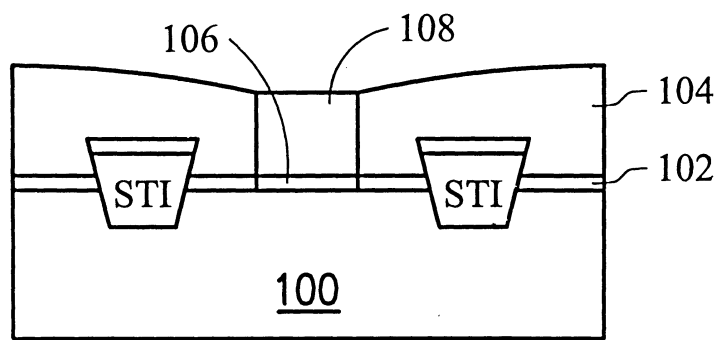
第 1 圖



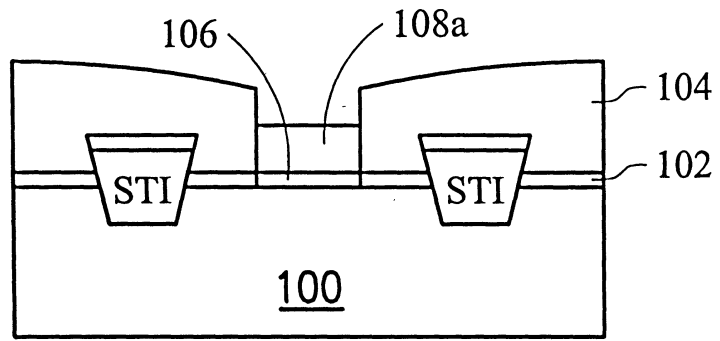
第 2 圖



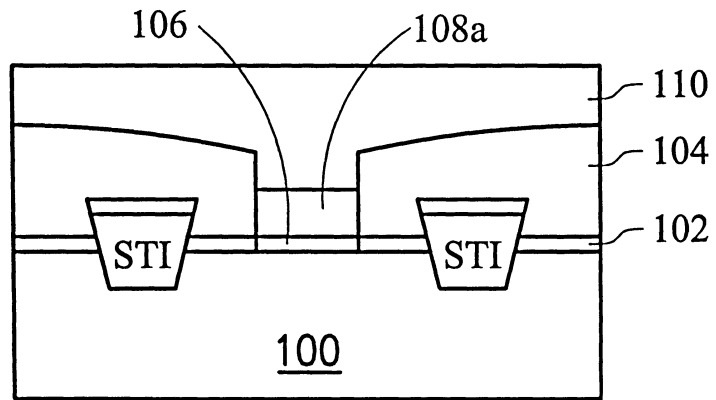
第 3 圖



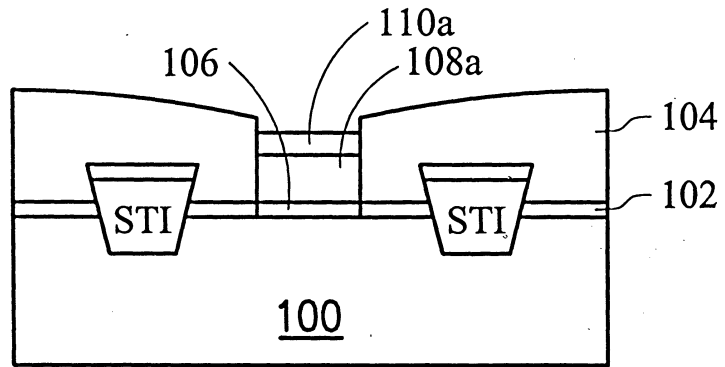
第 4 圖



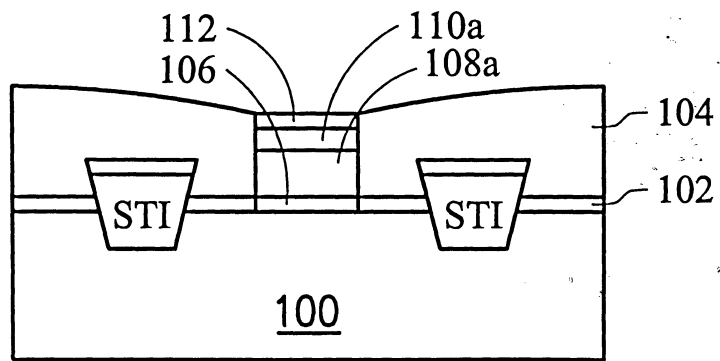
第 5 圖



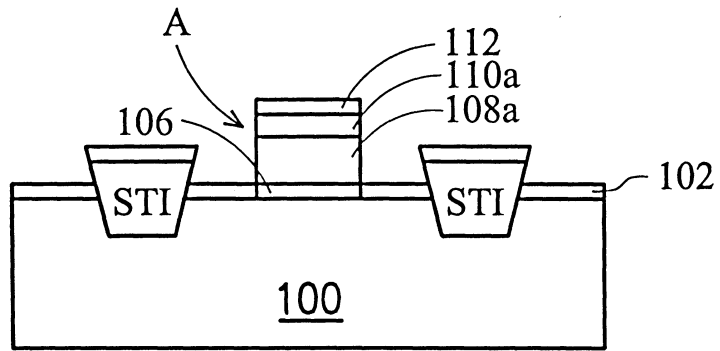
第 6 圖



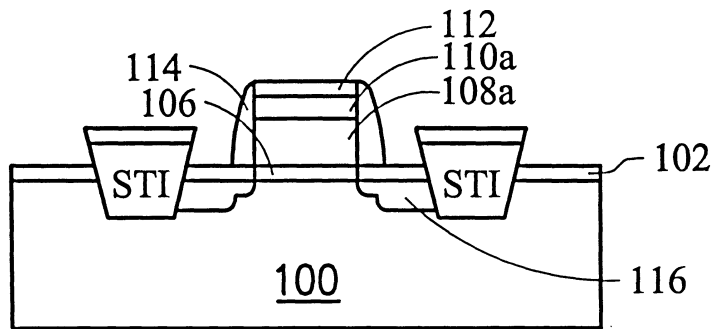
第 7 圖



第 8 圖



第 9 圖



第 10 圖