

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4580633号
(P4580633)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.	F 1
HO 1 L 33/48	(2010.01)
HO 1 L 21/60	(2006.01)
HO 1 L 23/14	(2006.01)
HO 1 L 23/12	(2006.01)
HO 1 L 23/32	(2006.01)
	HO 1 L 33/00
	HO 1 L 21/60
	HO 1 L 23/14
	HO 1 L 23/12
	HO 1 L 23/32
	N
	3 1 1 Q
	S
	F
	D

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2003-385645 (P2003-385645)
(22) 出願日	平成15年11月14日(2003.11.14)
(65) 公開番号	特開2005-150386 (P2005-150386A)
(43) 公開日	平成17年6月9日(2005.6.9)
審査請求日	平成18年11月13日(2006.11.13)

(73) 特許権者	000002303 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号
(74) 代理人	100091340 弁理士 高橋 敬四郎
(74) 代理人	100105887 弁理士 来山 幹雄
(72) 発明者	土谷 正彦 東京都目黒区中目黒2-9-13 スタン レー電気株式会社内
(72) 発明者	堀尾 直史 東京都目黒区中目黒2-9-13 スタン レー電気株式会社内

審査官 多田 春奈

最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、
対向面を、前記半導体素子の第1の面に対向させるように配置され、前記第1の電極及び第2の電極にそれぞれ対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、
前記支持基板の対向面及び前記半導体素子の第1の面の少なくとも一方の、少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、
前記第1の開口内を通って、前記第1の電極と前記第1の引出電極層とを電気的に接続する第1の接続部材と、
前記第2の開口内を通って、前記第2の電極と前記第2の引出電極層とを電気的に接続する第2の接続部材と
を有し、

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上に配置され、前記第1のパッド電極に接続され、前記第1の空隙内に侵入しているが、該第1の空隙を埋め尽くしてはおらず、前記第1のパッド電極と接続する際に溶融及び固化する第1の導電部材とを含み、

前記第2の接続部材は、前記第2の電極及び前記第2の引出電極層の一方の上に配置さ

れ、前記第2の開口の側面との間に第2の空隙を画定する第2のパッド電極と、他方の上に配置され、前記第2のパッド電極に接続され、前記第2の空隙内に侵入しているが、該第2の空隙を埋め尽くしてはおらず、前記第2のパッド電極と接続する際に溶融及び固化する第2の導電部材とを含む半導体装置。

【請求項2】

前記第1のパッド電極の、前記第1の導電部材に対向する面に、溝が形成されている請求項1に記載の半導体装置。

【請求項3】

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、

前記半導体素子の第1の面に対向配置され、前記第1の電極及び第2の電極にそれぞれ10
対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、

前記支持基板の対向面の少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記半導体素子の前記第1の面、前記第1の電極、及び前記第2の電極の表面を覆う絶縁材料からなる保護膜であって、該保護膜には、該第1の電極の上面の一部を露出させる第3の開口、及び第2の電極の上面の一部を露出させる第4の開口が形成されており、前記第1の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第1の開口内の空間と前記第3の開口内の空間とが繋がった第1の空間を形成し、前記第2の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第2の開口内の空間と前記第4の開口内の空間とが繋がった第2の空間を形成する前記保護膜と、

前記第1の空間内に配置され、前記第1の電極と前記第1の引出電極層とを電気的に接続する第1の接続部材と、

前記第2の空間内に配置され、前記第2の電極と前記第2の引出電極層とを電気的に接続する第2の接続部材と
を有し、

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上に配置され、前記第1のパッド電極に接続され、前記第1の空隙内に侵入しているが、該第1の空隙を埋め尽くしてはおらず、前記第1のパッド電極と接続する際に溶融及び固化する第1の導電部材とを含み、

前記第2の接続部材は、前記第2の電極及び前記第2の引出電極層の一方の上に配置され、前記第2の開口の側面との間に第2の空隙を画定する第2のパッド電極と、他方の上に配置され、前記第2のパッド電極に接続され、前記第2の空隙内に侵入しているが、該第2の空隙を埋め尽くしてはおらず、前記第2のパッド電極と接続する際に溶融及び固化する第2の導電部材とを含む半導体装置。

【請求項4】

前記第1の導電部材及び前記第1のパッド電極のうち前記第1の引出電極層の上に配置された方の部材の、前記半導体素子に対向する面が、前記第1の導電部材及び前記第1のパッド電極のうち前記第1の電極の上に配置された方の部材の、前記支持基板に対向する面よりも広く、前記堰堤膜が、前記第1の導電部材及び前記第1のパッド電極のうち前記第1の引出電極層の上に配置された方の部材の、前記半導体素子に対向する面の一部に、両者の密着性を高める材料からなる第1の接着層を介して密着している請求項3に記載の半導体装置。

【請求項5】

第1の面上に第1の電極及び第2の電極が形成され、該第1の電極上に第3の接続部材が形成され、該第2の電極上に第4の接続部材が形成されている第1の基板を準備する工程と、

第2の面を、前記第1の基板の第1の面に対向配置した時、該第2の面上の、前記第3

10

20

30

40

50

の接続部材及び第4の接続部材に対応する位置に、それぞれ第5の接続部材及び第6の接続部材が形成され、該第5の接続部材及び第6の接続部材が、絶縁材料からなる堰堤膜で被覆され、該堰堤膜に、該第5の接続部材及び第6の接続部材の上面を露出させる第1の開口及び第2の開口が形成され、該第1の面の法線に平行な視線で見たとき、該第1の開口の内側に前記第3の接続部材が位置し、該第2の開口の内側に前記第4の接続部材が位置し、前記第1の開口の縁と前記第3の接続部材の縁との間に空隙が画定されており、前記第2の開口の縁と前記第4の接続部材の縁との間に空隙が画定されている第2の基板を準備する工程と、

前記第3の接続部材を、前記第1の開口内を通して前記第5の接続部材に接触させると共に、前記第4の接続部材を、前記第2の開口内を通して前記第6の接続部材に接触させ、該第3の接続部材と第5の接続部材との接触部分、及び前記第4の接続部材と第6の接続部材との接触部分を溶融させ、その後固化させる工程と
10
を有する半導体装置の製造方法。

【請求項6】

第1の面上に第3の接続部材及び第4の接続部材が形成されており、さらに前記第3の接続部材と前記第4の接続部材とを覆い、前記第3の接続部材及び前記第4の接続部材の各々の上面の一部を露出させる絶縁材料からなる保護膜が形成されている第1の基板を準備する工程と、

第2の面上に、絶縁材料からなる堰堤膜が形成され、該第2の面を、前記第1の基板の第1の面に対向配置した時、該堰堤膜の、前記第3の接続部材及び第4の接続部材に対応する位置に、それぞれ第1の開口及び第2の開口が形成され、該第1の開口内及び第2の開口内にそれぞれ第5の接続部材及び第6の接続部材が配置され、該第5の接続部材と該第1の開口の内周面との間、及び該第6の接続部材と第2の開口の内周面との間に空隙が画定され、該第5の接続部材の上面は第1の開口の開口面から突出し、該第6の接続部材の上面は第2の開口の開口面から突出している第2の基板を準備する工程と、
20

前記第3の接続部材を前記第5の接続部材に接触させ、前記第4の接続部材を前記第6の接続部材に接触させて、接触部分を溶融させ、その後固化させるとともに、前記第1の開口を取り囲む環状の領域及び前記第2の開口を取り囲む環状の領域において、前記堰堤膜の上面を前記保護膜の上面に接触させる工程と

を有し、
30

前記第5の接続部材の体積及び前記第1の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第5の接続部材と前記第1の開口の内周面との間の前記空隙内に侵入し、前記第1の開口の外部には流出しない寸法にされており、前記第6の接続部材の体積及び前記第2の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第6の接続部材と前記第2の開口の内周面との間の前記空隙内に侵入し、前記第2の開口の外部には流出しない寸法にされている半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に支持基板（サブマウント基板）に半導体素子を実装した半導体装置及びその製造方法に関する。
40

【背景技術】

【0002】

図12に、特許文献1に開示された半導体発光素子及びサブマウント基板の断面図を示す。サブマウント基板200に半導体発光素子210が実装されている。サブマウント基板200は、シリコン基板201の表面上に形成された補助N側電極層203及び補助P側電極層204を含んで構成される。補助N側電極203とシリコン基板201との間に酸化皮膜202が配置され、両者が電気的に絶縁されている。補助P側電極層204は、シリコン基板201の表面上に直接形成されている。補助電極203及び204は、例え
50

ば、AuとSnとの合金またはインジウム系の合金で形成される。

【0003】

サファイア基板を用いた半導体発光素子210の、サブマウント基板200に対向する面上に、N側電極211及びP側電極212が形成されている。N側電極211が補助N側電極層203にハンダ付けされ、P側電極212が補助P側電極層204にハンダ付けされている。

【0004】

シリコン基板201がリードフレーム220のP側端子部220aに搭載されている。補助N側電極203が、ワイヤ221により、リードフレーム220のN側端子部220bに接続されている。

10

【0005】

半導体発光素子210から発光した光は、サファイア基板を通って、サブマウント基板200とは反対側の方向に放射される。

【0006】

特許文献2~4に、半導体発光素子の表面を絶縁性の保護膜で覆う技術が開示されている。特許文献5に、電極と保護膜との間に、Ti、Ni、W等の接着強化層を挿入する技術が開示されている。

【0007】

【特許文献1】特開2003-31851号公報

20

【特許文献2】特許第2914065号公報

【特許文献3】特許第2770717号公報

【特許文献4】特許第3292044号公報

【特許文献5】特許第3255281号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

図12に示した半導体発光素子210をサブマウント基板(支持基板)200に実装する時に、溶融したAuSn合金等が横にはみ出し、P側電極とN側電極との間が短絡されてしまう場合がある。半導体発光素子を保護膜で覆っても、この短絡を防止することはできない。

30

【0009】

本発明の目的は、支持基板への実装時における電極の短絡を防止することができる半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0010】

本発明の一観点によると、

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、

対向面を、前記半導体素子の第1の面に対向させるように配置され、前記第1の電極及び第2の電極にそれぞれ対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、

40

前記支持基板の対向面及び前記半導体素子の第1の面の少なくとも一方の、少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記第1の開口内を通って、前記第1の電極と前記第1の引出電極層とを電気的に接続する第1の接続部材と、

前記第2の開口内を通って、前記第2の電極と前記第2の引出電極層とを電気的に接続する第2の接続部材と

を有し、

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上

50

に配置され、前記第1のパッド電極に接続され、前記第1の空隙内に侵入しているが、該第1の空隙を埋め尽くしてはおらず、前記第1のパッド電極と接続する際に溶融及び固化する第1の導電部材とを含み、

前記第2の接続部材は、前記第2の電極及び前記第2の引出電極層の一方の上に配置され、前記第2の開口の側面との間に第2の空隙を画定する第2のパッド電極と、他方の上に配置され、前記第2のパッド電極に接続され、前記第2の空隙内に侵入しているが、該第2の空隙を埋め尽くしてはおらず、前記第2のパッド電極と接続する際に溶融及び固化する第2の導電部材とを含む半導体装置が提供される。

【0011】

本発明の他の観点によると、

10

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、

前記半導体素子の第1の面に対向配置され、前記第1の電極及び第2の電極にそれぞれ対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、

前記支持基板の対向面の少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記半導体素子の前記第1の面、前記第1の電極、及び前記第2の電極の表面を覆う絶縁材料からなる保護膜であって、該保護膜には、該第1の電極の上面の一部を露出させる第3の開口、及び第2の電極の上面の一部を露出させる第4の開口が形成されており、前記第1の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第1の開口内の空間と前記第3の開口内の空間とが繋がった第1の空間を形成し、前記第2の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第2の開口内の空間と前記第4の開口内の空間とが繋がった第2の空間を形成する前記保護膜と、

20

前記第1の空間内に配置され、前記第1の電極と前記第1の引出電極層とを電気的に接続する第1の接続部材と、

前記第2の空間内に配置され、前記第2の電極と前記第2の引出電極層とを電気的に接続する第2の接続部材と
を有し、

30

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上に配置され、前記第1のパッド電極に接続され、前記第1の空隙内に侵入しているが、該第1の空隙を埋め尽くしてはおらず、前記第1のパッド電極と接続する際に溶融及び固化する第1の導電部材とを含み、

前記第2の接続部材は、前記第2の電極及び前記第2の引出電極層の一方の上に配置され、前記第2の開口の側面との間に第2の空隙を画定する第2のパッド電極と、他方の上に配置され、前記第2のパッド電極に接続され、前記第2の空隙内に侵入しているが、該第2の空隙を埋め尽くしてはおらず、前記第2のパッド電極と接続する際に溶融及び固化する第2の導電部材とを含む半導体装置が提供される。

【0012】

40

本発明のさらに他の観点によると、

第1の面上に第1の電極及び第2の電極が形成され、該第1の電極上に第3の接続部材が形成され、該第2の電極上に第4の接続部材が形成されている第1の基板を準備する工程と、

第2の面を、前記第1の基板の第1の面に対向配置した時、該第2の面上の、前記第3の接続部材及び第4の接続部材に対応する位置に、それぞれ第5の接続部材及び第6の接続部材が形成され、該第5の接続部材及び第6の接続部材が、絶縁材料からなる堰堤膜で被覆され、該堰堤膜に、該第5の接続部材及び第6の接続部材の上面を露出させる第1の開口及び第2の開口が形成され、該第1の面の法線に平行な視線で見たとき、該第1の開口の内側に前記第3の接続部材が位置し、該第2の開口の内側に前記第4の接続部材が位

50

置し、前記第1の開口の縁と前記第3の接続部材の縁との間に隙間が画定されており、前記第2の開口の縁と前記第4の接続部材の縁との間に隙間が画定されている第2の基板を準備する工程と、

前記第3の接続部材を、前記第1の開口内を通して前記第5の接続部材に接触させると共に、前記第4の接続部材を、前記第2の開口内を通して前記第6の接続部材に接触させ、該第3の接続部材と第5の接続部材との接触部分、及び前記第4の接続部材と第6の接続部材との接触部分を溶融させ、その後固化させる工程とを有する半導体装置の製造方法が提供される。

【0013】

本発明のさらに他の観点によると、

10

第1の面上に第3の接続部材及び第4の接続部材が形成されており、さらに前記第3の接続部材と前記第4の接続部材とを覆い、前記第3の接続部材及び前記第4の接続部材の各々の上面の一部を露出させる絶縁材料からなる保護膜が形成されている第1の基板を準備する工程と、

第2の面上に、絶縁材料からなる堰堤膜が形成され、該第2の面を、前記第1の基板の第1の面に対向配置した時、該堰堤膜の、前記第3の接続部材及び第4の接続部材に対応する位置に、それぞれ第1の開口及び第2の開口が形成され、該第1の開口内及び第2の開口内にそれぞれ第5の接続部材及び第6の接続部材が配置され、該第5の接続部材と該第1の開口の内周面との間、及び該第6の接続部材と第2の開口の内周面との間に隙間が画定され、該第5の接続部材の上面は第1の開口の開口面から突出し、該第6の接続部材の上面は第2の開口の開口面から突出している第2の基板を準備する工程と、

20

前記第3の接続部材を前記第5の接続部材に接触させ、前記第4の接続部材を前記第6の接続部材に接触させて、接触部分を溶融させ、その後固化させるとともに、前記第1の開口を取り囲む環状の領域及び前記第2の開口を取り囲む環状の領域において、前記堰堤膜の上面を前記保護膜の上面に接触させる工程とを有し、

前記第5の接続部材の体積及び前記第1の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第5の接続部材と前記第1の開口の内周面との間の前記隙間に侵入し、前記第1の開口の外部には流出しない寸法にされており、前記第6の接続部材の体積及び前記第2の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第6の接続部材と前記第2の開口の内周面との間の前記隙間に侵入し、前記第2の開口の外部には流出しない寸法にされている半導体装置の製造方法が提供される。

30

【発明の効果】

【0015】

半導体素子を支持基板に実装する際に、接続部材の一部が溶融する。溶融した金属が、堰堤膜に形成された開口内に止まることにより、電極間の短絡の発生を防止することができる。

【発明を実施するための最良の形態】

【0016】

40

図1及び図2を参照して、第1の実施例による半導体装置及びその製造方法について説明する。

【0017】

図1に示すように、第1の実施例による半導体装置は、サブマウント基板1と半導体発光素子30とを含んで構成される。

【0018】

サブマウント基板1の構造について説明する。シリコン等からなる下地基板2の主面上に、酸化シリコンからなる厚さ300nmの絶縁膜3が形成されている。絶縁膜3の上に、半導体発光素子30のp側電極に接続される引出配線層4及びn側電極に接続される引出配線層5が形成されている。引出配線層4及び5は、例えば厚さ10nmのチタン(T

50

i) 層と厚さ 1000 nm の金 (Au) 層との 2 層構造を有する。なお、引出配線層 4 及び 5 を、ニッケル (Ni) 層と Au 層との 2 層構造としてもよい。

【0019】

引出配線層 4 及び 5 の上に、それぞれ接着層 6 及び 7 が形成されている。接着層 6 及び 7 は、例えば Ti で形成され、その厚さは 10 nm である。引出配線層 4 及び 5 の上面の一部は、リード線接続のために露出している。

【0020】

p 側の接着層 6 の一部の表面上に、バリア層 8、接続部材 10、接着層 12 がこの順番に積層されている。n 側の接着層 7 の一部の表面上にも、同様にバリア層 9、接続部材 11、接着層 13 がこの順番に積層されている。バリア層 8 及び 9 は、下地基板 2 側から順番に厚さ 10 nm の Ti 層、厚さ 100 nm の Au 層、及び厚さ 100 nm の白金 (Pt) 層が積層された 3 層構造を有する。接続部材 10 及び 11 は、Au 層と錫 (Sn) 層とが交互に配置された積層構造を有する。最下層及び最上層は共に Au 層とされている。Au 層及び Sn 層の各々の厚さを、例えば 75.5 nm 及び 109.4 nm とし、Au 層を 6 層、Sn 層を 5 層配置した。なお、Au 層及び Sn 層の各々の厚さを 50 nm ~ 200 nm としてもよい。接着層 12 は Ti で形成され、その厚さは 10 nm である。

【0021】

なお、バリア層 8 及び 9 を、タンゲステン (W) / Au / Pt の 3 層構造、モリブデン (Mo) / Au / Pt の 3 層構造としてもよい。ここで、「X / Y / Z」なる表記は、X が最下層、Y が中層、Z が上層に配置されることを意味する。

【0022】

p 側の接着層 6 及び 12、p 側の接続部材 10、バリア層 8、p 側の引出配線層 4 と n 側の引出配線層 5 との間の絶縁膜 3、n 側の接着層 7 及び 13、n 側の接続部材 11、バリア層 9 が、堰堤膜 14 で覆われている。堰堤膜 14 は、例えば酸化シリコンで形成され、その厚さは 500 nm ~ 3000 nm である。

【0023】

堰堤膜 14 及び接着層 12 に、p 側の接続部材 10 の上面の一部を露出させる開口 15 が形成され、堰堤膜 14 及び接着層 13 に、n 側の接続部材 11 の上面の一部を露出させる開口 16 が形成されている。

【0024】

次に、半導体発光素子 30 の構造について説明する。サファイア基板 31 の主面上に初期核形成層 32、n 型半導体層 33、活性層 34、p 型半導体層 35 がこの順番に積層されている。これらの半導体層は、例えば $In_x Al_{1-x-y} Ga_y N$ ($x+y=1$ 、 $0 < x < 1$ 、 $0 < y < 1$) 等の窒化物半導体で形成される。活性層 34 及び p 型半導体層 35 の一部が除去され、n 型半導体層 33 の一部が露出している。

【0025】

p 型半導体層 35 の表面上に、p 側のオーミック電極 36 が形成され、n 型半導体層 33 の露出した領域に、n 側のオーミック電極 37 が形成されている。p 側のオーミック電極 36 は、例えば厚さ 3 nm の Pt 層と厚さ 100 nm のロジウム (Rh) 層との 2 層構造を有する。n 側のオーミック電極 37 は、例えば、厚さ 3 nm の Al 層、厚さ 100 nm の Rh 層、厚さ 100 nm の Au 層、厚さ 100 nm の Pt 層、及び厚さ 100 nm ~ 2000 nm の Au 層が順番に積層された 5 層構造を有する。サファイア基板 31 の主面を基準として、p 側のオーミック電極 36 及び n 側のオーミック電極 37 の上面の高さが揃うように、n 側のオーミック電極 37 の最上の Au 層の厚さが決定される。

【0026】

p 側のオーミック電極 36 を、Pt や Rh の単層構造にしてもよいし、Pt / 銀 (Ag) の 2 層構造にしてもよい。また、n 側のオーミック電極 37 の 2 層目を、Rh の代わりに Pt、イリジウム (Ir)、パラジウム (Pd) 等で形成してもよい。

【0027】

オーミック電極 36 及び 37 の表面上に、それぞれパッド電極 (接続部材) 38 及び 39

10

20

30

40

50

9が形成されている。パッド電極38及び39は、例えば厚さ3nmのNi層、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ200nm~2000nmのAu層がこの順番に積層された4層構造を有する。パッド電極38及び39の第1層目をNiの代わりにTi、W、またはMoで形成してもよい。また、第2層目のAu層を省略してもよい。パッド電極38及び39の高さは、支持基板1側の開口15及び16の深さ(堰堤膜14の厚さ)に比べてやや大きくなるように設定されている。

【0028】

次に、サブマウント基板1の製造方法について説明する。下地基板1を洗浄し、表面を清浄化する。下地基板1の主面上に、酸化シリコンからなる厚さ300nmの絶縁膜3をスパッタリングにより形成する。なお、表面に熱酸化膜が形成されたシリコン基板を用いる場合には、スパッタリングによる絶縁膜形成工程を省略することができる。

10

【0029】

引出配線層4及び5に整合する開口を有するレジストパターンを形成し、引出配線層4及び5となるTi層、Au層、及び接着層6及び7となるTi層を順番に電子ビーム蒸着により形成する。リフトオフ法を用いて、不要な領域のTi層及びAu層を除去し、引出配線層4、5及び接着層6、7を形成する。この時点では、接着層6、7が引出配線層4、5の全面を覆っているが、後のエッティング工程で、引出配線層4、5の表面の一部が露出する。

【0030】

接続部材10、11に整合する開口を有するレジストパターンを形成し、電子ビーム蒸着により、バリア層8、9から接着層12、13までの各層を堆積する。リフトオフ法により、各層の不要な部分を除去する。これにより、バリア層8、9、接続部材10、11、及び接着層12、13が残る。

20

【0031】

全面に、厚さ500nm~3000nmの酸化シリコン膜をスパッタリングにより形成する。この酸化シリコン膜をバーニングすることにより、堰堤膜14を残す。このとき、開口15、16が形成され、引出配線層4及び5の表面の一部が露出する。開口15及び16の底面に、接続部材10及び11の最上のAu層が露出する。酸化シリコン膜をウェットエッティングすると、一般的に、開口15及び16の底面が開口面(上面)よりも小さくなるように、その側面が傾斜する。開口15及び16は、その底面が、半導体発光素子30のパッド電極38及び39の最上面よりも大きくなるような形状にされる。

30

【0032】

シリコン基板2の研削及び研磨を行い、その厚さを100μm程度まで薄くする。スクライプ及びブレーキングを行い、素子単位に分離する。

【0033】

次に、半導体発光素子30の形成方法について説明する。サファイア基板31の主面上に、初期核形成層32、n型半導体層33、活性層34、及びp型半導体層35を成長させる。これらの層は、有機金属気相エピタキシャル成長(MOVPE)、分子線エピタキシャル成長(MBEC)により成長させることができる。

40

【0034】

p型半導体層35及び活性層34の一部をエッティングして、n型半導体層33の一部を露出させる。このエッティングの深さは、例えば700nmとする。p型半導体層35の表面上に、p側のオーミック電極36を、電子ビーム蒸着とリフトオフ法を用いて形成する。その後、n型半導体層33の露出した領域上に、n側のオーミック電極37を、電子ビーム蒸着とリフトオフ法により形成する。n側のオーミック電極37の最上面の高さが、p側のオーミック電極36の最上面の高さに揃うように、n側のオーミック電極37の最上のAu層の厚さが設定されている。

【0035】

オーミック電極36及び37の表面上に、それぞれパッド電極38及び39を、電子ビーム蒸着及びリフトオフ法により形成する。サファイア基板31の研削及び研磨を行い、

50

その厚さを 100 μm ~ 230 μm まで薄くする。その後、スクライブ及びブレーキングを行い、素子単位に分離する。

【0036】

次に、半導体発光素子 30 をサブマウント基板 1 にフリップチップボンディングする手順を説明する。

【0037】

シリコン基板 2 の正面とサファイア基板 31 の正面とが向き合うように、サブマウント基板 1 と半導体発光素子 30 とを対向配置させる。シリコン基板 2 の正面に垂直な視線で見たとき、パッド 38 が開口 15 の内側に位置し、パッド 39 が開口 16 の内側に位置するように、サブマウント基板 1 と半導体発光素子 30 との位置を調整する。

10

【0038】

パッド電極 38 及び 39 を、それぞれ開口 15 及び 16 内に挿入し、接続部材 10 及び 11 に接触させる。サブマウント基板 1 と半導体発光素子 30 とに圧力を印加した状態で加熱して高温状態を保持し、その後冷却する。パッド電極 38 の最上の Au 層と接続部材 10 とが共晶化され、パッド電極 39 の最上の Au 層と接続部材 11 が共晶化される。加熱条件として、好適な共晶温度プロファイルが選択される。本実施例で使用した AuSn 共晶金属では、Sn 濃度が 20 重量 % である。この共晶組成の AuSn の共晶点は 280 ~ 300 である。このように、接続部材 10 とパッド電極 38 との接触部分及び接続部材 11 とパッド電極 39 との接触部分を共晶化することにより、半導体発光素子 30 をサブマウント基板 1 に固定すると共に、両者の電気的接続を得ることができる。

20

【0039】

図 2 に、半導体発光素子 30 がサブマウント基板 1 にボンディングされた状態の半導体装置の断面図を示す。オーミック電極 36 及び 37 の上面が、堰堤膜 14 に形成された開口 15 及び 16 を取り囲む環状の領域において、堰堤膜 14 の上面に接する。このため、オーミック電極 36 と引出配線層 4 との間に、堰堤膜 14 で取り囲まれた閉じた空間が画定される。同様に、オーミック電極 37 と引出配線層 5 との間に、堰堤膜 14 で取り囲まれた閉じた空間が画定される。p 側の引出配線層 4 の露出した領域にリード線 40 が接続され、n 側の引出配線層 5 の露出した領域にリード線 41 が接続される。

【0040】

p 側のバリア層 8、接続部材 10、及びパッド電極 38 が、支持基板 1 側の引出電極層 4 と半導体素子 30 側のオーミック電極 36 とを電気的に接続する。n 側のバリア層 9、接続部材 11、及びパッド電極 39 が、支持基板 1 側の引出電極層 5 と半導体素子 30 側のオーミック電極 37 とを電気的に接続する。

30

【0041】

開口 15 の内周面とパッド電極 38 の外周面との間に空隙が画定される。パッド電極 38 の高さが開口 15 の深さ（堰堤膜 14 の厚さ）よりもやや大きいため、パッド電極 38 の上面側の表層部が接続部材 10 内に埋め込まれると共に、溶融した金属がこの空隙内に侵入する。実施例においては、パッド電極 38 の体積が開口 15 の容積よりも小さくされている。このため、空隙内に溶融した金属が侵入したとしても、空隙を埋め尽くすことはなく、空隙が残存する。従って、溶融した金属が開口 15 の外に漏れ出すことを防止できる。

40

【0042】

溶融した金属の漏れ出しを防止するためには、パッド電極 38 の体積を開口 15 の容積の 97 % 以下にすることが好ましく、95 % 以下にすることがより好ましい。また、パッド電極 38 を小さくしすぎると、十分な接着強度が得られない。このため、パッド電極 38 の体積を開口 15 の容積の 70 % 以上にすることが好ましく、85 % 以上にすることがより好ましい。すなわち、開口 15 の容積に対して、開口 15 内に残存する空隙の容積の割合を、3 % ~ 30 % にすることが好ましく、5 % ~ 15 % にすることがより好ましい。

【0043】

n 側のパッド 39 と開口 16 との関係も、p 側のパッド 38 と開口 15 との関係と同様

50

である。これにより、p 側の電極と n 側の電極との短絡故障を防止することができる。

【0044】

また、堰堤膜 14 の厚さにより、実装時におけるサブマウント基板 1 と半導体発光素子 30 との間隔が規定される。すなわち、接合部材 10 及び 11 への、パッド電極 38 及び 39 の埋込深さを容易に調整することができる。これにより、パッド電極が必要以上に接合部材中に埋め込まれて溶融した金属が基板面に沿って拡がることを防止できる。

【0045】

Au と Sn とを共晶化させるときに、接続部材 10 及び 11 が溶融した状態では、サブマウント基板 1 と半導体発光素子 30 との相対位置が不安定になる。第 1 の実施例では、半導体発光素子 30 のパッド電極 38 及び 39 が、それぞれサブマウント基板 1 の開口 15 及び 16 内に挿入されているため、接続部材 10 及び 11 が溶融した状態でも、サブマウント基板 1 と半導体発光素子 30 との相対位置を拘束することができる。これにより、位置ずれに起因する歩留まりの低下を防止することができる。十分な位置ずれ防止効果を得るために、堰堤膜 14 の厚さを 500 nm 以上とすることが好ましい。酸化シリコンのエッティング工程における処理時間やサイドエッティングの深さ等の観点から、堰堤膜 14 の厚さを 3000 nm 以下とすることが好ましく、1000 nm 以下とすることがより好ましい。

【0046】

パッド電極 38 の最上の Au 層と接続部材 10 とで形成された AuSn 共晶部材が、堰堤膜 14 により画定された閉じた空間内に配置される。このため、AuSn 共晶部材が配置された空間への水分の侵入を防止することができる。一般に、水分の存在下で Sn が電気化学的マイグレーションを起こしやすいことが知られている。第 1 の実施例では、AuSn 共晶部材が水分に晒されることを抑制できるため、Sn のマイグレーションを抑制し、半導体装置の信頼性向上を図ることができる。

【0047】

第 1 の実施例では、1 層の厚さを 50 nm ~ 200 nm とした Au と Sn の多層構造を加熱することにより AuSn 共晶部材を形成した。これにより、一般的な AuSn 共晶合金法に比べて、安定した共晶過程を得ることができた。例えば、Sn の含有量が 20 重量 % の AuSn 合金を蒸着源として用いた場合、Au と Sn との蒸発量が経時的に変化する。このため、堆積膜の組成が目標とする組成からずれてしまう。組成がずれると共晶温度が変化してしまい、共晶反応が不十分になる場合がある。多層構造にすることにより、接続部材の組成を目標値に近づけ、共晶反応を安定化させることができる。

【0048】

次に、接続部材 10、11 の積層構造、及びそれに対向するパッド電極 38、39 の最上の Au 層の厚さについて説明する。Au と Sn との共晶合金の共晶比を、重量比で Au : Sn = 80 : 20 とする場合を考える。この場合、Au と Sn との体積比は 0.544 : 0.456 になる。ここで、スパッタリングで成膜した Sn 膜は灰色錫であることがわかったため、その密度を 5.76 g / cm³ とした。以下の説明では、一般化して、共晶金属全体に対する Au 及び Sn の体積比を、それぞれ V_{Au} 及び V_{Sn} とする。

【0049】

接続部材 10 を構成する Sn 層の層数を n とすると、Au 層の層数は n + 1 になる。さらにパッド電極 38 の最上の Au 層も共晶反応に関与するため、共晶反応に関与する Au 層の層数は n + 2 になる。

【0050】

パッド電極 38 の最上の Au 層と接続部材 10 との合計の厚さを L_t とする。このとき、各 Au 層の厚さ L_{Au}、各 Sn 層の厚さ L_{Sn} は、

【0051】

(数 1)

$$L_{Au} = L_t \times V_{Au} / (n + 2)$$

$$L_{Sn} = L_t \times V_{Sn} / n$$

10

20

30

40

50

となる。合計の厚さ L_t を 1200 nm、 S_n 層の層数 n を 5 とすると、 $V_{au} = 0.5$ 44、 $V_{sn} = 0.456$ のとき、

【0052】

(数2)

$$L_{au} = 93.3 \text{ nm}$$

$$L_{sn} = 109.4 \text{ nm}$$

となる。

【0053】

上記第1の実施例において、堰堤膜14の厚さを1000 nmとし、パッド電極38を構成するNi/Au/Pt/Au層の厚さを、それぞれ3 nm / 100 nm / 100 nm / 1000 nmとした場合について考察する。この場合、パッド電極38の上面の厚さ約200 nmの表層部が、接続部材14内に埋め込まれる。この厚さ200 nmの表層部が共晶反応に関与すると考えることができる。共晶金属部全体の厚さ L_t を 1200 nm とすると、Au層の全体の厚さは $1200 \times V_{au} [\text{nm}]$ になる。このうちの200 nmの部分がパッド電極38から供給されるため、接続部材10を構成するAu層の全体の厚さを $(1200 \times V_{au} - 200) [\text{nm}]$ にすればよい。Au層の層数が6であるから、各Au層の厚さは75.5 nmになる。また、各 S_n 層の厚さは、上述の計算結果どおり、109.4 nmになる。

【0054】

このように、接続部材10を構成する S_n 層の体積比が、共晶比から求められる体積比よりも大きくされている。従って、接続部材10が溶融した時に、 S_n に比べて Au が不足する。不足した Au を補うために、パッド電極38の最上の Au 層が溶融して共晶反応が生ずることになる。このようにして、パッド電極38と接続部材10との接着性を高めることができる。

【0055】

また、第1の実施例では、引出配線層4と堰堤膜14との間に接着層6が配置され、引出配線層5と堰堤膜14との間に接着層7が配置されている。接続部材10の上面（半導体発光素子30に対向する面）は、パッド電極38の上面（支持基板1に対向する面）よりも広い。堰堤膜14は、接続部材10の上面の一部に、接着層12を介して密着する。接続部材11とパッド電極39との関係も同様であり、堰堤膜14が接着層13を介して接続部材11の上面の一部に密着する。接着層12は、堰堤膜14の密着性を高める機能を有する。実施例では、接着層の材料としてTiを用いたが、NiやAlを用いてもよい。

【0056】

活性層34に電流を注入すると、発光が生ずる。サファイア基板31は、この光を透過させる。このため、サファイア基板31を通して、光が外部に放射される。サブマウント基板1の方に向かって伝搬する光は、p側のオーミック電極36で反射され、サファイア基板31を通して外部に放射される。

【0057】

上記第1の実施例では、サブマウント基板1の下地として導電性を有するシリコン基板を用いたが、窒化アルミニウム(A1N)やアルミナ(A1₂O₃)等の絶縁性の基板を用いてもよい。この場合には、図1に示した絶縁膜3を形成することなく、下地基板の上に引出配線層4及び5を直接形成してもよい。下地基板の材料として、熱伝導率が高く、かつ熱膨張係数が半導体発光素子の熱膨張係数と近いものが好ましい。このような導電性材料の例として、シリコン以外にCuW等が挙げられる。

【0058】

上記実施例では、堰堤膜14の材料として酸化シリコンを用いたが、他の絶縁材料を用いてもよい。例えば、アルミナ(A1₂O₃)、酸化チタン(TiO₂、Ti₂O₅)、ジルコニア(ZrO₂)、ハフニア(HfO₂)等の耐熱性の酸化物絶縁材料、またはポリイミド樹脂等の耐熱性高分子材料を用いてもよい。

10

20

30

40

50

【0059】

次に、図3及び図4を参照して、第2の実施例について説明する。図3にフリップチップボンディング前の状態を示し、図4に、フリップチップボンディング後の状態を示す。第2の実施例による半導体装置と第1の実施例による半導体装置との主な相違点は、第2の実施例では、半導体発光素子30の、サブマウント基板1に対向する面が保護膜50で覆われている点である。第1の実施例では、保護膜は形成されていなかった。以下、第1の実施例との相違点について説明する。

【0060】

図3に示すように、半導体発光素子30の、サブマウント基板1に対向する面が、酸化シリコンからなる保護膜50で覆われている。サブマウント基板1の開口15及び16に対応する位置に、それぞれ保護膜50を貫通する開口53及び54が形成されている。開口53及び54の底面に、それぞれオーミック電極36及び37の上面が現われている。開口53の底面に現われたオーミック電極36の表面上にパッド電極38が形成され、開口54の底面に現われたオーミック電極37の表面上にパッド電極39が形成されている。

【0061】

p側のオーミック電極36の上面と保護膜50との間に接着層51が配置され、n側のオーミック電極37の上面と保護膜50との間に接着層52が配置されている。接着層51及び52は、Ti、Ni、Al等で形成される。

【0062】

以下、半導体発光素子30の製造方法について、第1の実施例による半導体発光素子30との相違点に着目して説明する。

【0063】

p側のオーミック電極36を形成するときに、Pt層とRh層との2層のみではなく、Rh層の上にさらに厚さ10nmのTi層を電子ビーム蒸着する。リフトオフ法により、オーミック電極36を形成する。この時点で、オーミック電極36の上面に、接着層51となるTi層が残っている。n側のオーミック電極37を形成するときに、Al/Rh/Alu/Pt/Aluの5層のみではなく、さらに厚さ10nmのTi層を電子ビーム蒸着する。リフトオフ法により、オーミック電極37を形成する。この時点で、オーミック電極37の上面に、接着層52となるTi層が残っている。

【0064】

全面を覆うように、酸化シリコンからなる厚さ300nmの保護膜50を、スパッタリングにより形成する。保護膜50の一部をレジストパターンで覆ってエッチングすることにより、開口53及び54を形成する。このとき、開口53及び54の底面に露出するTi層もエッチングされ、オーミック電極36及び37の上面が露出する。

【0065】

パッド電極38及び39を、電子ビーム蒸着とリフトオフ法により形成する。パッド電極38及び39は、厚さ3nmのNi層、厚さ100nmのAlu層、厚さ100nmのPt層、及び厚さ200nm~2000nmのAlu層がこの順番に積層された4層構造を有する。最上のAlu層の厚さは、サブマウント基板1側の開口15及び16の深さ(堰堤膜14の厚さ)、パッド電極38及び39の表面の平坦度、適当な押し当て代等を加味して決定される。堰堤膜14の厚さが1μm、保護膜50の厚さが300nm、パッド電極38及び39の表面のうねりが20nmであり、押し当て代を200nmとすると、パッド電極38及び39の最上のAlu層の好適な厚さは、一例として1300nmになる。すなわち、第1の実施例のパッド電極38及び39の厚さよりも、保護膜50の厚さ分だけ厚くなっている。

【0066】

図4に示すように、半導体発光素子30をサブマウント基板1に実装した状態では、保護膜50の上面が、開口15及び16の周囲(開口15及び16の各々を取り囲む環状の領域)において堰堤膜14の上面に接する。p側のオーミック電極36と引出配線層4と

10

20

30

40

50

の間、及び n 側のオーミック電極 37 と引出配線層 5 との間に、堰堤膜 14 と保護膜 50 で取り囲まれた閉じた空間が画定される。

【0067】

サブマウント基板 1 側に形成された開口 15 の容積を、パッド電極 38 のうち保護膜 50 の上面から突出した部分の体積よりも大きくしておくことにより、溶融した金属が開口 15 の外部に流出することを防止できる。同様に、開口 16 の容積を、パッド電極 39 のうち保護膜 50 の上面から突出した部分の体積よりも大きくしておくことにより、溶融した金属が開口 16 の外部に流出することを防止できる。

【0068】

なお、第 2 の実施例の場合には、半導体発光素子 30 側にも開口 53 及び 54 が設けられているため、これらの開口をも考慮して、パッド電極 38 及び 39 の体積を設定してもよい。例えば、パッド電極 38 の体積を、開口 15 の容積と開口 53 の容積との和よりも小さくしておけばよい。第 1 の実施例の場合と同様に、パッド電極 38 の体積を、開口 15 の容積と開口 53 の容積との和の 97 % 以下とすることが好ましく、95 % 以下とすることがより好ましい。また、パッド電極 38 の体積を、開口 15 の容積と開口 53 の容積との和の 70 % 以上とすることが好ましく、85 % 以上とすることがより好ましい。

10

【0069】

第 1 の実施例では、図 2 に示したように、オーミック電極 36 及び 37 の一部が露出する。これに対し、第 2 の実施例では、図 4 に示したように、オーミック電極 36 及び 37 が保護膜 50 で完全に覆われる。サブマウント基板 1 と半導体発光素子 30 との接続に関する金属部材が露出しないため、耐候性の向上を図ることができる。

20

【0070】

図 5 を参照して、第 3 の実施例による半導体装置について説明する。図 5 は、半導体発光素子 30a をサブマウント基板 1a に実装する前の状態の断面図である。

【0071】

サブマウント基板 1a の構造及び製造方法について説明する。第 1 の実施例の場合と同様に、シリコン基板 2 の主面上に、絶縁膜 3、引出配線層 4、5、及び接着層 6、7 が形成されている。

【0072】

接着層 6 の表面の一部の領域上に p 側のパッド電極（サブマウント基板側の接続部材）61 が形成され、その上に接着層 63 が形成されている。接着層 5 の表面の一部の領域上に n 側のパッド電極 62 が形成され、その上に接着層 64 が形成されている。パッド電極 61 及び 62 は、厚さ 10 nm の Ti 層、厚さ 100 nm の Au 層、厚さ 100 nm の Pt 層、及び厚さ 600 nm の Au 層がこの順番で積層された 4 層構造を有する。接着層 63 及び 64 は、厚さ 10 nm の Ti 層で構成される。これらの層は、引出配線層 4、5 及び接着層 6、7 を形成した後、電子ビーム蒸着とリフトオフ法により形成される。本実施例においては、パッド電極 61 及び 62 の最上の Au 層の厚さを 100 nm ~ 1000 nm としてもよい。

30

【0073】

厚さ 1000 nm の酸化シリコン膜を全面に堆積し、パターニングすることにより、堰堤膜 14a が形成されている。このパターニング時に、接着層 6、7、63、及び 64 の露出した部分がエッチングされる。堰堤膜 14a には、パッド電極 61 及び 62 の上面を露出させる開口 15a 及び 16a が形成されるとともに、引出配線層 4 及び 5 の一部が露出する。

40

【0074】

次に、半導体発光素子 30a の構造及び製造方法について説明する。図 1 に示した第 1 の実施例の場合と同様に、サファイア基板 31 の主面上に、初期核形成層 32、n 型半導体層 33、活性層 34、p 型半導体層 35、p 側のオーミック電極 36、及び n 側のオーミック電極 37 が形成されている。ただし、n 側のオーミック電極 37 は、第 1 の実施例の n 側のオーミック電極 37 よりも薄く、厚さ 3 nm の Al 層と厚さ 100 nm の Rh 層

50

との2層構造を有する。

【0075】

p側のオーミック電極36の表面上にバリア層71が形成され、n側のオーミック電極37の表面上にバリア層72が形成されている。バリア層71は、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ100nmのAu層がこの順番に積層された3層構造を有する。バリア層72は、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ800nmのAu層がこの順番に積層された3層構造を有する。なお、最上のAu層の厚さは、必要に応じて100nm～2000nmの範囲内から選択される。なお、n側のオーミック電極37とバリア層72との全体は、Al/Rh/Au/Pt/Auの5層構造を有し、図1に示した第1の実施例のn側オーミック電極37と同一の積層構造になる。第3の実施例では、基板側のAl/Rhの2層をオーミック電極と呼び、その上のAu/Pt/Auの3層をバリア層と呼ぶこととする。

【0076】

バリア層71の表面の一部の領域上に、p側の接続部材73が形成され、バリア層72の表面の一部の領域上に、n側の接続部材74が形成されている。接続部材73及び74は、厚さ20nmのNi層と、その上にAu層とSn層とが交互に配置された多層構造を有する。第3の実施例では、Au層の厚さを80.3nmとし、Sn層の厚さを106.3nmとした。また、Au層を7層、Sn層を6層配置することにより、最下層及び最上層を共にAu層とした。

【0077】

サブマウント基板1aと半導体発光素子30aとを対向配置した状態で、基板の正面の法線に平行な視線で見たとき、接続部材73が開口15aに内包され、接続部材74が開口16aに内包される。バリア層71は開口15aの外周よりも外側まで広がり、バリア層72は開口16aの外周よりも外側まで広がる。

【0078】

次に、半導体発光素子30aの製造方法について説明する。活性層34及びp型半導体層35の一部をエッティングして、n型半導体層33の一部を露出させる工程までは、第1の実施例の場合と同様である。

【0079】

p型半導体層35の表面上に、電子ビーム蒸着とリフトオフ法により、オーミック電極36及びバリア層71を形成する。その後、n型半導体層33の表面の露出した領域上に、電子ビーム蒸着とリフトオフ法により、オーミック電極37及びバリア層72を形成する。次に、電子ビーム蒸着とリフトオフ法により、バリア層71及び72の上に、それぞれ接続部材73及び74を形成する。

【0080】

接続部材73及び74を、それぞれ開口15a及び16a内に挿入し、接続部材73、74、及びパッド電極61、62の最上のAu層を共晶化させる。バリア層71及び72の上面の一部が、それぞれ開口15a及び16aの周囲において堰堤膜14aの上面に接する。これにより、バリア層71と引出配線層4との間、及びバリア層72と引出配線層5との間に、堰堤膜14aで囲まれた閉じた空間が画定される。接続部材73とパッド電極61、及び接続部材74とパッド電極62は、これらの閉じた空間内に配置される。このため、第1の実施例の場合と同様に、溶融した金属が開口15a及び16aから外部に漏れ出すことを防止できる。

【0081】

図6に示すように、半導体発光素子30aの、サブマウント基板1aに対向する面を、図3に示した第2の実施例の場合と同様に、酸化シリコンからなる保護膜75で覆ってもよい。保護膜75とバリア層71の上面との間に接着層76が配置され、保護膜75とバリア層72の上面との間に接着層77が配置されている。半導体発光素子30aをサブマウント基板1aに実装した状態では、保護膜75の上面が、開口15a及び16aの周囲において堰堤膜14aの上面に接する。接続部材73及び74は、図5に示した接続部材

10

20

30

40

50

7 3 及び 7 4 よりも、接着層 7 6 と保護膜 7 5 との合計の厚さ分だけ厚くされる。

【 0 0 8 2 】

図 7 を参照して、第 4 の実施例による半導体装置について説明する。以下、図 5 に示した第 3 の実施例による半導体装置と対比しながら説明する。

【 0 0 8 3 】

第 4 の実施例のサブマウント基板 1 b においては、第 3 の実施例のパッド電極 6 1 及び 6 2 の代わりに、バリア層 8 1 及び 8 2 が配置されている。バリア層 8 1 及び 8 2 の構造は、パッド電極 6 1 及び 6 2 の構造と同一である。開口 1 5 a の底面に露出したバリア層 8 1 の上に、接続部材 8 3 が形成され、開口 1 6 a の底面に露出したバリア層 8 2 の上に、接続部材 8 4 が形成されている。その他の構成は、第 3 の実施例によるサブマウント基板 1 a の構成と同様である。接続部材 8 3 と開口 1 5 a の内周面との間に空隙が画定され、接続部材 8 4 と開口 1 6 a の内周面との間に空隙が画定されている。接続部材 8 3 及び 8 4 の上部は、堰堤膜 1 4 a の上面からやや突出している。接続部材 8 3 の体積は、開口 1 5 a の容積よりも小さく、接続部材 8 4 の体積は、開口 1 6 a の容積よりも小さい。
10

【 0 0 8 4 】

接続部材 8 3 及び 8 4 は、開口 1 5 a 及び 1 6 a を有する堰堤膜 1 4 a を形成した後、電子ビーム蒸着とリフトオフ法により形成される。

【 0 0 8 5 】

第 4 の実施例における半導体発光素子 3 0 b においては、第 3 の実施例のバリア層 7 1 及び 7 2 の代わりに、パッド電極 8 7 及び 8 8 が配置されている。パッド電極 8 7 及び 8 8 の構造は、バリア層 7 1 及び 7 2 の構造と同一である。第 4 の実施例では、サブマウント基板 1 b 上に接続部材 8 3 及び 8 4 が配置されているため、半導体発光素子 3 0 b には、第 3 の実施例の接続部材 7 3 及び 7 4 に相当する部材は配置されていない。
20

【 0 0 8 6 】

半導体発光素子 3 0 b をサブマウント基板 1 b に実装した状態では、パッド電極 8 7 及び 8 8 の上面が、開口 1 5 a 及び 1 6 a の周囲において、堰堤膜 1 4 a の上面に接触する。接続部材 8 3 、 8 4 、及びパッド電極 8 7 、 8 8 の最上の Au 層が共晶化する。溶融した金属は、開口 1 5 a 及び 1 6 a 内の空隙内に侵入し、開口 1 5 a 及び 1 6 a の外部には流出しない。

【 0 0 8 7 】

第 1 の実施例の場合と同様に、接続部材 8 3 の体積を、開口 1 5 a の容積の 9 7 % 以下にすることが好ましく、9 5 % 以下にすることがより好ましい。また、接続部材 8 3 の体積を、開口 1 5 a の容積の 7 0 % 以上にすることが好ましく、8 5 % 以上にすることがより好ましい。
30

【 0 0 8 8 】

図 8 に示すように、半導体発光素子 3 0 b の、サブマウント基板 1 b に対向する面を、酸化シリコンからなる保護膜 9 0 で覆ってもよい。保護膜 9 0 とパッド電極 8 7 の上面との間に接着層 9 1 が配置され、保護膜 9 0 とパッド電極 8 8 の上面との間に接着層 9 2 が配置されている。サブマウント基板 1 b の開口 1 5 a 及び 1 6 a に対応する位置に、保護膜 9 0 及び接着層 9 1 、 9 2 を貫通し、パッド電極 8 7 及び 8 8 の一部を露出させる開口 9 3 及び 9 4 が形成されている。
40

【 0 0 8 9 】

サブマウント基板 1 b の接続部材 8 3 及び 8 4 は、図 7 に示した接続部材 8 3 及び 8 4 よりも、保護膜 9 0 と接着層 9 1 との合計の厚さ分だけ厚くされている。接続部材 8 3 及び 8 4 が、それぞれ開口 9 3 及び 9 4 の底面に露出したパッド電極 8 7 及び 8 8 に密着して共晶化が行われる。

【 0 0 9 0 】

図 9 (A) 及び図 9 (B) を参照して、第 5 の実施例による半導体装置について説明する。図 9 (A) に、半導体発光素子 3 0 c の断面図を示し、図 9 (B) に、その底面図を示す。図 9 (B) の一点鎖線 A 9 - A 9 における断面図が図 9 (A) に相当する。図 1 に
50

示した第1の実施例の半導体発光素子30と対比しながら説明する。

【0091】

第1の実施例においては、パッド電極38が一つの部分で構成されていたが、第5の実施例では、パッド電極38に対応する部材が4つの部分38a～38dに分割されている。さらに、パッド電極39に対応する部分が2つの部分39a及び39bに分割されている。その他の構成は、図1に示した第1の実施例の半導体発光素子30と同一である。

【0092】

パッド電極の各部分38a～38dの相互に隣り合う部分の間に間隙が画定されている。また、パッド電極の2つの部分39aと39bとの間にも間隙が画定されている。

【0093】

パッド電極が大きくなると、共晶接着工程において、パッド電極を図1に示す接合部材10及び11に押し付け、接続部材10、11及びパッド電極の一部を溶融させた際に、溶融した金属が偏流を起こし、堰堤膜14を乗り越えて、開口15及び16の外部に流出してしまう場合がある。第5の実施例のように、パッド電極を複数の部分に分割し、相互に隣り合う部分の間に間隙を設けておくと、溶融した金属がこの間隙内に侵入する。このため、溶融した金属の偏流を防止でき、安定した接着が可能になる。

【0094】

パッド電極の分割は、第1の実施例による半導体発光素子のパッド電極に限らず、その他の実施例によるパッド電極に適用してもよいし、接続部材を分割してもよい。例えば、図5に示した第3の実施例に適用する場合には、半導体発光素子30a上に配置された接続部材73及び74の各々を複数の部分に分割すればよい。図7に示した第4の実施例に適用する場合には、開口15a及び16a内に配置された接続部材83及び84の各々を複数の部分に分割すればよい。また、パッド電極や接続部材を完全に分離してしまう必要はなく、パッド電極の上面（接続部材に対向する面）や接続部材の上面（パッド電極に対向する面）に溝を形成してもよい。半導体基板をサブマウント基板に実装した状態では、接続部材を形成する材料（AuSn共晶金属）がこの溝内に侵入している。図9（A）に示した例は、この溝の深さがパッド電極38a～38d及び39a、39bの厚さと等しい特殊な場合と考えることができる。

【0095】

図10を参照して、第6の実施例による半導体装置について説明する。第1～第5の実施例では、堰堤膜がサブマウント基板側に配置されていたが、第6の実施例では、半導体発光素子側に配置されている。

【0096】

サブマウント基板1dの構造について説明する。シリコン基板1、絶縁膜3、引出配線層4及び5は、図1に示した第1の実施例の場合と同様である。p側の引出配線層4の表面の一部の領域上にパッド電極101が形成され、n側の引出配線層5の表面の一部の領域上にパッド電極102が形成されている。パッド電極101及び102は、基板側から順番にNi/Au/Pt/Auが積層された4層構造を有する。

【0097】

半導体発光素子30dの構造について説明する。サファイア基板31、初期核形成層32、n型半導体層33、活性層34、p型半導体層35、オーミック電極36、37、及びバリア層71、72は、図5に示した半導体発光素子30aと同様の構造である。バリア層71の上に接続部材73aが形成され、バリア層72の上に接続部材74aが形成されている。接続部材73aの上面に接着層104が形成され、接続部材74aの上面に接着層105が形成されている。オーミック電極36から接着層104までの積層構造が、電子ビーム蒸着とリフトオフ法を利用した工程で形成される。オーミック電極37から接着層105までの積層構造が、電子ビーム蒸着とリフトオフ法を利用した他の工程で形成される。

【0098】

半導体発光素子30dの、サブマウント基板1dに対向する面が、酸化シリコンからな

10

20

30

40

50

る堰堤膜 103 で覆われている。堰堤膜 103 及び接着層 104 に開口 106 が形成され、その底面に接続部材 73a が露出している。堰堤膜 103 及び接着層 105 に開口 107 が形成され、その底面に接続部材 74a が露出している。

【0099】

サブマウント基板 1d と半導体発光素子 30d とを対向させた状態で、基板法線に平行な視線で見たとき、パッド電極 101 が開口 106 に内包され、パッド電極 102 が開口 107 に内包される。パッド電極 101 を開口 106 内に挿入して接続部材 73a に接触させ、パッド電極 102 を開口 107 内に挿入して接続部材 74a に接触させる。パッド電極 101 の最上の Au 層と接続部材 73a、及びパッド電極 102 の最上の Au 層と接続部材 74a とを共晶化させることにより、半導体発光素子 30d がサブマウント基板 1d に実装される。

【0100】

パッド電極 101 の体積を開口 106 の容積よりも小さくし、パッド電極 102 の体積を開口 107 の容積よりも小さくしておくことにより、共晶化時に溶融した金属が開口 106 及び 107 の外部に漏れ出すことを防止できる。

【0101】

図 11 を参照して第 7 の実施例による半導体装置について、図 1 に示した第 1 の実施例による半導体装置と対比しながら説明する。第 7 の実施例による半導体発光素子 30e は、第 1 の実施例による半導体発光素子 30 と同様の構造を有する。

【0102】

第 1 の実施例では、シリコン基板 2 上に形成された絶縁膜 3 の表面上に、p 側の引出配線層 4 と n 側の引出配線層 5 とが形成されていたが、第 7 の実施例では、p 側の引出配線層 4e が、n 側の接続部材の配置されている領域まで延在している。p 側の引出配線層 4e の表面の一部の領域上に、バリア層 8e、接続部材 10e、及び接着層 12e がこの順番に積層されている。各層の構造は、図 1 に示した第 1 の実施例のバリア層 8、接続部材 10、及び接着層 12 と同様である。

【0103】

p 側の引出配線層 4e の他の領域上に、接着層 111 及び絶縁膜 112 を介して、n 側の引出配線層 5e、接着層 7e、バリア層 9e、接続部材 11e、及び接着層 13e がこの順番に積層されている。接着層 111 は例えば Ti で形成され、絶縁膜 112 は例えば酸化シリコンで形成されている。引出配線層 5e から接着層 13e までの積層構造は、図 1 に示した第 1 の実施例の n 側の引出配線層 5 から接着層 13 までの積層構造と同様である。接続部材 10e と 13e との上面の高さが揃うように、バリア層または接続部材の厚さが調節されている。

【0104】

サブマウント基板 1e の、半導体発光素子 30e に対向する面上に堰堤膜 14e が形成されている。堰堤膜 14e と接着層 12e とに開口 15e が形成され、その底面に接続部材 10e が露出している。堰堤膜 14e と接着層 13e に開口 16e が形成され、その底面に接続部材 11e が露出している。

【0105】

第 7 の実施例では、n 側の引出配線層 5e と p 側の引出配線層 4e とにより、絶縁膜 112 を誘電体層とするキャパシタが構成される。これにより、静電破壊耐圧の向上を図ることができる。また、サブマウント基板の下地のシリコン基板に、予めツェナーダイオードやバリスタを形成しておいてもよい。これらの素子は、静電破壊防止に有効である。

【0106】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【図面の簡単な説明】

【0107】

【図 1】第 1 の実施例による半導体装置の実装前の状態の断面図である。

10

20

30

40

50

【図2】第1の実施例による半導体装置の実装後の断面図である。

【図3】第2の実施例による半導体装置の実装前の状態の断面図である。

【図4】第2の実施例による半導体装置の実装後の断面図である。

【図5】第3の実施例による半導体装置の実装前の状態の断面図である。

【図6】第3の実施例の変形例による半導体装置の実装前の状態の断面図である。

【図7】第4の実施例による半導体装置の実装前の状態の断面図である。

【図8】第4の実施例の変形例による半導体装置の実装前の状態の断面図である。

【図9(A)】第5の実施例による半導体装置の発光素子の断面図である。

【図9(B)】第5の実施例による半導体装置の発光素子の底面図である。

【図10】第6の実施例による半導体装置の実装前の状態の断面図である。

10

【図11】第7の実施例による半導体装置の実装前の状態の断面図である。

【図12】従来の半導体発光装置の断面図である。

【符号の説明】

【0108】

1 サブマウント基板

2 シリコン基板

3、112 絶縁膜

4、5 引出配線層

6、7、12、13、51、52、76、77、91、92、104、105、111

接着層

20

8、9、71、72、81、82 バリア層

10、11、73、74、83、84 接続部材

14、103 堤膜

15、16、53、54、93、94、106、107 開口

30 半導体発光素子

31 サファイア基板

32 初期核成長層

33 n型半導体層

34 活性層

35 p型半導体層

30

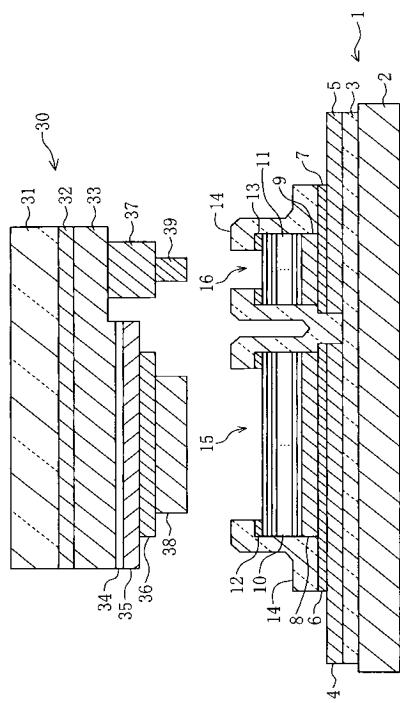
36、37 オーミック電極

38、39、61、62、87、88、101、102 パッド電極(接続部材)

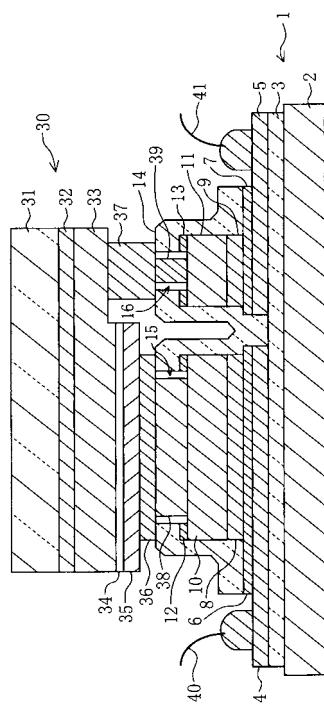
40、41 リード線

50、75、90 保護膜

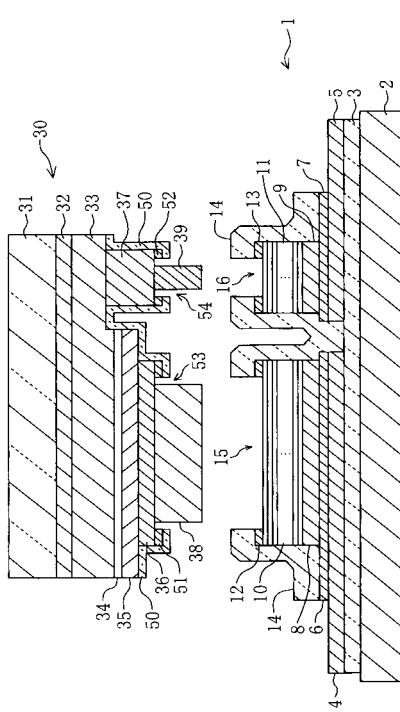
【図1】



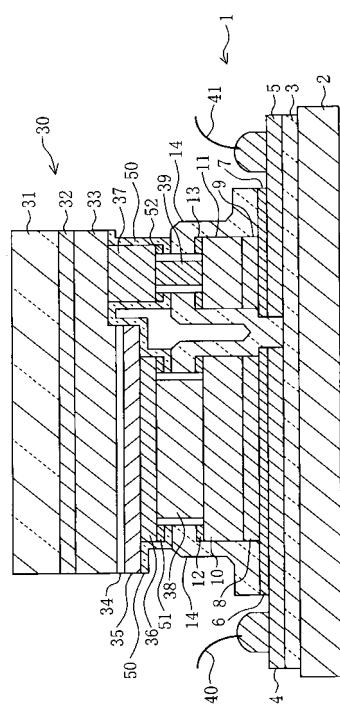
【図2】



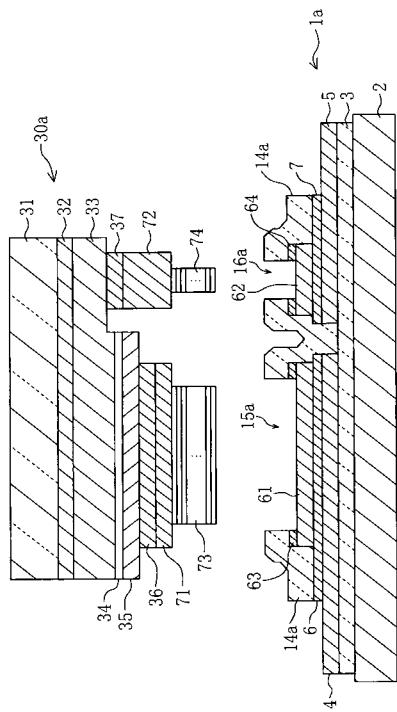
【図3】



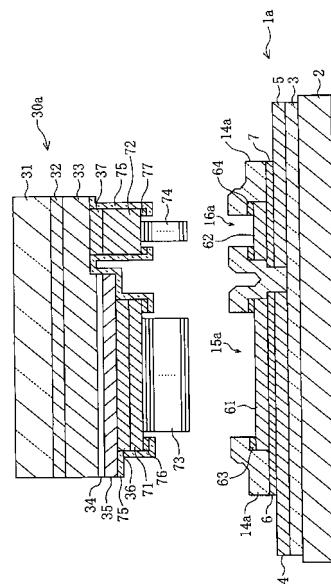
【図4】



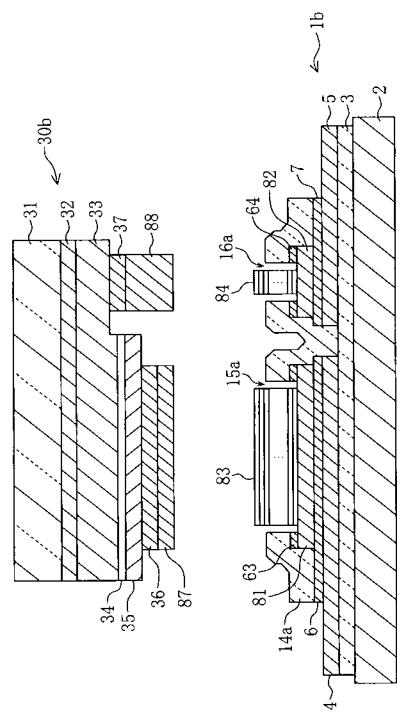
【 义 5 】



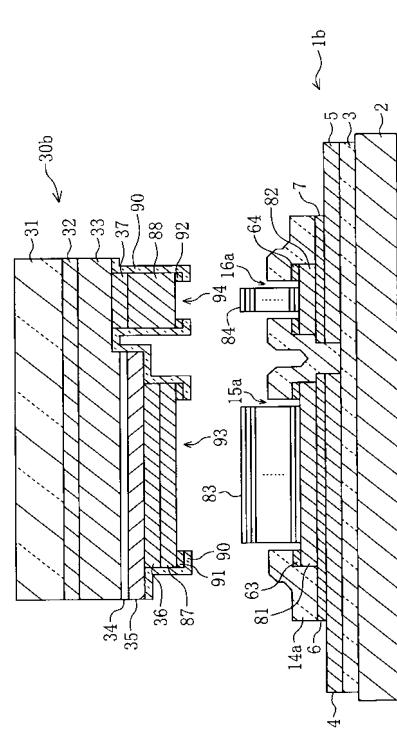
【 义 6 】



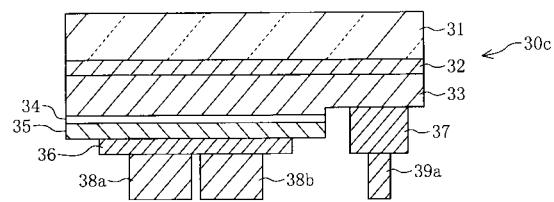
【 四 7 】



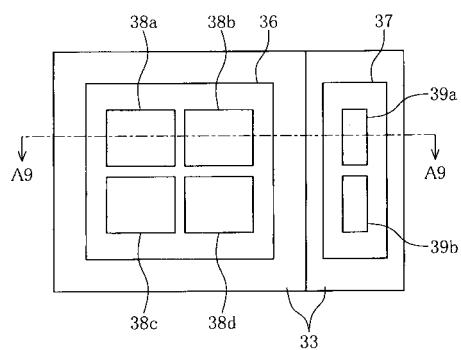
【図8】



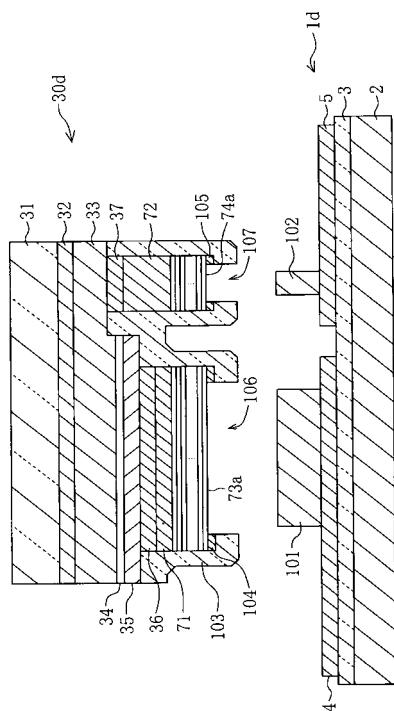
【図 9 (A)】



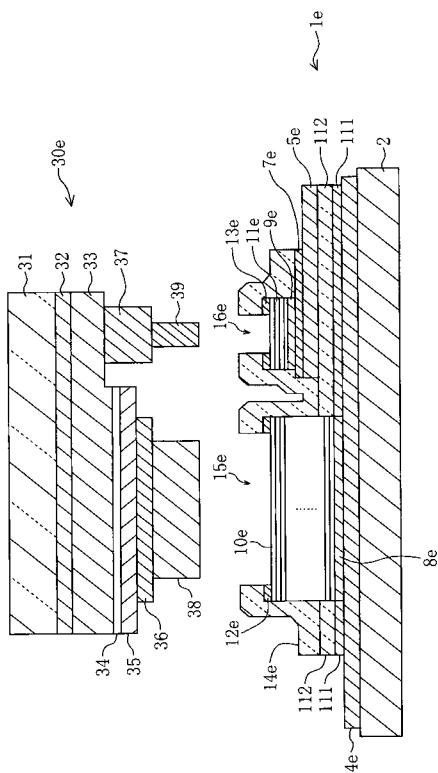
【図 9 (B)】



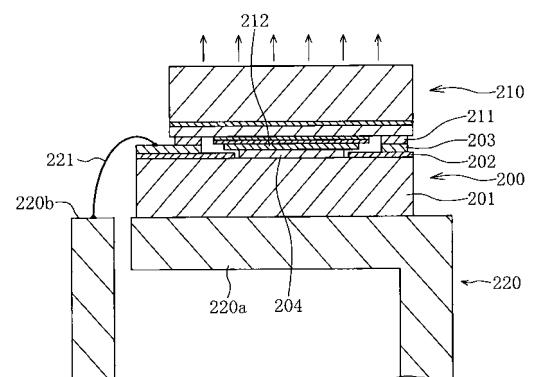
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 特開2002-094123(JP,A)
特開2003-168829(JP,A)
特開2003-101074(JP,A)
特開2000-135814(JP,A)
特開平10-012672(JP,A)
特開2002-057373(JP,A)
特開平11-150301(JP,A)
特開平07-094783(JP,A)
特開平09-320984(JP,A)
特開平06-177434(JP,A)
特開2003-031858(JP,A)
特開平09-051108(JP,A)
特開2003-031851(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64
H01L 21/60
H01L 23/12
H01L 23/14
H01L 23/32