

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4580633号
(P4580633)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.

F I

HO 1 L 33/48	(2010.01)	HO 1 L 33/00	N
HO 1 L 21/60	(2006.01)	HO 1 L 21/60	3 1 1 Q
HO 1 L 23/14	(2006.01)	HO 1 L 23/14	S
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	F
HO 1 L 23/32	(2006.01)	HO 1 L 23/32	D

請求項の数 6 (全 22 頁)

(21) 出願番号 特願2003-385645 (P2003-385645)
 (22) 出願日 平成15年11月14日(2003.11.14)
 (65) 公開番号 特開2005-150386 (P2005-150386A)
 (43) 公開日 平成17年6月9日(2005.6.9)
 審査請求日 平成18年11月13日(2006.11.13)

(73) 特許権者 000002303
 スタンレー電気株式会社
 東京都目黒区中目黒2丁目9番13号
 (74) 代理人 100091340
 弁理士 高橋 敬四郎
 (74) 代理人 100105887
 弁理士 来山 幹雄
 (72) 発明者 土谷 正彦
 東京都目黒区中目黒2-9-13 スタン
 レー電気株式会社内
 (72) 発明者 堀尾 直史
 東京都目黒区中目黒2-9-13 スタン
 レー電気株式会社内

審査官 多田 春奈

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、
 対向面を、前記半導体素子の第1の面に対向させるように配置され、前記第1の電極及び第2の電極にそれぞれ対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、

前記支持基板の対向面及び前記半導体素子の第1の面の少なくとも一方の、少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記第1の開口内を通過して、前記第1の電極と前記第1の引出電極層とを電氣的に接続する第1の接続部材と、

前記第2の開口内を通過して、前記第2の電極と前記第2の引出電極層とを電氣的に接続する第2の接続部材と

を有し、

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上に配置され、前記第1のパッド電極に接続され、前記第1の空隙内に侵入しているが、該第1の空隙を埋め尽くしてはならず、前記第1のパッド電極と接続する際に溶融及び固化する第1の導電部材とを含み、

前記第2の接続部材は、前記第2の電極及び前記第2の引出電極層の一方の上に配置さ

10

20

れ、前記第 2 の開口の側面との間に第 2 の空隙を画定する第 2 のパッド電極と、他方の上に配置され、前記第 2 のパッド電極に接続され、前記第 2 の空隙内に侵入しているが、該第 2 の空隙を埋め尽くしてはならず、前記第 2 のパッド電極と接続する際に溶融及び固化する第 2 の導電部材とを含む半導体装置。

【請求項 2】

前記第 1 のパッド電極の、前記第 1 の導電部材に対向する面に、溝が形成されている請求項 1 に記載の半導体装置。

【請求項 3】

第 1 の面上に第 1 の電極及び第 2 の電極が形成されている半導体素子と、

前記半導体素子の第 1 の面に対向配置され、前記第 1 の電極及び第 2 の電極にそれぞれ対向する位置に配置された第 1 の引出電極層及び第 2 の引出電極層を含む支持基板と、

前記支持基板の対向面の少なくとも一部の領域上に配置され、前記第 1 の電極及び第 2 の電極に対応する位置にそれぞれ第 1 の開口及び第 2 の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記半導体素子の前記第 1 の面、前記第 1 の電極、及び前記第 2 の電極の表面を覆う絶縁材料からなる保護膜であって、該保護膜には、該第 1 の電極の上面の一部を露出させる第 3 の開口、及び第 2 の電極の上面の一部を露出させる第 4 の開口が形成されており、前記第 1 の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第 1 の開口内の空間と前記第 3 の開口内の空間とが繋がった第 1 の空間を形成し、前記第 2 の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第 2 の開口内の空間と前記第 4 の開口内の空間とが繋がった第 2 の空間を形成する前記保護膜と、

前記第 1 の空間内に配置され、前記第 1 の電極と前記第 1 の引出電極層とを電氣的に接続する第 1 の接続部材と、

前記第 2 の空間内に配置され、前記第 2 の電極と前記第 2 の引出電極層とを電氣的に接続する第 2 の接続部材と
を有し、

前記第 1 の接続部材は、前記第 1 の電極及び前記第 1 の引出電極層の一方の上に配置され、前記第 1 の開口の側面との間に第 1 の空隙を画定する第 1 のパッド電極と、他方の上に配置され、前記第 1 のパッド電極に接続され、前記第 1 の空隙内に侵入しているが、該第 1 の空隙を埋め尽くしてはならず、前記第 1 のパッド電極と接続する際に溶融及び固化する第 1 の導電部材とを含み、

前記第 2 の接続部材は、前記第 2 の電極及び前記第 2 の引出電極層の一方の上に配置され、前記第 2 の開口の側面との間に第 2 の空隙を画定する第 2 のパッド電極と、他方の上に配置され、前記第 2 のパッド電極に接続され、前記第 2 の空隙内に侵入しているが、該第 2 の空隙を埋め尽くしてはならず、前記第 2 のパッド電極と接続する際に溶融及び固化する第 2 の導電部材とを含む半導体装置。

【請求項 4】

前記第 1 の導電部材及び前記第 1 のパッド電極のうち前記第 1 の引出電極層の上に配置された方の部材の、前記半導体素子に対向する面が、前記第 1 の導電部材及び前記第 1 のパッド電極のうち前記第 1 の電極の上に配置された方の部材の、前記支持基板に対向する面よりも広く、前記堰堤膜が、前記第 1 の導電部材及び前記第 1 のパッド電極のうち前記第 1 の引出電極層の上に配置された方の部材の、前記半導体素子に対向する面の一部に、両者の密着性を高める材料からなる第 1 の接着層を介して密着している請求項 3 に記載の半導体装置。

【請求項 5】

第 1 の面上に第 1 の電極及び第 2 の電極が形成され、該第 1 の電極上に第 3 の接続部材が形成され、該第 2 の電極上に第 4 の接続部材が形成されている第 1 の基板を準備する工程と、

第 2 の面を、前記第 1 の基板の第 1 の面に対向配置した時、該第 2 の面上の、前記第 3

10

20

30

40

50

の接続部材及び第４の接続部材に対応する位置に、それぞれ第５の接続部材及び第６の接続部材が形成され、該第５の接続部材及び第６の接続部材が、絶縁材料からなる堰堤膜で被覆され、該堰堤膜に、該第５の接続部材及び第６の接続部材の上面を露出させる第１の開口及び第２の開口が形成され、該第１の面の法線に平行な視線で見たとき、該第１の開口の内側に前記第３の接続部材が位置し、該第２の開口の内側に前記第４の接続部材が位置し、前記第１の開口の縁と前記第３の接続部材の縁との間に空隙が画定されており、前記第２の開口の縁と前記第４の接続部材の縁との間に空隙が画定されている第２の基板を準備する工程と、

前記第３の接続部材を、前記第１の開口内を通して前記第５の接続部材に接触させると共に、前記第４の接続部材を、前記第２の開口内を通して前記第６の接続部材に接触させ、該第３の接続部材と第５の接続部材との接触部分、及び前記第４の接続部材と第６の接続部材との接触部分を溶融させ、その後固化させる工程とを有する半導体装置の製造方法。

【請求項６】

第１の面上に第３の接続部材及び第４の接続部材が形成されており、さらに前記第３の接続部材と前記第４の接続部材とを覆い、前記第３の接続部材及び前記第４の接続部材の各々の上面の一部を露出させる絶縁材料からなる保護膜が形成されている第１の基板を準備する工程と、

第２の面上に、絶縁材料からなる堰堤膜が形成され、該第２の面を、前記第１の基板の第１の面に対向配置した時、該堰堤膜の、前記第３の接続部材及び第４の接続部材に対応する位置に、それぞれ第１の開口及び第２の開口が形成され、該第１の開口内及び第２の開口内にそれぞれ第５の接続部材及び第６の接続部材が配置され、該第５の接続部材と該第１の開口の内周面との間、及び該第６の接続部材と第２の開口の内周面との間に空隙が画定され、該第５の接続部材の上面は第１の開口の開口面から突出し、該第６の接続部材の上面は第２の開口の開口面から突出している第２の基板を準備する工程と、

前記第３の接続部材を前記第５の接続部材に接触させ、前記第４の接続部材を前記第６の接続部材に接触させて、接触部分を溶融させ、その後固化させるとともに、前記第１の開口を取り囲む環状の領域及び前記第２の開口を取り囲む環状の領域において、前記堰堤膜の上面を前記保護膜の上面に接触させる工程と

を有し、

前記第５の接続部材の体積及び前記第１の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第５の接続部材と前記第１の開口の内周面との間の前記空隙内に侵入し、前記第１の開口の外部には流出しない寸法にされており、前記第６の接続部材の体積及び前記第２の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第６の接続部材と前記第２の開口の内周面との間の前記空隙内に侵入し、前記第２の開口の外部には流出しない寸法にされている半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置及びその製造方法に関し、特に支持基板（サブマウント基板）に半導体素子を実装した半導体装置及びその製造方法に関する。

【背景技術】

【０００２】

図１２に、特許文献１に開示された半導体発光素子及びサブマウント基板の断面図を示す。サブマウント基板２００に半導体発光素子２１０が実装されている。サブマウント基板２００は、シリコン基板２０１の表面上に形成された補助Ｎ側電極層２０３及び補助Ｐ側電極層２０４を含んで構成される。補助Ｎ側電極層２０３とシリコン基板２０１との間に酸化皮膜２０２が配置され、両者が電氣的に絶縁されている。補助Ｐ側電極層２０４は、シリコン基板２０１の表面上に直接形成されている。補助電極２０３及び２０４は、例え

10

20

30

40

50

ば、AuとSnとの合金またはインジウム系の合金で形成される。

【0003】

サファイア基板を用いた半導体発光素子210の、サブマウント基板200に対向する面上に、N側電極211及びP側電極212が形成されている。N側電極211が補助N側電極層203にハンダ付けされ、P側電極212が補助P側電極層204にハンダ付けされている。

【0004】

シリコン基板201がリードフレーム220のP側端子部220aに搭載されている。補助N側電極203が、ワイヤ221により、リードフレーム220のN側端子部220bに接続されている。

10

【0005】

半導体発光素子210から発光した光は、サファイア基板を通して、サブマウント基板200とは反対側の方向に放射される。

【0006】

特許文献2～4に、半導体発光素子の表面を絶縁性の保護膜で覆う技術が開示されている。特許文献5に、電極と保護膜との間に、Ti、Ni、W等の接着強化層を挿入する技術が開示されている。

【0007】

【特許文献1】特開2003-31851号公報

【特許文献2】特許第2914065号公報

20

【特許文献3】特許第2770717号公報

【特許文献4】特許第3292044号公報

【特許文献5】特許第3255281号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

図12に示した半導体発光素子210をサブマウント基板（支持基板）200に実装する時に、溶融したAuSn合金等が横にはみ出し、P側電極とN側電極との間が短絡されてしまう場合がある。半導体発光素子を保護膜で覆っても、この短絡を防止することはできない。

30

【0009】

本発明の目的は、支持基板への実装時における電極の短絡を防止することができる半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0010】

本発明の一観点によると、

第1の面上に第1の電極及び第2の電極が形成されている半導体素子と、

対向面を、前記半導体素子の第1の面に対向させるように配置され、前記第1の電極及び第2の電極にそれぞれ対向する位置に配置された第1の引出電極層及び第2の引出電極層を含む支持基板と、

40

前記支持基板の対向面及び前記半導体素子の第1の面の少なくとも一方の、少なくとも一部の領域上に配置され、前記第1の電極及び第2の電極に対応する位置にそれぞれ第1の開口及び第2の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記第1の開口内を通して、前記第1の電極と前記第1の引出電極層とを電氣的に接続する第1の接続部材と、

前記第2の開口内を通して、前記第2の電極と前記第2の引出電極層とを電氣的に接続する第2の接続部材と

を有し、

前記第1の接続部材は、前記第1の電極及び前記第1の引出電極層の一方の上に配置され、前記第1の開口の側面との間に第1の空隙を画定する第1のパッド電極と、他方の上

50

に配置され、前記第 1 のパッド電極に接続され、前記第 1 の空隙内に侵入しているが、該第 1 の空隙を埋め尽くしてはならず、前記第 1 のパッド電極と接続する際に溶融及び固化する第 1 の導電部材とを含み、

前記第 2 の接続部材は、前記第 2 の電極及び前記第 2 の引出電極層の一方の上に配置され、前記第 2 の開口の側面との間に第 2 の空隙を画定する第 2 のパッド電極と、他方の上に配置され、前記第 2 のパッド電極に接続され、前記第 2 の空隙内に侵入しているが、該第 2 の空隙を埋め尽くしてはならず、前記第 2 のパッド電極と接続する際に溶融及び固化する第 2 の導電部材とを含む半導体装置が提供される。

【 0 0 1 1 】

本発明の他の観点によると、

第 1 の面上に第 1 の電極及び第 2 の電極が形成されている半導体素子と、

前記半導体素子の第 1 の面に対向配置され、前記第 1 の電極及び第 2 の電極にそれぞれ対向する位置に配置された第 1 の引出電極層及び第 2 の引出電極層を含む支持基板と、

前記支持基板の対向面の少なくとも一部の領域上に配置され、前記第 1 の電極及び第 2 の電極に対応する位置にそれぞれ第 1 の開口及び第 2 の開口が形成されており、絶縁材料で形成された堰堤膜と、

前記半導体素子の前記第 1 の面、前記第 1 の電極、及び前記第 2 の電極の表面を覆う絶縁材料からなる保護膜であって、該保護膜には、該第 1 の電極の上面の一部を露出させる第 3 の開口、及び第 2 の電極の上面の一部を露出させる第 4 の開口が形成されており、前記第 1 の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第 1 の開口内の空間と前記第 3 の開口内の空間とが繋がった第 1 の空間を形成し、前記第 2 の開口を取り囲む環状の領域において、該保護膜の上面が前記堰堤膜の上面に接して、前記第 2 の開口内の空間と前記第 4 の開口内の空間とが繋がった第 2 の空間を形成する前記保護膜と、

前記第 1 の空間内に配置され、前記第 1 の電極と前記第 1 の引出電極層とを電氣的に接続する第 1 の接続部材と、

前記第 2 の空間内に配置され、前記第 2 の電極と前記第 2 の引出電極層とを電氣的に接続する第 2 の接続部材と

を有し、

前記第 1 の接続部材は、前記第 1 の電極及び前記第 1 の引出電極層の一方の上に配置され、前記第 1 の開口の側面との間に第 1 の空隙を画定する第 1 のパッド電極と、他方の上に配置され、前記第 1 のパッド電極に接続され、前記第 1 の空隙内に侵入しているが、該第 1 の空隙を埋め尽くしてはならず、前記第 1 のパッド電極と接続する際に溶融及び固化する第 1 の導電部材とを含み、

前記第 2 の接続部材は、前記第 2 の電極及び前記第 2 の引出電極層の一方の上に配置され、前記第 2 の開口の側面との間に第 2 の空隙を画定する第 2 のパッド電極と、他方の上に配置され、前記第 2 のパッド電極に接続され、前記第 2 の空隙内に侵入しているが、該第 2 の空隙を埋め尽くしてはならず、前記第 2 のパッド電極と接続する際に溶融及び固化する第 2 の導電部材とを含む半導体装置が提供される。

【 0 0 1 2 】

本発明のさらに他の観点によると、

第 1 の面上に第 1 の電極及び第 2 の電極が形成され、該第 1 の電極上に第 3 の接続部材が形成され、該第 2 の電極上に第 4 の接続部材が形成されている第 1 の基板を準備する工程と、

第 2 の面を、前記第 1 の基板の第 1 の面に対向配置した時、該第 2 の面上の、前記第 3 の接続部材及び第 4 の接続部材に対応する位置に、それぞれ第 5 の接続部材及び第 6 の接続部材が形成され、該第 5 の接続部材及び第 6 の接続部材が、絶縁材料からなる堰堤膜で被覆され、該堰堤膜に、該第 5 の接続部材及び第 6 の接続部材の上面を露出させる第 1 の開口及び第 2 の開口が形成され、該第 1 の面の法線に平行な視線で見たとき、該第 1 の開口の内側に前記第 3 の接続部材が位置し、該第 2 の開口の内側に前記第 4 の接続部材が位

10

20

30

40

50

置し、前記第 1 の開口の縁と前記第 3 の接続部材の縁との間に間隙が画定されており、前記第 2 の開口の縁と前記第 4 の接続部材の縁との間に間隙が画定されている第 2 の基板を準備する工程と、

前記第 3 の接続部材を、前記第 1 の開口内を通して前記第 5 の接続部材に接触させると共に、前記第 4 の接続部材を、前記第 2 の開口内を通して前記第 6 の接続部材に接触させ、該第 3 の接続部材と第 5 の接続部材との接触部分、及び前記第 4 の接続部材と第 6 の接続部材との接触部分を溶融させ、その後固化させる工程とを有する半導体装置の製造方法が提供される。

【 0 0 1 3 】

本発明のさらに他の観点によると、

第 1 の面上に第 3 の接続部材及び第 4 の接続部材が形成されており、さらに前記第 3 の接続部材と前記第 4 の接続部材とを覆い、前記第 3 の接続部材及び前記第 4 の接続部材の各々の上面の一部を露出させる絶縁材料からなる保護膜が形成されている第 1 の基板を準備する工程と、

第 2 の面上に、絶縁材料からなる堰堤膜が形成され、該第 2 の面を、前記第 1 の基板の第 1 の面に対向配置した時、該堰堤膜の、前記第 3 の接続部材及び第 4 の接続部材に対応する位置に、それぞれ第 1 の開口及び第 2 の開口が形成され、該第 1 の開口内及び第 2 の開口内にそれぞれ第 5 の接続部材及び第 6 の接続部材が配置され、該第 5 の接続部材と該第 1 の開口の内周面との間、及び該第 6 の接続部材と第 2 の開口の内周面との間に空隙が画定され、該第 5 の接続部材の上面は第 1 の開口の開口面から突出し、該第 6 の接続部材の上面は第 2 の開口の開口面から突出している第 2 の基板を準備する工程と、

前記第 3 の接続部材を前記第 5 の接続部材に接触させ、前記第 4 の接続部材を前記第 6 の接続部材に接触させて、接触部分を溶融させ、その後固化させるとともに、前記第 1 の開口を取り囲む環状の領域及び前記第 2 の開口を取り囲む環状の領域において、前記堰堤膜の上面を前記保護膜の上面に接触させる工程とを有し、

前記第 5 の接続部材の体積及び前記第 1 の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第 5 の接続部材と前記第 1 の開口の内周面との間の前記空隙内に侵入し、前記第 1 の開口の外部には流出しない寸法にされており、前記第 6 の接続部材の体積及び前記第 2 の開口の大きさは、前記溶融させ、その後固化させる工程において、溶融した材料が前記第 6 の接続部材と前記第 2 の開口の内周面との間の前記空隙内に侵入し、前記第 2 の開口の外部には流出しない寸法にされている半導体装置の製造方法が提供される。

【発明の効果】

【 0 0 1 5 】

半導体素子を支持基板に実装する際に、接続部材の一部が溶融する。溶融した金属が、堰堤膜に形成された開口内に止まることにより、電極間の短絡の発生を防止することができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

図 1 及び図 2 を参照して、第 1 の実施例による半導体装置及びその製造方法について説明する。

【 0 0 1 7 】

図 1 に示すように、第 1 の実施例による半導体装置は、サブマウント基板 1 と半導体発光素子 30 とを含んで構成される。

【 0 0 1 8 】

サブマウント基板 1 の構造について説明する。シリコン等からなる下地基板 2 の主面上に、酸化シリコンからなる厚さ 300 nm の絶縁膜 3 が形成されている。絶縁膜 3 の上に、半導体発光素子 30 の p 側電極に接続される引出配線層 4 及び n 側電極に接続される引出配線層 5 が形成されている。引出配線層 4 及び 5 は、例えば厚さ 10 nm のチタン (T

10

20

30

40

50

i) 層と厚さ1000nmの金(Au)層との2層構造を有する。なお、引出配線層4及び5を、ニッケル(Ni)層とAu層との2層構造としてもよい。

【0019】

引出配線層4及び5の上に、それぞれ接着層6及び7が形成されている。接着層6及び7は、例えばTiで形成され、その厚さは10nmである。引出配線層4及び5の上面の一部は、リード線接続のために露出している。

【0020】

p側の接着層6の一部の表面上に、バリア層8、接続部材10、接着層12がこの順番に積層されている。n側の接着層7の一部の表面上にも、同様にバリア層9、接続部材11、接着層13がこの順番に積層されている。バリア層8及び9は、下地基板2側から順番に厚さ10nmのTi層、厚さ100nmのAu層、及び厚さ100nmの白金(Pt)層が積層された3層構造を有する。接続部材10及び11は、Au層と錫(Sn)層とが交互に配置された積層構造を有する。最下層及び最上層は共にAu層とされている。Au層及びSn層の各々の厚さを、例えば75.5nm及び109.4nmとし、Au層を6層、Sn層を5層配置した。なお、Au層及びSn層の各々の厚さを50nm~200nmとしてもよい。接着層12はTiで形成され、その厚さは10nmである。

【0021】

なお、バリア層8及び9を、タングステン(W)/Au/Ptの3層構造、モリブデン(Mo)/Au/Ptの3層構造としてもよい。ここで、「X/Y/Z」なる表記は、Xが最下層、Yが中層、Zが上層に配置されることを意味する。

【0022】

p側の接着層6及び12、p側の接続部材10、バリア層8、p側の引出配線層4とn側の引出配線層5との間の絶縁膜3、n側の接着層7及び13、n側の接続部材11、バリア層9が、堰堤膜14で覆われている。堰堤膜14は、例えば酸化シリコンで形成され、その厚さは500nm~3000nmである。

【0023】

堰堤膜14及び接着層12に、p側の接続部材10の上面の一部を露出させる開口15が形成され、堰堤膜14及び接着層13に、n側の接続部材11の上面の一部を露出させる開口16が形成されている。

【0024】

次に、半導体発光素子30の構造について説明する。サファイア基板31の主面上に初期核形成層32、n型半導体層33、活性層34、p型半導体層35がこの順番に積層されている。これらの半導体層は、例えば $In_yAl_{1-x-y}Ga_xN$ ($x+y=1$, $0 \leq x \leq 1$, $0 \leq y \leq 1$)等の窒化物半導体で形成される。活性層34及びp型半導体層35の一部が除去され、n型半導体層33の一部が露出している。

【0025】

p型半導体層35の表面上に、p側のオーミック電極36が形成され、n型半導体層33の露出した領域に、n側のオーミック電極37が形成されている。p側のオーミック電極36は、例えば厚さ3nmのPt層と厚さ100nmのロジウム(Rh)層との2層構造を有する。n側のオーミック電極37は、例えば、厚さ3nmのAl層、厚さ100nmのRh層、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ100nm~2000nmのAu層が順番に積層された5層構造を有する。サファイア基板31の主面を基準として、p側のオーミック電極36及びn側のオーミック電極37の上面の高さが揃うように、n側のオーミック電極37の最上のAu層の厚さが決定される。

【0026】

p側のオーミック電極36を、PtやRhの単層構造にしてもよいし、Pt/銀(Ag)の2層構造にしてもよい。また、n側のオーミック電極37の2層目を、Rhの代わりにPt、イリジウム(Ir)、パラジウム(Pd)等で形成してもよい。

【0027】

オーミック電極36及び37の表面上に、それぞれパッド電極(接続部材)38及び3

10

20

30

40

50

9が形成されている。パッド電極38及び39は、例えば厚さ3nmのNi層、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ200nm~2000nmのAu層がこの順番に積層された4層構造を有する。パッド電極38及び39の第1層目をNiの代わりにTi、W、またはMoで形成してもよい。また、第2層目のAu層を省略して3層構造としてもよい。パッド電極38及び39の高さは、支持基板1側の開口15及び16の深さ(堰堤膜14の厚さ)に比べてやや大きくなるように設定されている。

【0028】

次に、サブマウント基板1の製造方法について説明する。下地基板1を洗浄し、表面を清浄化する。下地基板1の主面上に、酸化シリコンからなる厚さ300nmの絶縁膜3をスパッタリングにより形成する。なお、表面に熱酸化膜が形成されたシリコン基板を用いる場合には、スパッタリングによる絶縁膜形成工程を省略することができる。

10

【0029】

引出配線層4及び5に整合する開口を有するレジストパターンを形成し、引出配線層4及び5となるTi層、Au層、及び接着層6及び7となるTi層を順番に電子ビーム蒸着により形成する。リフトオフ法を用いて、不要な領域のTi層及びAu層を除去し、引出配線層4、5及び接着層6、7を形成する。この時点では、接着層6、7が引出配線層4、5の全面を覆っているが、後のエッチング工程で、引出配線層4、5の表面の一部が露出する。

【0030】

接続部材10、11に整合する開口を有するレジストパターンを形成し、電子ビーム蒸着により、バリア層8、9から接着層12、13までの各層を堆積する。リフトオフ法により、各層の不要な部分を除去する。これにより、バリア層8、9、接続部材10、11、及び接着層12、13が残る。

20

【0031】

全面に、厚さ500nm~3000nmの酸化シリコン膜をスパッタリングにより形成する。この酸化シリコン膜をパターニングすることにより、堰堤膜14を残す。このとき、開口15、16が形成され、引出配線層4及び5の表面の一部が露出する。開口15及び16の底面に、接続部材10及び11の最上のAu層が露出する。酸化シリコン膜をウェットエッチングすると、一般的に、開口15及び16の底面が開口面(上面)よりも小さくなるように、その側面が傾斜する。開口15及び16は、その底面が、半導体発光素子30のパッド電極38及び39の最上面よりも大きくなるような形状にされる。

30

【0032】

シリコン基板2の研削及び研磨を行い、その厚さを100μm程度まで薄くする。スクライブ及びブレーキングを行い、素子単位に分離する。

【0033】

次に、半導体発光素子30の形成方法について説明する。サファイア基板31の主面上に、初期核形成層32、n型半導体層33、活性層34、及びp型半導体層35を成長させる。これらの層は、有機金属気相エピタキシャル成長(MOVPE)、分子線エピタキシャル成長(MBE)により成長させることができる。

【0034】

p型半導体層35及び活性層34の一部をエッチングして、n型半導体層33の一部を露出させる。このエッチングの深さは、例えば700nmとする。p型半導体層35の表面上に、p側のオーミック電極36を、電子ビーム蒸着とリフトオフ法を用いて形成する。その後、n型半導体層33の露出した領域上に、n側のオーミック電極37を、電子ビーム蒸着とリフトオフ法により形成する。n側のオーミック電極37の最上面の高さが、p側のオーミック電極36の最上面の高さに揃うように、n側のオーミック電極37の最上のAu層の厚さが設定されている。

40

【0035】

オーミック電極36及び37の表面上に、それぞれパッド電極38及び39を、電子ビーム蒸着及びリフトオフ法により形成する。サファイア基板31の研削及び研磨を行い、

50

その厚さを $100\ \mu\text{m} \sim 230\ \mu\text{m}$ まで薄くする。その後、スクライブ及びブレーキングを行い、素子単位に分離する。

【0036】

次に、半導体発光素子 30 をサブマウント基板 1 にフリップチップボンディングする手順を説明する。

【0037】

シリコン基板 2 の主面とサファイア基板 31 の主面とが向き合うように、サブマウント基板 1 と半導体発光素子 30 とを対向配置させる。シリコン基板 2 の主面に垂直な視線で見たとき、パッド 38 が開口 15 の内側に位置し、パッド 39 が開口 16 の内側に位置するように、サブマウント基板 1 と半導体発光素子 30 との位置を調整する。

10

【0038】

パッド電極 38 及び 39 を、それぞれ開口 15 及び 16 内に挿入し、接続部材 10 及び 11 に接触させる。サブマウント基板 1 と半導体発光素子 30 とに圧力を印加した状態で加熱して高温状態を保持し、その後冷却する。パッド電極 38 の最上の Au 層と接続部材 10 とが共晶化され、パッド電極 39 の最上の Au 層と接続部材 11 が共晶化される。加熱条件として、好適な共晶温度プロファイルが選択される。本実施例で使用した AuSn 共晶金属では、Sn 濃度が 20 重量%である。この共晶組成の AuSn の共晶点は $280 \sim 300$ である。このように、接続部材 10 とパッド電極 38 との接触部分及び接続部材 11 とパッド電極 39 との接触部分を共晶化させることにより、半導体発光素子 30 をサブマウント基板 1 に固定すると共に、両者の電氣的接続を得ることができる。

20

【0039】

図 2 に、半導体発光素子 30 がサブマウント基板 1 にボンディングされた状態の半導体装置の断面図を示す。オーミック電極 36 及び 37 の上面が、堰堤膜 14 に形成された開口 15 及び 16 を取り囲む環状の領域において、堰堤膜 14 の上面に接する。このため、オーミック電極 36 と引出配線層 4 との間に、堰堤膜 14 で取り囲まれた閉じた空間が画定される。同様に、オーミック電極 37 と引出配線層 5 との間に、堰堤膜 14 で取り囲まれた閉じた空間が画定される。p 側の引出配線層 4 の露出した領域にリード線 40 が接続され、n 側の引出配線層 5 の露出した領域にリード線 41 が接続される。

【0040】

p 側のバリア層 8、接続部材 10、及びパッド電極 38 が、支持基板 1 側の引出電極層 4 と半導体素子 30 側のオーミック電極 36 とを電氣的に接続する。n 側のバリア層 9、接続部材 11、及びパッド電極 39 が、支持基板 1 側の引出電極層 5 と半導体素子 30 側のオーミック電極 37 とを電氣的に接続する。

30

【0041】

開口 15 の内周面とパッド電極 38 の外周面との間に空隙が画定される。パッド電極 38 の高さが開口 15 の深さ（堰堤膜 14 の厚さ）よりもやや大きいため、パッド電極 38 の上面側の表層部が接続部材 10 内に埋め込まれると共に、熔融した金属がこの空隙内に侵入する。実施例においては、パッド電極 38 の体積が開口 15 の容積よりも小さくされている。このため、空隙内に熔融した金属が侵入したとしても、空隙を埋め尽くすことはなく、空隙が残存する。従って、熔融した金属が開口 15 の外に漏れ出すことを防止できる。

40

【0042】

熔融した金属の漏れ出しを防止するためには、パッド電極 38 の体積を開口 15 の容積の 97% 以下にすることが好ましく、95% 以下にすることがより好ましい。また、パッド電極 38 を小さくしすぎると、十分な接着強度が得られない。このため、パッド電極 38 の体積を開口 15 の容積の 70% 以上にすることが好ましく、85% 以上にすることがより好ましい。すなわち、開口 15 の容積に対して、開口 15 内に残存する空隙の容積の割合を、3% ~ 30% にすることが好ましく、5% ~ 15% にすることがより好ましい。

【0043】

n 側のパッド 39 と開口 16 との関係も、p 側のパッド 38 と開口 15 との関係と同様

50

である。これにより、p側の電極とn側の電極との短絡故障を防止することができる。

【0044】

また、堰堤膜14の厚さにより、実装時におけるサブマウント基板1と半導体発光素子30との間隔が規定される。すなわち、接合部材10及び11への、パッド電極38及び39の埋込深さを容易に調整することができる。これにより、パッド電極が必要以上に接合部材中に埋め込まれて溶融した金属が基板面に沿って拡がることを防止できる。

【0045】

AuとSnとを共晶化させるときに、接続部材10及び11が溶融した状態では、サブマウント基板1と半導体発光素子30との相対位置が不安定になる。第1の実施例では、半導体発光素子30のパッド電極38及び39が、それぞれサブマウント基板1の開口15及び16内に挿入されているため、接続部材10及び11が溶融した状態でも、サブマウント基板1と半導体発光素子30との相対位置を拘束することができる。これにより、位置ずれに起因する歩留まりの低下を防止することができる。十分な位置ずれ防止効果を得るために、堰堤膜14の厚さを500nm以上とすることが好ましい。酸化シリコンのエッチング工程における処理時間やサイドエッチングの深さ等の観点から、堰堤膜14の厚さを3000nm以下とすることが好ましく、1000nm以下とすることがより好ましい。

【0046】

パッド電極38の最上のAu層と接続部材10とで形成されたAuSn共晶部材が、堰堤膜14により画定された閉じた空間内に配置される。このため、AuSn共晶部材が配置された空間への水分の侵入を防止することができる。一般に、水分の存在下でSnが電気化学的マイグレーションを起こしやすいことが知られている。第1の実施例では、AuSn共晶部材が水分に晒されることを抑制できるため、Snのマイグレーションを抑制し、半導体装置の信頼性向上を図ることができる。

【0047】

第1の実施例では、1層の厚さを50nm～200nmとしたAuとSnとの多層構造を加熱することによりAuSn共晶部材を形成した。これにより、一般的なAuSn共晶合金法に比べて、安定した共晶過程を得ることができた。例えば、Snの含有量が20重量%のAuSn合金を蒸着源として用いた場合、AuとSnとの蒸発量が経時的に変化する。このため、堆積膜の組成が目標とする組成からずれてしまう。組成がずれると共晶温度が変化してしまい、共晶反応が不十分になる場合がある。多層構造にすることにより、接続部材の組成を目標値に近づけ、共晶反応を安定化させることができる。

【0048】

次に、接続部材10、11の積層構造、及びそれに対向するパッド電極38、39の最上のAu層の厚さについて説明する。AuとSnとの共晶合金の共晶比を、重量比でAu:Sn=80:20とする場合を考える。この場合、AuとSnとの体積比は0.544:0.456になる。ここで、スパッタリングで成膜したSn膜は灰色錫であることがわかったため、その密度を5.76g/cm³とした。以下の説明では、一般化して、共晶金属全体に対するAu及びSnの体積比を、それぞれV_{au}及びV_{sn}とする。

【0049】

接続部材10を構成するSn層の層数をnとすると、Au層の層数はn+1になる。さらにパッド電極38の最上のAu層も共晶反応に関与するため、共晶反応に関与するAu層の層数はn+2になる。

【0050】

パッド電極38の最上のAu層と接続部材10との合計の厚さをL_tとする。このとき、各Au層の厚さL_{au}、各Sn層の厚さL_{sn}は、

【0051】

(数1)

$$L_{au} = L_t \times V_{au} / (n + 2)$$

$$L_{sn} = L_t \times V_{sn} / n$$

となる。合計の厚さ L_t を 1200 nm 、 S_n 層の層数 n を 5 とすると、 $V_{au} = 0.544$ 、 $V_{sn} = 0.456$ のとき、

【0052】

(数2)

$L_{au} = 93.3\text{ nm}$

$L_{sn} = 109.4\text{ nm}$

となる。

【0053】

上記第1の実施例において、堰堤膜14の厚さを 1000 nm とし、パッド電極38を構成する $Ni/Au/Pt/Au$ 層の厚さを、それぞれ $3\text{ nm}/100\text{ nm}/100\text{ nm}/1000\text{ nm}$ とした場合について考察する。この場合、パッド電極38の上面の厚さ約 200 nm の表層部が、接続部材14内に埋め込まれる。この厚さ 200 nm の表層部が共晶反応に関与すると考えることができる。共晶金属部全体の厚さ L_t を 1200 nm とすると、 Au 層の全体の厚さは $1200 \times V_{au} [\text{nm}]$ になる。このうちの 200 nm の部分がパッド電極38から供給されるため、接続部材10を構成する Au 層の全体の厚さを $(1200 \times V_{au} - 200) [\text{nm}]$ にすればよい。 Au 層の層数が6であるから、各 Au 層の厚さは 75.5 nm になる。また、各 S_n 層の厚さは、上述の計算結果どおり、 109.4 nm になる。

【0054】

このように、接続部材10を構成する S_n 層の体積比が、共晶比から求められる体積比よりも大きくされている。従って、接続部材10が溶融した時に、 S_n に比べて Au が不足する。不足した Au を補うために、パッド電極38の最上の Au 層が溶融して共晶反応が生ずることになる。このようにして、パッド電極38と接続部材10との接着性を高めることができる。

【0055】

また、第1の実施例では、引出配線層4と堰堤膜14との間に接着層6が配置され、引出配線層5と堰堤膜14との間に接着層7が配置されている。接続部材10の上面(半導体発光素子30に対向する面)は、パッド電極38の上面(支持基板1に対向する面)よりも広い。堰堤膜14は、接続部材10の上面の一部に、接着層12を介して密着する。接続部材11とパッド電極39との関係も同様であり、堰堤膜14が接着層13を介して接続部材11の上面の一部に密着する。接着層12は、堰堤膜14の密着性を高める機能を有する。実施例では、接着層の材料として Ti を用いたが、 Ni や Al を用いてもよい。

【0056】

活性層34に電流を注入すると、発光が生ずる。サファイア基板31は、この光を透過させる。このため、サファイア基板31を通して、光が外部に放射される。サブマウント基板1の方に向かって伝搬する光は、 p 側のオーミック電極36で反射され、サファイア基板31を通して外部に放射される。

【0057】

上記第1の実施例では、サブマウント基板1の下地として導電性を有するシリコン基板を用いたが、窒化アルミニウム(AlN)やアルミナ(Al_2O_3)等の絶縁性の基板を用いてもよい。この場合には、図1に示した絶縁膜3を形成することなく、下地基板の上に引出配線層4及び5を直接形成してもよい。下地基板の材料として、熱伝導率が高く、かつ熱膨張係数が半導体発光素子の熱膨張係数と近いものが好ましい。このような導電性材料の例として、シリコン以外に CuW 等が挙げられる。

【0058】

上記実施例では、堰堤膜14の材料として酸化シリコンを用いたが、その他の絶縁材料を用いてもよい。例えば、アルミナ(Al_2O_3)、酸化チタン(TiO_2 、 Ti_2O_5)、ジルコニア(ZrO_2)、ハフニア(HfO_2)等の耐熱性の酸化物絶縁材料、またはポリイミド樹脂等の耐熱性高分子材料を用いてもよい。

10

20

30

40

50

【 0 0 5 9 】

次に、図 3 及び図 4 を参照して、第 2 の実施例について説明する。図 3 にフリップチップボンディング前の状態を示し、図 4 に、フリップチップボンディング後の状態を示す。第 2 の実施例による半導体装置と第 1 の実施例による半導体装置との主な相違点は、第 2 の実施例では、半導体発光素子 3 0 の、サブマウント基板 1 に対向する面が保護膜 5 0 で覆われている点である。第 1 の実施例では、保護膜は形成されていなかった。以下、第 1 の実施例との相違点について説明する。

【 0 0 6 0 】

図 3 に示すように、半導体発光素子 3 0 の、サブマウント基板 1 に対向する面が、酸化シリコンからなる保護膜 5 0 で覆われている。サブマウント基板 1 の開口 1 5 及び 1 6 に
10
対応する位置に、それぞれ保護膜 5 0 を貫通する開口 5 3 及び 5 4 が形成されている。開口 5 3 及び 5 4 の底面に、それぞれオーミック電極 3 6 及び 3 7 の上面が現われている。開口 5 3 の底面に現われたオーミック電極 3 6 の表面上にパッド電極 3 8 が形成され、開口 5 4 の底面に現われたオーミック電極 3 7 の表面上にパッド電極 3 9 が形成されている。

【 0 0 6 1 】

p 側のオーミック電極 3 6 の上面と保護膜 5 0 との間に接着層 5 1 が配置され、n 側のオーミック電極 3 7 の上面と保護膜 5 0 との間に接着層 5 2 が配置されている。接着層 5 1 及び 5 2 は、T i、N i、A l 等で形成される。

【 0 0 6 2 】

以下、半導体発光素子 3 0 の製造方法について、第 1 の実施例による半導体発光素子 3 0 との相違点に着目して説明する。

【 0 0 6 3 】

p 側のオーミック電極 3 6 を形成するときに、P t 層と R h 層との 2 層のみではなく、R h 層の上にさらに厚さ 1 0 n m の T i 層を電子ビーム蒸着する。リフトオフ法により、オーミック電極 3 6 を形成する。この時点で、オーミック電極 3 6 の上面に、接着層 5 1 となる T i 層が残っている。n 側のオーミック電極 3 7 を形成するときに、A l / R h / A u / P t / A u の 5 層のみではなく、さらに厚さ 1 0 n m の T i 層を電子ビーム蒸着する。リフトオフ法により、オーミック電極 3 7 を形成する。この時点で、オーミック電極 3 7 の上面に、接着層 5 2 となる T i 層が残っている。

【 0 0 6 4 】

全面を覆うように、酸化シリコンからなる厚さ 3 0 0 n m の保護膜 5 0 を、スパッタリングにより形成する。保護膜 5 0 の一部をレジストパターンで覆ってエッチングすることにより、開口 5 3 及び 5 4 を形成する。このとき、開口 5 3 及び 5 4 の底面に露出する T i 層もエッチングされ、オーミック電極 3 6 及び 3 7 の上面が露出する。

【 0 0 6 5 】

パッド電極 3 8 及び 3 9 を、電子ビーム蒸着とリフトオフ法により形成する。パッド電極 3 8 及び 3 9 は、厚さ 3 n m の N i 層、厚さ 1 0 0 n m の A u 層、厚さ 1 0 0 n m の P t 層、及び厚さ 2 0 0 n m ~ 2 0 0 0 n m の A u 層がこの順番に積層された 4 層構造を有する。最上の A u 層の厚さは、サブマウント基板 1 側の開口 1 5 及び 1 6 の深さ（堰堤膜 1 4 の厚さ）、パッド電極 3 8 及び 3 9 の表面の平坦度、適当な押し当て代等を加味して決定される。堰堤膜 1 4 の厚さが 1 μ m、保護膜 5 0 の厚さが 3 0 0 n m、パッド電極 3 8 及び 3 9 の表面のうねりが 2 0 n m であり、押し当て代を 2 0 0 n m とすると、パッド電極 3 8 及び 3 9 の最上の A u 層の好適な厚さは、一例として 1 3 0 0 n m になる。すなわち、第 1 の実施例のパッド電極 3 8 及び 3 9 の厚さよりも、保護膜 5 0 の厚さ分だけ厚くされている。

【 0 0 6 6 】

図 4 に示すように、半導体発光素子 3 0 をサブマウント基板 1 に実装した状態では、保護膜 5 0 の上面が、開口 1 5 及び 1 6 の周囲（開口 1 5 及び 1 6 の各々を取り囲む環状の領域）において堰堤膜 1 4 の上面に接する。p 側のオーミック電極 3 6 と引出配線層 4 と
40
50

の間、及びn側のオーミック電極37と引出配線層5との間に、堰堤膜14と保護膜50で取り囲まれた閉じた空間が画定される。

【0067】

サブマウント基板1側に形成された開口15の容積を、パッド電極38のうち保護膜50の上面から突出した部分の体積よりも大きくしておくことにより、溶融した金属が開口15の外部に流出することを防止できる。同様に、開口16の容積を、パッド電極39のうち保護膜50の上面から突出した部分の体積よりも大きくしておくことにより、溶融した金属が開口16の外部に流出することを防止できる。

【0068】

なお、第2の実施例の場合には、半導体発光素子30側にも開口53及び54が設けられているため、これらの開口をも考慮して、パッド電極38及び39の体積を設定してもよい。例えば、パッド電極38の体積を、開口15の容積と開口53の容積との和よりも小さくしておけばよい。第1の実施例の場合と同様に、パッド電極38の体積を、開口15の容積と開口53の容積との和の97%以下とすることが好ましく、95%以下とすることがより好ましい。また、パッド電極38の体積を、開口15の容積と開口53の容積との和の70%以上とすることが好ましく、85%以上とすることがより好ましい。

10

【0069】

第1の実施例では、図2に示したように、オーミック電極36及び37の一部が露出する。これに対し、第2の実施例では、図4に示したように、オーミック電極36及び37が保護膜50で完全に覆われる。サブマウント基板1と半導体発光素子30との接続に關与する金属部材が露出しないため、耐候性の向上を図ることができる。

20

【0070】

図5を参照して、第3の実施例による半導体装置について説明する。図5は、半導体発光素子30aをサブマウント基板1aに実装する前の状態の断面図である。

【0071】

サブマウント基板1aの構造及び製造方法について説明する。第1の実施例の場合と同様に、シリコン基板2の主面上に、絶縁膜3、引出配線層4、5、及び接着層6、7が形成されている。

【0072】

接着層6の表面の一部の領域上にp側のパッド電極(サブマウント基板側の接続部材)61が形成され、その上に接着層63が形成されている。接着層5の表面の一部の領域上にn側のパッド電極62が形成され、その上に接着層64が形成されている。パッド電極61及び62は、厚さ10nmのTi層、厚さ100nmのAu層、厚さ100nmのPt層、及び厚さ600nmのAu層がこの順番で積層された4層構造を有する。接着層63及び64は、厚さ10nmのTi層で構成される。これらの層は、引出配線層4、5及び接着層6、7を形成した後、電子ビーム蒸着とリフトオフ法により形成される。本実施例においては、パッド電極61及び62の最上のAu層の厚さを100nm~1000nmとしてもよい。

30

【0073】

厚さ1000nmの酸化シリコン膜を全面に堆積し、パターニングすることにより、堰堤膜14aが形成されている。このパターニング時に、接着層6、7、63、及び64の露出した部分がエッチングされる。堰堤膜14aには、パッド電極61及び62の上面を露出させる開口15a及び16aが形成されるとともに、引出配線層4及び5の一部が露出する。

40

【0074】

次に、半導体発光素子30aの構造及び製造方法について説明する。図1に示した第1の実施例の場合と同様に、サファイア基板31の主面上に、初期核形成層32、n型半導体層33、活性層34、p型半導体層35、p側のオーミック電極36、及びn側のオーミック電極37が形成されている。ただし、n側のオーミック電極37は、第1の実施例のn側のオーミック電極37よりも薄く、厚さ3nmのAl層と厚さ100nmのRh層

50

との２層構造を有する。

【００７５】

p側のオーミック電極３６の表面上にバリア層７１が形成され、n側のオーミック電極３７の表面上にバリア層７２が形成されている。バリア層７１は、厚さ１００nmのAu層、厚さ１００nmのPt層、及び厚さ１００nmのAu層がこの順番に積層された３層構造を有する。バリア層７２は、厚さ１００nmのAu層、厚さ１００nmのPt層、及び厚さ８００nmのAu層がこの順番に積層された３層構造を有する。なお、最上のAu層の厚さは、必要に応じて１００nm～２０００nmの範囲内から選択される。なお、n側のオーミック電極３７とバリア層７２との全体は、Al/Rh/Au/Pt/Auの５層構造を有し、図１に示した第１の実施例のn側オーミック電極３７と同一の積層構造になる。第３の実施例では、基板側のAl/Rhの２層をオーミック電極と呼び、その上のAu/Pt/Auの３層をバリア層と呼ぶこととする。

10

【００７６】

バリア層７１の表面の一部の領域上に、p側の接続部材７３が形成され、バリア層７２の表面の一部の領域上に、n側の接続部材７４が形成されている。接続部材７３及び７４は、厚さ２０nmのNi層と、その上にAu層とSn層とが交互に配置された多層構造を有する。第３の実施例では、Au層の厚さを８０．３nmとし、Sn層の厚さを１０６．３nmとした。また、Au層を７層、Sn層を６層配置することにより、最下層及び最上層を共にAu層とした。

【００７７】

20

サブマウント基板１aと半導体発光素子３０aとを対向配置した状態で、基板の主面の法線に平行な視線で見たとき、接続部材７３が開口１５aに内包され、接続部材７４が開口１６aに内包される。バリア層７１は開口１５aの外周よりも外側まで広がり、バリア層７２は開口１６aの外周よりも外側まで広がる。

【００７８】

次に、半導体発光素子３０aの製造方法について説明する。活性層３４及びp型半導体層３５の一部をエッチングして、n型半導体層３３の一部を露出させる工程までは、第１の実施例の場合と同様である。

【００７９】

p型半導体層３５の表面上に、電子ビーム蒸着とリフトオフ法により、オーミック電極３６及びバリア層７１を形成する。その後、n型半導体層３３の表面の露出した領域上に、電子ビーム蒸着とリフトオフ法により、オーミック電極３７及びバリア層７２を形成する。次に、電子ビーム蒸着とリフトオフ法により、バリア層７１及び７２の上に、それぞれ接続部材７３及び７４を形成する。

30

【００８０】

接続部材７３及び７４を、それぞれ開口１５a及び１６a内に挿入し、接続部材７３、７４、及びパッド電極６１、６２の最上のAu層を共晶化させる。バリア層７１及び７２の上面の一部が、それぞれ開口１５a及び１６aの周囲において堰堤膜１４aの上面に接する。これにより、バリア層７１と引出配線層４との間、及びバリア層７２と引出配線層５との間に、堰堤膜１４aで囲まれた閉じた空間が画定される。接続部材７３とパッド電極６１、及び接続部材７４とパッド電極６２は、これらの閉じた空間内に配置される。このため、第１の実施例の場合と同様に、溶融した金属が開口１５a及び１６aから外部に漏れ出すことを防止できる。

40

【００８１】

図６に示すように、半導体発光素子３０aの、サブマウント基板１aに対向する面を、図３に示した第２の実施例の場合と同様に、酸化シリコンからなる保護膜７５で覆ってもよい。保護膜７５とバリア層７１の上面との間に接着層７６が配置され、保護膜７５とバリア層７２の上面との間に接着層７７が配置されている。半導体発光素子３０aをサブマウント基板１aに実装した状態では、保護膜７５の上面が、開口１５a及び１６aの周囲において堰堤膜１４aの上面に接する。接続部材７３及び７４は、図５に示した接続部材

50

7 3 及び 7 4 よりも、接着層 7 6 と保護膜 7 5 との合計の厚さ分だけ厚くされる。

【 0 0 8 2 】

図 7 を参照して、第 4 の実施例による半導体装置について説明する。以下、図 5 に示した第 3 の実施例による半導体装置と対比しながら説明する。

【 0 0 8 3 】

第 4 の実施例のサブマウント基板 1 b においては、第 3 の実施例のパッド電極 6 1 及び 6 2 の代わりに、バリア層 8 1 及び 8 2 が配置されている。バリア層 8 1 及び 8 2 の構造は、パッド電極 6 1 及び 6 2 の構造と同一である。開口 1 5 a の底面に露出したバリア層 8 1 の上に、接続部材 8 3 が形成され、開口 1 6 a の底面に露出したバリア層 8 2 の上に、接続部材 8 4 が形成されている。その他の構成は、第 3 の実施例によるサブマウント基板 1 a の構成と同様である。接続部材 8 3 と開口 1 5 a の内周面との間に空隙が画定され、接続部材 8 4 と開口 1 6 a の内周面との間にも空隙が画定されている。接続部材 8 3 及び 8 4 の上部は、堰堤膜 1 4 a の上面からやや突出している。接続部材 8 3 の体積は、開口 1 5 a の容積よりも小さく、接続部材 8 4 の体積は、開口 1 6 a の容積よりも小さい。

【 0 0 8 4 】

接続部材 8 3 及び 8 4 は、開口 1 5 a 及び 1 6 a を有する堰堤膜 1 4 a を形成した後、電子ビーム蒸着とリフトオフ法により形成される。

【 0 0 8 5 】

第 4 の実施例における半導体発光素子 3 0 b においては、第 3 の実施例のバリア層 7 1 及び 7 2 の代わりに、パッド電極 8 7 及び 8 8 が配置されている。パッド電極 8 7 及び 8 8 の構造は、バリア層 7 1 及び 7 2 の構造と同一である。第 4 の実施例では、サブマウント基板 1 b 上に接続部材 8 3 及び 8 4 が配置されているため、半導体発光素子 3 0 b には、第 3 の実施例の接続部材 7 3 及び 7 4 に相当する部材は配置されていない。

【 0 0 8 6 】

半導体発光素子 3 0 b をサブマウント基板 1 b に実装した状態では、パッド電極 8 7 及び 8 8 の上面が、開口 1 5 a 及び 1 6 a の周囲において、堰堤膜 1 4 a の上面に接触する。接続部材 8 3、8 4、及びパッド電極 8 7、8 8 の最上の A u 層が共晶化する。溶融した金属は、開口 1 5 a 及び 1 6 a 内の空隙内に侵入し、開口 1 5 a 及び 1 6 a の外部には流出しない。

【 0 0 8 7 】

第 1 の実施例の場合と同様に、接続部材 8 3 の体積を、開口 1 5 a の容積の 9 7 % 以下にすることが好ましく、9 5 % 以下にすることがより好ましい。また、接続部材 8 3 の体積を、開口 1 5 a の容積の 7 0 % 以上にすることが好ましく、8 5 % 以上にすることがより好ましい。

【 0 0 8 8 】

図 8 に示すように、半導体発光素子 3 0 b の、サブマウント基板 1 b に対向する面を、酸化シリコンからなる保護膜 9 0 で覆ってもよい。保護膜 9 0 とパッド電極 8 7 の上面との間に接着層 9 1 が配置され、保護膜 9 0 とパッド電極 8 8 の上面との間に接着層 9 2 が配置されている。サブマウント基板 1 b の開口 1 5 a 及び 1 6 a に対応する位置に、保護膜 9 0 及び接着層 9 1、9 2 を貫通し、パッド電極 8 7 及び 8 8 の一部を露出させる開口 9 3 及び 9 4 が形成されている。

【 0 0 8 9 】

サブマウント基板 1 b の接続部材 8 3 及び 8 4 は、図 7 に示した接続部材 8 3 及び 8 4 よりも、保護膜 9 0 と接着層 9 1 との合計の厚さ分だけ厚くされている。接続部材 8 3 及び 8 4 が、それぞれ開口 9 3 及び 9 4 の底面に露出したパッド電極 8 7 及び 8 8 に密着して共晶化が行われる。

【 0 0 9 0 】

図 9 (A) 及び図 9 (B) を参照して、第 5 の実施例による半導体装置について説明する。図 9 (A) に、半導体発光素子 3 0 c の断面図を示し、図 9 (B) に、その底面図を示す。図 9 (B) の一点鎖線 A 9 - A 9 における断面図が図 9 (A) に相当する。図 1 に

10

20

30

40

50

示した第 1 の実施例の半導体発光素子 3 0 と対比しながら説明する。

【 0 0 9 1 】

第 1 の実施例においては、パッド電極 3 8 が一つの部分で構成されていたが、第 5 の実施例では、パッド電極 3 8 に対応する部材が 4 つの部分 3 8 a ~ 3 8 d に分割されている。さらに、パッド電極 3 9 に対応する部分が 2 つの部分 3 9 a 及び 3 9 b に分割されている。その他の構成は、図 1 に示した第 1 の実施例の半導体発光素子 3 0 と同一である。

【 0 0 9 2 】

パッド電極の各部分 3 8 a ~ 3 8 d の相互に隣り合う部分の間に間隙が画定されている。また、パッド電極の 2 つの部分 3 9 a と 3 9 b との間にも間隙が画定されている。

【 0 0 9 3 】

パッド電極が大きくなると、共晶接着工程において、パッド電極を図 1 に示す接合部材 1 0 及び 1 1 に押し付け、接続部材 1 0、1 1 及びパッド電極の一部を溶融させた際に、溶融した金属が偏流を起こし、堰堤膜 1 4 を乗り越えて、開口 1 5 及び 1 6 の外部に流出してしまう場合がある。第 5 の実施例のように、パッド電極を複数の部分に分割し、相互に隣り合う部分の間に間隙を設けておくと、溶融した金属がこの間隙内に侵入する。このため、溶融した金属の偏流を防止でき、安定した接着が可能になる。

【 0 0 9 4 】

パッド電極の分割は、第 1 の実施例による半導体発光素子のパッド電極に限らず、その他の実施例によるパッド電極に適用してもよいし、接続部材を分割してもよい。例えば、図 5 に示した第 3 の実施例に適用する場合には、半導体発光素子 3 0 a 上に配置された接続部材 7 3 及び 7 4 の各々を複数の部分に分割すればよい。図 7 に示した第 4 の実施例に適用する場合には、開口 1 5 a 及び 1 6 a 内に配置された接続部材 8 3 及び 8 4 の各々を複数の部分に分割すればよい。また、パッド電極や接続部材を完全に分離してしまう必要はなく、パッド電極の上面（接続部材に対向する面）や接続部材の上面（パッド電極に対向する面）に溝を形成してもよい。半導体基板をサブマウント基板に実装した状態では、接続部材を形成する材料（AuSn 共晶金属）がこの溝内に侵入している。図 9（A）に示した例は、この溝の深さがパッド電極 3 8 a ~ 3 8 d 及び 3 9 a、3 9 b の厚さと等しい特殊な場合と考えることができる。

【 0 0 9 5 】

図 1 0 を参照して、第 6 の実施例による半導体装置について説明する。第 1 ~ 第 5 の実施例では、堰堤膜がサブマウント基板側に配置されていたが、第 6 の実施例では、半導体発光素子側に配置されている。

【 0 0 9 6 】

サブマウント基板 1 d の構造について説明する。シリコン基板 1、絶縁膜 3、引出配線層 4 及び 5 は、図 1 に示した第 1 の実施例の場合と同様である。p 側の引出配線層 4 の表面の一部の領域上にパッド電極 1 0 1 が形成され、n 側の引出配線層 5 の表面の一部の領域上にパッド電極 1 0 2 が形成されている。パッド電極 1 0 1 及び 1 0 2 は、基板側から順番に Ni / Au / Pt / Au が積層された 4 層構造を有する。

【 0 0 9 7 】

半導体発光素子 3 0 d の構造について説明する。サファイア基板 3 1、初期核形成層 3 2、n 型半導体層 3 3、活性層 3 4、p 型半導体層 3 5、オーミック電極 3 6、3 7、及びバリア層 7 1、7 2 は、図 5 に示した半導体発光素子 3 0 a と同様の構造である。バリア層 7 1 の上に接続部材 7 3 a が形成され、バリア層 7 2 の上に接続部材 7 4 a が形成されている。接続部材 7 3 a の上面に接着層 1 0 4 が形成され、接続部材 7 4 a の上面に接着層 1 0 5 が形成されている。オーミック電極 3 6 から接着層 1 0 4 までの積層構造が、電子ビーム蒸着とリフトオフ法を利用した工程で形成される。オーミック電極 3 7 から接着層 1 0 5 までの積層構造が、電子ビーム蒸着とリフトオフ法を利用した他の工程で形成される。

【 0 0 9 8 】

半導体発光素子 3 0 d の、サブマウント基板 1 d に対向する面が、酸化シリコンからな

10

20

30

40

50

る堰堤膜 103 で覆われている。堰堤膜 103 及び接着層 104 に開口 106 が形成され、その底面に接続部材 73a が露出している。堰堤膜 103 及び接着層 105 に開口 107 が形成され、その底面に接続部材 74a が露出している。

【0099】

サブマウント基板 1d と半導体発光素子 30d とを対向させた状態で、基板法線に平行な視線で見たとき、パッド電極 101 が開口 106 に内包され、パッド電極 102 が開口 107 に内包される。パッド電極 101 を開口 106 内に挿入して接続部材 73a に接触させ、パッド電極 102 を開口 107 内に挿入して接続部材 74a に接触させる。パッド電極 101 の最上の Au 層と接続部材 73a、及びパッド電極 102 の最上の Au 層と接続部材 74a とを共晶化させることにより、半導体発光素子 30d がサブマウント基板 1d に実装される。

10

【0100】

パッド電極 101 の体積を開口 106 の容積よりも小さくし、パッド電極 102 の体積を開口 107 の容積よりも小さくしておくことにより、共晶化時に溶融した金属が開口 106 及び 107 の外部に漏れ出すことを防止できる。

【0101】

図 11 を参照して第 7 の実施例による半導体装置について、図 1 に示した第 1 の実施例による半導体装置と対比しながら説明する。第 7 の実施例による半導体発光素子 30e は、第 1 の実施例による半導体発光素子 30 と同様の構造を有する。

【0102】

20

第 1 の実施例では、シリコン基板 2 上に形成された絶縁膜 3 の表面上に、p 側の引出配線層 4 と n 側の引出配線層 5 とが形成されていたが、第 7 の実施例では、p 側の引出配線層 4e が、n 側の接続部材の配置されている領域まで延在している。p 側の引出配線層 4e の表面の一部の領域上に、バリア層 8e、接続部材 10e、及び接着層 12e がこの順番に積層されている。各層の構造は、図 1 に示した第 1 の実施例のバリア層 8、接続部材 10、及び接着層 12 と同様である。

【0103】

p 側の引出配線層 4e の他の領域上に、接着層 111 及び絶縁膜 112 を介して、n 側の引出配線層 5e、接着層 7e、バリア層 9e、接続部材 11e、及び接着層 13e がこの順番に積層されている。接着層 111 は例えば Ti で形成され、絶縁膜 112 は例えば酸化シリコンで形成されている。引出配線層 5e から接着層 13e までの積層構造は、図 1 に示した第 1 の実施例の n 側の引出配線層 5 から接着層 13 までの積層構造と同様である。接続部材 10e と 13e との上面の高さが揃うように、バリア層または接続部材の厚さが調節されている。

30

【0104】

サブマウント基板 1e の、半導体発光素子 30e に対向する面上に堰堤膜 14e が形成されている。堰堤膜 14e と接着層 12e とに開口 15e が形成され、その底面に接続部材 10e が露出している。堰堤膜 14e と接着層 13e に開口 16e が形成され、その底面に接続部材 11e が露出している。

【0105】

40

第 7 の実施例では、n 側の引出配線層 5e と p 側の引出配線層 4e とにより、絶縁膜 112 を誘電体層とするキャパシタが構成される。これにより、静電破壊耐圧の向上を図ることができる。また、サブマウント基板の下地のシリコン基板に、予めツェナーダイオードやバリスタを形成しておいてもよい。これらの素子は、静電破壊防止に有効である。

【0106】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【図面の簡単な説明】

【0107】

【図 1】第 1 の実施例による半導体装置の実装前の状態の断面図である。

50

【図 2】第 1 の実施例による半導体装置の実装後の断面図である。

【図 3】第 2 の実施例による半導体装置の実装前の状態の断面図である。

【図 4】第 2 の実施例による半導体装置の実装後の断面図である。

【図 5】第 3 の実施例による半導体装置の実装前の状態の断面図である。

【図 6】第 3 の実施例の変形例による半導体装置の実装前の状態の断面図である。

【図 7】第 4 の実施例による半導体装置の実装前の状態の断面図である。

【図 8】第 4 の実施例の変形例による半導体装置の実装前の状態の断面図である。

【図 9 (A)】第 5 の実施例による半導体装置の発光素子の断面図である。

【図 9 (B)】第 5 の実施例による半導体装置の発光素子の底面図である。

【図 10】第 6 の実施例による半導体装置の実装前の状態の断面図である。

10

【図 11】第 7 の実施例による半導体装置の実装前の状態の断面図である。

【図 12】従来の半導体発光装置の断面図である。

【符号の説明】

【 0 1 0 8 】

1 サブマウント基板

2 シリコン基板

3、112 絶縁膜

4、5 引出配線層

6、7、12、13、51、52、76、77、91、92、104、105、111

接着層

20

8、9、71、72、81、82 バリア層

10、11、73、74、83、84 接続部材

14、103 堰堤膜

15、16、53、54、93、94、106、107 開口

30 半導体発光素子

31 サファイア基板

32 初期核成長層

33 n型半導体層

34 活性層

35 p型半導体層

30

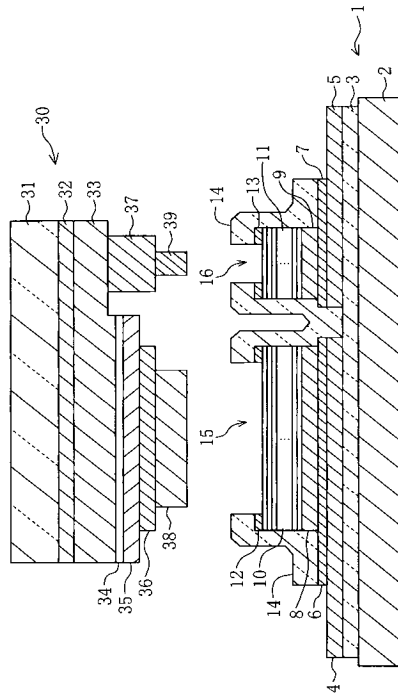
36、37 オーミック電極

38、39、61、62、87、88、101、102 パッド電極（接続部材）

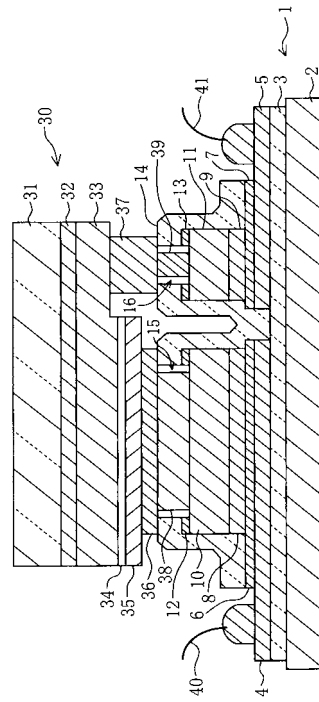
40、41 リード線

50、75、90 保護膜

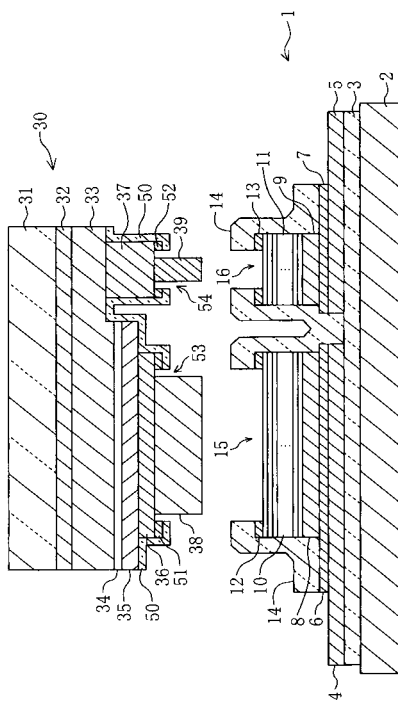
【図 1】



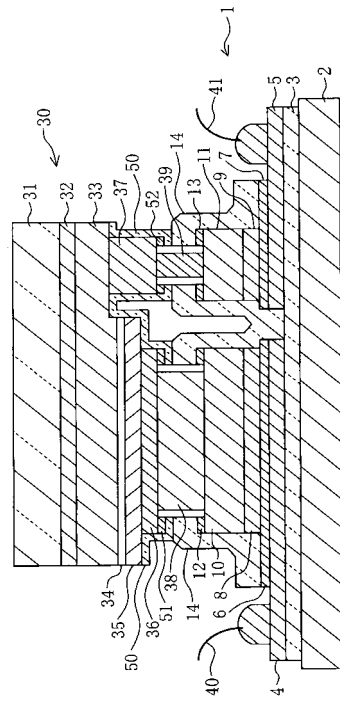
【図 2】



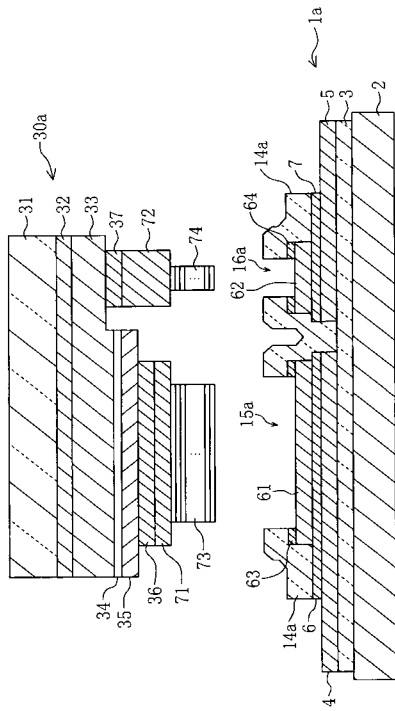
【図 3】



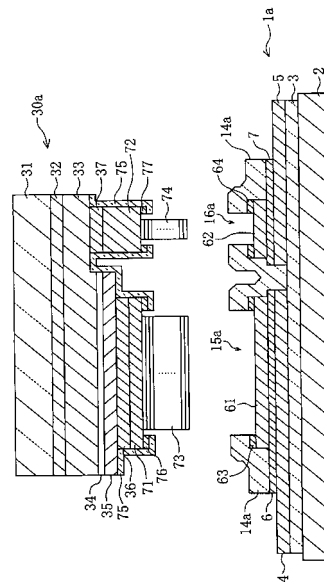
【図 4】



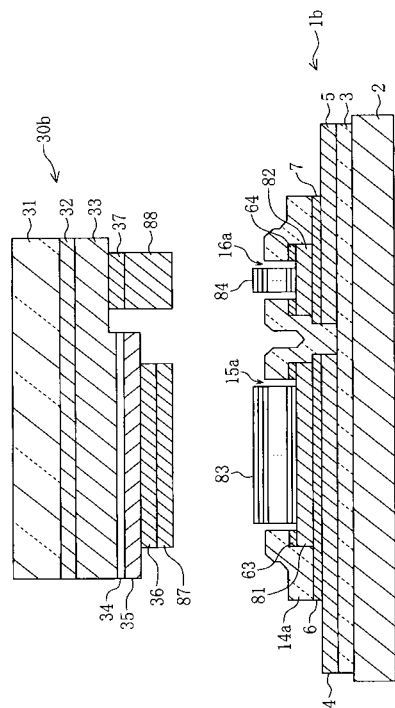
【 図 5 】



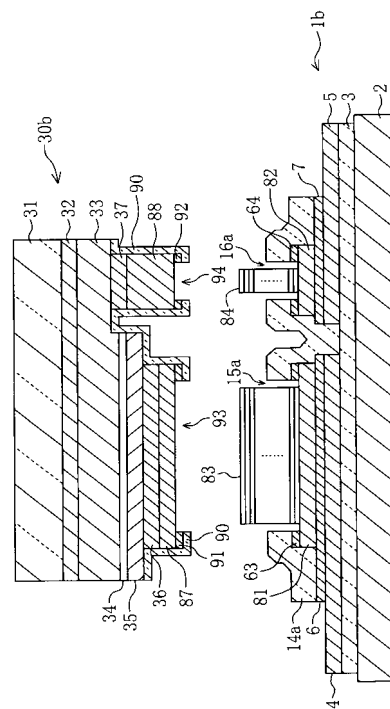
【圖 6】



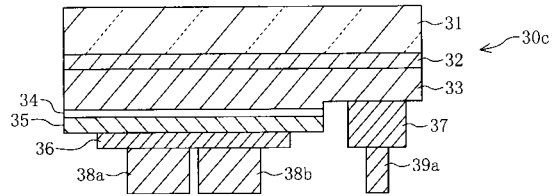
【圖 7】



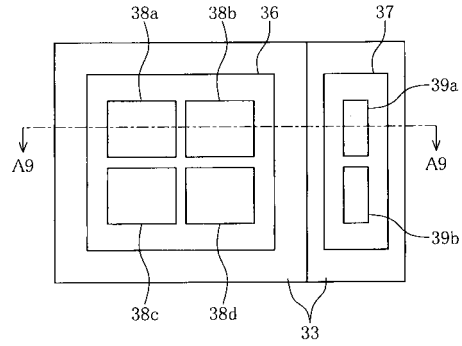
【 図 8 】



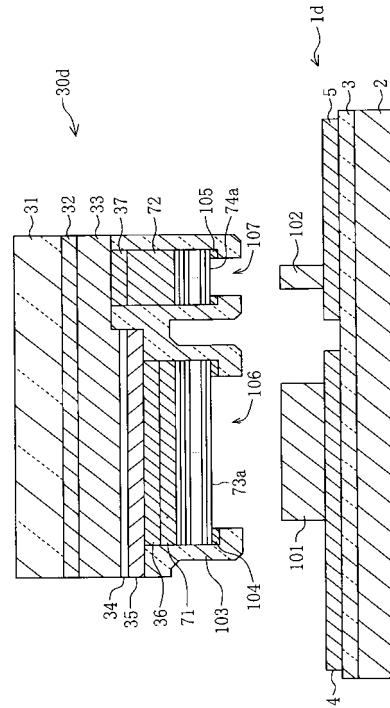
【 図 9 (A) 】



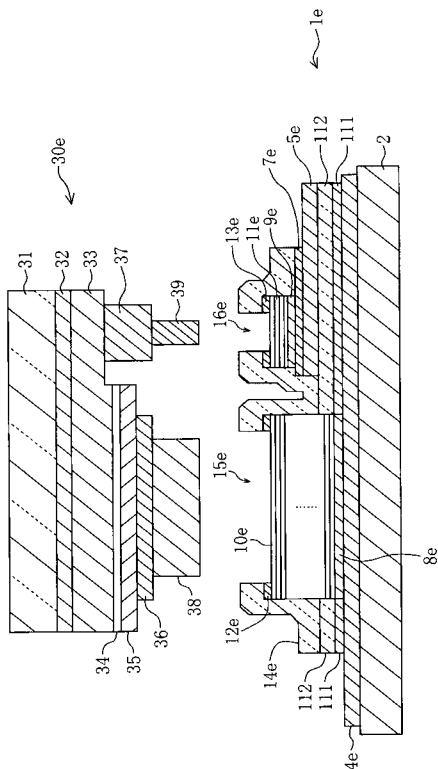
【 図 9 (B) 】



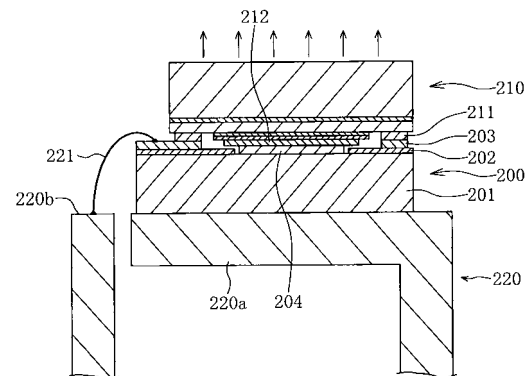
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(56)参考文献 特開2002-094123(JP,A)
特開2003-168829(JP,A)
特開2003-101074(JP,A)
特開2000-135814(JP,A)
特開平10-012672(JP,A)
特開2002-057373(JP,A)
特開平11-150301(JP,A)
特開平07-094783(JP,A)
特開平09-320984(JP,A)
特開平06-177434(JP,A)
特開2003-031858(JP,A)
特開平09-051108(JP,A)
特開2003-031851(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64
H01L 21/60
H01L 23/12
H01L 23/14
H01L 23/32