(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 11 日(11.12.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/196165 A1

(51) 国際特許分類:
H03K 17/08 (2006.01) *H01L 29/812* (2006.01)
H01L 21/338 (2006.01) *H02M 1/00* (2007.01)
H01L 21/822 (2006.01) *H03K 17/16* (2006.01)
H01L 27/04 (2006.01) *H03K 17/687* (2006.01)
H01L 29/778 (2006.01)

(21) 国際出願番号: PCT/JP2014/002813

(22) 国際出願日: 2014 年 5 月 28 日(28.05.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-120711 2013 年 6 月 7 日(07.06.2013) JP

(71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町１丁目１番地 Aichi (JP).

(72) 発明者: 小山　和博(OYAMA, Kazuhiro); 〒4488661 愛知県刈谷市昭和町１丁目１番地株式会社デンソー内 Aichi (JP).

(74) 代理人: 金　順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦２丁目１３番１９号　瀧定ビル６階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

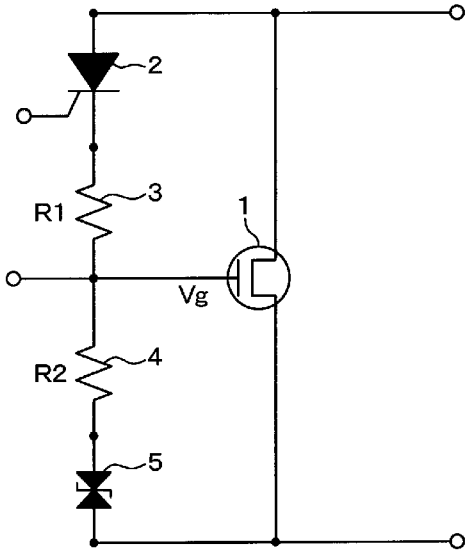
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2014/196165 A1

(54) **Title**: PROTECTION CIRCUIT OF SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の保護回路

[図1]



(57) **Abstract**: This protection circuit of a semiconductor device is provided with a high electron mobility transistor (1), and a protection element. Between the drain and the gate of the high electron mobility transistor, the protection element is provided with a thyristor (2), and a first resistor (3) connected in series to the thyristor. Between the source and the gate of the high electron mobility transistor, the protection element is provided with a second resistor (4) and an interrupting unit (5, 10) that is connected in series to the second resistor. The interrupting unit interrupts a flow of a current between the drain and the gate when the thyristor is turned off, and when the thyristor is turned on, the interrupting unit permits the current to flow between the drain and the gate.

(57) 要約: 半導体装置の保護回路は、高電子移動度トランジスタ（１）と、保護素子とを備えている。前記保護素子は、前記高電子移動度トランジスタのドレイン－ゲート間に、サイリスタ（２）および該サイリスタに直列接続された第１抵抗（３）を備える。前記保護素子は、前記高電子移動度トランジスタのソース－ゲート間に、第２抵抗（４）および該第２抵抗に対して直列接続された遮断部（５、１０）を備える。前記遮断部は、前記サイリスタがオフされているときに前記ドレイン－ゲート間の電流の流れを遮断すると共に前記サイリスタがオンされているときに前記ドレイン－ゲート間の電流の流れを許容する。

明　細　書

発明の名称 ： 半導体装置の保護回路

関連出願の相互参照

[0001] 本開示は、２０１３年６月７日に出願された日本出願番号２０１３－１２０７１１号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は高電子移動度トランジスタ（以下、ＨＥＭＴという）にて構成される半導体スイッチング素子を有する半導体装置の保護回路に関するものである。

背景技術

[0003] 半導体スイッチング素子を誘導性負荷に接続し、半導体スイッチング素子にて誘導性負荷への電力供給のオンオフを制御する場合、ターンオフ時に誘導性負荷に蓄積したエネルギーを回路内で消費する必要がある。このとき蓄積されるエネルギーＥは、自己インダクタンスをＬ、電流をＩとして、Ｅ＝１／２×ＬＩ^{2}となっている。

[0004] 半導体スイッチング素子がシリコンにて構成されるＭＯＳＦＥＴの場合、ドレイン－ソース間において、カソードがドレインに接続され、アノードがソースに接続されるような逆並列接続の寄生ダイオードを有したデバイス構造となっている。このため、ＭＯＳＦＥＴをオフしたときには、誘導性負荷からのエネルギーを寄生ダイオードのアバランシェ領域を利用して、そのエネルギーを消費することができるため、比較的大きなアバランシェエネルギー耐量を有している。

[0005] なお、アバランシェエネルギー耐量とは、デバイスの破壊耐量の指標であり、誘導性負荷に蓄積されたエネルギーをデバイスで消費した場合、デバイスが破壊に至らずに消費できる最大エネルギーと定義される。

[0006] 一方、化合物半導体によるＧａＮ－ＨＥＭＴやＧａＡｓ－ＨＥＭＴなどを半導体スイッチング素子として適用する場合、通常、誘導性負荷からのエネ

ルギーを素子内部で消費できず、ゲート－ドレイン間耐量（ＢＶｇｄ）やソース－ドレインオフ間耐圧（Ｂｖｄｓｏｆｆ）を上回り素子破壊に至る。したがって、インバータなど、自己インダクタンスＬを持つ誘導性負荷のシステムでは、保護素子と共に用いられるのが通例である。

[0007] 例えば、ＨＥＭＴのソース－ドレイン間に保護素子として外付ダイオードを逆並列接続する方法がある。この方法では、外付ダイオードを備えることでシリコンのＭＯＳＦＥＴと同様の構造を実現し、誘導性負荷からのエネルギーを消費する。しかしながら、ＨＥＭＴに対して定格電流を流している状態からＨＥＭＴをオフしたときのエネルギーをダイオード側で消費することになるため、ダイオードにＨＥＭＴと同程度の大きな電流が流れることが要求され、ダイオードがサイズ的に大きくなるという問題がある。

[0008] このため、特許文献１において、ゲート－ドレイン間およびソース－ゲート間に保護素子としてツェナーダイオードを逆並列接続する構造が提案されている。この方法では、誘導性負荷のエネルギーによってドレイン電圧が増大したときに、ゲート－ドレイン間のツェナーダイオードの降伏と同時にソース－ゲート間のツェナーダイオードも降伏し、降伏電流が流れる。ツェナーダイオードの段数に応じて分圧された電圧がゲート電圧としてＨＥＭＴに印加される。この降伏電流が通常にオンする場合と同じように、ゲートを充電することでチャネルが開きＨＥＭＴがオンする。すなわち、誘導性負荷のエネルギーは、ＨＥＭＴをオンさせることでＨＥＭＴで消費する。このため、ツェナーダイオードは、ＨＥＭＴを駆動する程度の小さな電流が流れる構成であればよいため、ダイオードのサイズを小さくすることができる。

先行技術文献

特許文献

[0009] 特許文献1：日本特開２００９－１６４１５８号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、特許文献１に示される構造であっても、ゲートを駆動するのに十分な電力を供給する程度の電流は必要である。半導体スイッチング素子のうち高耐圧な素子を保護する場合は、非常に多くの段数のダイオードが必要である。例えば、数百ボルト［Ｖ］の阻止電圧を得ようとするとダイオードの段数が数十～数百段になり非常に多くなる。保護状態では、降伏電流が流れるが、その降伏電流であっても、段数の多いダイオードに逆方向に電流が流れるため非常に抵抗が大きくなる。したがって、期待されるほど電流値が大きくならず、半導体スイッチング素子の駆動に十分な電流を流すにはダイオードを大きくしなければならなくなる。

[0011] なお、ゲート－ドレイン間およびソース－ゲート間に保護素子としてダイオードを順方向に並列接続させる構造もあり、この構造だとダイオードが順方向とされているため、比較的大きな電流を流すことが可能になる。ところが、高耐圧素子を保護するためには、さらにダイオードの段数を多くしなければならず、ダイオードが大きくなってしまう。また、この構造においてダイオードの代わりに、ゲート－ドレイン間およびソース－ゲート間にＭＩＳトランジスタを並列接続することでダイオード段数を減らすこともできる。しかし、サージ保護の際にＭＩＳトランジスタがブレークダウンするときに流せる電流は大きくなく、半導体スイッチング素子のゲートを駆動するのに十分な電流を流そうとすると大きなＭＩＳトランジスタが必要になる。つまり、このような構造は低耐圧を想定した構造であり、高耐圧に適した構造ではない。

[0012] 本開示は上記点に鑑みて、保護素子のサイズ増大を抑制しつつ、アバランシェエネルギー耐量を得ることができる半導体装置の保護回路を提供することを目的とする。

課題を解決するための手段

[0013] 本開示の一態様に係る半導体装置の保護回路は、高電子移動度トランジスタと、保護素子とを備える。前記高電子移動度トランジスタは、負荷に対して接続され、該負荷に対する電力供給のオンオフを制御する半導体スイッチ

ング素子となる。前記保護素子は、前記高電子移動度トランジスタのドレイン－ゲート間に、順方向に接続されたサイリスタおよび該サイリスタに直列接続された第１抵抗を備えている。前記保護素子は、前記高電子移動度トランジスタのソース－ゲート間に、第２抵抗および該第２抵抗に対して直列接続された遮断部と、を備える。前記遮断部は、前記サイリスタがオフされているときに前記ドレイン－ゲート間の電流の流れを遮断すると共に前記サイリスタがオンされているときに前記ドレイン－ゲート間の電流の流れを許容する。

[0014] 前記半導体装置の保護回路は、前記保護素子のサイズ増大を抑制しつつ、アバランシェエネルギー耐量を得ることができる。

図面の簡単な説明

[0015] 本開示における上記あるいは他の目的、構成、利点は、下記の図面を参照しながら、以下の詳細説明から、より明白となる。図面において、

[図1]図１は、本開示の第１実施形態にかかる半導体装置の保護回路の回路図である。

[図2]図２は、サイリスタのアノード－カソード間における電圧V_{AK}と電流Ｉとの関係を示す特性線を表した図である。

[図3]図３は、図２に示した特性線と負荷線との関係を示した図である。

[図4]図４は、他の実施形態にかかる半導体装置の保護回路の回路図である。

[図5]図５は、他の実施形態にかかる半導体装置の保護回路の回路図である。

[図6]図６は、他の実施形態にかかる半導体装置の保護回路の回路図である。

発明を実施するための形態

[0016] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0017] （第１実施形態）

本開示の第１実施形態にかかる半導体装置の保護回路について説明する。図１に示すように、保護回路は、保護対象となる半導体スイッチング素子と

してＨＥＭＴ１を備えていると共に、ＨＥＭＴ１のドレイン－ゲート間およびソース－ゲート間に保護素子が備えられた構成とされている。

[0018] ＨＥＭＴ１は、外部からのゲート駆動信号に基づいてオンオフ駆動されるものであり、例えばドレイン－ソース間に接続される誘導性負荷（図示せず）に対する電力供給のオンオフを制御する。ＨＥＭＴ１は、例えばＳｉ（１１１）やＧａＡｓなどの基板の表面に、電子走行層となるＧａＮ層および電子供給層となるｎ型のＡｌＧａＮ層が積層された構造を化合物半導体基板として用いて形成されている。そして、ＡｌＧａＮ層の表面にリセス形状部が形成され、リセス形状部内にゲート電極が配置されると共に、ゲート電極を挟んだ両側にソース電極およびドレイン電極が形成されている。なお、ここではＨＥＭＴ１の一例を示したが、ＧａＮ－ＨＥＭＴやＧａＡｓ－ＨＥＭＴなど、どのような材料で構成されるものであっても良い。

[0019] ＨＥＭＴ１のドレイン－ゲート間には、保護素子として互いに直列接続されたサイリスタ２および第１抵抗３が備えられている。

[0020] サイリスタ２は、本実施形態では第１抵抗３のハイサイド側に配置されており、ＨＥＭＴ１のドレイン－ゲート間において順方向接続されている。サイリスタ２は、ｐｎｐｎ構造とされ、アノード－カソード間にブレークオーバ電圧V_{BF}（順方向耐圧）以上の電圧が印加されるとオンし、オンした後はベース電流が無くてもオン状態を維持するという動作を行う。サイリスタ２のアノード－カソード間電圧は、サイリスタ２がオンすると、ブレークオーバ電圧V_{BF}と比較して無視できる程度の電圧Ｖｈまで低下し、アノード－カソード間に流れる電流I_{AC}が大きくなると多少大きくなるが、ほぼ無視できる大きさである。そして、サイリスタ２は、アノード－カソード間に流れる電流I_{AC}が保持電流Ｉｈ以下に低下するとオフになる。このような動作を行うサイリスタ２を用いて、ターンオフ時にＨＥＭＴ１のドレイン電圧が所定電圧になったときにサイリスタ２をオンさせることで、ドレイン電圧がクランプされるようにする。これにより、ＨＥＭＴ１に対してクランプ電圧を超える電圧が印加されないようにしている。

[0021] なお、サイリスタ２のベースは、漏れ電流Ｉｓ（図２参照）と耐圧に応じてオープン状態にするか、もしくはサイリスタ２のカソードにショートさせるかを選択することができる。すなわち、サイリスタ２のベースをオープン状態にする場合、漏れ電流Ｉｓを増加させることになり、サイリスタ２を耐圧が大きいものにした場合には発熱量が多くなる。これに対して、サイリスタ２のベースをカソードにショートさせる場合には、オープン状態にする場合と比較して漏れ電流Ｉｓを小さくできる。このため、サイリスタ２の耐熱性を考慮して、サイリスタ２のベースをオープン状態にするかカソードにショートさせるかを選択すればよい。

[0022] 第１抵抗３は、サイリスタ２に対して直列接続されており、後述する第２抵抗４と共にクランプ時にサイリスタ２を通じて流れる電流を決めるために用いられる。また、第１抵抗３は、第２抵抗４と共にＨＥＭＴ１のドレイン－ソース間電圧を分圧する分圧抵抗となることで、ターンオフ時におけるＨＥＭＴ１のゲート電圧Ｖｇを決める役割も果たす。

[0023] 一方、ＨＥＭＴ１のソース－ゲート間には、保護素子として互いに直列接続された第２抵抗４およびツェナーダイオード５が備えられている。

[0024] 第２抵抗４は、上記したように第１抵抗３と共にクランプ時にサイリスタ２を通じて流れる電流を決めるために用いられる。また、第２抵抗４は、第１抵抗３と共にＨＥＭＴ１のドレイン－ソース間電圧を分圧する分圧抵抗となることで、ターンオフ時におけるＨＥＭＴ１のゲート電圧を決める役割も果たす。

[0025] ツェナーダイオード５は、遮断部に相当するものであり、負荷に電力供給を行うためにＨＥＭＴ１をオンさせる際には遮断されることでＨＥＭＴ１にゲート電圧Ｖｇが印加されるようにする。また、ツェナーダイオード５は、ＨＥＭＴ１のターンオフ時に、サイリスタ２がオンすると導通させられることで、保護素子側への電流の流れを許容する働きも果たす。本実施形態の場合、ツェナーダイオード５をＨＥＭＴ１のオン時のゲート電圧以上の耐圧に設定している。このため、ターンオフ時にはサイリスタ２が導通したときに

サイリスタ２や第１、第２抵抗３、４およびツェナーダイオード５を通じる経路で電流を流しつつ、ターンオン時にはＨＥＭＴ１に対してゲート電圧を印加できるようにしている。また、本実施形態では、ツェナーダイオード５は、互いのカソードが接続されたバックツーバック接続とされており、ＨＥＭＴ１をゲートオフするときに負の電圧を掛けてオフする場合にも対処できるようにしている。

[0026] 続いて、上記のように構成された半導体装置の保護回路の動作について説明する。

[0027] まず、外部からのゲート駆動信号（ゲート電圧Ｖｇ）に基づいてＨＥＭＴ１をオンしているときには、図示しない電源からの電力供給に基づいて誘導性負荷が駆動され、誘導性負荷に対してエネルギーが蓄積された状態になっている。そして、ゲート駆動信号の変化、例えばゲート電圧Ｖｇがハイレベルからローレベルに切り換わる等によってＨＥＭＴ１がターンオフされる。このとき、誘導性付加に蓄積されていたエネルギーを回路内で消費する必要がある。

[0028] これに対して、本実施形態では、保護回路が上記のような構成を備えているため、ＨＥＭＴ１のターンオフ時にサイリスタ２のアノード－カソード間にブレークオーバ電圧V_{BF}以上の電圧が印加されるとサイリスタ２がオンさせられる。そして、サイリスタ２がオンさせられると、第１抵抗３と第２抵抗４によって分圧された電圧がＨＥＭＴ１のゲート電圧Ｖｇとして印加され、ＨＥＭＴ１がオンされる。このため、ＨＥＭＴ１のドレイン電圧をサイリスタ２の順方向耐圧によってクランプすることができ、ＨＥＭＴ１に対してクランプ電圧を超える電圧が印加されないようにすることができる。

[0029] また、図２に示すように、サイリスタ２は、アノード－カソード間にブレークオーバ電圧V_{BF}以上の電圧が印加されてオンした後は、ベース電流が無くてもオン状態を維持するという動作を行う。そして、一度、サイリスタ２がオンしてドレイン電圧がクランプすると、サイリスタ２の降下電圧、つまりアノード－カソード間電圧は、ブレークオーバ電圧V_{BF}と比較して無視できる

程度の電圧Ｖｈまで低下する。この電圧は、アノード－カソード間に流れる電流Ｉ$_{AC}$が大きくなると多少大きくなるが、ほぼ無視できる大きさである。したがって、クランプ時に保護回路に流れる電流は、第１抵抗３の抵抗値Ｒ１と第２抵抗４の抵抗値Ｒ２によって決定されるようになり、これらの抵抗値Ｒ１、Ｒ２を適宜選択することで、保護素子に流れる電流を小電流から大電流まで自由に設計することが可能となる。

[0030] 例えば、サイリスタ２はオンしているときの抵抗値は小さいし、高耐圧の素子の場合はダイオード５の耐圧がサイリスタ２よりも十分に小さいため、ほとんで無視しても良い。このため、図３に示すように、サイリスタ２がオンするブレークオーバ電圧Ｖ$_{BF}$をクランプ電圧に設定すると、負荷線は、第１抵抗３および第２抵抗４の抵抗値Ｒ１、Ｒ２によって決まる線で示すことができ、これらの抵抗値Ｒ１、Ｒ２によってその勾配を設定できる。このため、第１抵抗３および第２抵抗４の抵抗値Ｒ１、Ｒ２を小さくすれば保護素子に流れる電流を大電流にでき、抵抗値Ｒ１、Ｒ２を大きくすれば保護素子に流れる電流を小電流にできる。

[0031] 具体的には、サイリスタ２の特性線を記したグラフ中に第１抵抗３および第２抵抗４の抵抗値Ｒ１、Ｒ２に応じて決まる負荷線を記入した場合、それらの線の交点は、サイリスタ２がオンしたときに保護素子に流れる電流Ｉやサイリスタ２での降下電圧を表すことになる。つまり、サイリスタ２と負荷線とが交差する点における電流Ｉの値が、サイリスタ２がオンしたときに流れる電流になり、そのときの電圧Ｖ$_{AK}$の値がサイリスタ２での降下電圧となる。また、第１抵抗３および第２抵抗４には、サイリスタ２と同じ電流Ｉが流れることになり、クランプ電圧からサイリスタ２での電圧降下分を差し引いた電圧が第１抵抗３および第２抵抗４（およびダイオード５：クランプ電圧に比べると小さくほぼ無視出来る）での電圧降下分となる。したがって、サイリスタ２がオンするブレークオーバ電圧Ｖ$_{BF}$にクランプ電圧を設定すれば、第１抵抗３および第２抵抗４の抵抗値Ｒ１、Ｒ２を決めるだけで、それに応じた負荷線が決まり、サイリスタ２がオンしたときに保護素子に流れる電流

を適宜設定できる。これにより、保護素子に流れる電流を調整することで、保護対象となるＨＥＭＴ１を駆動するのに十分な電力を供給することもできる。

[0032] 一方、誘導性負荷のエネルギーが消費されてドレイン電圧が降下していき、アノードーカソード間に流れる主電流が保持電流Ｉｈ以下に低下すると、サイリスタ２がオフする。アノードーカソード間に流れる主電流が電流Ｉｈとなるときの電圧は、第１抵抗３および第２抵抗４の抵抗値Ｒ１、Ｒ２に対して電流Ｉｈを掛けた値（＝（Ｒ１＋Ｒ２）×Ｉｈ）（実際には、さらにダイオード５の耐圧を加算した電圧）となる。これが、クランプが解除されるクランプ解除電圧になる。このように、誘導性負荷のエネルギーが消費されてドレイン電圧が降下した後は、サイリスタ２がオフすることでＨＥＭＴ１もオフさせられ、自動的に通常のオフモードに復帰するようにできる。

[0033] なお、クランプ中のゲート電圧Ｖｇは、第１抵抗３の抵抗値Ｒ１と第２抵抗４の抵抗値Ｒ２より、Ｒ２／（Ｒ１＋Ｒ２）×クランプ電圧＋ダイオード５の耐圧で与えられるため、抵抗値Ｒ２を調整することで、自由に設定可能である。

[0034] 以上説明したように、本実施形態では、保護素子としてＨＥＭＴ１のドレインーゲート間にサイリスタ２および第１抵抗３を備えると共に、ＨＥＭＴ１のソースーゲート間に第２抵抗４およびダイオード５を備えるようにしている。このため、ＨＥＭＴ１のターンオフ時にサイリスタ２がオンして保護素子側に電流が流れるようにでき、そのときに第１抵抗３および第２抵抗４で分圧されて形成されるゲート電圧ＶｇによってＨＥＭＴ１をオンさせることができる。これにより、ターンオフ時に、サイリスタ２の順方向耐圧をクランプ電圧として、ＨＥＭＴ１に対して阻止電圧を超える電圧が印加されないようにしつつ、ＨＥＭＴ１をオンすることで誘導性負荷に蓄積されたエネルギーを消費することが可能となる。したがって、アバランシェエネルギー耐量を得ることが可能な半導体装置の保護回路とすることが可能になる。

[0035] また、このような保護回路において、保護素子は、サイリスタ２と第１抵

抗３と第２抵抗４およびダイオード５によって構成可能であり、ダイオード５についてもＨＥＭＴ１のゲート駆動が行える程度の低い耐圧だけで十分であるため、段数を少なくできる。このため、保護素子のサイズ増大を抑制することも可能となる。

[0036] よって、保護素子のサイズ増大を抑制しつつ、アバランシェエネルギー耐量を得ることができる半導体装置の保護回路とすることが可能となる。

[0037] （他の実施形態）

本開示は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

[0038] 例えば、上記実施形態において、図４に示すように、サイリスタ２を第１抵抗３のローサイド側かつＨＥＭＴ１のゲートのハイサイド側に配置しても良い。

[0039] また、図５に示すように、遮断部として、ダイオード５の代わりにサイリスタ１０を配置しても構わない。この場合、ＨＥＭＴ１をターンオフしたときに、サイリスタ１０がサイリスタ２と同様の動作を行うことで、第１抵抗３と第２抵抗４とにより分圧された電圧がＨＥＭＴ１のゲートに印加されるようにし、ＨＥＭＴ１をオンさせることができる。これにより、第１実施形態と同様の効果を得ることができる。また、この場合にも、サイリスタ２についてＨＥＭＴ１のゲート駆動が行える程度の低い耐圧だけで十分であるため、保護素子のサイズ増大を抑制することも可能となる。なお、サイリスタ１０のベースについても、漏れ電流Ｉｓと耐圧に応じてオープン状態にするか、もしくはサイリスタ１０のカソードにショートさせるかを選択することができる。

[0040] さらに、図６に示すように、サイリスタ２を複数段で構成するようにしても良い。

請求の範囲

[請求項1] 負荷に対して接続され、該負荷に対する電力供給のオンオフを制御する半導体スイッチング素子となる高電子移動度トランジスタ（１）と、

前記高電子移動度トランジスタのドレイン－ゲート間に、順方向に接続されたサイリスタ（２）および該サイリスタに直列接続された第１抵抗（３）を備えており、前記高電子移動度トランジスタのソース－ゲート間に、第２抵抗（４）および該第２抵抗に対して直列接続された遮断部（５、１０）が備えられた保護素子と、を備え、

前記遮断部は、前記サイリスタがオフされているときに前記ドレイン－ゲート間の電流の流れを遮断すると共に前記サイリスタがオンされているときに前記ドレイン－ゲート間の電流の流れを許容する半導体装置の保護回路。

[請求項2] 前記高電子移動度トランジスタのターンオフ時における該高電子移動度トランジスタのドレイン電圧が前記サイリスタの順方向耐圧をクランプ電圧としてクランプされる請求項１に記載の半導体装置の保護回路。

[請求項3] 前記クランプが解除される電圧であるクランプ解除電圧が前記第１抵抗の抵抗値Ｒ１および前記第２抵抗の抵抗値Ｒ２とを合わせた抵抗値（Ｒ１＋Ｒ２）に対して前記サイリスタにおける保持電流Ｉｈを掛けた値（（Ｒ１＋Ｒ２）×Ｉｈ）に設定されている請求項２に記載の半導体装置の保護回路。

[請求項4] 前記高電子移動度トランジスタのドレイン電圧が前記クランプ電圧にクランプされているときにおける該高電子移動度トランジスタのゲート電圧（Ｖｇ）が前記第１抵抗の抵抗値Ｒ１および前記第２抵抗の抵抗値Ｒ２より、Ｒ２／（Ｒ１＋Ｒ２）×クランプ電圧とされている請求項２または３に記載の半導体装置の保護回路。

[請求項5] 前記サイリスタが前記第１抵抗のハイサイド側に接続されている請

求項１ないし４のいずれか１つに記載の半導体装置の保護回路。

[請求項6] 前記サイリスタが前記第１抵抗のローサイド側に接続されている請求項１ないし４のいずれか１つに記載の半導体装置の保護回路。

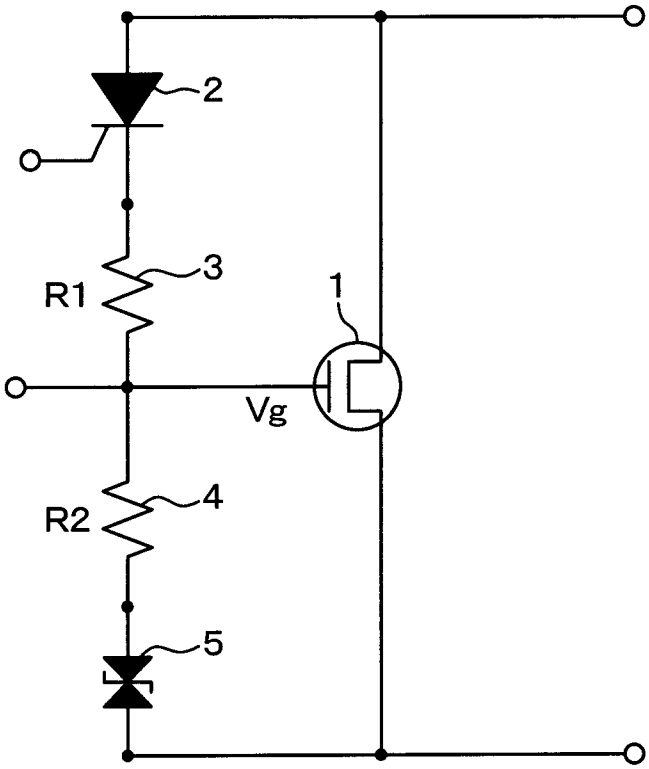
[請求項7] 前記ソース－ゲート間には前記第２抵抗と共に前記遮断部としてダイオード（５）が接続されている請求項１ないし６のいずれか１つに記載の半導体装置の保護回路。

[請求項8] 前記ソース－ゲート間には前記第２抵抗と共に前記遮断部としてサイリスタ（１０）が接続されている請求項１ないし６のいずれか１つに記載の半導体装置の保護回路。

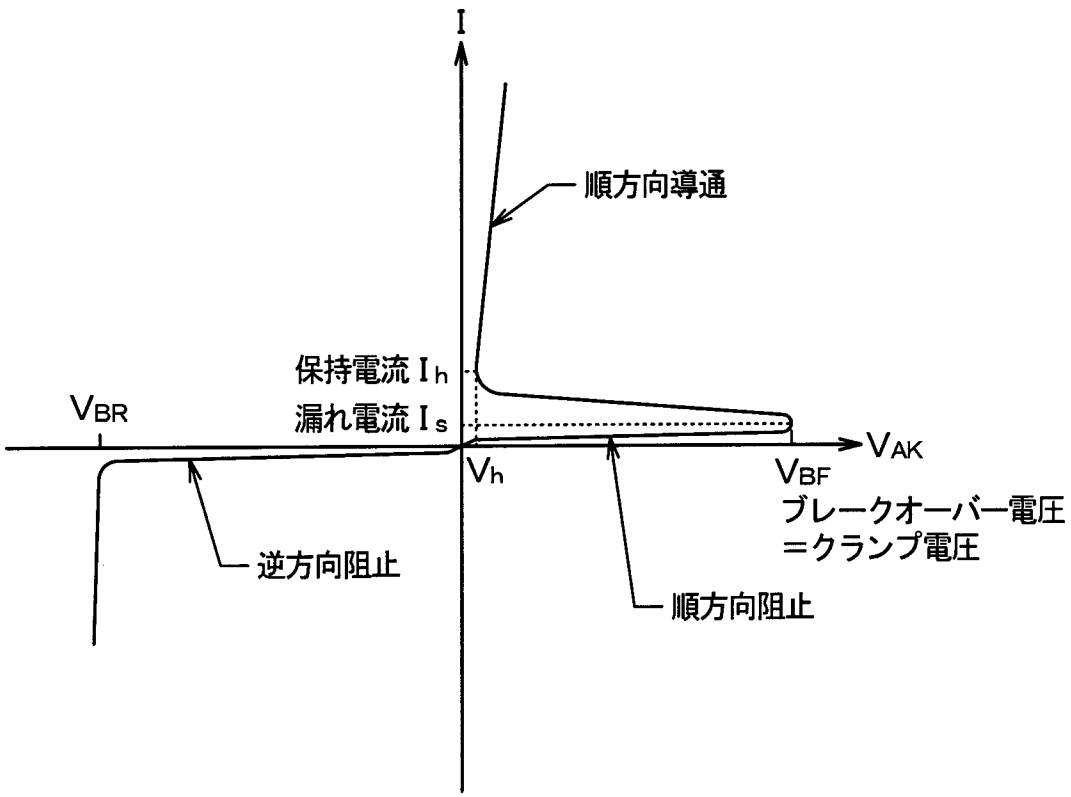
[請求項9] 前記ドレイン－ゲート間に接続されるサイリスタは、複数段とされている請求項１ないし８のいずれか１つに記載の半導体装置の保護回路。

[請求項10] 前記サイリスタのベースがオープン状態もしくは該サイリスタのカソードにショートさせられている請求項１ないし９のいずれか１つに記載の半導体装置の保護回路。

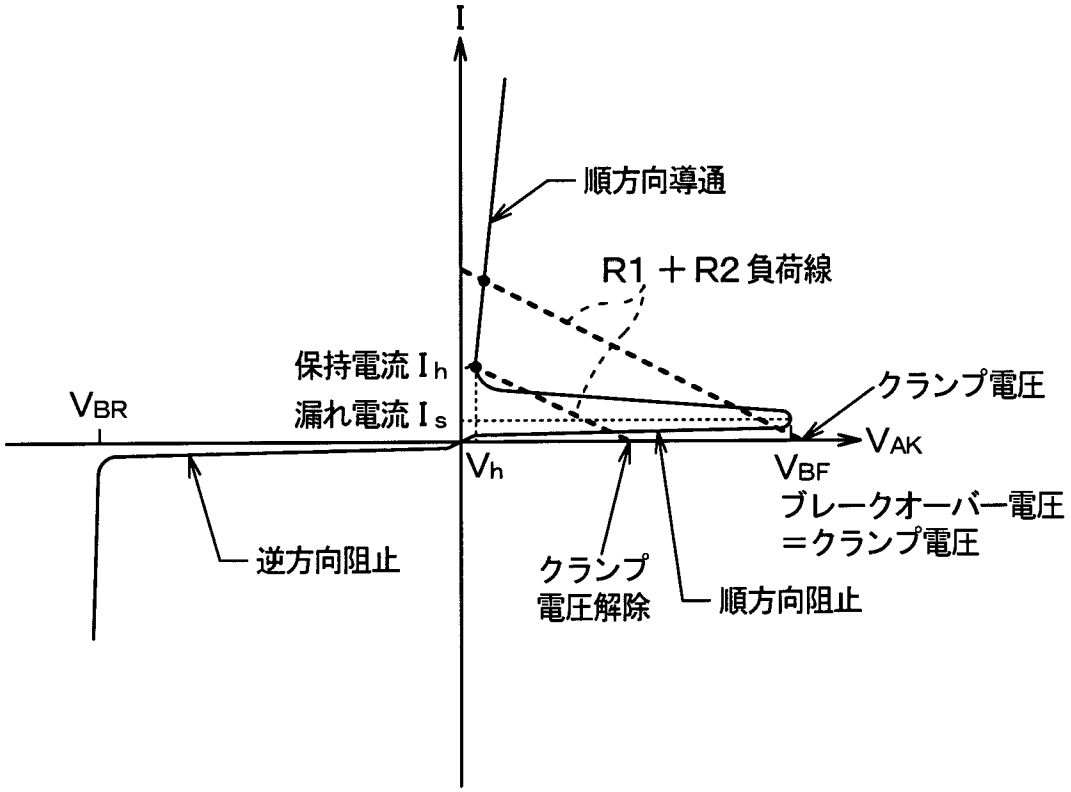
[図1]


2
R1
3
1
Vg
R2
4
5

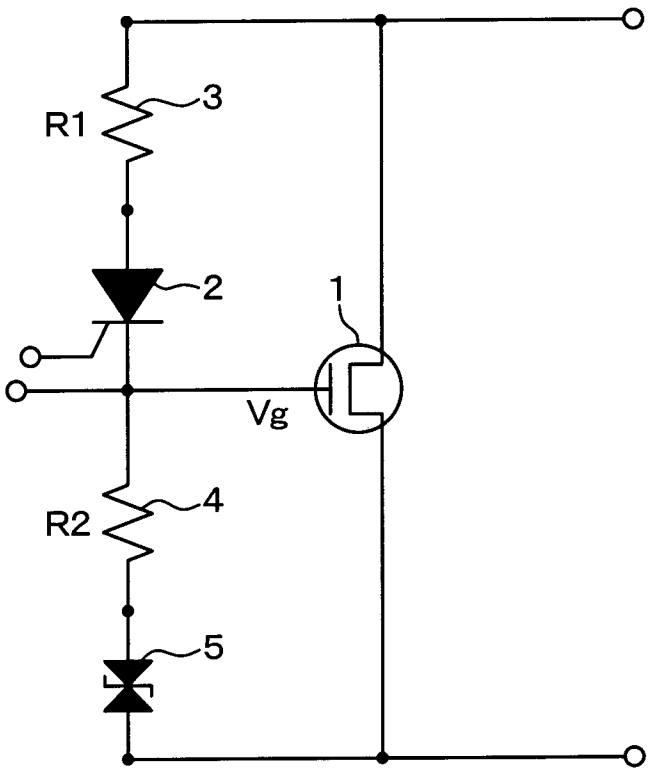
[図2]


I
順方向導通
保持電流 Ih
漏れ電流 Is
VBR
VAK
Vh
VBF
ブレークオーバー電圧
＝クランプ電圧
逆方向阻止
順方向阻止

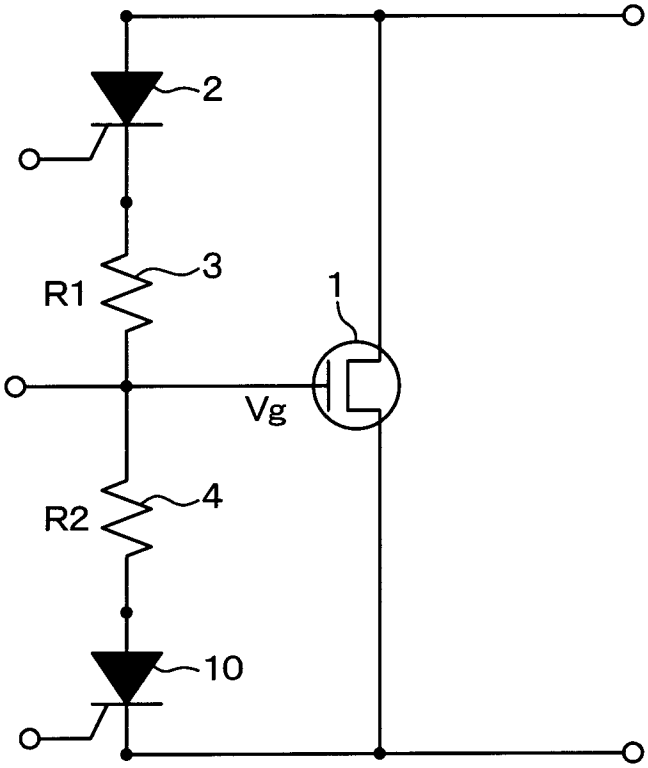
[図3]


I
順方向導通
R1 ＋R2 負荷線
保持電流 Ih
漏れ電流 Is
クランプ電圧
VBR
VAK
Vh
VBF
ブレークオーバー電圧
＝クランプ電圧
逆方向阻止
クランプ
電圧解除
順方向阻止

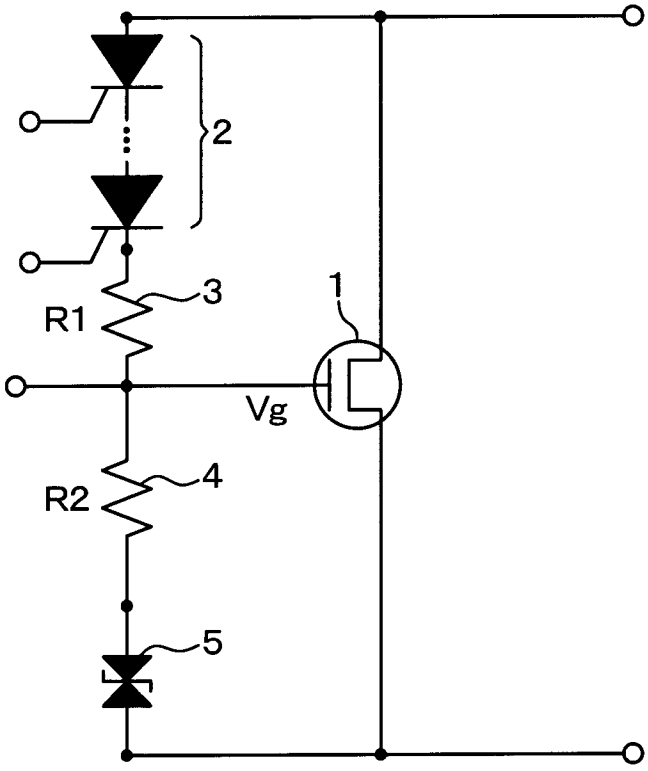
[図4]


R1
3
2
1
Vg
R2
4
5

[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002813

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/08(2006.01)i, *H01L21/338*(2006.01)i, *H01L21/822*(2006.01)i, *H01L27/04*(2006.01)i, *H01L29/778*(2006.01)i, *H01L29/812*(2006.01)i, *H02M1/00*(2007.01)i, *H03K17/16*(2006.01)i, *H03K17/687*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/00-17/70, H01L21/338, H01L21/822, H01L27/04, H01L29/778, H01L29/812, H02M1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-211096 A (Advanced Power Device Research Association), 20 October 2011 (20.10.2011), abstract; fig. 5, 18 (Family: none)	1-10
A	JP 2009-246276 A (The Furukawa Electric Co., Ltd.), 22 October 2009 (22.10.2009), abstract; fig. 1 (Family: none)	1-10
A	JP 2007-59882 A (Matsushita Electric Industrial Co., Ltd.), 08 March 2007 (08.03.2007), abstract; fig. 1 to 3 & US 2007/0023779 A1	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 July, 2014 (04.07.14)	22 July, 2014 (22.07.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002813

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-50640 A (Sony Corp.), 15 February 2002 (15.02.2002), fig. 1, 3 to 5, 7 & US 2002/0018328 A1	1-10
A	JP 2-185069 A (Motorola, Inc.), 19 July 1990 (19.07.1990), fig. 1 to 2 & US 5365099 A & US 5631187 A & EP 0372820 A2	1-10
A	JP 6-69423 A (Philips Electronics N.V.), 11 March 1994 (11.03.1994), fig. 1 & US 5324971 A & EP 0566179 A1	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／００２８１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/08(2006.01)i, H01L21/338(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i, H02M1/00(2007.01)i, H03K17/16(2006.01)i, H03K17/687(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/00-17/70, H01L21/338, H01L21/822, H01L27/04, H01L29/778, H01L29/812, H02M1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-211096 A (次世代パワーデバイス技術研究組合) 2011.10.20, 【要約】, 図５，１８（ファミリーなし）	１－１０
A	JP 2009-246276 A (古河電気工業株式会社) 2009.10.22, 【要約】, 図１（ファミリーなし）	１－１０
A	JP 2007-59882 A (松下電器産業株式会社) 2007.03.08, 【要約】, 図１－３ & US 2007/0023779 A1	１－１０

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．０７．２０１４	２２．０７．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　３９８７
栗栖　正和
電話番号　０３－３５８１－１１０１　内線　３５９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2002-50640 A（ソニー株式会社）2002.02.15, 図１，３－５，７ & US 2002/0018328 A1	１－１０
Ａ	JP 2-185069 A（モトローラ・インコーポレーテツド）1990.07.19, 図１－２ & US 5365099 A & US 5631187 A & EP 0372820 A2	１－１０
Ａ	JP 6-69423 A（フィリップス　エレクトロニクス　ネムローゼ　フェンノートシャップ）1994.03.11, 図１ & US 5324971 A & EP 0566179 A1	１－１０