

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

スイッチング電流制御回路、LED調光システムおよびLED照明機器 技術分野

[0001] 本発明は、負荷を連続モードで駆動するためのスイッチング電流制御回路、負荷電流を一定の電流値に保持するためのスイッチング電流制御回路、誤作動を防止したLED調光システムおよびLED照明機器に関する。

背景技術

[0002] 従来、スイッチング動作により負荷電流を定電流に制御する方式では、検出電流が所定のレベルに達したときに、スイッチングパルスをオフ状態にして、スイッチングのオン・オフのデューティサイクルを制御していた（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-110190号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、上記従来技術のスイッチング電流制御回路では、直流電源の電圧 V_{in} や発光ダイオードの電圧降下 V_{out} 、インダクタのインダクタンス L の値の変化により出力電流 I_{out} が変化してしまう。例えば、直流電源の電圧 V_{in} の電圧値が大きくなった場合を考えると、出力電流 I_{out} の変化は、出力電流 I_{out} の三角波形の直線部の傾きを大きくしてしまう。

[0005] ピーク電流 I_{pk} は固定されており、出力電流 I_{out} がピーク電流 I_{pk} を越えたときにスイッチング動作のオフ期間になり、また、出力電流 I_{out} が下限電流値を越えて減少したときにスイッチング動作のオン期間となるので、出力電流 I_{out} の電流波形が大きく変わり、オン・オフの期間が短くなるとともに、デューティサイクルも短くなる。オン期間が短くなりすぎると、発光ダイ

オードに負荷電流が流れなくなる時間が発生して、いわゆる不連続モード（DCM）になる場合がある。

[0006] ピーク電流 I_{pk} は固定されており、出力電流 I_{out} がピーク電流 I_{pk} を越えたときにオフ期間になるので、出力電流 I_{out} の電流波形が大きく変わり、オン・オフの期間が短くなるとともに、デューティサイクルも変化するため、負荷電流の平均値を一定にすることが難しい。

[0007] また、上記スイッチング電流制御回路を用いてLEDを点灯させる際に、LEDの調光をトライアック調光器を用いて行くとチラツキを生じる場合がある。

[0008] 即ち、トライアック調光器が備えるトライアックに対する保持電流が、平滑コンデンサの放電等により閾値以下となるとトライアックがオフ状態となり、再びオン状態となった場合にも同様の原因によりトライアックが再度オフ状態となる。

[0009] このようなオン・オフ状態が繰り返されることにより、LEDの使用者に不快感を与えるチラツキを生じるという問題がある。

[0010] 本発明の目的は、上述した課題を解決するために創案されたものであり、スイッチング制御によって負荷の電流を制御する場合に、連続モード（CCM）か不連続モード（DCM）を効率良く判定し、連続モード（CCM）の駆動に繋げることができるスイッチング電流制御回路を提供することにある。

[0011] また、本発明の他の目的は、スイッチング制御によって負荷の出力電流の変動を所定の範囲に留めるとともに、出力電流の平均値が変動しないスイッチング電流制御回路を提供することにある。

[0012] また、本発明の他の目的は、LEDのチラツキを防止することのできるLED調光システムおよびLED照明機器を提供することにある。

課題を解決するための手段

[0013] 上記目的を達成するための本発明の一態様によれば、所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路であ

って、前記スイッチング動作を行うためのスイッチングパルスを供給するスイッチングパルス供給回路と、前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路と、前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してデジタルデータに変換するA/D変換回路と、前記A/D変換回路から出力される検出電流のデータに基づいて、前記スイッチングパルスのオフからオンに切り替えるタイミングを与える検出電流の下限値を算出する演算制御回路とを備え、前記演算制御回路の算出した前記検出電流の下限値が0以上である場合に連続モードであると判定し、前記検出電流の下限値が負の値の場合は不連続モードであると判定するスイッチング電流制御回路が提供される。

[0014] 本発明の他の態様によれば、所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路であって、前記スイッチング動作を行うためのスイッチングパルスを供給するスイッチングパルス供給回路と、前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路と、前記スイッチングパルスのオン期間における検出電流の直線的な増加率を算出し、該増加率を用いてスイッチング動作のオン期間終了まで検出電流が増加したと仮定した場合の最大電流値を算出して該最大電流値を前記ピーク電流値とするピーク電流算出回路とを備え、前記検出電流が前記ピーク電流算出回路により算出されたピーク電流値を越えたときに前記比較回路の出力信号により前記スイッチングパルスがオフ期間となるスイッチング電流制御回路が提供される。

[0015] 本発明の他の態様によれば、請求項1～20のいずれか1項に記載のスイッチング電流制御回路を備え、LEDの調光を行うLED調光システムであって、交流電源の一端側に接続されるブリッジ形全波整流回路と、前記交流電源の他端側に接続されるトライアック調光器と、前記トライアック調光器の出力側に接続されるブリーダ抵抗と、前記ブリーダ抵抗に流れる電流を制御するブリーダ制御部とを備えるLED調光システムが提供される。

発明の効果

- [0016] 本発明によれば、スイッチング制御によって負荷の電流を制御する場合に、連続モード（CCM）か不連続モード（DCM）を効率良く判定し、連続モード（CCM）の駆動に繋げることができるスイッチング電流制御回路を提供することができる。
- [0017] また、他の発明によれば、スイッチング制御によって負荷の出力電流の変動を所定の範囲に留めるとともに、出力電流の平均値が変動しないスイッチング電流制御回路を提供することができる。
- [0018] また、本発明によれば、LEDのチラツキを防止することのできるLED調光システムおよびLED照明機器を提供することができる。

図面の簡単な説明

- [0019] [図1]本発明のスイッチング電流制御回路の回路構成を示す図。
- [図2]本発明のスイッチング電流制御回路による不連続モード、連続モードの判定方法に関する図。
- [図3]スイッチング電流制御回路の通常動作を示すフローチャート図。
- [図4]図3のフローチャートに対応したタイムチャートを示す図。
- [図5]スイッチングパルスの1周期毎に割り当てられる動作モードを示す図。
- [図6]図5の動作モードに対応したタイムチャートを示す図。
- [図7]スイッチング周波数の増減の動作モードを示す図。
- [図8]発光ダイオードの駆動回路に、従来のスイッチング電流制御回路が接続された回路構成例を示す図。
- [図9]図8の回路で、入力電圧 V_{in} が変動して大きくなった場合の負荷電流を示す図。
- [図10]本発明のスイッチング電流制御回路の回路構成を示す図。
- [図11]本発明のスイッチング電流制御回路のピーク電流値の決定方法を示す図。
- [図12]スイッチングパルスの1周期毎に割り当てられる動作モードを示す図。
- 。

[図13]図5の動作モードに対応したタイムチャートを示す図。

[図14] (a) 本発明のスイッチング電流制御回路を用いた評価用接続構成と入力電圧特性を示す図、(b) 本実施の形態のスイッチング電流制御回路100を評価用基板上に配置し、入力電圧用の可変直流電源VIN、発光ダイオード52を接続した図。

[図15] (a) 本発明のスイッチング電流制御回路を用いた評価用接続構成と入力電圧特性を示す図、(b) 図14(b)と基本的に回路素子の接続は同じであるが、電源を可変直流電源VINから100Vの交流電源に変更し、この交流電源から直流電圧に変換して入力電圧として用いた図。

[図16]電源電圧変動、負荷電流、検出電流の関係を示す図。

[図17]本発明のスイッチング電流制御回路の入力電圧特性と、従来のスイッチング電流制御回路の入力電圧特性を比較した図。

[図18]本発明のスイッチング電流制御回路の出力電圧特性と、従来のスイッチング電流制御回路の出力電圧特性を比較した図。

[図19]PWM調光方式を示す説明図およびPWM調光曲線を示すグラフ。

[図20]トライアック調光方式を示す説明図およびトライアック調光曲線を示すグラフ。

[図21]リニア調光方式を示す説明図およびリニア調光曲線を示すグラフ。

[図22]LED調光システムの構成例を示すブロック図。

[図23]ブリーダ制御の動作例を示す説明図。

[図24]ブリーダ制御の他の動作例を示す説明図。

[図25]ブリーダ制御の他の動作例を示す説明図。

[図26]シーリングライト型LED照明機器を例示する撮像図。

[図27]電球型LED照明機器を例示する撮像図。

[図28]スポットライト型LED照明機器を例示する撮像図。

[図29] (a) シーリングライト型LED照明機器の制御例を示す説明図、(b) 電球型LED照明機器の制御例を示す説明図、(c) スポットライト型LED照明機器の制御例を示す説明図。

発明を実施するための形態

[0020] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0021] 又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0022] [第 1 の実施の形態]
(比較例)

第 1 の実施の形態に係るスイッチング電流制御回路 100 について説明するに先立って、比較例に係るスイッチング電流制御回路について、図 8 および図 9 を参照して説明する。

[0023] 図 8 は、発光ダイオード 52 の駆動回路に、従来のスイッチング電流制御回路が接続された回路構成を示す。

[0024] 直流電源 51 に発光ダイオード 52 のアノード側が接続されており、発光ダイオード 52 のアノード側は、インダクタ 53 に接続されている。直列に接続された発光ダイオード 52 とインダクタ 53 に並列にダイオード 54 が設けられている。インダクタ 53 及びダイオード 54 のカソード側には、スイッチング素子としての FET (電界効果トランジスタ) 55 が接続され、FET 55 に直列に電流検出抵抗 56 が接続されている。

[0025] FET 55 をスイッチング制御するためのスイッチング電流制御回路 70 が設けられている。スイッチング電流制御回路 70 は、比較器 57、RS フ

リップフロップ 58 で構成される。電流検出抵抗 56 の一端は比較器（コンパレータ） 57 のプラス端子に、電流検出抵抗 56 の他端は GND に接続されている。コンパレータ 57 の出力は RS フリップフロップ 58 の R 端子に、RS フリップフロップ 58 の出力は FET 55 のゲートに接続されている。

[0026] ここで、スイッチング電流制御回路 70 を用いて、発光ダイオード 52 に流れる電流制御を行なう。図 9 のタイムチャートにおける SW1 信号は、RS フリップフロップ 58 の出力信号であり、FET 55 のゲートへの入力信号である。図 9 の I_{out} は、発光ダイオード 52 及びインダクタ 53 を流れる電流である。また、オン期間中は、電流検出抵抗 56 を流れる電流 I_{sen} は、 I_{out} と同じ電流となる。

[0027] FET 55 がオンになった直後は、 I_{sen} の値は低いため、コンパレータ 57 のプラス端子にかかる電圧は低く、電流検出抵抗 56 にかかる電圧は V_{pk} よりも低い。ここで、 V_{pk} は発光ダイオード 52 に流れる電流 I_{out} のピーク電流（上限値） I_{pk} に対応したピーク電圧を示す。

[0028] この場合、コンパレータ 57 の出力はローレベルであり、RS フリップフロップ 58 の R 端子にはローレベル信号が入力される。このため、S 端子にハイレベルのパルス信号が入力されると、RS フリップフロップ 58 の出力はハイレベル信号となり、オン期間が継続する。

[0029] しかし、時間が経過すると、発光ダイオード 52 に流れる電流 I_{out} は増加していく。この場合、 I_{sen} も増加するので、電流検出抵抗 56 にかかる電圧が、 V_{pk} よりも高くなると、コンパレータ 57 の出力はハイレベルとなり、RS フリップフロップ 58 の R 端子にはハイレベル信号が入力される。このため、S 端子がローレベルの状態であると、RS フリップフロップ 58 の出力はローレベル信号となり、この期間が図 9 の SW1 のオフ期間である。

[0030] オフ期間では、FET 55 がオフとなり、FET 55 及び電流検出抵抗 56 には電流が流れなくなる。しかし、発光ダイオード 52、インダクタ 53、ダイオード 54 で閉回路を形成している。FET 55 がオフになると、そ

れまでインダクタ 53 に流れていた電流が遮断されるので、インダクタ 53 には逆起電力が発生する。インダクタ 53 の逆起電力により、ダイオード 54 が導通し、発光ダイオード 52、インダクタ 53、ダイオード 54 の閉回路に電流が流れる。インダクタ 53 の逆起電力は、次第に減少していくので、 I_{out} も直線的に減少していく。

[0031] 図 9 のように、ピーク電流 I_{pk} を定めている場合には、図のようにオン期間中に I_{out} が直線的に増加していき、 I_{pk} に達すると、オフ期間に切り替わる。オフ期間では、FET 55 がオフとなるので、 I_{out} は、直線的に減少していく。一定の電流値まで減少すると、また、オン期間となり、直流電源 51 から電流が供給されて、 I_{out} が直線的に増加する。このように、オンとオフを繰り返しながら、発光ダイオード 52 の負荷電流が制御されている。

[0032] 図 9 に示すように、 I_{out} は、三角波形状になるが、発光ダイオード 52 を流れる電流は、 I_{out} の積分値により求められる。これにより、発光ダイオード 52 を流れる電流の平均値が算出される。実際には、インダクタ 53 の平均電流と発光ダイオード 52 の負荷電流は等価で、発光ダイオード 52 の平均負荷電流 I_A は、インダクタ 53 のリップル電流 ΔI_L で決まる。したがって、いわゆる連続モード (CCM) のときは、 $I_A = I_{pk} - (\Delta I_L / 2)$ の式から平均電流 I_A を求めている。

[0033] しかし、比較例に係るスイッチング電流制御回路では、直流電源 51 の電圧 V_{in} や発光ダイオード 52 の電圧降下 V_{out} 、インダクタ 53 のインダクタンス L の値の変化により出力電流 I_{out} が変化してしまう。例えば、 V_{in} の電圧値が大きくなった場合を考えると、 I_{out} の変化は、 I_{out} の三角波形の直線部の傾き ΔI_{ON} 、 ΔI_{OFF} を大きくしてしまう。

[0034] ピーク電流 I_{pk} は固定されており、 I_{out} が I_{pk} を越えたときにスイッチング動作のオフ期間になり、また、 I_{out} が下限電流値を越えて減少したときにスイッチング動作のオン期間となるので、スイッチングパルスは SW2 のようになる。したがって、 I_{out} の電流波形が図 9 の破線のように大きく変わり、オン・オフの期間が短くなるとともに、デューティサイクルも短くなる。

オン期間が短くなりすぎると、発光ダイオード 5 3 に負荷電流が流れなくなる時間が発生して、いわゆる不連続モード（DCM）になる場合がある。

[0035] （第 1 の実施の形態に係るスイッチング電流制御回路）

図 1 に示すように、第 1 の実施の形態に係るスイッチング電流制御回路 1 0 0 は、所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路である。

[0036] 具体的には、スイッチング動作を行うためのスイッチングパルスを供給するスイッチングパルス供給回路 9 0 と、スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路 9 1 と、スイッチングパルスのオン期間における負荷電流を検出電流として検出してデジタルデータに変換する A/D 変換回路（A/D 変換器）2 と、A/D 変換回路 2 から出力される検出電流のデータに基づいて、スイッチングパルスのオフからオンに切り替えるタイミングを与える検出電流の下限値を算出する演算制御回路 3 とを備え、演算制御回路 3 の算出した検出電流の下限値が 0 以上である場合に連続モードであると判定し、検出電流の下限値が負の値の場合は不連続モードであると判定するものである。

[0037] 図 1 は、本発明のスイッチング電流制御回路 1 0 0 の構成例を示す。図 8 と同じ符号を付しているものは、同じ回路素子を示す。したがって、負荷の一例として発光ダイオード 5 2 を考え、かつ発光ダイオード 5 2 の駆動回路部分についても同様に構成している。すなわち、直流電源 5 1、インダクタ 5 3、ダイオード 5 4、FET 5 5、電流検出抵抗 5 6 等は、図 8 と同様に接続されている。

[0038] スwitchング電流制御回路 1 0 0 は、アナログ回路部 1 0 0 a とデジタル回路部 1 0 0 b とで構成されている。アナログ回路部 1 0 0 a は、スイッチングパルス供給回路 9 0 と比較回路 9 1 で構成される。比較回路 9 1 は比較器 1 により構成されている。スイッチングパルス供給回路 9 0 は、レベルシフタ器 9、P 型 MOS の FET 1 0、N 型 MOS の FET 1 1 等で構成される。FET 1 0 のゲートと FET 1 1 のゲートが接続され、FET 1 0 のソ

ースとFET11のドレインが接続されており、FET10とFET11とでインバータを構成している。

[0039] デジタル回路部100bは、A/D変換器2、演算制御回路3、AD/D Aオフセット設定部4、D/A変換回路5、タイミング制御回路6、論理回路7、RSフリップフロップ8、初期値設定部12、周波数設定部（周波数設定回路）13、比較器14、周波数カウンタ15で構成されている。

[0040] 図1のスイッチング電流制御回路100によって、どのように、発光ダイオード52に流れる電流を制御するかを示すのが、図2である。図2の上段は、発光ダイオード52に流れる負荷電流の変化を示す。一方、下段は、電流検出抵抗56を流れる I_{sen} の変化を示す。スイッチング動作（スイッチングパルス）のオン期間中、電流 I_{sen} は、発光ダイオードを流れる電流と同じ電流となる。ただし、スイッチングパルスのオフ期間中は、FET55がオフとなるため、電流 I_{sen} は0となる。このような、電流 I_{sen} の状態を示すのが、図に示されるグラフSNである。

[0041] また、SNはFET55のスイッチング動作により、オフからオンに切り替わる際に、図2に示すように、スイッチングノイズが発生する。このスイッチングノイズ期間を避けて、オン期間において、 t_0 、 t_1 の2つの時点で、SNのデータのサンプリングを行なう。 t_0 のときのSNのデータを y_0 、 t_1 のときのSNのデータを y_1 とする。

[0042] また、図中の Y_1 は、初期値設定部12により設定される値であり、 Y_1 は負荷電流又は検出電流のピーク電流値（上限電流値）、 Y_0 は負荷電流の下限電流値である。最初に設定されているピーク電流値 Y_1 及び一定周波数に基づいてオン・オフされる期間のオン期間を T_{on} とする。ここで、 $t_0 = T_{on} \times 1/4$ 、 $t_1 = T_{on} \times 3/4$ である。また、 I_{sen} の t_0 における電流値が y_0 、 I_{sen} の t_1 における電流値が y_1 である。これらのデータにより、SN（ I_{sen} ）の直線部分の傾きSLが求まる。この傾きSLは、電流 I_{sen} の増加率でもあり、発光ダイオード52を流れる電流の増加率でもある。次に、演算制御回路3において、これらのデータにより、不連続モードであ

るか否かを判定する方法を以下に示す。

[0043] 傾き $SL = (y_1 - y_0) / (t_1 - t_0)$ となる。

[0044] 次に、 y_1 と y_0 の平均を y_m とすると、 $y_m = (y_0 + y_1) / 2$ であり、下限値 $Y_0 = y_m + SL \times T_{on} \times (1/2) - SL \times T_{on}$ となる。

[0045] すなわち、下限値 $Y_0 = y_m - SL \times T_{on} \times (1/2)$ である。

[0046] $t_1 - t_0 = T_{on} \times (1/2)$ であるから、上記 SL の式は、 $SL = 2 \times (y_1 - y_0) / T_{on}$ となる。

[0047] これより、 $Y_0 = y_m - SL \times T_{on} \times (1/2) = y_m - (y_1 - y_0)$ である。

[0048] $Y_0 = ((y_0 + y_1) / 2) - (y_1 - y_0) = (3y_0 - y_1) / 2$ となる。

[0049] ここで、スイッチング電流制御が不連続モード (DCM) でない場合は、上記下限値 Y_0 が 0 以上である。

[0050] したがって、 $(3y_0 - y_1) / 2 \geq 0$

よって、 $y_1 \leq 3y_0$ のときに、連続モード (CCM) 又は臨界モード (BCM) となる。反対に、 $y_1 > 3y_0$ の場合は、不連続モードとなる。

[0051] また、上記の判定基準により、不連続モードと判定された場合は、スイッチング周波数を増加させていくことで、下限値 Y_0 を 0 以上にすることができる。このようにして、パルス連続モードに復帰させることができる。

[0052] 図 3 は、スイッチングパルスのスイッチング周波数の増減動作を考慮しない場合の通常の動作を示すフローチャート図である。また、図 3 のフローチャートに対応したタイミングチャートを図 4 に示す。図 4 では、マスタクロック $MCLK$ を例えば 5 MHz としている。タイミング制御回路 6 からの $SWCONVEN$ がイネーブル期間であると、スイッチングパルス供給回路 90 の動作が可能になるので、最初に $SWCONVEN$ がイネーブル期間か否か判定する (ステップ S1)。 $SWCONVEN$ がイネーブル期間でなければ、オフモード設定がされ (ステップ S2)、再度ステップ S1 に戻る。

[0053] $SWCONVEN$ がイネーブル期間であれば、次のステップ S3 に進み、

電流検出期間（オン期間）であるかどうか判定される。電流検出期間でない場合は、再度ステップS 3に戻る。電流検出期間である場合には、ステップS 4に進みブランク期間信号であるSETCLK信号を発生する。図4に示すISENSは、図1に示されるISENS信号であり、比較回路91に電圧として検出されるVsensに相当する。電圧Vsensが検出され、電流検出抵抗56の値がわかれば、電流検出抵抗56に流れる電流Isenがわかる。ここでは、電流信号を用いた方が動作の説明が行いやすいので、ISENS信号を、電流Isenと同じ電流信号であるとして説明する。

[0054] 図4に示されるように、ISENS信号は、FET55がオフからオンに切り替わるときに、スイッチングノイズを発生させるので、この部分の電流を検出しないようにマスクをかけている。これが、SETCLKのBlank Timeに相当し、例えば400nsとすることができる。

[0055] そして、ISENS信号が、あらかじめ設定されたピーク電流値Ipeakと比較し（ステップS 5）、Ipeakよりも大きい場合はRSTCLKを発生させた後（ステップS 7）、ステップS 3に戻る。この場合は、RSTCLKが発生し、IpeakよりもISENSが大きくなっているので、比較器1の出力IPEAKDETはハイレベルとなっている。論理回路7の出力は、ハイレベル信号となり、RSフリップフロップ8のR端子に入力される。RSフリップフロップ8の出力はローレベル信号となった後、レベルシフタ9によりDC電圧レベルが調整され、ハイレベル信号となる。このハイレベル信号は、FET10, 11によるインバータ回路でローレベル信号に変換される。すなわち、VOUTがローレベル信号となるのでFET55はオフとなる。

[0056] 一方、ISENSが、Ipeakと同じか、Ipeakより小さい場合は、ステップS 6に進み、スイッチングパルスのオン・オフ期間のデューティが最大かどうか判定される。デューティが最大でない場合はステップS 5に戻り、デューティが最大である場合には、RSTCLKを発生させ（ステップS 7）、ステップS 3に戻る。この場合も、電流ISENSがピーク電流値Ipeak

よりも大きい場合と同様、VOUTがローレベル信号となるのでFET55はオフとなる。

[0057] 次に、上記通常の動作からスイッチング周波数の変更を行う場合の動作について説明する。まず、図1のA/D変換器2は、例えば10ビットA/D変換可能なデバイスが用いられる。また、A/D変換器2は、2個のサンプルホールドと1個のADコンバータから構成される。A/D変換器2からは、A/D変換された y_0 、 y_1 の値が出力され、これらはピーク電流算出回路3に入力される。

[0058] D/A変換回路5は、デコーダ型D/A変換回路であり、DACデコーダ5aとR-2Rラダー型DA変換器5bとで構成されている。AD/DAオフセット設定部4は、あらかじめ測定されたA/D変換器2のADオフセット値が、D/A変換回路5のDAオフセット値が記憶されている。A/D変換器2、D/A変換回路5の駆動時には、ピーク電流算出回路3において、A/D変換データからはADオフセット値が減算され、D/A変換値からはDAオフセット値が減算される。

[0059] 図5は、本発明のスイッチング電流制御回路で、スイッチング周波数の増減を行う場合のスイッチングパルスの1周期毎に割り当てられる動作モードの遷移を示す図である。図6は、図5の動作モードの遷移に対応したタイムチャート図を示す。また、図7は、スイッチング周波数の変更を行う場合の動作モードの遷移を示す図である。なお、図5、7の動作モードのコントロール等については、制御部（図示せず）から制御信号が送信される。最初はアイドル状態であり、非動作の状態となっている。図4の場合と同様、まず、最初にSWCONVENがイネーブル期間か否か判定され、PWMがハイレベルかどうか判定される。PWMがハイレベルのときに、スイッチング動作のオン・オフ期間の周期の変更がイネーブルされる。

[0060] 図5に示すように、上記の条件で、最初の第1のスイッチングパルスの1周期に、サンプリングモードに移行する。サンプリングモードでは、図2に示したように、ISENSの t_0 における電流値 y_0 、 t_1 における電流値

y 1 をサンプリングして保持したいが、A/D変換器 2 は、1 個の A/D コンバータを備えているだけであるので、一度に 2 つの値を保持して A/D 変換することはできない。

[0061] そこで、サンプリングモードでは、図 6 に示すように、SMPHLD 1 信号の第 1 の立ち上がりのタイミング (1) で、A/D 変換器 2 内のサンプルホールドにより y 0 をサンプルホールドし、SMPHLD 2 信号の第 1 の立ち上がりのタイミング (2) で電流値 y 0 を A/D 変換して出力する。この y 0 の A/D 変換出力は、ADOUT 信号として演算制御回路 3 に入力される。さらに、第 1 のスイッチングパルスでは、SMPHLD 1 信号の第 2 の立ち上がりのタイミング (3) で、A/D 変換器 2 のサンプルホールドにより電流値 y 1 をサンプルホールドする。

[0062] サンプリングモードが終了すると、次のスイッチング動作のオン・オフサイクルである第 2 のスイッチングパルスの周期に移行する。第 2 のスイッチングパルスの周期は、A/D 変換モードとなる。A/D 変換モードでは、サンプリングモードでサンプリングホールドした電流値 y 1 を、SMPHLD 2 信号の第 2 の立ち上がりのタイミング (4) で、A/D 変換器 2 により A/D 変換して出力する。この y 1 の A/D 変換出力は、ADOUT 信号として演算制御回路 3 に入力される。

[0063] A/D 変換モードが終了すると、次のスイッチング動作のオン・オフサイクルである第 3 のスイッチングパルスの周期に移行する。第 3 のスイッチングパルスの周期は計算モードとなる。計算モードでは、A/D 変換器 2 は、電流 I S E N S の A/D 変換のみを行い、y 0、y 1 のデータのサンプルホールドは行わない。電流 I S E N S の A/D 変換データは、ADOUT 信号として演算制御回路 3 に出力される。

[0064] 計算モードでは、演算制御回路 3 に入力された y 0、y 1、及び、初期値設定部 12 で記憶されている初期値の上限値 Y 1、オン期間 T o n、初期のスイッチング周波数 f、また、A/D オフセット設定部 4 に記憶されている A/D オフセット値、D/A オフセット値等を用いる。また、下限値 Y 0 を

変化させた場合には、電流検出抵抗 56 で検出される I S E N S E 信号から下限値 Y_0 を検出することができる。

[0065] 以上の値を用い、演算制御回路 3 が、図 7 に示すように、不連続モードか、連続モードかを判定する。前述したように、 $y_1 \leq 3 y_0$ のときに、連続モード (CCM) と判定し、 $y_1 > 3 y_0$ の場合は、不連続モードと判定する。不連続モードと判定された場合は、スイッチングパルスの周波数を上昇させて、 $y_1 \leq 3 y_0$ となるようにし、連続モードに復帰させる。

[0066] スwitchングパルスの周波数を増大させる場合は、変更したいスイッチング周波数の値を演算制御回路 3 から周波数設定回路 13 に送信して保持させ、周波数設定回路 13 に保持されている周波数値と周波数カウンタ 15 からのデータと比較器 14 で比較して、その周波数値になったときに、比較器 14 に S E T C L K を発生させる。なお、周波数カウンタ 15 は、例えば、10 MHz のクロックで作動させる。S E T C L K 信号により、S W O N の周期とデューティが変化するので、同様に V O U T も変化する。

[0067] 一方、上記のようにスイッチング周波数が増え連続モードになった後に、さらにスイッチング周波数をどの程度まで増大させていくのかを考える。この場合、スイッチング周波数の上昇によって、下限値 Y_0 が十分大きな正の値になっているかどうかを判断する。上述したように、 $Y_0 = (3 y_0 - y_1) / 2$ である。目安としては、 Y_0 が $y_0 / 2$ よりも大きくなっていれば、0 よりも十分大きくなったと判断しても良い。したがって、 $Y_0 > (y_0 / 2)$ の条件となるので、 $(3 y_0 - y_1) / 2 > (y_0 / 2)$ となり、これを整理すると、 $2 y_0 > y_1$ が導き出せる。

[0068] したがって、スイッチング周波数を上げると、下限値 Y_0 も上昇しているので、この上昇した下限値 Y_0 のとき、 $2 y_0 > y_1$ であれば、十分 Y_0 が大きくなっていると判断し、最初に設定されたスイッチング周波数に戻るのが望ましい。そこで、スイッチング周波数が増え連続モードになり、かつ、 $y_1 > 2 y_0$ のときに、下限値 Y_0 を減少させてスイッチング周波数を減少させ、最初に設定されたスイッチング周波数に戻す。

- [0069] 他方、最小デューティサイクルを検出した場合は、スイッチング周波数を減少させて、最小デューティサイクルを解除する。最小デューティサイクルとは、オン時間がスイッチングノイズをマスクするための *Blank time* と同じ 400 ns であり、この 400 ns 以下のオン時間は動作上問題である。この場合、下限値 Y_0 を減少させてスイッチング周波数を減少させ、オン時間を長くして最小デューティサイクル状態を解除する。
- [0070] スwitchング周波数を減少させる場合、変更したいスイッチング周波数の値を演算制御回路 3 から周波数設定回路 13 に送信して保持させ、周波数設定回路 13 に保持されている周波数値と周波数カウンタ 15 からのデータと比較器 14 で比較して、その周波数値になったときに、比較器 14 に *SET CLK* を発生させる。
- [0071] 以上のように、スイッチング周波数が増減すると、スイッチングパルスのオフ期間 (5) やスイッチングパルスのオン期間 (6) の期間が変化する。このようにして、図 5 及び図 7 の動作が繰り返される。
- [0072] 本実施の形態では、通常はピーク電流値 (上限値) は固定されているが、ピーク電流値の変更も可能である。ピーク電流値が変更された場合は、変更されたピーク電流値が *IPEAKSET* というデジタル信号として、演算制御回路 3 から出力され、*D/A* 変換回路 5 に供給される。*D/A* 変換回路 5 は、*IPEAKSET* を *D/A* 変換して *IDAC* というアナログ信号として出力され、比較器 1 の新しい閾値電圧となる。
- [0073] 比較器 1 の閾値電圧 *IDAC* を電流 *ISENS* (電圧 V_{sens}) が越えた時点で、比較器 1 の出力 *IPEAKDET* がハイレベル信号となるため、その後の論理回路 7、*RS* フリップフロップ 8 等を経た出力の *SWON* 信号は、ローレベル信号となり、レベルシフト器 9 により *DC* 電圧レベルが変更されて、ハイレベル信号となる。このハイレベル信号は、次の *FET10*, *11* によるインバータによりローレベル信号となって、*FET55* はオフとなる。
- [0074] 以上述べたように、第 1 の実施の形態に係るスイッチング電流制御回路 1

00では、スイッチングパルスのオン期間における負荷電流を検出電流として検出してデジタルデータに変換するA/D変換回路5から出力される検出電流のデータに基づいて、スイッチングパルスのオフからオンに切り替えるタイミングを与える検出電流の下限値を算出し、この検出電流の下限値が0以上である場合に連続モードであると判定し、前記検出電流の下限値が負の値の場合は不連続モードであると判定しているため、実際の負荷電流を測定せずとも、検出電流から判定できるので、効率良く迅速に判断することができる。

[0075] また、スイッチング電流制御回路100自身は、スイッチング素子55およびインダクタ53を介してLED52に接続され、スイッチングパルスの周波数を上げた場合にも、LED52に流れる平均電流が一定となるように制御するようにできる。これにより、消費電力を抑制することができる。

[0076] [第2の実施の形態]

(比較例)

第2の実施の形態に係るスイッチング電流制御回路100について説明するに先立って、比較例に係るスイッチング電流制御回路について、前出の図8および図9を参照して説明する。

[0077] 図8は、発光ダイオード52の駆動回路に、従来のスイッチング電流制御回路が接続された回路構成を示す。

[0078] 直流電源51に発光ダイオード52のアノード側が接続されており、発光ダイオード52のカソード側は、インダクタ53に接続されている。直列に接続された発光ダイオード52とインダクタ53に並列にダイオード54が設けられている。インダクタ53及びダイオード54のカソード側には、スイッチング素子としてのFET（電界効果トランジスタ）55が接続され、FET55に直列に電流検出抵抗56が接続されている。

[0079] FET55をスイッチング制御するためのスイッチング電流制御回路70が設けられている。スイッチング電流制御回路70は、比較器（コンパレータ）57、RSフリップフロップ58で構成される。電流検出抵抗56の一

端は比較器 57 のプラス端子に、電流検出抵抗 56 の他端は GND に接続されている。コンパレータ 57 の出力は RS フリップフロップ 58 の R 端子に、RS フリップフロップ 58 の出力は FET 55 のゲートに接続されている。

[0080] ここで、スイッチング電流制御回路 70 を用いて、発光ダイオード 52 に流れる電流制御を行なう。図 13 のタイムチャートにおける SW 信号は、RS フリップフロップ 58 の出力信号であり、FET 55 のゲートへの入力信号である。図 9 の I_{out} は、発光ダイオード 52 及びインダクタ 53 を流れる電流である。また、オン期間中は、電流検出抵抗 56 を流れる電流 I_{sen} は、 I_{out} と同じ電流となる。

[0081] FET 55 がオンになった直後は、 I_{sen} の値は低いため、コンパレータ 57 のプラス端子にかかる電圧は低く、電流検出抵抗 56 にかかる電圧は V_{pk} よりも低い。ここで、 V_{pk} は発光ダイオード 52 に流れる電流 I_{out} のピーク電流（上限値） I_{pk} に対応したピーク電圧を示す。

[0082] この場合、コンパレータ 57 の出力はローレベルであり、RS フリップフロップ 58 の R 端子にはローレベル信号が入力される。このため、S 端子にハイレベルのパルス信号が入力されると、RS フリップフロップ 58 の出力はハイレベル信号となり、オン期間が継続する。

[0083] しかし、時間が経過すると、発光ダイオード 52 に流れる電流 I_{out} は増加していく。この場合、 I_{sen} も増加するので、電流検出抵抗 56 にかかる電圧が、 V_{pk} よりも高くなると、コンパレータ 57 の出力はハイレベルとなり、RS フリップフロップ 58 の R 端子にはハイレベル信号が入力される。このため、S 端子がローレベルの状態であると、RS フリップフロップ 58 の出力はローレベル信号となり、この期間が図 9 のオフ期間である。

[0084] オフ期間では、FET 55 がオフとなり、FET 55 及び電流検出抵抗 56 には電流が流れなくなる。しかし、発光ダイオード 52、インダクタ 53、ダイオード 54 で閉回路を形成している。FET 55 がオフになると、それまでインダクタ 53 に流れていた電流が遮断されるので、インダクタ 53

には逆起電力が発生する。インダクタ 5 3 の逆起電力により、ダイオード 5 4 が導通し、発光ダイオード 5 2、インダクタ 5 3、ダイオード 5 4 の閉回路に電流が流れる。インダクタ 5 3 の逆起電力は、次第に減少していくので、 I_{out} も直線的に減少していく。

[0085] 図 9 のように、ピーク電流 I_{pk} を定めている場合には、図のようにオン期間中に I_{out} が直線的に増加していき、 I_{pk} に達すると、オフ期間に切り替わる。オフ期間では、FET 5 5 がオフとなるので、 I_{out} は、直線的に減少していく。一定の電流値まで減少すると、また、オン期間となり、直流電源 5 1 から電流が供給されて、 I_{out} が直線的に増加する。このように、オンとオフを繰り返しながら、発光ダイオード 5 2 の負荷電流が制御されている。

[0086] 図 9 に示すように、 I_{out} は、三角波形状になるが、発光ダイオード 5 2 を流れる電流は、 I_{out} の積分値により求められる。これにより、発光ダイオード 5 2 を流れる電流の平均値が算出される。

[0087] しかし、比較例に係るスイッチング電流制御回路では、直流電源 5 1 の電圧 V_{in} や発光ダイオード 5 2 の電圧降下 V_{out} 、インダクタ 5 3 のインダクタンス L の値の変化により出力電流 I_{out} が変化してしまう。例えば、 V_{in} の電圧値が大きくなった場合を考えると、 I_{out} の変化は、 I_{out} の三角波形の直線部の傾き ΔI_{ON} 、 ΔI_{OFF} を大きくしてしまう。

[0088] ピーク電流 I_{pk} は固定されており、 I_{out} が I_{pk} を越えたときにオフ期間になるので、 I_{out} の電流波形が図 9 の破線のように大きく変わり、オン・オフの期間が短くなるとともに、デューティサイクルも変化する。このため、 V_{in} の変動前と変動後の I_{out} の波形を見ると、三角波形の面積は明らかに異なり、負荷電流の平均値を一定にすることが難しい。

[0089] (第 2 の実施の形態に係るスイッチング電流制御回路)

図 10 に示すように、第 2 の実施の形態に係るスイッチング電流制御回路 100 は、所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路である。

[0090] 具体的には、スイッチング動作を行うためのスイッチングパルスを供給す

るスイッチングパルス供給回路 90 と、スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路 91 と、スイッチングパルスのオン期間における検出電流の直線的な増加率を算出し、該増加率を用いてスイッチング動作のオン期間終了まで検出電流が増加したと仮定した場合の最大電流値を算出して該最大電流値をピーク電流値とするピーク電流算出回路 3 とを備え、検出電流がピーク電流算出回路 3 により算出されたピーク電流値を越えたときに比較回路 91 の出力信号によりスイッチングパルスがオフ期間となるものである。

[0091] 図 10 は、本発明のスイッチング電流制御回路 100 の構成例を示す。前出の図 8 と同じ符号を付しているものは、同じ回路素子を示す。したがって、負荷の一例として図 8 の発光ダイオード 52 を考え、かつ発光ダイオード 52 の駆動回路部分についても同様に構成している。すなわち、直流電源 51、インダクタ 53、ダイオード 54、FET 55、電流検出抵抗 56 等は、図 8 と同様に接続されている。

[0092] スwitchング電流制御回路 100 は、アナログ回路部 100a とデジタル回路部 100b とで構成されている。アナログ回路部 100a は、スイッチングパルス供給回路 90 と比較回路 91 で構成される。比較回路 91 は比較器 1 により構成されている。スイッチングパルス供給回路 90 は、レベルシフタ 9、P 型 MOS の FET 10、N 型 MOS の FET 11 等で構成される。FET 10 のゲートと FET 11 のゲートが接続され、FET 10 のソースと FET 11 のドレインが接続されており、FET 10 と FET 11 とでインバータを構成している。

[0093] デジタル回路部 100b は、A/D 変換器 2、ピーク電流算出回路 3、A/D/D A オフセット設定部 4、D/A 変換回路 5、タイミング制御回路 6、論理回路 7、RS フリップフロップ 8、初期値設定部 12 で構成されている。

[0094] 図 10 のスイッチング電流制御回路 100 によって、どのように、発光ダイオード 52 に流れる電流を制御するかを示すのが、図 11 である。図 11

の上段は、発光ダイオード 5 2 に流れる電流の変化を示す。一方、下段は、電流検出抵抗 5 6 を流れる I_{sen} の変化を示す。スイッチング動作（スイッチングパルス）のオン期間中、電流 I_{sen} は、発光ダイオードを流れる電流と同じ電流となる。ただし、スイッチングパルスのオフ期間中は、FET 5 5 がオフとなるため、電流 I_{sen} は 0 となる。

[0095] また、SN は FET 5 5 のスイッチング動作により、オフからオンに切り替わる際に、図 1 1 に示すように、スイッチングノイズが発生する。このスイッチングノイズ期間を避けて、オン期間において、 t_0 、 t_1 の 2 つの時点で、SN のデータのサンプリングを行なう。 t_0 のときの SN のデータを y_0 、 t_1 のときの SN のデータを y_1 とする。

[0096] また、図中の Y_1 、 Y_0 は、初期値設定部 1 2 により設定される値であり、 Y_1 は負荷電流又は検出電流のピーク電流値（上限電流値）、 Y_0 は負荷電流又は検出電流の下限電流値である。最初に設定されているピーク電流値を Y_1 、下限値を Y_0 とし、これらの Y_1 、 Y_0 に基づいてオン・オフされる期間のオン期間を T_{on} とする。また、最初のときの電流 I_{sen} 、及び発光ダイオード 5 2 に流れる電流を破線で示し、そのときのオフ期間を Off_2 としている。

[0097] ここで、例えば、直流電源 5 1 の電圧 V_{in} や発光ダイオード 5 2 の電圧降下 V_{out} 、インダクタ 5 3 のインダクタンス L に変化があった場合、発光ダイオード 5 2 に流れる電流が変化し、電流 I_{sen} も変化したとする。変化した電流 I_{sen} を実線の SN で示す。また、 $t_0 = T_{on} \times (1/4)$ 、 $t_1 = T_{on} \times (3/4)$ の時点のデータが y_0 、 y_1 である。これらのデータにより、SN (I_{sen}) の直線部分の傾き SL が求まる。この傾き SL は、電流 I_{sen} の増加率でもあり、発光ダイオード 5 2 を流れる電流の増加率でもある。

[0098] 傾き $SL = (y_1 - y_0) / (t_1 - t_0)$ となる。この傾き SL に応じて、SN のピーク電流値を変化させる。

[0099] 変化後の電流 I_{sen} の平均値 AVE は、 $AVE = (y_0 + y_1) / 2$ となる。新たなピーク電流値 Y_{11} は、 $Y_{11} = AVE + SL \times (T_{on} / 2)$ とな

るように設定する。すなわち、 $Y_{11} = AVE + ((y_1 - y_0) / 2) \times (T_{on} / 2)$ となるように設定する。また、下限値 Y_0 は、変化させずに固定する。

[0100] これは、スイッチングパルスのオン期間における検出電流 I_{sen} の直線的な増加率を算出し、この増加率を用いてスイッチングパルスのオン期間終了まで検出電流 I_{sen} が増加したと仮定した場合の最大電流値を算出していることに等しい。また、このように設定することで、スイッチング動作の周期は変化するが、スイッチング動作のオン期間である T_{on} は変化しない。ピーク電流値が Y_{11} に変更された場合の発光ダイオード 52 を流れる電流の変化を図 11 の上段の実線で示す。

[0101] この状態から、再度、 SN データの直線の傾き SL が変化した場合は、上記と同じアルゴリズムにより、新上限値 Y_{12} が算出される。例えば、上限値 Y_{11} と下限値 Y_0 の平均値を AVE_1 とする。また、オン期間中に 2 点でサンプリングしたデータを y_2 、 y_3 とする。この 2 点のサンプリングは、 T_{on} の $1/4$ の時点と、 T_{on} の $3/4$ の時点で行なわれる。

[0102] $AVE_1 = (y_2 + y_3) / 2$

$Y_{12} = AVE_1 + ((y_3 - y_2) / 2) \times (T_{on} / 2)$ となる。

[0103] ここで、第 1 の実施の形態に係るスイッチング電流制御回路 100 の説明で用いた図 3 のフローチャートおよび図 4 のタイミングチャートを参照する。

[0104] 図 3 は、電流 I_{sen} の直線の傾き SL の変化を考慮しない場合の通常の動作を示すフローチャート図である。

[0105] 図 4 では、マスタークロック $MCLK$ を例えば $5MHz$ としている。タイミング制御回路 6 からの $SWCONVEN$ がイネーブル期間であると、スイッチングパルス供給回路 90 の動作が可能になるので、最初に $SWCONVEN$ がイネーブル期間か否か判定する（ステップ S1）。 $SWCONVEN$ がイネーブル期間でなければ、オフモード設定がされ（Sステップ 2）、再度ステップ S1 に戻る。

- [0106] SWCONVENがイネーブル期間であれば、次のステップS3に進み、電流検出期間（オン期間）であるかどうか判定される。電流検出期間でない場合は、再度ステップS3に戻る。電流検出期間である場合には、ステップS4に進みブランク期間信号であるSETCLK信号を発生する。図4に示すISENSは、図10に示されるIsens信号であり、比較回路91に電圧として検出されるVsensに相当する。電圧Vsensが検出され、電流検出抵抗56の値がわかれば、電流検出抵抗56に流れる電流Isenがわかる。ここでは、電流信号を用いた方が動作の説明が行いやすいので、ISENS信号を、電流Isenと同じ電流信号であるとして説明する。
- [0107] 図4に示されるように、ISENS信号は、FET55がオフからオンに切り替わるときに、スイッチングノイズを発生させるので、この部分の電流を検出しないようにマスクをかけている。これが、SETCLKのBlank Timeに相当し、例えば400nsとすることができる。
- [0108] そして、ISENS信号が、あらかじめ設定されたピーク電流値Ipeakと比較し（ステップS5）、Ipeakよりも大きい場合はRSTCLKを発生させた後（ステップS7）、ステップS3に戻る。この場合は、RSTCLKが発生し、IpeakよりもISENSが大きくなっているので、比較器1の出力IPEAKDETはハイレベルとなっている。論理回路7の出力は、ハイレベル信号となり、RSフリップフロップ8のR端子に入力される。RSフリップフロップ8の出力はローレベル信号となった後、レベルシフト器9によりDC電圧レベルが調整され、ハイレベル信号となる。このハイレベル信号は、FET10, 11によるインバータ回路でローレベル信号に変換される。すなわち、VOUTがローレベル信号となるのでFET55はオフとなる。
- [0109] 一方、ISENSが、Ipeakと同じか、Ipeakより小さい場合は、ステップS6に進み、スイッチングパルスのオン・オフ期間のデューティが最大かどうか判定される。デューティが最大でない場合はステップS5に戻り、デューティが最大である場合には、RSTCLKを発生させ（ステップS7）

、ステップS 3に戻る。この場合も、電流 I S E N S がピーク電流値 I peak よりも大きい場合と同様、V O U T がローレベル信号となるので F E T 5 5 はオフとなる。

[0110] 次に、上記通常の動作から I S E N S 信号の直線の傾き S L が変化し、ピーク電流値（上限値）の変更を行う場合の動作について説明する。まず、図 1 0 の A / D 変換器 2 は、例えば 1 0 ビット A / D 変換可能なデバイスが用いられる。また、A / D 変換器 2 は、2 個のサンプルホールドと 1 個の A D コンバータから構成される。A / D 変換器 2 からは、A / D 変換された y 0 、 y 1 の値が出力され、これらはピーク電流算出回路 3 に入力される。

[0111] D / A 変換回路 5 は、デコーダ型 D / A 変換回路であり、D A C デコーダ 5 a と R - 2 R ラダー型 D A 変換器 5 b とで構成されている。A D / D A オフセット設定部 4 は、あらかじめ測定された A / D 変換器 2 の A D オフセット値が、D / A 変換回路 5 の D A オフセット値が記憶されている。A / D 変換器 2、D / A 変換回路 5 の駆動時には、ピーク電流算出回路 3 において、A / D 変換データからは A D オフセット値が減算され、D / A 変換値からは D A オフセット値が減算される。

[0112] 図 1 2 は、本発明のスイッチング電流制御回路で、ピーク電流値の変更を行う場合のスイッチングパルスの 1 周期毎に割り当てられる動作モードの遷移を示す図である。図 1 3 は、図 1 2 の動作モードの遷移に対応したタイムチャート図を示す。なお、図 1 2 の動作モードのコントロール等については、制御部（図示せず）から制御信号が送信される。最初はアイドル状態であり、非動作の状態となっている。図 4 の場合と同様、まず、最初に S W C O N V E N がイネーブル期間か否か判定され、P W M がハイレベルかどうか判定される。P W M がハイレベルのときに、スイッチング動作のオン・オフ期間の周期の変更がイネーブルされる。

[0113] 上記の条件で、最初の第 1 のスイッチングパルスの 1 周期に、サンプリングモードに移行する。サンプリングモードでは、図 1 1 に示したように、I S E N S の t 0 における電流値 y 0 、 t 1 における電流値 y 1 をサンプリング

グして保持したいが、A/D変換器2は、1個のADコンバータを備えているだけであるので、一度に2つの値を保持してA/D変換することはできない。

[0114] そこで、サンプリングモードでは、図13に示すように、SMPHLD1信号の第1の立ち上がりのタイミング(1)で、A/D変換器2内のサンプルホールドにより y_0 をサンプルホールドし、SMPHLD2信号の第1の立ち上がりのタイミング(2)で電流値 y_0 をA/D変換して出力する。この y_0 のA/D変換出力は、ADOUT信号としてピーク電流算出回路3に入力される。さらに、第1のスイッチングパルスでは、SMPHLD1信号の第2の立ち上がりのタイミング(3)で、A/D変換器2のサンプルホールドにより電流値 y_1 をサンプルホールドする。

[0115] サンプリングモードが終了すると、次のスイッチング動作のオン・オフサイクルである第2のスイッチングパルスの周期に移行する。第2のスイッチングパルスの周期は、A/D変換モードとなる。A/D変換モードでは、サンプリングモードでサンプリングホールドした電流値 y_1 を、SMPHLD2信号の第2の立ち上がりのタイミング(4)で、A/D変換器2によりA/D変換して出力する。この y_1 のA/D変換出力は、ADOUT信号としてピーク電流算出回路3に入力される。

[0116] A/D変換モードが終了すると、次のスイッチング動作のオン・オフサイクルである第3のスイッチングパルスの周期に移行する。第3のスイッチングパルスの周期は計算モードとなる。計算モードでは、A/D変換器2は、電流ISENSのA/D変換のみを行い、 y_0 、 y_1 のデータのサンプルホールドは行わない。電流ISENSのA/D変換データは、ADOUT信号としてピーク電流算出回路3に出力される。

[0117] 計算モードでは、ピーク電流算出回路3に入力された y_0 、 y_1 、及び、初期値設定部12で記憶されている初期値の下限值 Y_0 、上限値 Y_1 、オン期間 T_{on} 、また、AD/DAオフセット設定部4に記憶されているADオフセット値、DAオフセット値等を用いることにより、ピーク電流算出回路

3が新ピーク電流値Y11を算出する。新ピーク電流値Y11がIPEAKSETというデジタル信号として、ピーク電流算出回路3から出力され、D/A変換回路5に供給される。D/A変換回路5は、IPEAKSETをD/A変換してIDACというアナログ信号として出力され、比較器1の新しい閾値電圧となる。

[0118] 比較器1の新しい閾値電圧IDACを電流ISENS（電圧Vsens）が越えた時点で、比較器1の出力IPEAKDETがハイレベル信号となるため、その後の論理回路7、RSフリップフロップ8等を経た出力のSWON信号は、ローレベル信号となり、レベルシフト器9によりDC電圧レベルが変更されて、ハイレベル信号となる。このハイレベル信号は、次のFET10, 11によるインバータによりローレベル信号となって、FET55はオフとなる。つまり、図13の信号で説明すると、新ピーク電流値Ipeakを電流ISENSが越えたタイミング（5）でFET55がオフとなる。このようにして、図12のサンプリングモード、A/D変換モード、計算モードが繰り返される。

[0119] 以上のように、スイッチング電流制御回路で設定するピーク電流値を、検出電流であるIsenの直線的な増加率（増加割合）に応じて、その都度、ピーク電流値を変化させている。また、ピーク電流値の変更については、検出電流Isenの直線的な増加率を維持したまま、最初に設定されたスイッチング周期のオン期間の終了時点まで到達した場合の最大電流値を、新しいピーク電流値としている。このため、スイッチング動作のオンオフサイクルは変化するが、スイッチング動作のオン期間は、最初の設定から変化せず、固定された状態となる。このように動作させるようにしているので、検出電流の増加割合が変化したとしても、発光ダイオードを流れる電流の積分値は、ほぼ一定の値を保つことができるので、負荷を流れる平均電流値が変動しない。

[0120] 上記のことを、実験により確かめた。図14（b）に示すように、本実施の形態のスイッチング電流制御回路100を評価用基板上に配置し、入力電圧用の可変直流電源VIN、発光ダイオード52を接続した。すなわち、図

8の直流電源51、発光ダイオード52、インダクタ53、FET55、電流検出抵抗56の構成部分は、そのまま用い、直流電源51の替わりに可変直流電源VINを用いた回路構成とした。また、発光ダイオード52については、1WのLEDを6個直列に接続したものをを用いた。

[0121] ここで、入力電圧VINを変化させて電流計60で発光ダイオード52を流れる電流ILを測定した。この結果を、図14(a)に示す。図14(a)の横軸はVIN(V)を、縦軸は電流IL(mA)を示す。電流ILは、入力電圧VINの変化に対して、ほとんど変動しておらず、好ましい結果が得られた。Aの領域は限界となる最大デューティサイクル(50%)によるものであり、問題ではない。

[0122] 図15(b)は、図14(b)と基本的に回路素子の接続は同じであるが、電源を可変直流電源VINから100Vの交流電源に変更し、この交流電源から直流電圧に変換して入力電圧として用いた。また、発光ダイオード52は1WのLEDを15個直列に接続したものをを用いた。この測定結果を図15(a)に示す。図15(a)の横軸は直流の入力電圧VL(V)を、縦軸は発光ダイオード52を流れる電流IL(mA)を示す。入力電圧VLを変化させても、電流ILにはほとんど変化がなく、好ましい結果が得られた。

[0123] 図16は、図14又は図15の構成において、電源電圧変動と、LEDを流れる電流ILと比較器1に入力される電圧ISENSEをそれぞれ測定した結果を示す。電源電圧変動については1スケールが5Vを、電圧ISENSEについては1スケールが200mVを示す。ここで、電圧ISENSEの平均が500mV(図のDのライン)になるように帰還している。図16からもわかるように、電源電圧変動があっても、ILの平均電流は、335mAに維持されている。

[0124] 図17は、本発明のスイッチング電流制御回路を用いて、図14又は図15のように構成して、入力電圧を変化させて、発光ダイオードに流れる電流ILを測定した結果(入力電圧特性X)と、他社製品の従来のスイッチング

電流制御回路を用いて図 1 4 又は図 1 5 のように構成し、同様に、入力電圧を変化させて、発光ダイオードに流れる電流 I_L を測定した結果（入力電圧特性 Y、Z）とを比較したものである。測定に際して電流検出抵抗 5 6 は、 $1\ \Omega$ とした。縦軸は電流 I_L (mA) を、横軸は入力電圧 (V) を示す。

[0125] 本実施の形態のスイッチング電流制御回路による入力電圧特性 X からわかるように、入力電圧が変化しても、一定の電流が発光ダイオードに流れていることがわかる。これに対して、比較例のスイッチング電流制御回路を用いた入力電圧特性については、特に Z 等は入力電圧の変化に伴い、発光ダイオードに流れる電流が減少しており、好ましくない。このように、本実施の形態によれば、発光ダイオードに流れる電流が入力電圧に対して一定のため、力率を改善したり、フリッカを防止したりすることができる。このため、PFC（力率改善）回路や電解コンデンサを持たない回路等に適用することができる。

[0126] 図 1 8 は、図 1 7 で行った測定において、発光ダイオードに流れる電流 I_L と発光ダイオードの出力電圧との関係（出力電圧特性）を測定した結果を示す。縦軸は電流 I_L (mA) を、横軸は出力電圧 (V) を示す。本実施の形態のスイッチング電流制御回路 1 0 0 による出力電圧特性 X からわかるように、入力電圧が変化しても、一定の電流が発光ダイオードに流れているとともに、出力電圧も一定に維持されることがわかる。これに対して、比較例のスイッチング回路による測定結果である Y、Z は、ともに出力電圧が大きくなると、電流 I_L が減少している。

[0127] このように、本実施の形態のスイッチング電流制御回路 1 0 0 は、電流 I_L が発光ダイオードの電圧降下の大きさに影響されないことがわかる。したがって、本実施の形態のスイッチング電流制御回路 1 0 0 は、様々な LED を複数用いて直列接続した場合にも適用することができる。

[0128] 以上述べたように、本実施の形態のスイッチング電流制御回路 1 0 0 によれば、発光ダイオードを流れる平均電流は、直流電源 5 1 の電圧 V_{in} や発光ダイオード 5 2 の電圧降下、インダクタ 5 3 のインダクタンス L に変化があ

った場合でも、上記のように、検出電流 I_{sen} (I_{SENSE}) の増加率に応じてピーク電流値を変更させ、かつスイッチング期間のオン期間を変えないようにしている。このため、発光ダイオードを流れる平均電流は、外部抵抗となる電流検出抵抗 56 以外の素子から影響を受けることがなくなるので、発光ダイオードを流れる平均電流値を外部抵抗のみを変更することにより、適宜設定することができる。

[0129] 即ち、スイッチングパルスのオン期間における検出電流の直線的な増加率を算出し、該増加率を用いてスイッチング動作のオン期間終了まで検出電流が増加したと仮定した場合の最大電流値を算出して、この最大電流値をピーク電流値に置き換えるようにしている。

[0130] つまり、比較回路に入力されるピーク電流値は、検出電流の直線的な増加率に応じて変化し、検出電流の直線的な増加率が大きくなるとピーク電流値も大きくなり、検出電流の直線的な増加率が小さくなるとピーク電流値も小さくなるので、例えば、検出電流の直線的な増加率が大きくなって、オン・オフの周期が短くなり、オン期間が短くなったとしても、ピーク電流値が大きくなるため、負荷電流の最大値が上昇するので、平均電流を一定に保つことができる。

[0131] [第3の実施の形態]

図19から図29を参照して第3の実施の形態に係るLED調光システムSおよびLED照明機器について説明する。

[0132] (LEDの調光方式)

まず、図19から図21を参照して、LEDの調光方式について簡単に説明する。

[0133] LEDにおける調光方式は大きく分けて、パルス幅変調 (PWM: Pulse Width Modulation) 調光と、位相調光 (トライアック調光) と、リニア調光の3種類がある。

[0134] PWM調光は、LEDの点灯時間と消灯時間を制御することで明るさを調整する方式である。実際には、図19に示すように、PWM調光器401が

ら出力されるPWM信号のデューティ比（オン時間とオフ時間の割合）を調整することで明るさを制御している。

[0135] 但し、点灯と消灯を繰り返す周波数が低いと、人間の目には「チラツキ」と感じてしまう。従って、PWM信号の周波数を十分に高める必要がある。一般照明器具や液晶パネルのバックライトなどの用途であれば、200Hz程度に設定すれば問題はない。一方で、製造ラインなどで用いるマシン・ビジョンなどの用途では、200Hz程度だと取得した画像に干渉縞が現れてしまう可能性が高い。このような用途では1kHz程度と高めに設定する必要がある。

[0136] なお、PWM調光曲線を示すグラフにおいて、曲線a、b（図19では両極曲線は略重なっている）は、DC出力の場合と、バースト出力の場合のPWMデューティと電流比との関係を示す。

[0137] ここで、LEDの明るさを制御する方式としては、LEDに供給する電圧（又は電流）を変化させて調光する電圧調光方式と、PWMパルスによりランプを間欠的に点灯するバースト調光方式がある。前記曲線aは電圧調光方式の場合、前記曲線bはバースト調光方式の場合をそれぞれ示す。

[0138] 一方、トライアック調光は、図20に示すように、トライアック調光器32が備えるトライアックにトリガを与えるタイミング（位相角）を制御することで明るさを調整する。

[0139] トライアック調光は、一般住宅に設置した照明器具の明るさ調整で主に使われている方式である。サイリスタを向かい合わせに（逆並列に）組み合わせた構造のトライアックを用い、入力された交流の一部分を切り出すことで明るさを調整する仕組みである。

[0140] より詳細には、交流波形の途中でトライアックにトリガを与えると、ダイオードは導通状態（オン状態）に変化し、交流波形が0Vになるまでその状態が続く。

[0141] トリガを与えるタイミング、つまり交流波形を切り出す角度を制御して明るさを調整する。トリガを与えるタイミングが早ければ（角度が小さければ

）明るくなり、タイミングが遅ければ（角度が大きければ）暗くなる。

[0142] なお、このトライアック調光は、明るさが投入電力の実効値で決まる白熱電球との整合性が高いという特徴を有する。

[0143] トライアック調光曲線のグラフにおいて、曲線 c は DC 出力、曲線 d はバースト出力の場合を示す。なお、トライアック調光曲線のグラフにおいてエリア E 1 は、人の目の感度に応じて調光を行うのに適した範囲を示す。

[0144] また、リニア調光は、図 2 1 に示すように、ボリューム抵抗器やスライド抵抗器などの可変抵抗 4 0 2 により直流電圧を変化させて調光を行う方式である。

[0145] リニア調光曲線のグラフにおいて、曲線 e は DC 出力、曲線 f はバースト出力の場合を示す。なお、リニア調光曲線のグラフにおいてエリア E 2 は、人の目の感度に応じて調光を行うのに適した範囲を示す。

[0146] ここで、トライアック調光器 3 2 は、トライアックがオンすると保持電流を流し続ける必要があり、保持電流を下回ると、トライアックがオフしてしまう。

[0147] 即ち、トライアック調光器が備えるトライアックに対する保持電流が、平滑コンデンサの放電等により閾値以下となるとトライアックがオフとなり、再びオンとなった場合にも同様の原因によりトライアックが再度オフとなる。

[0148] このようなオン・オフ状態が繰り返されることにより、LED の使用者に不快感を与えるフリッカ（チラツキ）を生じる。

[0149] 第 3 の実施の形態に係る LED 調光システム S では、トライアック調光器 3 2 の出力側に接続されるブリーダ抵抗 R 1 と、ブリーダ抵抗 R 1 に流れる電流を制御するブリーダ制御部 2 1 とを設けている。

[0150] （第 3 の実施の形態に係る LED 調光システム）

第 3 の実施の形態に係る LED 調光システム S は、第 1 または第 2 の実施の形態に係るスイッチング電流制御回路 1 0 0 を備え、LED 5 2 の調光を行う LED 調光システムであって、交流電源 3 0 の一端側に接続されるブリ

ツジ形全波整流回路 31 と、交流電源 30 の他端側に接続されるトライアック調光器 32 と、トライアック調光器 32 の出力側に接続されるブリーダ抵抗 R1 と、ブリーダ抵抗 R1 に流れる電流を制御するブリーダ制御部 21 とを備える。

[0151] ブリーダ制御部 21 は、ブリーダ抵抗 R1 を介してトライアック調光器 32 に対してオン状態を保持する所定の保持電流を供給するように制御する。

[0152] ここで、図 22 のブロック図を参照して、LED 調光システム S の全体構成について説明する。

[0153] LED 調光システム S は、大きく分けて、システム全体の制御を司る制御部 20 と、制御部 20 の制御により点灯される LED (図 22 に示す例では、複数の LED が直列接続されている) 52 と、LED 52 のトライアック調光を行う調光部 150 と、調光部 150 が備えるトライアック調光器 32 に対する保持電流を供給するブリーダ回路 40 と、その他の回路構成部材とから構成されている。

[0154] 制御部 20 は、第 1 または第 2 の実施の形態に係るスイッチング電流制御回路 100 と、ブリーダ回路 40 を制御するブリーダ制御部 21 と、トライアック調光、PWM 調光、リニア調光のいずれかを選択する調光インターフェイス部 22 と、システム全体への電源供給を行う電源供給部 23 と、調光制御を行う調光制御部 24 とを備える。

[0155] 図 22 は、スイッチング電流制御回路 100 についての概略構成を示す。スイッチング電流制御回路 100 の詳細な構成は、第 1 または第 2 の実施の形態の説明で述べたので、同一部材には同一符号を付して説明は省略する。なお、OSC 201 は、20~30 kHz の信号を生成する発振器である。

[0156] ブリーダ制御部 21 は、後述するスイッチング素子 TR2 のゲート電極に接続される NOT 回路 212 に対して論理演算結果を出力するブリーダ制御論理回路 213 と、後述する制御抵抗 R2 およびモニタ抵抗 R3 に接続されて増幅信号をブリーダ制御論理回路 213 に入力するオペアンプ 210 と、ドレイン電極が制御抵抗 R2 に接続され、ゲート電極がブリーダ制御論理回

路 2 1 3 に接続される F E T 2 1 1 とを備える。

[0157] 調光インターフェイス部 2 2 は、トライアック入力側に接続されるオペアンプ 2 2 1 と、PWM 入力側に接続される N O T 回路 2 2 2 と、リニア入力端 L D とを備え、オペアンプ 2 2 1、N O T 回路 2 2 2 およびリニア出力端は調光制御部 2 4 に接続されている。

[0158] この調光インターフェイス部 2 2 は、トライアック調光器 3 2 を用いた位相調光を行う第 1 の調光モードと、パルス幅変調調光を行う第 2 の調光モードと、可変抵抗を用いたリニア調光を行う第 3 の調光モードとを切り換える切換手段としての機能を果たす。

[0159] 電源供給部 2 3 は、保護回路 2 3 1 と、1 2 V および 3 . 3 V の電源を供給する電源部 2 3 2 とを備える。

[0160] 保護回路 2 3 1 は、例えば、L E D オープン／ショート保護、電源電圧異常保護、温度異常保護、検出端子オープン／ショート保護等の機能を有する。

[0161] 調光制御部 2 4 は、トライアック調光、PWM 調光およびリニア調光の制御を行う調光制御論理回路 2 4 2 と、L E D 5 2 の点灯を緩やかに行うソフトスタートタイマ 2 4 1 とを備える。

[0162] 調光部 1 5 0 は、交流電源（A C 電源）3 0 と、交流電源 3 0 の一端側に接続されるブリッジダイオードで構成されるブリッジ形全波整流回路 3 1 と、交流電源 3 0 の他端側に接続されるトライアック調光器 3 2 と、トライアック調光器 3 2 の出力側に接続されるブリーダ抵抗 R 1 とを備える。

[0163] なお、交流電源としては、9 0 ~ 2 5 6 V が適用される。

[0164] ブリッジ形全波整流回路 3 1 を構成するブリッジダイオードのダイオード D 2、D 3 のアノードには、後述する制御抵抗 R 2 およびモニタ抵抗 R 3 が接続されている。

[0165] また、ブリッジ形全波整流回路 3 1 を構成するブリッジダイオードのダイオード D 1、D 4 のカソードは、ダイオード D_{IN} を介して L E D 5 2 に接続されている。

[0166] ブリダ回路40は、スイッチング素子としてのFET401のドレイン電極に接続されるブリダ抵抗R1と、FET401のソース電極に接続される制御抵抗R2と、制御抵抗R2にノードN1を介して接続されるモニタ抵抗R3とを備えている。

[0167] また、ノードN2を介して制御抵抗R2およびモニタ抵抗R3は、ブリダ制御部21のオペアンプ210に接続されている。

[0168] ブリダ抵抗R1は、ブリッジ形全波整流回路31を介してトライアック調光器32のトライアックに保持電流を供給する抵抗であり、本実施の形態では抵抗値は1K Ω とされる。

[0169] また、FET401のソース電極および制御抵抗R2は、ノードN3を介してブリダ制御部21が備えるFET211のドレイン電極に接続される。本実施の形態では、制御抵抗R2の抵抗値は330 Ω とされる。

[0170] モニタ抵抗R3は、トライアック調光器32のトライアックに供給される保持電流をモニタする抵抗である。本実施の形態では、モニタ抵抗R3の抵抗値は2 Ω とされる。

[0171] また、調光インターフェイス部22のトライアック入力端VHVには、ノードN10を介して昇圧抵抗 R_{VHV1} 、 R_{VHV2} 等が接続されている。

[0172] (ブリダ制御)

図23から図25を参照して、ブリダ制御部21およびブリダ回路40で行われるブリダ制御について説明する。

[0173] ブリダ制御部21は、モニタ抵抗R3に流れる電流値に応じてFET401をオン・オフ制御することで、ブリダ回路40から供給されるブリダ電流を制御し、トライアック調光器32の誤動作を防止する。これにより、LED52のチラツキが抑制される。

[0174] 図23に示す場合は、交流電源(AC電源)30のAC電圧がONで、電圧 $V_{HV} < 400\text{mA}$ の条件である。この場合に、FET211およびFET401は共にONとなり、ブリダ抵抗R1および制御抵抗R2を介してトライアック調光器32のトライアックに十分な電流が供給されるように制

御される。

[0175] 図24に示す場合は、交流電源（AC電源）30の電圧がONで、AC電流が小さい条件、例えば、電圧 $V_{HV} \geq 400\text{ mA}$ 、 $I_{SUP} > -100\text{ mA}$ の条件である。この場合に、FET211はOFF、FET401はONとなる。

[0176] この場合の保持電流 I_{HLD} は、 $I_{HLD} = (V_{GATE} - V_f) / R2 = (12\text{ [V]} - 2\text{ [V]}) / 330\text{ [\Omega]} = \text{約} 30\text{ mA}$ となる。

[0177] なお、保持電流 I_{HLD} は、制御抵抗R2の抵抗値の変更等により20～50 mAとすることができる。

[0178] この保持電流 I_{HLD} により、トライアック調光器32のトライアックはオン状態を保持することができ、LED52のチラツキが防止される。

[0179] 図25に示す場合は、交流電源（AC電源）30の電圧がONで、AC電流が大きい条件、例えば、電圧 $V_{HV} \geq 400\text{ mA}$ 、 $I_{SUP} \leq -100\text{ mA}$ の条件である。この場合に、FET211とFET401は共にOFFとなる。

[0180] この場合には、図25に示すように、トライアック調光器32のトライアックに供給される電流Aが逡減した場合にも、トライアックのオン状態を保持する保持電流Bが流れる。

[0181] したがって、トライアックはオン状態を保持することができ、LED52のチラツキが防止される。

[0182] （LED照明機器への適用）

LED52を用いた照明機器としては、リビングルーム等の天井に配置されるシーリンランプ（シーリングライト型LED照明機器）、白熱球に代えて使用される電球型ランプ（電球型LED照明機器）やスポットライト型LED照明機器などがある。

[0183] 図26には、シーリングライト型LED照明機器300を例示する。シーリングライト型LED照明機器300は、例えば、消費電力（41W）、光色（昼白色+電球色）、器具光束（3220lm）、適用畳数（8畳）、幅

(500mm)、奥行(500mm)、高さ(39mm)、重量(2.8kg)である。

[0184] シーリングライト型LED照明機器300は、例えば図29(a)に示すようにPWM調光方式を用いることができる。

[0185] 図29(a)に示すように、例えば力率改善(PFC: Power Factor Correction)回路465、ドライバ461、462、無線操作で機器を制御するマイクロコンピュータ450等を備えている。

[0186] そして、シーリングライト型LED照明機器300に本実施の形態に係るLED調光システムSを適用する場合には、調光インターフェイス部22で、パルス幅変調調光を行う第2の調光モードに切り替えて制御される。

[0187] 図27には、電球型LED照明機器301、302を例示する。

[0188] 図27(a)の電球型LED照明機器301は昼白色、図27(b)の電球型LED照明機器301は電球色の光を発する。

[0189] 電球型LED照明機器301、302は共に、例えば、消費電力(6W)、光束(390lm)、寿命(40000時間)、口金規格(E26)とされる。

[0190] そして、電球型LED照明機器301、302に本実施の形態に係るLED調光システムSを適用する場合には、調光インターフェイス部22で、トライアック調光器32を用いた位相調光を行う第1の調光モードに切り替えて制御される。即ち、概略的には図29(b)に示すようにLED調光システムSを適用したドライバ463を用いてトライアック調光が行われる。

[0191] これにより、上述のようにトライアック調光器32の誤動作が防止され、電球型LED照明機器301、302のチラツキが防止される。

[0192] 図28には、スポットライト型LED照明機器303を例示する。

[0193] スポットライト型LED照明機器303は、レール304に取付け具305を介して移動自在に取付けられる。

[0194] スポットライト型LED照明機器303は、例えば、消費電力(4W)、光束(256lm)、口金規格(E17)とされる。

[0195] そして、スポットライト型ＬＥＤ照明機器３０３に本実施の形態に係るＬＥＤ調光システムＳを適用する場合には、調光インターフェイス部２２で、可変抵抗を用いたりニア調光を行う第３の調光モードに切り替えて制御される。

[0196] 例えば、図２９（ｃ）に示すように、スライド抵抗４５２とドライバ４６４を用いて調光制御が行われる。

[0197] [その他の実施の形態]

上記のように、実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

産業上の利用可能性

[0198] 本発明のスイッチング電流制御回路は、ＬＥＤ等の定電流駆動を行うデバイスや、定電流で駆動するデバイスのドライバ用集積回路等に適用することができる。

[0199] また、本発明のＬＥＤ調光システムは、電球型ＬＥＤ照明機器またはシーリングライト型ＬＥＤ照明機器に適用することができる。

符号の説明

[0200] １、１４、５７…コンパレータ（比較器）

２…Ａ／Ｄ変換器

３…演算制御回路

４…ＡＤ／ＤＡオフセット設定部

５…Ｄ／Ａ変換回路

５ａ…ＤＡＣデコーダ

５ｂ…Ｒ－２Ｒ型ＤＡ変換器

６…タイミング制御回路

７…論理回路

８、５８…ＲＳフリップフロップ

9…レベルシフト器
10、11、55、211、401…FET
12…初期値設定部
13…周波数設定部（周波数設定回路）
15…周波数カウンタ
20…制御部
21…ブリーダ制御部
22…調光インターフェイス部
23…電源供給部
24…調光制御部
30…交流電源
31…ブリッジ形全波整流回路
32…トライアック調光器
40…ブリーダ回路
51…直流電源
52、53…発光ダイオード
54…ダイオード
56…電流検出抵抗
60…電流計
70、100…スイッチング電流制御回路
90…スイッチングパルス供給回路
91…比較回路
100a…アナログ回路部
100b…デジタル回路部
150…調光部
201…OSC
210、221…オペアンプ
212、222…NOT回路

- 2 1 3 …ブリーダ制御論理回路
- 2 3 1 …保護回路
- 2 3 2 …電源部
- 2 4 1 …ソフトスタートタイマ
- 2 4 2 …調光制御論理回路
- 3 0 0 …シーリングライト型ＬＥＤ照明機器
- 3 0 1 …電球型ＬＥＤ照明機器
- 3 0 3 …スポットライト型ＬＥＤ照明機器
- 3 0 4 …レール
- 3 0 5 …取付け具
- 4 0 1 …ＰＷＭ調光器
- 4 0 2 …可変抵抗
- 4 5 0 …マイクロコンピュータ
- 4 5 2 …スライド抵抗
- 4 6 1、4 6 3、4 6 4 …ドライバ
- 4 6 5 …ＰＦＣ回路

請求の範囲

- [請求項1] 所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路であって、
- 前記スイッチング動作を行うためのスイッチングパルスを供給するスイッチングパルス供給回路と、
- 前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路と、
- 前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してデジタルデータに変換するA／D変換回路と、
- 前記A／D変換回路から出力される検出電流のデータに基づいて、前記スイッチングパルスのオフからオンに切り替えるタイミングを与える検出電流の下限值を算出する演算制御回路と
- を備え、
- 前記演算制御回路の算出した前記検出電流の下限值が0以上である場合に連続モードであると判定し、前記検出電流の下限值が負の値の場合は不連続モードであると判定することを特徴とするスイッチング電流制御回路。
- [請求項2] 前記検出電流の下限值により不連続モードであると判定された場合は、前記スイッチングパルスの周波数を上げることにより、前記検出電流の下限值が0以上となるようにすることを特徴とする請求項1に記載のスイッチング電流制御回路。
- [請求項3] 前記スイッチングパルスの周波数を上げることにより、前記検出電流の下限值が0以上なり、さらに所定の値を超えたときに、前記スイッチングパルスの周波数を最初に設定されていた周波数に戻すことを特徴とする請求項2に記載のスイッチング電流制御回路。
- [請求項4] 前記検出電流の下限值により連続モードと判定され、かつ前記スイッチングパルスのオン期間が、前記スイッチングパルスのオンからオフに切り替える際に起きるスイッチングノイズ発生期間以下の長さの場

合には、前記スイッチングパルスの周波数を下げることの特徴とする請求項 1 に記載のスイッチング電流制御回路。

[請求項5] 前記 A/D 変換回路は、前記スイッチングパルスのオン期間における検出電流を逐次 A/D 変換するか、または検出電流の 2 点における電流値を A/D 変換することの特徴とする請求項 1～4 のいずれか 1 項に記載のスイッチング電流制御回路。

[請求項6] 前記 A/D 変換回路は、2つのサンプルホールド回路と 1つの A/D コンバータとで構成されていることを特徴とする請求項 5 に記載のスイッチング電流制御回路。

[請求項7] 前記 A/D 変換回路は、前記スイッチングパルスの 3 周期分の 1 周期毎に動作モードが割り当てられており、第 1 の周期では、前記 A/D 変換回路によって前記検出電流の 2 点における電流値のうち一方の値を A/D 変換出力し、他方の値をサンプルホールドすることの特徴とする請求項 6 に記載のスイッチング電流制御回路。

[請求項8] 前記スイッチングパルスの第 2 の周期では、前記第 1 の周期においてサンプルホールドしていた電流値を、前記 A/D 変換回路によって A/D 変換出力することの特徴とする請求項 7 に記載のスイッチング電流制御回路。

[請求項9] 前記スイッチングパルスの第 3 の周期では、スイッチングパルスのオン期間における検出電流を逐次 A/D 変換することの特徴とする請求項 7 または請求項 8 のいずれかに記載のスイッチング電流制御回路。

[請求項10] スイッチング電流制御回路自身は、スイッチング素子およびインダクタを介して LED に接続され、

前記スイッチングパルスの周波数を上げた場合にも、前記 LED に流れる平均電流が一定となるように制御することの特徴とする請求項 1～9 のいずれか 1 項に記載のスイッチング電流制御回路。

[請求項11] 所定の装置に流れる負荷電流をスイッチング動作により制御するス

スイッチング電流制御回路であって、

前記スイッチング動作を行うためのスイッチングパルスを供給する
スイッチングパルス供給回路と、

前記スイッチングパルスのオン期間における負荷電流を検出電流と
して検出してピーク電流値と比較する比較回路と、

前記スイッチングパルスのオン期間における検出電流の直線的な増
加率を算出し、該増加率を用いてスイッチング動作のオン期間終了ま
で検出電流が増加したと仮定した場合の最大電流値を算出して該最大
電流値を前記ピーク電流値とするピーク電流算出回路と

を備え、

前記検出電流が前記ピーク電流算出回路により算出されたピーク電
流値を越えたときに前記比較回路の出力信号により前記スイッチング
パルスがオフ期間となることを特徴とするスイッチング電流制御回路
。

[請求項12] 前記検出電流の直線的な増加率は、前記スイッチングパルスのオン
期間における検出電流の2点の電流値を検出し、この2点間の直線の
傾きを求めることにより算出されることを特徴とする請求項11に記載
のスイッチング電流制御回路。

[請求項13] 前記スイッチングパルスをオフ期間からオン期間に切り替えるため
に、前記負荷電流に対する固定された下限値が設定されていることを
特徴とする請求項11または請求項12のいずれかに記載のスイッチ
ング電流制御回路。

[請求項14] 前記スイッチングパルスのオン期間における検出電流の2点におけ
る電流値をA/D変換するA/D変換回路が備えられていることを特
徴とする請求項12または請求項13のいずれかに記載のスイッチ
ング電流制御回路。

[請求項15] 前記A/D変換回路は、2つのサンプルホールド回路と1つのA/
Dコンバータとで構成されていることを特徴とする請求項13に記載

のスイッチング電流制御回路。

[請求項16] 前記スイッチングパルスの1周期毎に動作モードが割り当てられており、前記A/D変換回路によるサンプルモード、前記A/D変換回路によるA/D変換モード、前記A/D変換回路と前記ピーク電流算出回路による計算モードの3つの周期で動作することを特徴とする請求項15に記載のスイッチング電流制御回路。

[請求項17] 前記サンプルモードでは、前記A/D変換回路によって前記検出電流の2点における電流値のうち一方の値をA/D変換出力し、他方の値をサンプルホールドすることを特徴とする請求項16に記載のスイッチング電流制御回路。

[請求項18] 前記A/D変換モードでは、前記サンプルモードにおいてサンプルホールドしていた電流値を、前記A/D変換回路によってA/D変換出力することを特徴とする請求項16に記載のスイッチング電流制御回路。

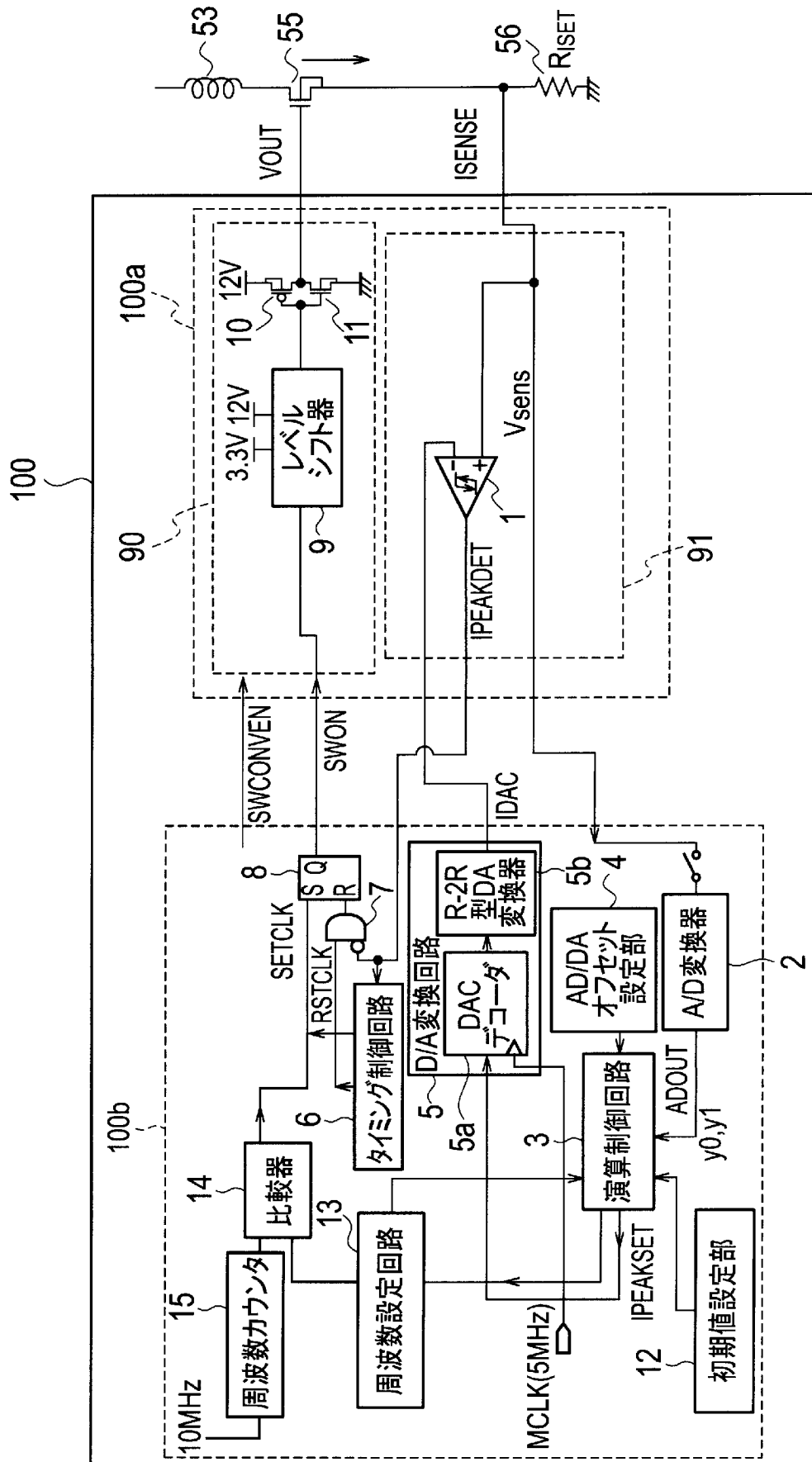
[請求項19] 前記ピーク電流算出回路から出力されるピーク電流値をD/A変換して前記比較回路に出力するD/A変換回路を備えたことを特徴とする請求項11～18のいずれか1項に記載のスイッチング電流制御回路。

[請求項20] 前記D/A変換回路は、DACデコーダとR-2R型D/A変換器で構成されていることを特徴とする請求項19に記載のスイッチング電流制御回路。

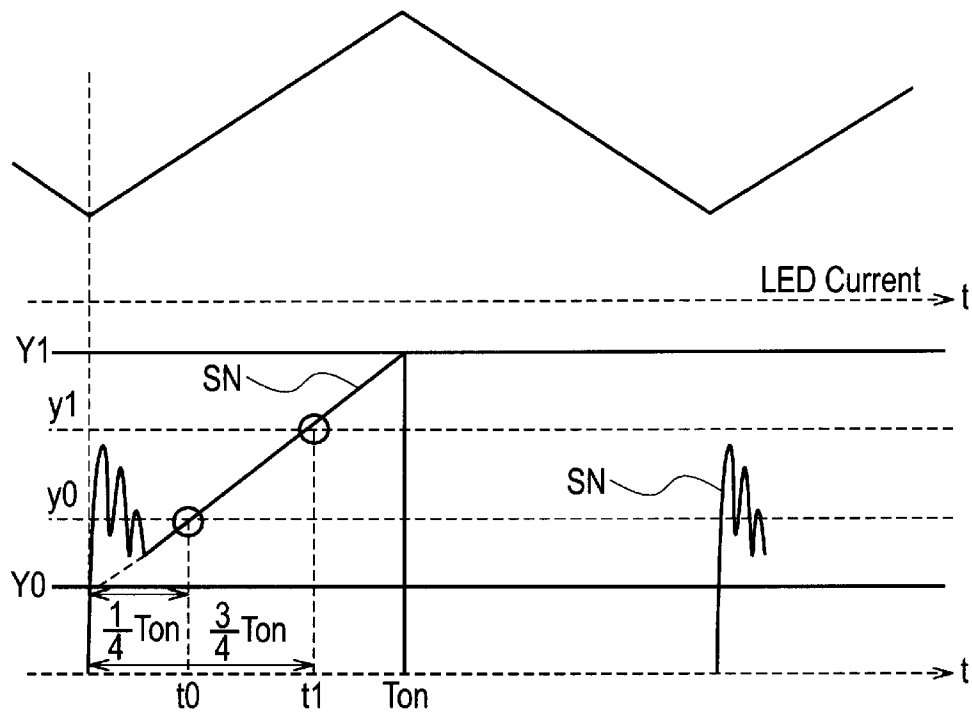
[請求項21] 請求項1～20のいずれか1項に記載のスイッチング電流制御回路を備え、LEDの調光を行うLED調光システムであって、
交流電源の一端側に接続されるブリッジ形全波整流回路と、
前記交流電源の他端側に接続されるトライアック調光器と、
前記トライアック調光器の出力側に接続されるブリーダ抵抗と、
前記ブリーダ抵抗に流れる電流を制御するブリーダ制御部と
を備えることを特徴とするLED調光システム。

- [請求項22] 前記ブリーダ制御部は、前記ブリーダ抵抗を介して前記トライアック調光器に対してオン状態を保持する所定の保持電流を供給するように制御することを特徴とする請求項21に記載のLED調光システム。
- [請求項23] 前記ブリーダ抵抗にスイッチング素子を介して接続される制御抵抗と、
前記制御抵抗および前記ブリッジ形全波整流回路に接続されるモニタ抵抗とを備え、
前記ブリーダ制御部は、前記モニタ抵抗に流れる電流値に応じて前記スイッチング素子をオン・オフ制御することを特徴とする請求項21または請求項22のいずれかに記載のLED調光システム。
- [請求項24] 前記ブリーダ抵抗に流れる電流は、20～50mAとなるように制御されることを特徴とする請求項21～23のいずれか1項に記載のLED調光システム。
- [請求項25] 前記トライアック調光器を用いた位相調光を行う第1の調光モードと、パルス幅変調調光を行う第2の調光モードと、可変抵抗を用いたリニア調光を行う第3の調光モードとを有し、
前記各調光モードを切り換える切換手段を備えることを特徴とする請求項21～24のいずれか1項に記載のLED調光システム。
- [請求項26] 請求項21～25のいずれか1項に記載のLED調光システムを備えることを特徴とするLED照明機器。
- [請求項27] 電球形LED照明機器またはシーリングライト型LED照明機器として構成されることを特徴とする請求項26に記載のLED照明機器。

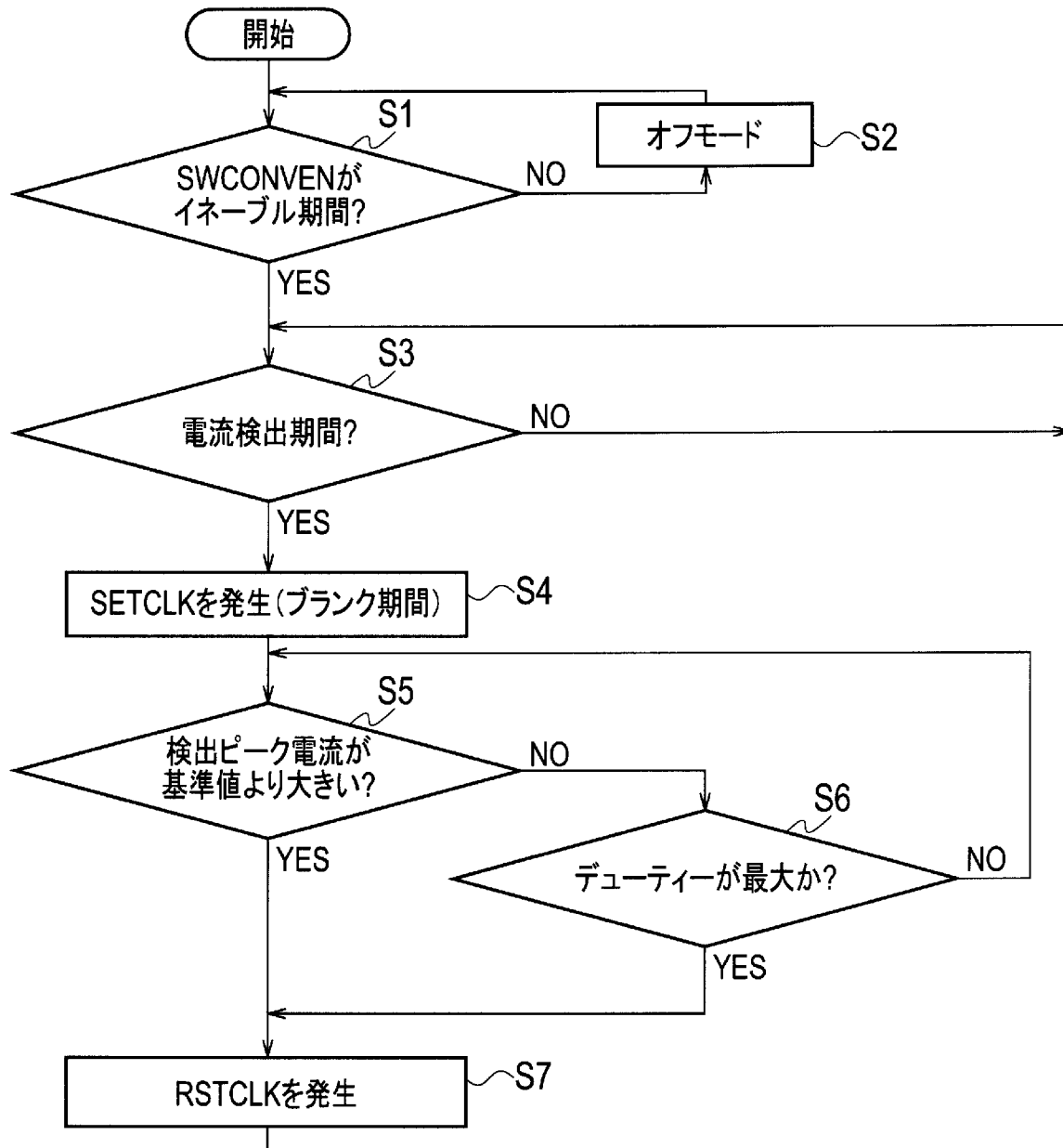
[図1]



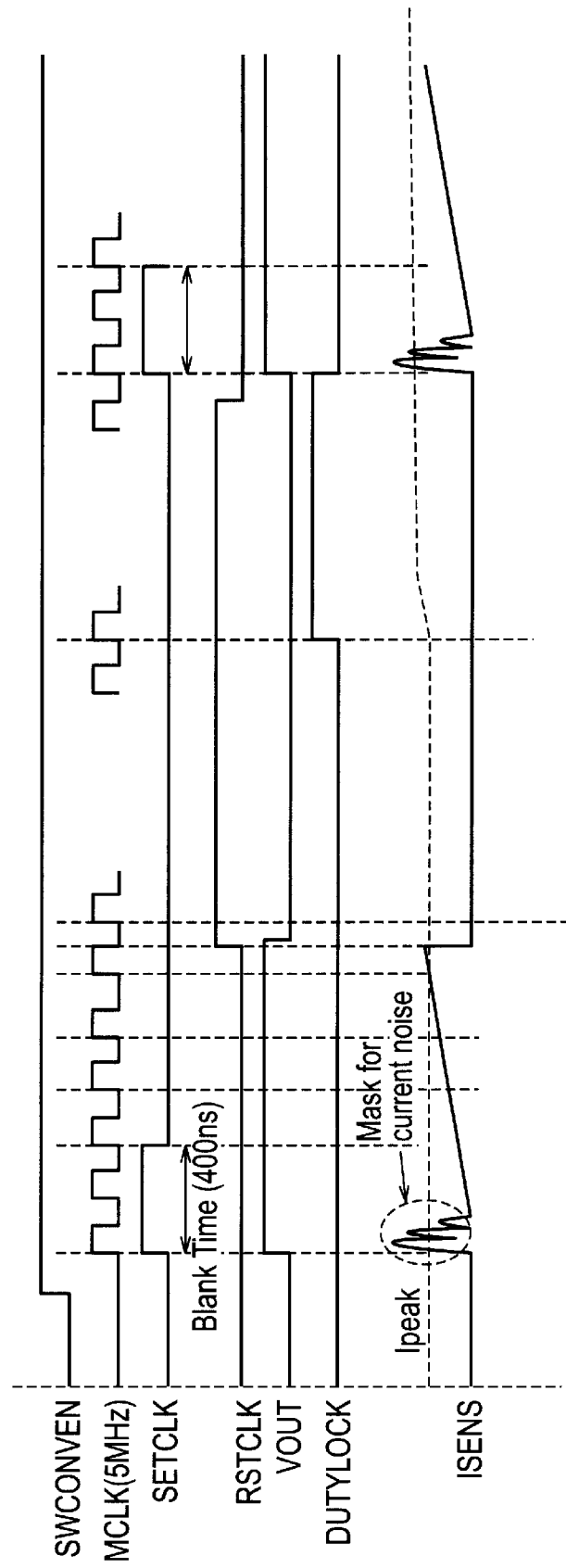
[図2]



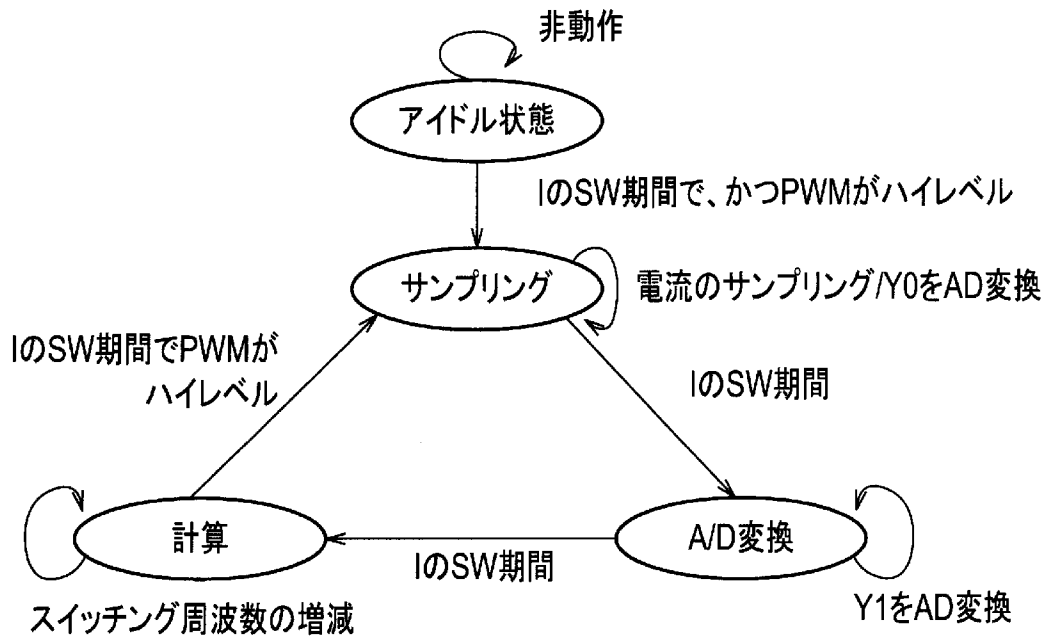
[図3]



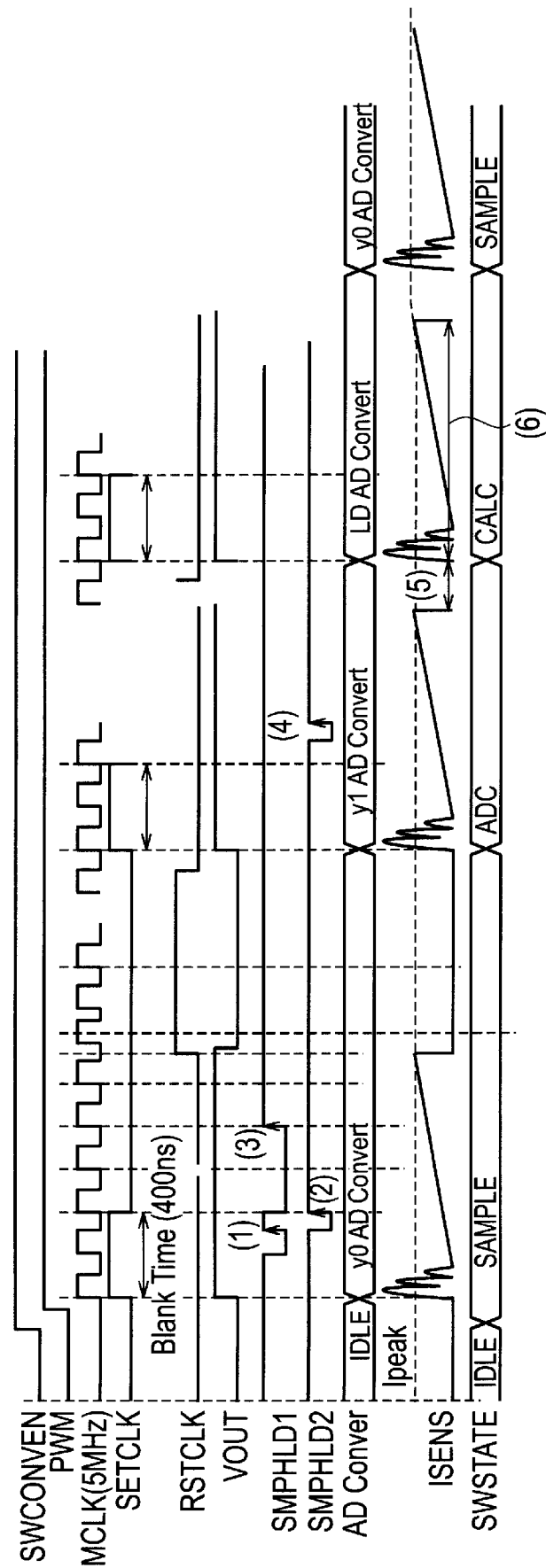
[図4]



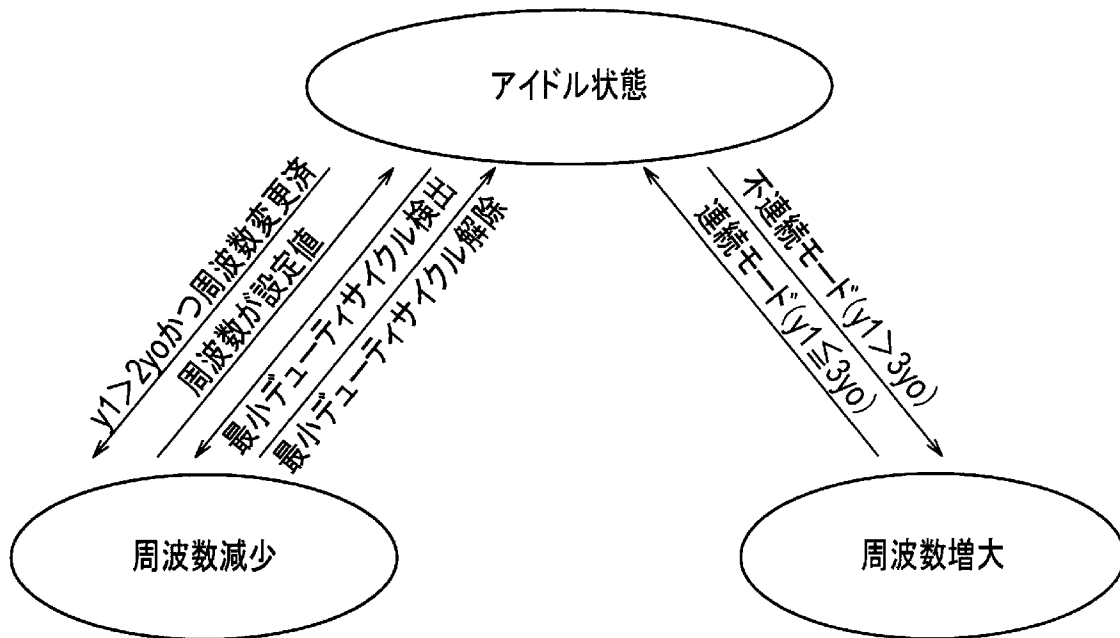
[図5]



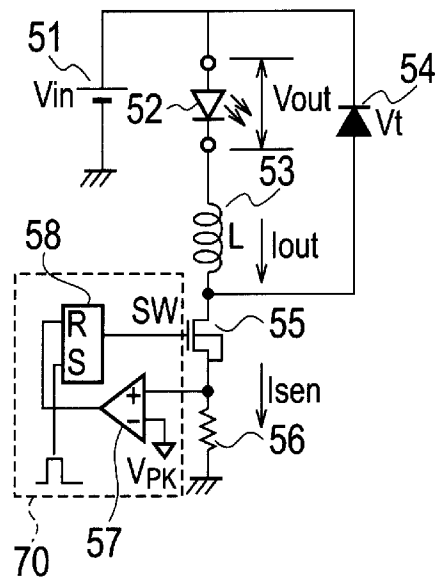
[図6]



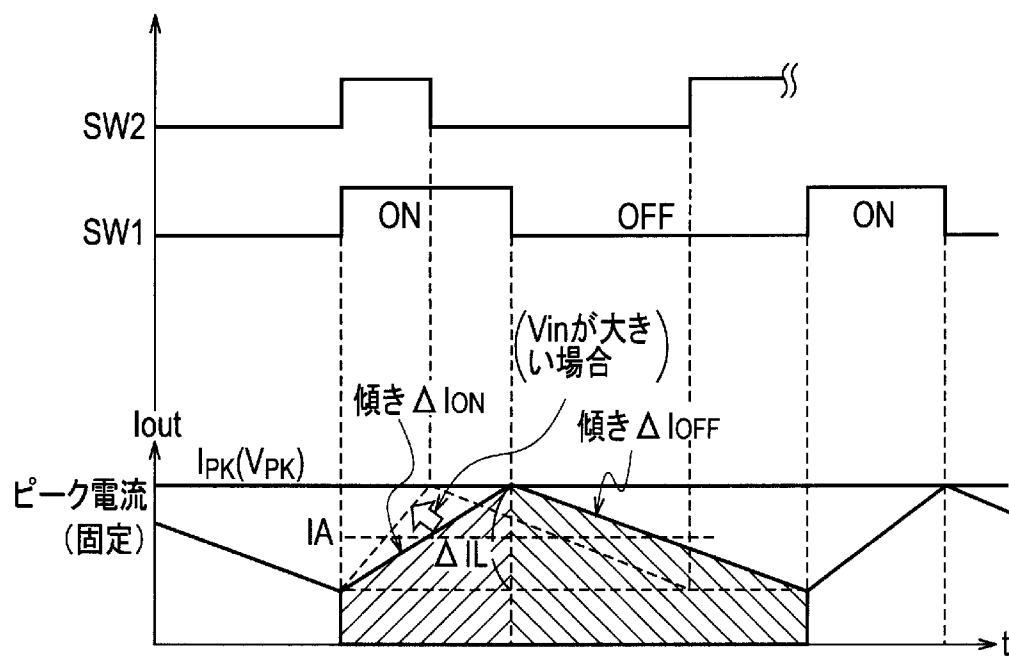
[図7]



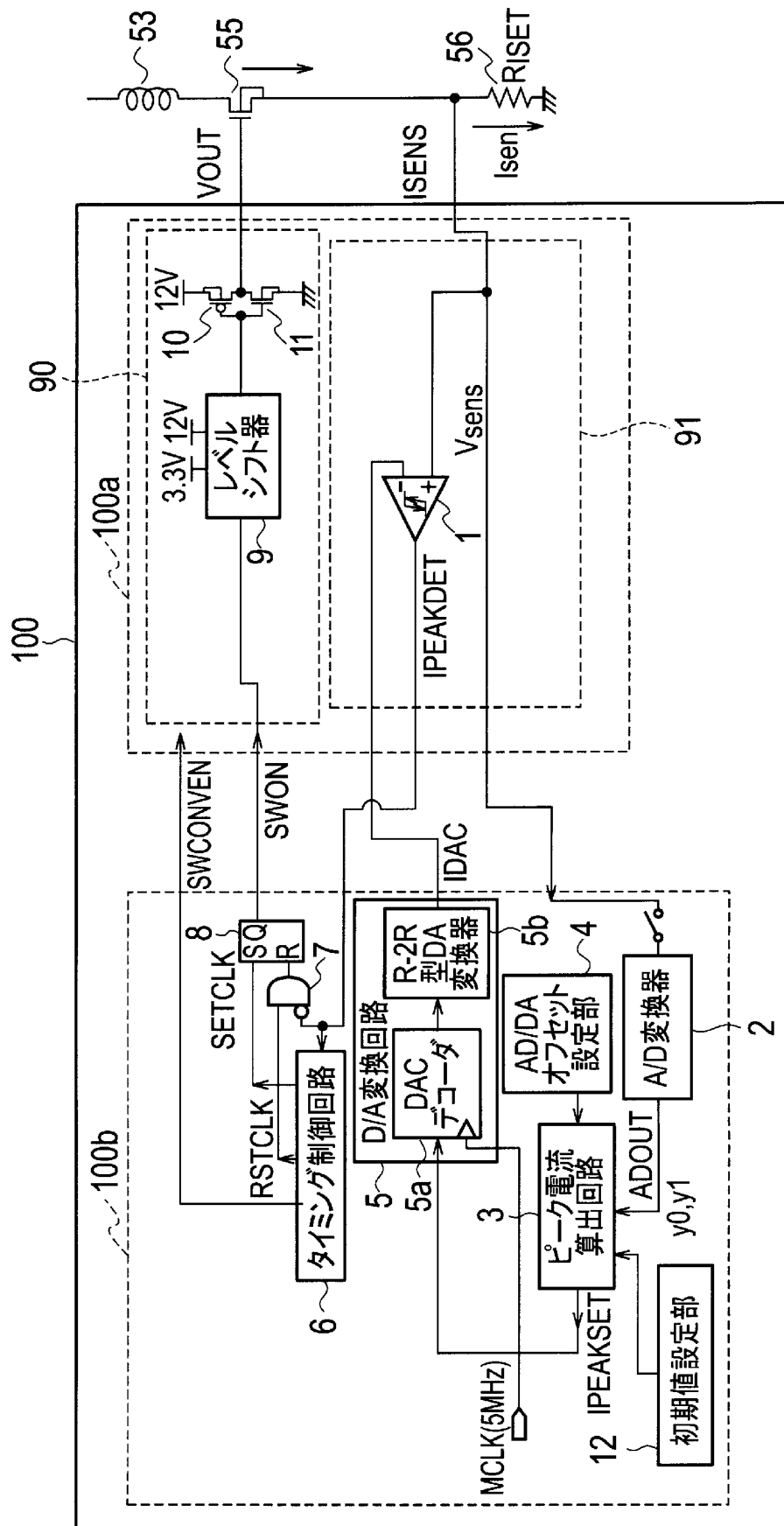
[図8]



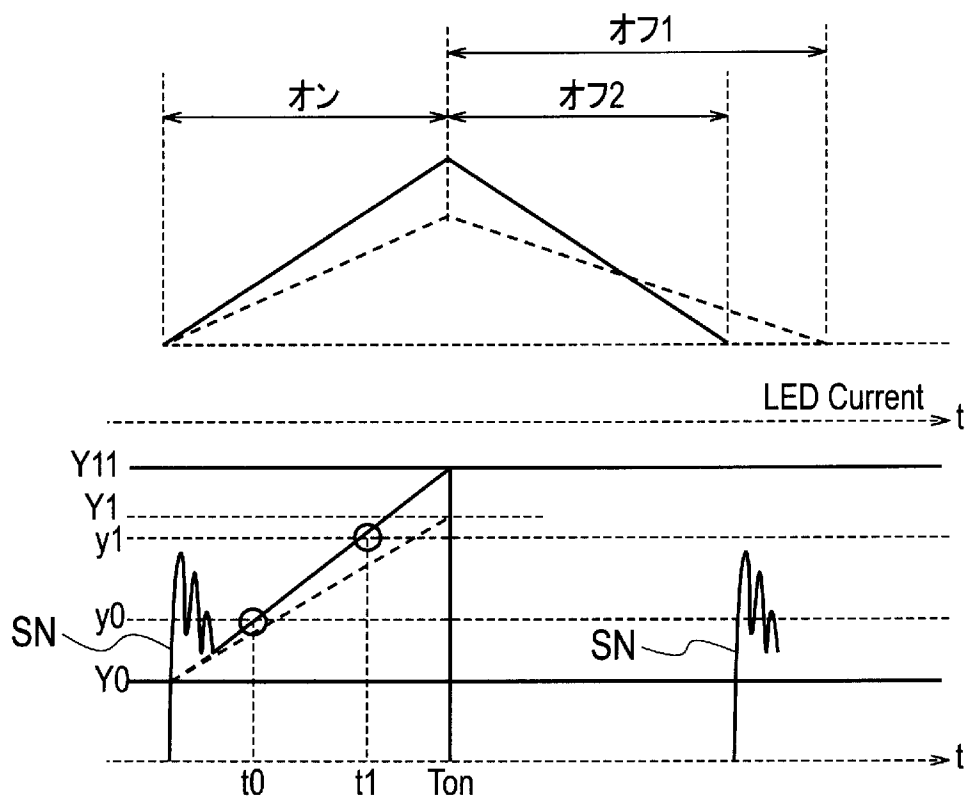
[図9]



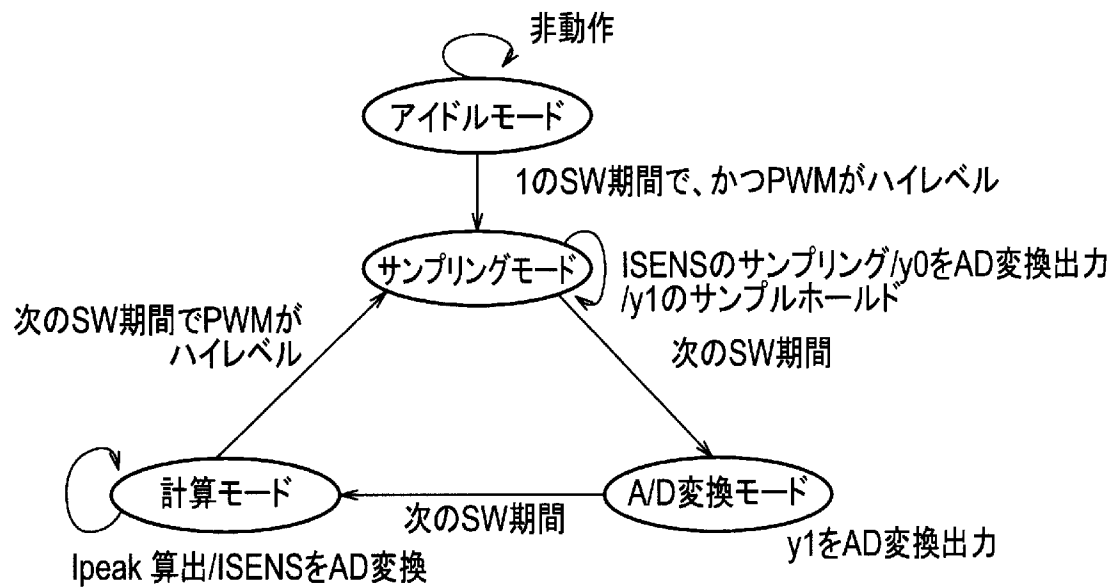
[図10]



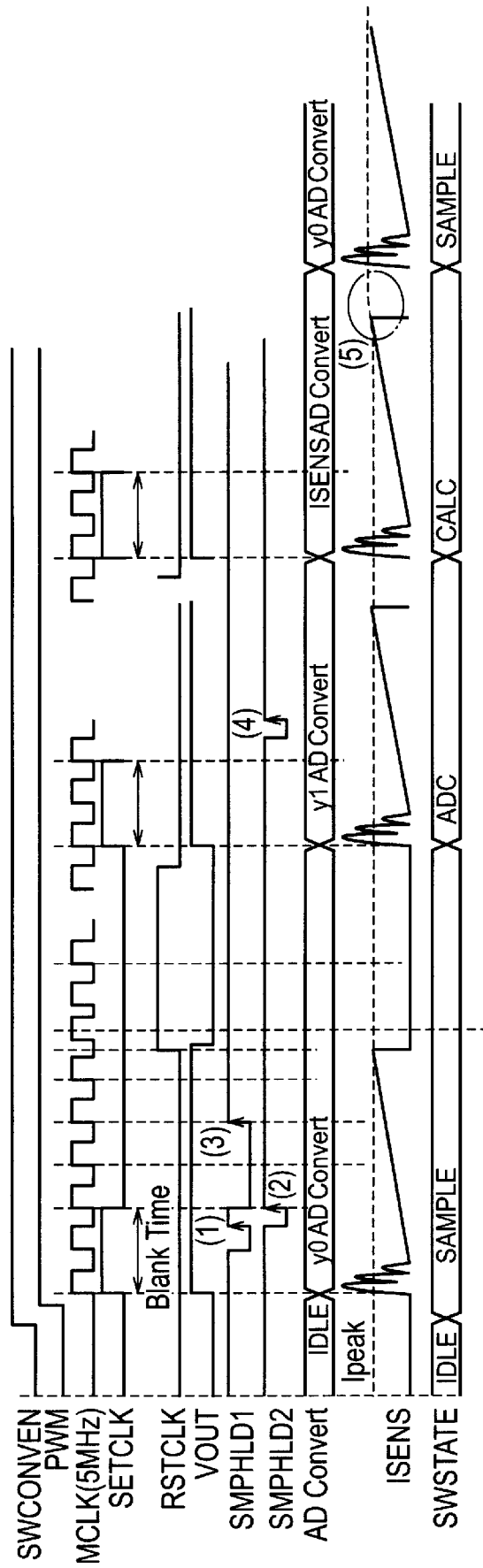
[図11]



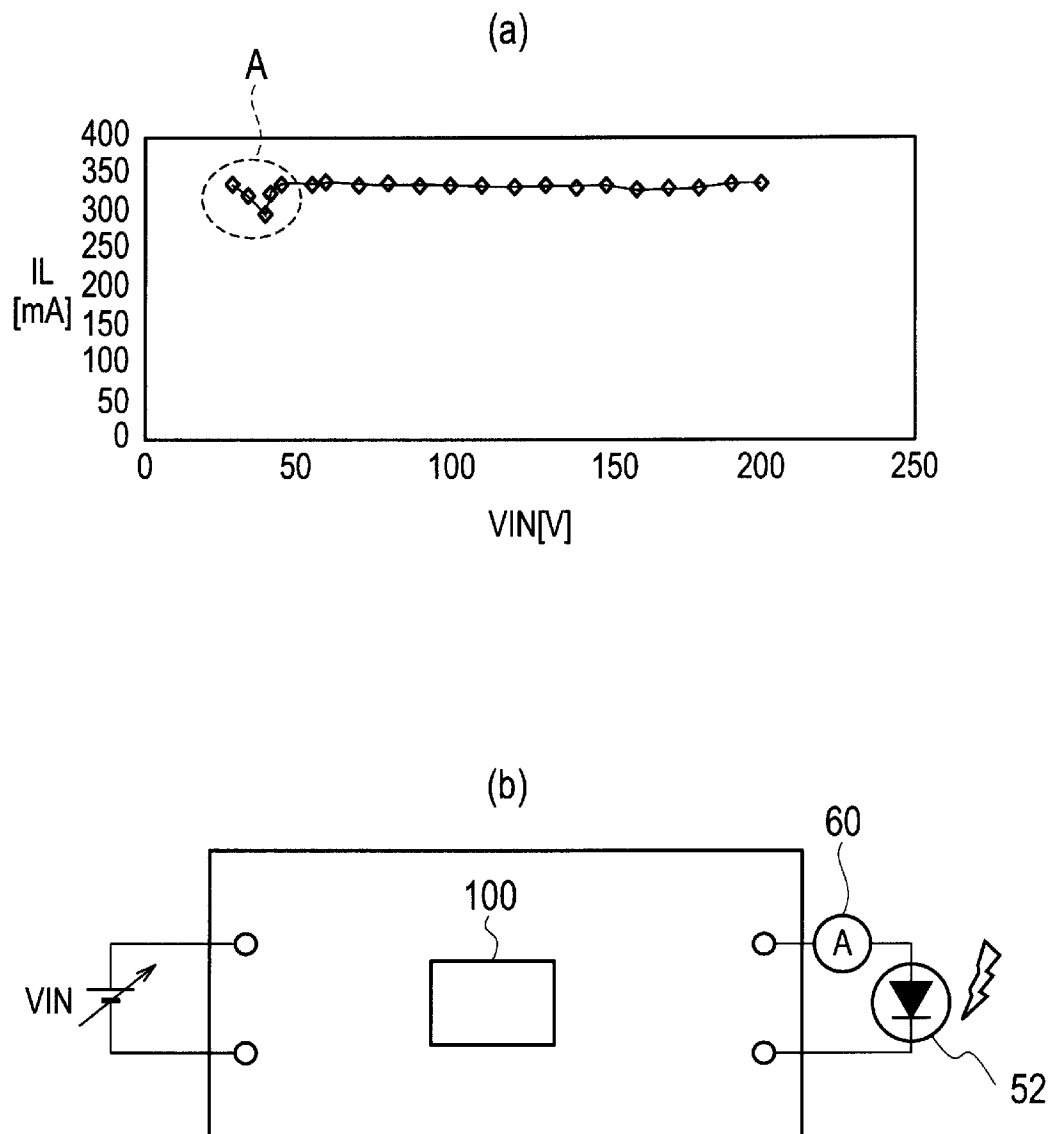
[図12]



[図13]

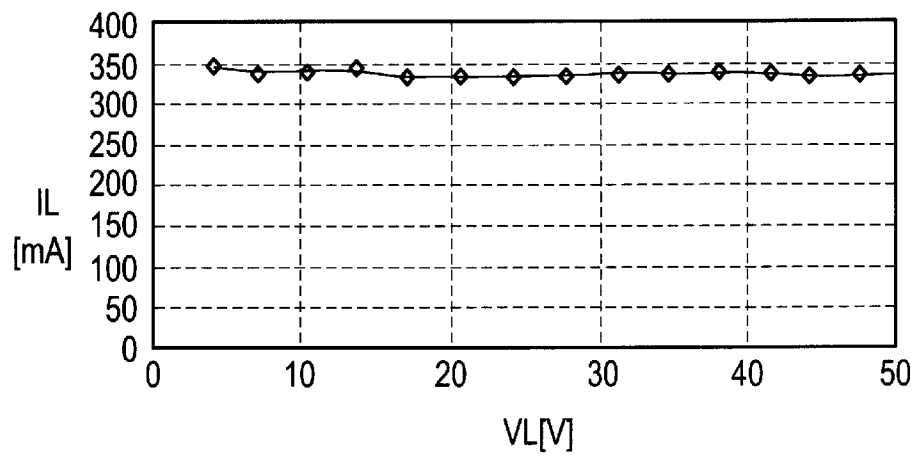


[図14]

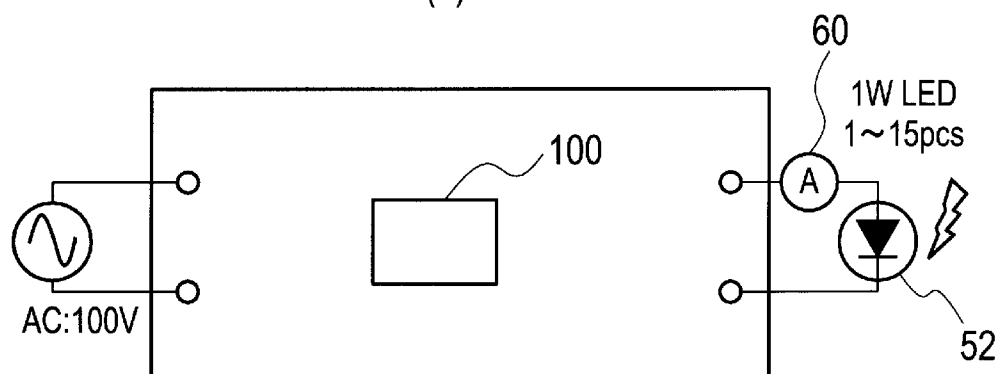


[図15]

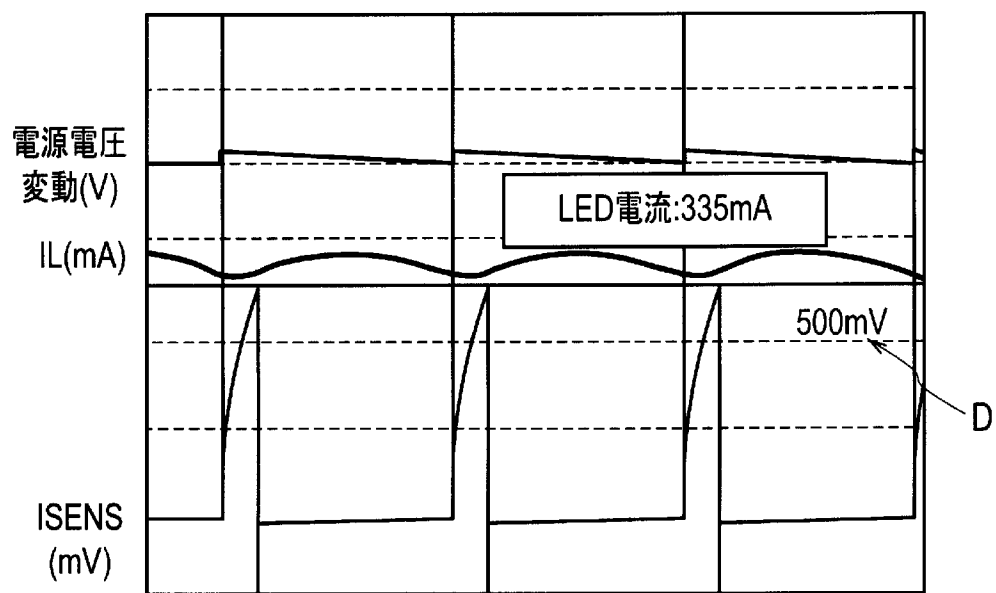
(a)



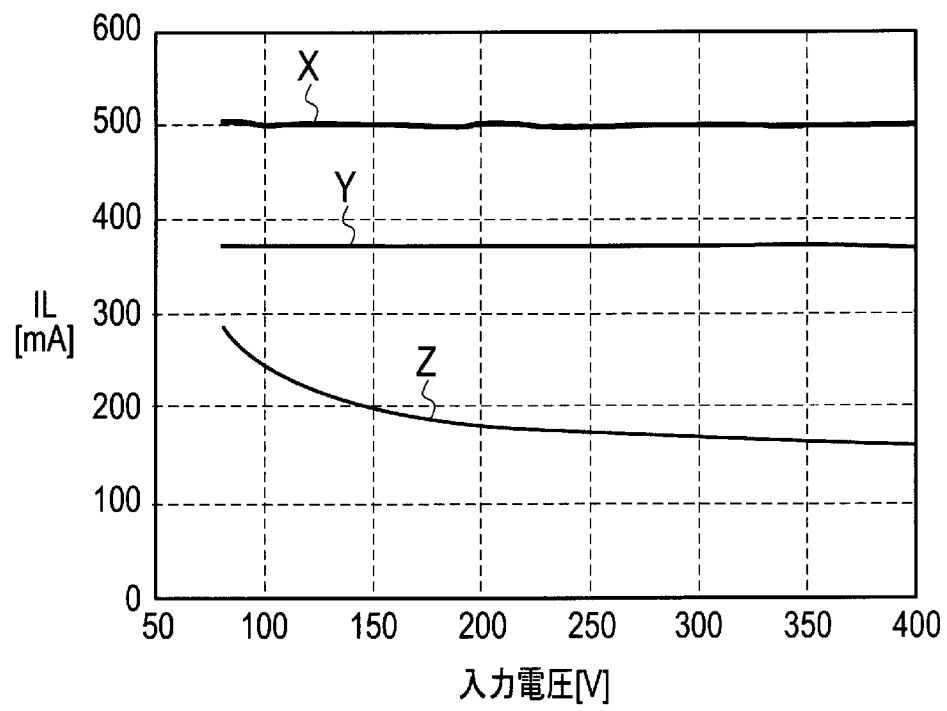
(b)



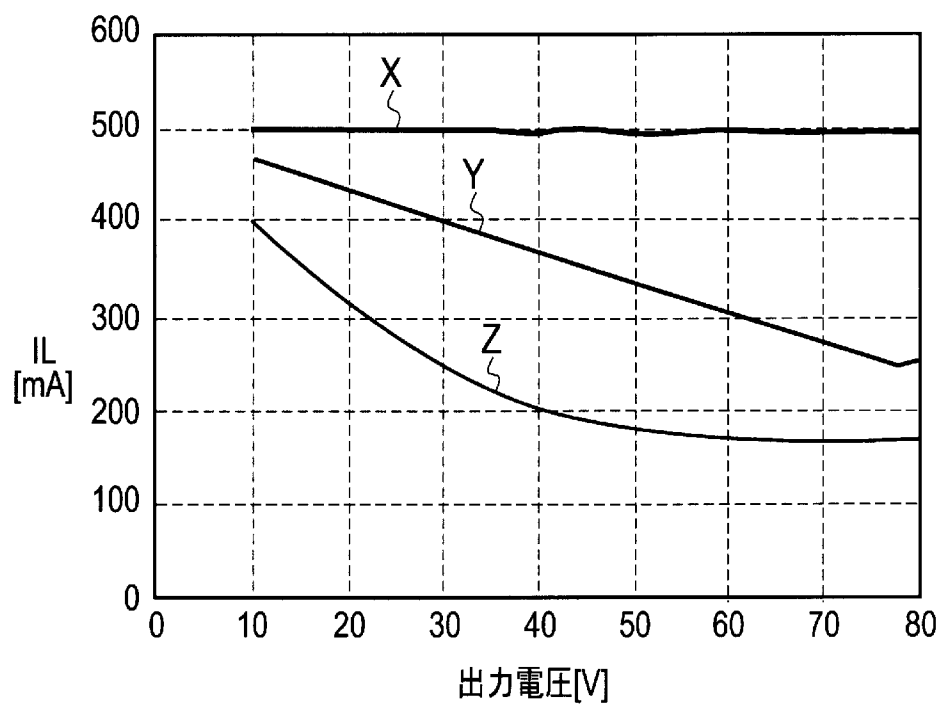
[図16]



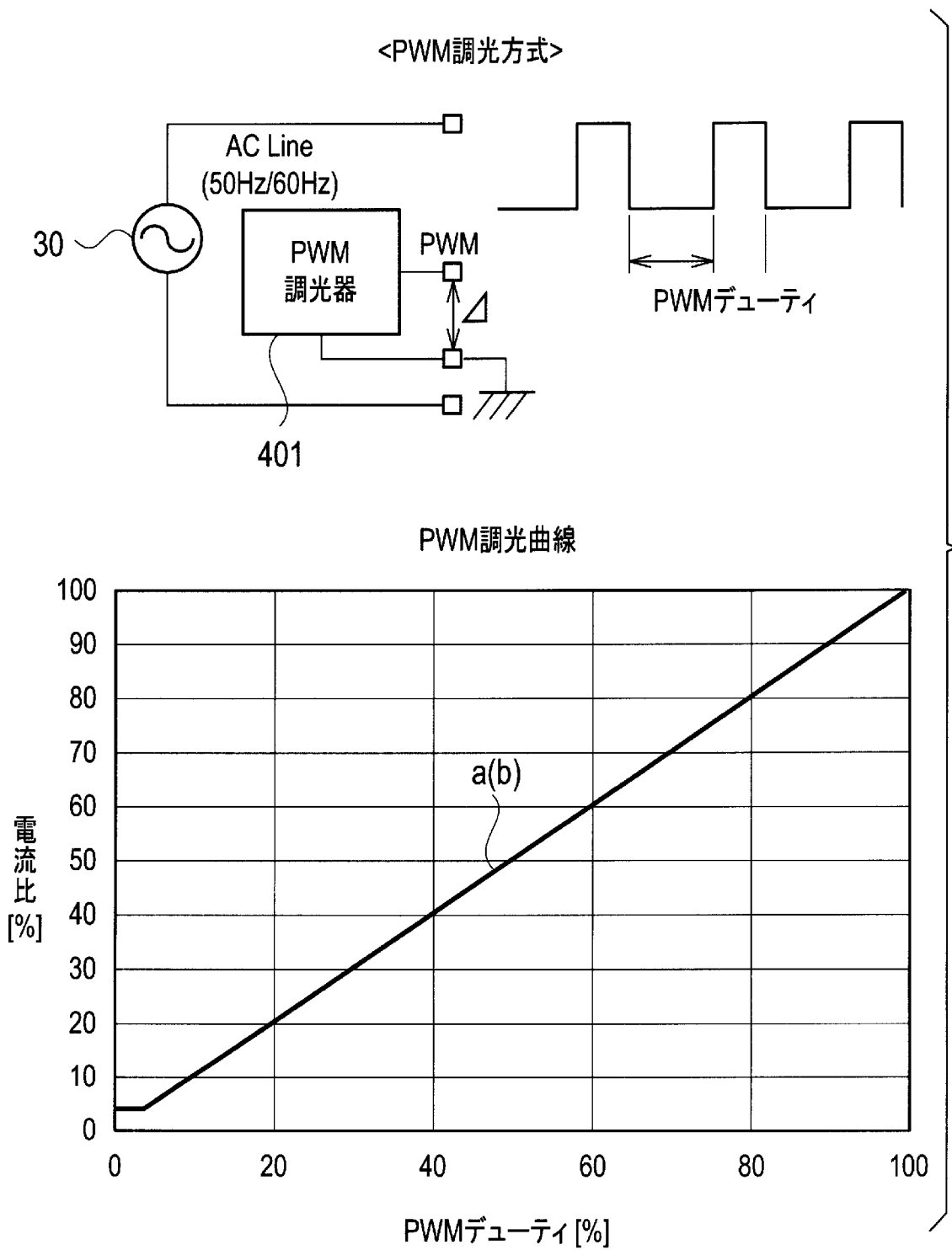
[図17]



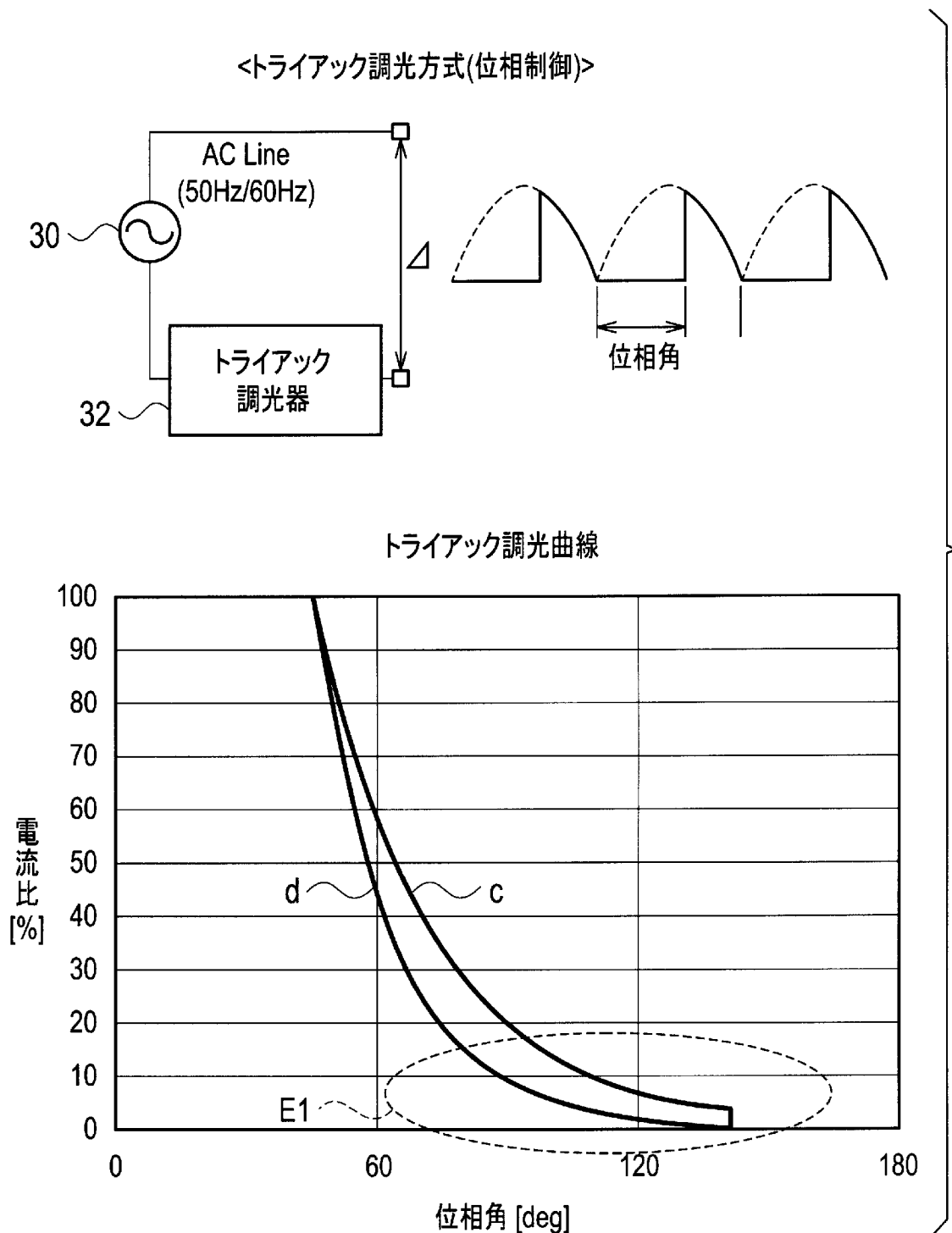
[図18]



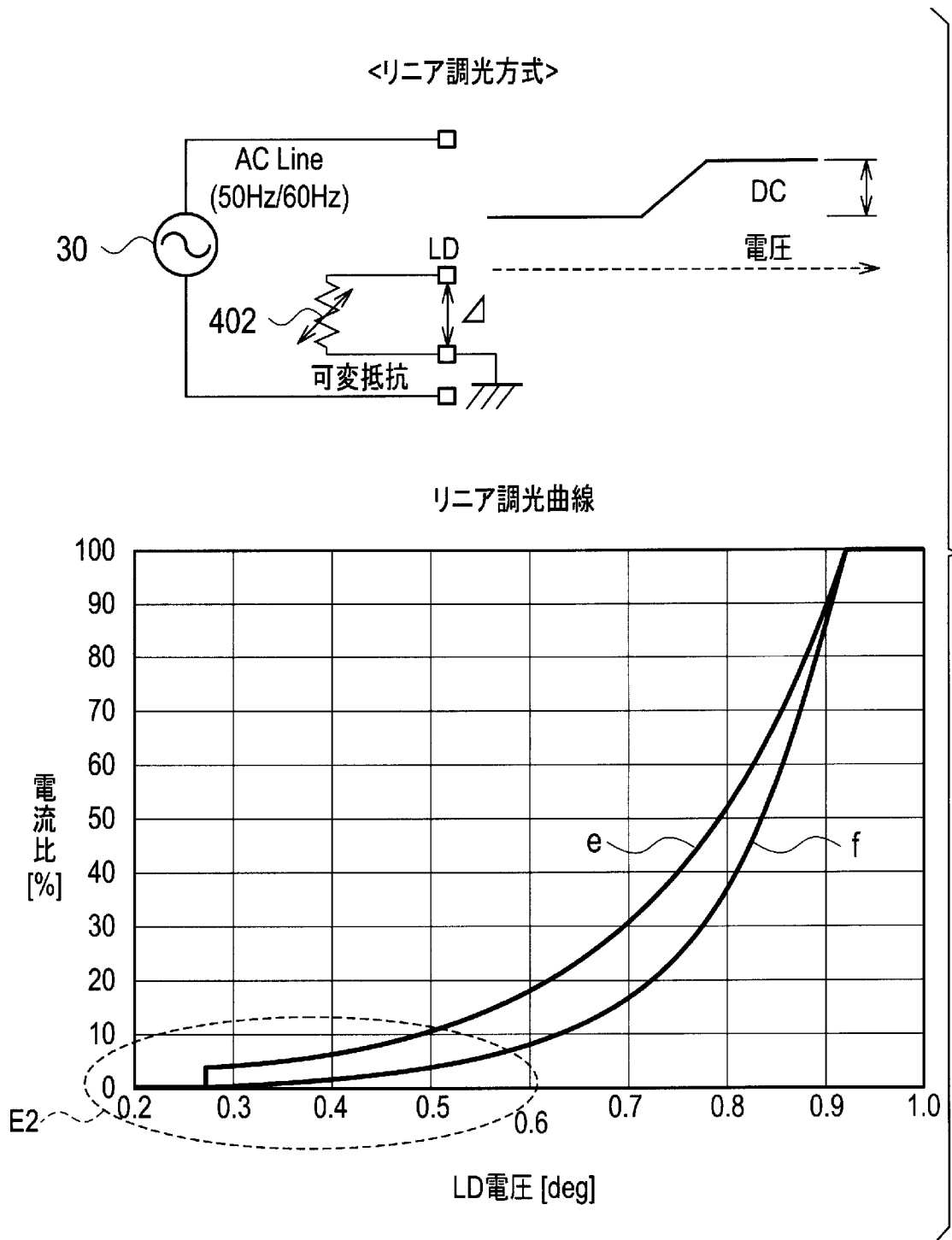
[図19]



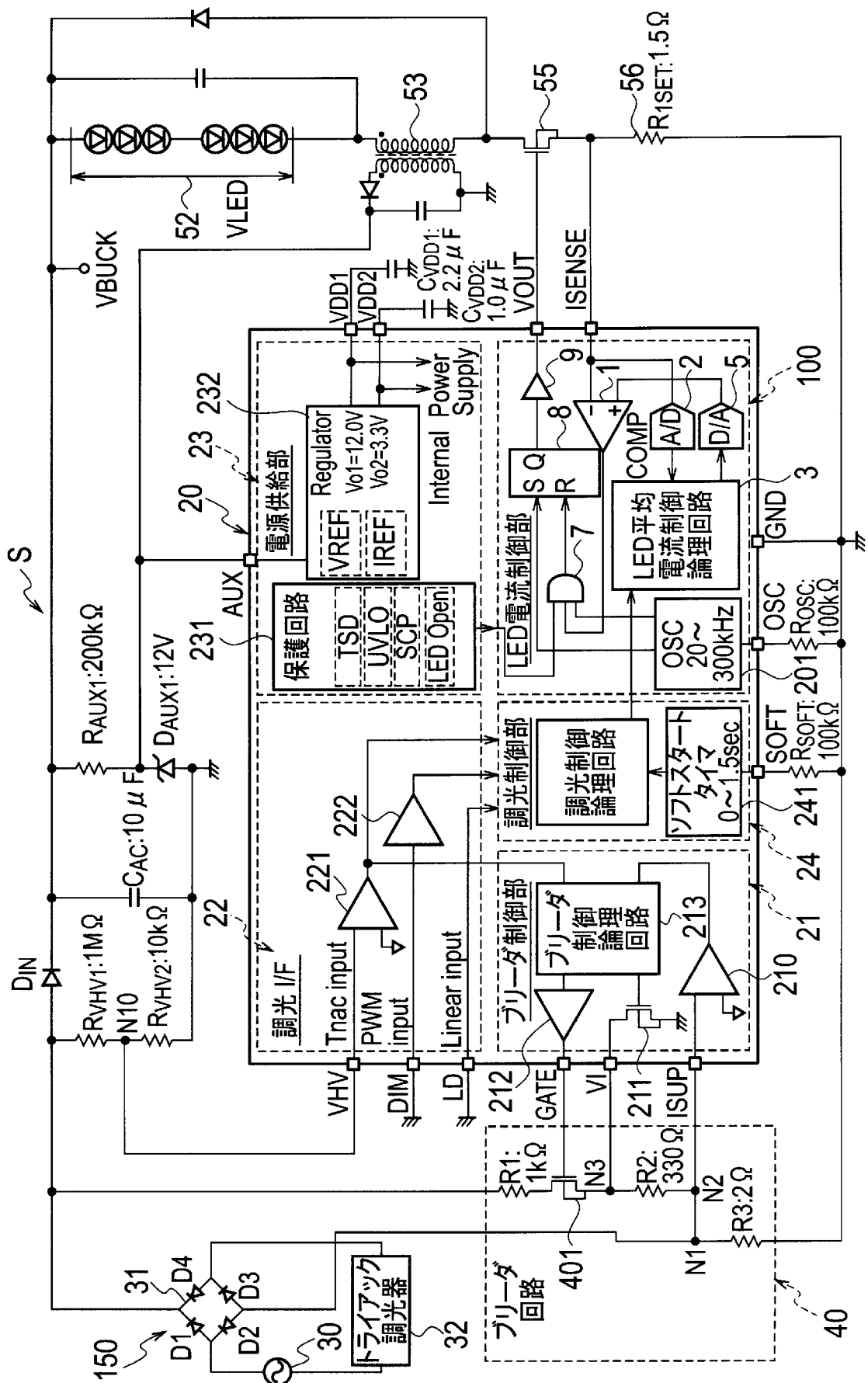
[図20]



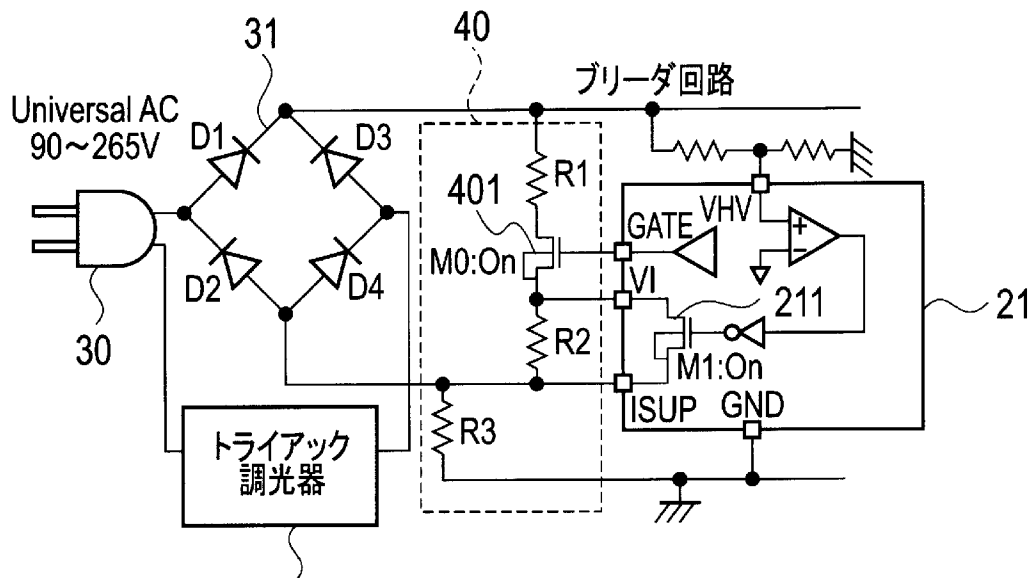
[図21]



[図22]



[図23]



[条件]

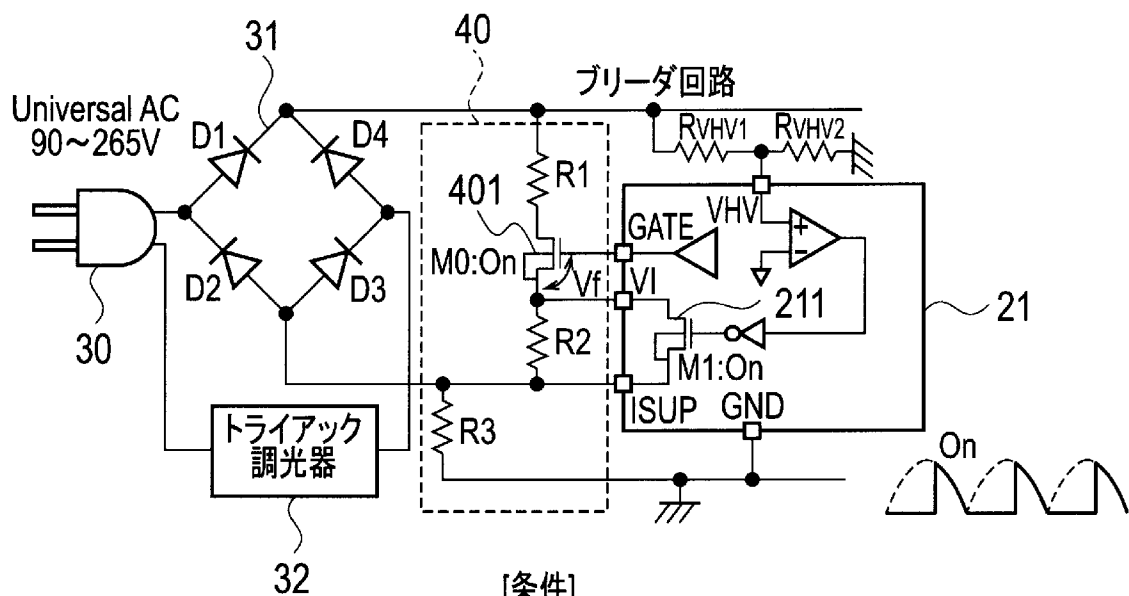
・AC電圧ON
(VHV<400mV)

[ブリーダ]

ブリーダ抵抗: R1(1K Ω)
(M0:On, M1:On)



[図24]



[条件]

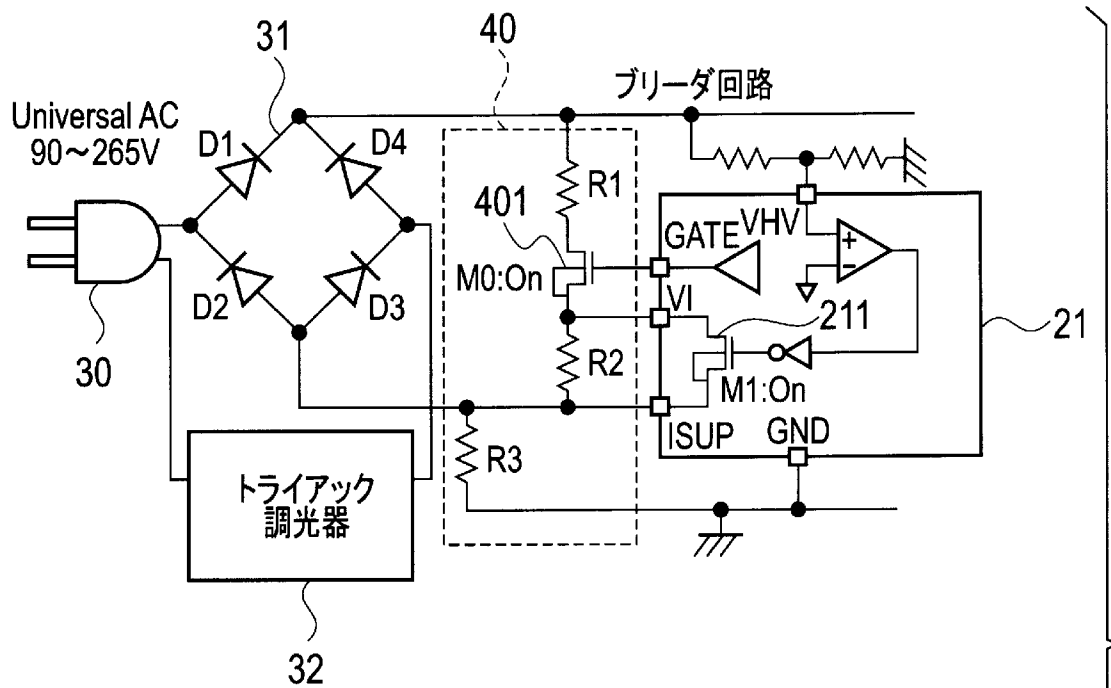
・AC電圧ON, AC電源小
(VHV>=400mV&ISUP>-100mV)

[ブリーダ]

保持電流: $I_{HLD} = (V_{GATE} - V_f) / R_2$
(M0:On, M1:Off)



[図25]

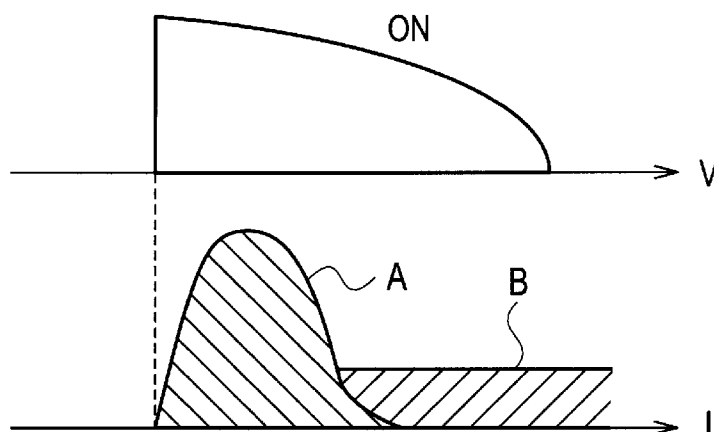


[条件]

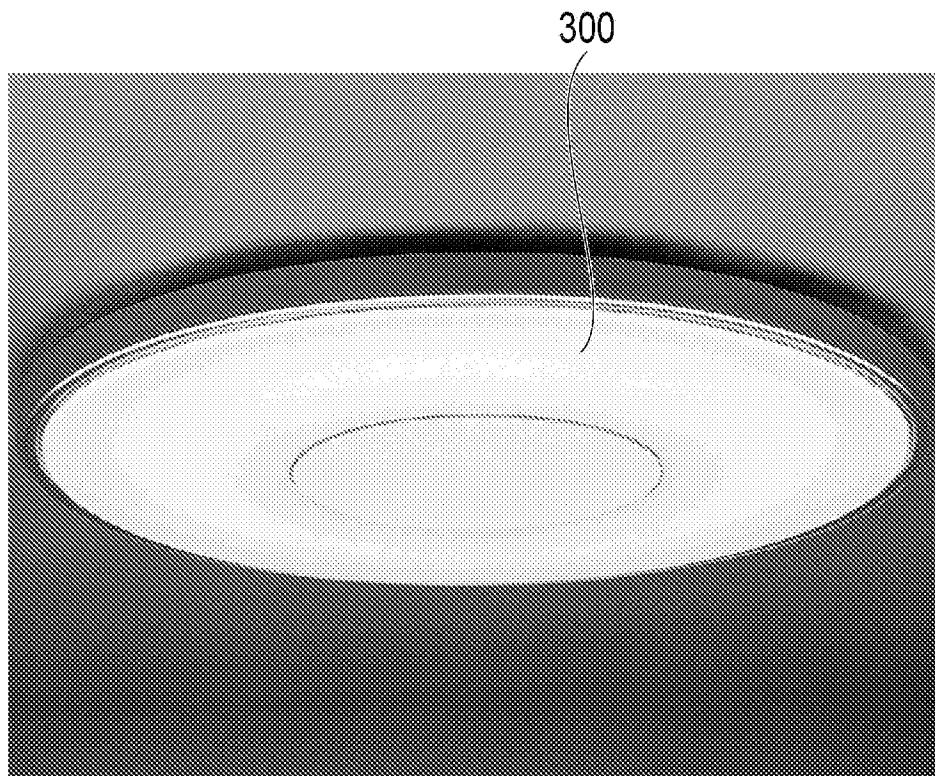
・AC電圧ON, AC電源大
($VHV \geq 400\text{mV}$ & $ISUP \leq -100\text{mV}$)

[ブリーダ]

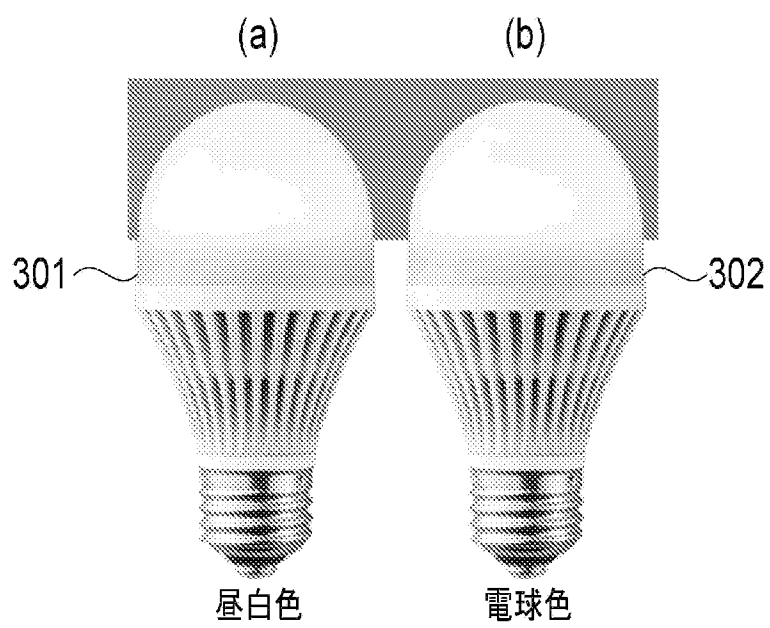
保持電流: OFF
(M0:Off, M1:Off)



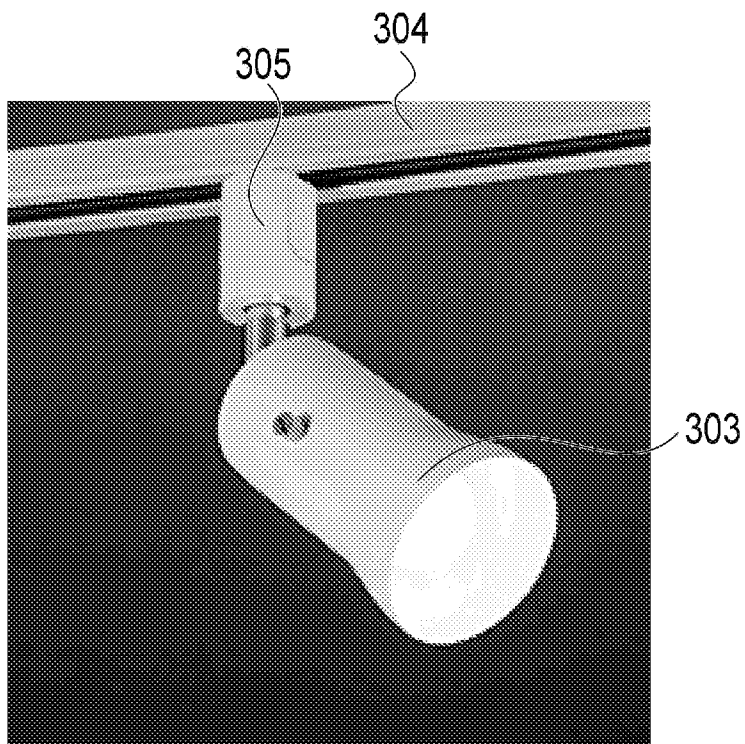
[図26]



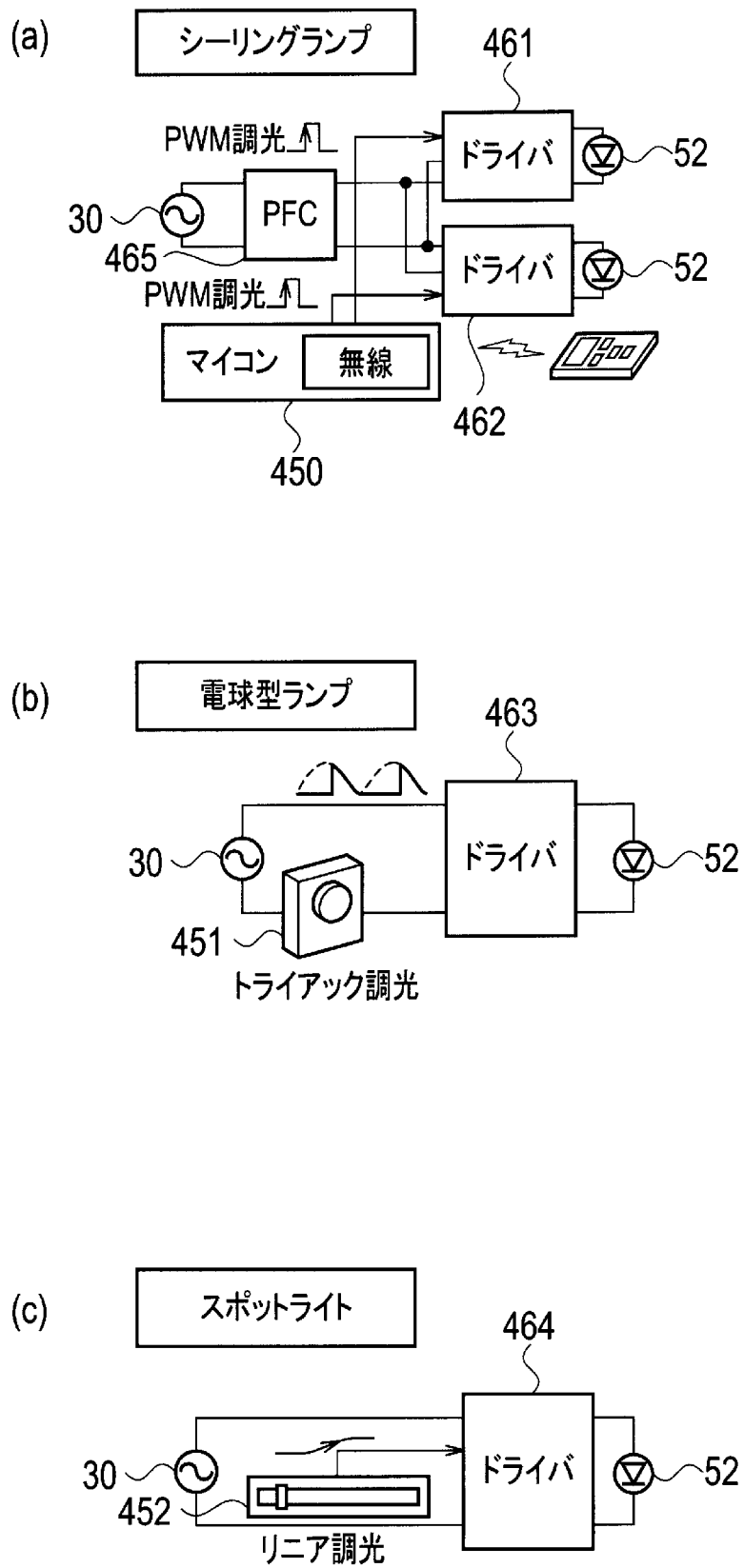
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055542

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2010.01)i, H05B37/02(2006.01)i, G05F1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00, H05B37/02, G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-040673 A (Sanken Electric Co., Ltd.), 24 February 2011 (24.02.2011), & WO 2011/021624 A1	1-27
A	JP 2007-194478 A (Matsushita Electric Industrial Co., Ltd.), 02 August 2007 (02.08.2007), & US 2007/0170874 A1 & CN 101005722 A	1-27
A	JP 2001-008443 A (TDK Corp.), 12 January 2001 (12.01.2001), (Family: none)	1-27
A	JP 2010-110190 A (Sharp Corp.), 13 May 2010 (13.05.2010), (Family: none)	1-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 May, 2012 (22.05.12)

Date of mailing of the international search report

29 May, 2012 (29.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055542

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055542

Continuation of Box No.III of continuation of first sheet (2)

The technical feature common to the inventions of independently disclosed claims 1 and 11 is "a switching current control circuit, wherein a load current flowing to a predetermined device is controlled by switching operations, said switching current control circuit being provided with a switching pulse supply circuit, which supplies a switching pulse for performing the switching operations, and a comparison circuit, which detects, as a detection current, the load current during the on-period of the switching pulse, and which compares the detection current with the peak current value". This feature, however, has been disclosed in the following document 1. Therefore, it is clear that the technical feature is not novel. As a result, since this feature does not make a contribution over the prior art, this feature is not a "special technical feature" in the meaning of PCT Rule 13.2, second sentence.

Document 1: JP 2011-040673 A (Sanken Electric Co., Ltd.), 24 February 2011 (24.02.2011); WO 2011/021624 A1

Consequently, it is considered that there is no technical relationship, including the same or corresponding "special technical feature", between the inventions of claims 1 and 11.

Therefore, this international application does not satisfy the requirement of unity of invention in PCT Rule 13.1.

The main invention part is a part that depends on claim 1 among the inventions of claims 1-10 and the inventions of claims 21-27.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/00(2010.01)i, H05B37/02(2006.01)i, G05F1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L 33/00, H05B 37/02, G05F 1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-040673 A（サンケン電気株式会社）2011.02.24 & WO 2011/021624 A1	1-27
A	JP 2007-194478 A（松下電器産業株式会社）2007.08.02 & US 2007/0170874 A1 & CN 101005722 A	1-27
A	JP 2001-008443 A（ティーディーケイ株式会社）2001.01.12 （ファミリーなし）	1-27

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 9 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

永田 和彦

3 V

3 1 1 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-110190 A (シャープ株式会社) 2010.05.13 (ファミリーなし)	1-27

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

第Ⅲ欄の続き

独立形式で記載された請求項 1, 11 に係る発明に共通する技術的特徴は、「所定の装置に流れる負荷電流をスイッチング動作により制御するスイッチング電流制御回路であって、前記スイッチング動作を行うためのスイッチングパルスを供給するスイッチングパルス供給回路と、前記スイッチングパルスのオン期間における負荷電流を検出電流として検出してピーク電流値と比較する比較回路とを備えたスイッチング電流制御回路」という事項であるが、当該事項は以下に示す文献 1 に開示されているから、新規でないことが明らかとなった。結果として、当該事項は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味における「特別な技術的特徴」ではない。

文献1: JP 2011-040673 A (サンケン電気株式会社) 2011.02.24
& WO 2011/021624 A1

したがって、請求項 1, 11 に係る発明の間に、同一の又は対応する「特別な技術的特徴」を含む技術的な関係があるとは認められない。

よって、この国際出願は、PCT 規則 13.1 に規定する発明の単一性の要件を満たしていない。

なお、主発明に係る部分は、請求項 1 - 10 に係る発明、及び請求項 21 - 27 に係る発明のうち請求項 1 に従属する部分である。