(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0021517
(43) 공개일자 2022년02월22일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/16* (2006.01)
H01L 29/423 (2006.01) *H01L 29/49* (2006.01)
H01L 29/66 (2006.01) *H01L 51/00* (2006.01)
H01L 51/05 (2006.01)
(52) CPC특허분류
H01L 29/78684 (2013.01)
H01L 29/1606 (2013.01)
(21) 출원번호 10-2020-0102162
(22) 출원일자 2020년08월14일
심사청구일자 2020년08월14일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
윤순길
대전시 유성구 덕명로 19 운암네오미아 아파트 105-2101
한이레
대전시 서구 월평북로 11, 210-105
(74) 대리인
특허법인오암

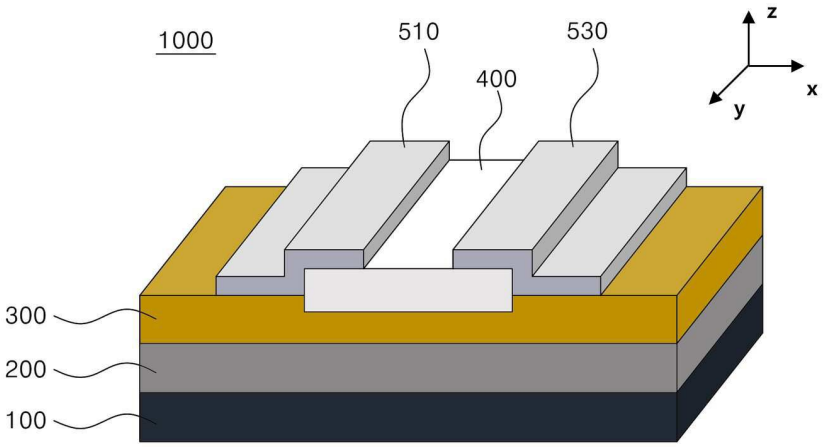
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **스트레처블 N-doped 그래핀 TFT 및 이의 제조방법**

(57) 요 약

본 발명은 게이트 전극, 상기 게이트 전극 위에 접촉하는 게이트 절연층, 상기 게이트 절연층의 일부 영역에 위치하여 질소 도핑된 그래핀층을 포함하여 채널로 사용되는 활성층, 상기 활성층의 일측에 접촉하는 제1 전극 및 상기 활성층의 타측에 접촉하는 제2 전극을 포함하며, 상기 게이트 절연층은 신축성이 있는 고분자소재로 제공되는 스트레처블 N-doped 그래핀 TFT

대 표 도 - 도1



(52) CPC특허분류
H01L 29/42384 (2013.01)
H01L 29/4908 (2013.01)
H01L 29/66045 (2013.01)
H01L 51/0045 (2013.01)
H01L 51/0516 (2013.01)
H01L 51/0545 (2013.01)
H01L 51/0558 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711110624
과제번호 2018R1A2A1A05018536
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)(R&D)
연구과제명 투명하고 유연한 정보 전자소자를 위한 신 개념의 in-situ 그래핀 성장 원천기술 개발
기 여 율 1/1
과제수행기관명 충남대학교
연구기간 2018.03.01 ~ 2021.02.28

명 세 서

청구범위

청구항 1

게이트 전극;

상기 게이트 전극 위에 접촉하는 게이트 절연층;

상기 게이트 절연층의 일부 영역에 위치하여 질소 도핑된 그래핀층을 포함하여 채널로 사용되는 활성층;

상기 활성층의 일측에 접촉하는 제1 전극; 및

상기 활성층의 타측에 접촉하는 제2 전극;을 포함하며,

상기 게이트 절연층은 신축성이 있는 고분자소재로 제공되는 스트레처블 N-doped 그래핀 TFT.

청구항 2

제 1항에 있어서,

상기 질소 도핑된 그래핀층은,

무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층이 증착된 후 In-situ로 그래핀층이 직접 생성되고 도핑된 질소 도핑 그래핀층/TiO_{2-x}층인 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 3

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 게이트전극이 그래핀층을 포함하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 4

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 제1 전극 및 제2 전극은 그래핀층/TiO_{2-x}층을 포함하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 5

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 신축성이 있는 고분자소재는 폴리이미드(polyimide), 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 폴리우레탄(polyurethanes), 폴리올레핀(polyolefin), 합성고무(synthetic rubbers), 폴리우레탄폴리클로로프렌(polychloroprene), 실리콘, 스티렌계 물질(styrenic materials), 열가소성 탄성 중합체(thermoplastic elastomer), 폴리부타디엔(polybutadiene), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리이소부티렌(polyisobutylene), 올레핀계 물질(olefenic materials) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 6

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 스트레처블 N-doped 그래핀 TFT의 투명도가 90% 이상인 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 7

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT에서 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 120% 인장 시 점멸비(On/off ratio)가 $1.4x10^{8}$을 초과하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 8

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT를 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 인장 시 전기전하이동도(Mobility)가 250㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 9

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT를 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 인장 시 서브문턱 스윙(Subthreshold Swing)이 0.12V/decade 미만인 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 10

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 점멸비(On/off ratio)가 $1.1x10^{8}$을 초과하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 11

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 전기전하이동도(Mobility)가 200㎠/V·S을 초과하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 12

제 1항 또는 제 2항 중 어느 한 항에 있어서,

상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 서브문턱 스윙(Subthreshold Swing)이 35%미만으로 증가하는 것을 특징으로 하는, 스트레처블 N-doped 그래핀 TFT.

청구항 13

신축성이 있는 고분자소재로 제공되는 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계;

in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계;

플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계; 및

상기 결함이 형성된 그래핀층을 질소 도핑하는 단계;를 포함하여 채널로 사용되는 활성층을 형성하는 것을 특징으로 하는, 그래핀 기반의 TFT 제조방법.

청구항 14

제 13항에 있어서,

상기 활성층 형성단계 이후에 제1 전극 및 제2 전극을 형성한 후 100 내지 400℃에서 어닐링하는 단계를 더 포함하는 것을 특징으로 하는, 그래핀 기반의 TFT 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 N-doped 스트레처블 N-doped 그래핀 TFT에 관한 것으로, Ti 층 위에 질소 도핑된 그래핀층을 in-situ 성장하여 120%이상의 연신에서도 전기적 특성이 우수한 스트레처블 N-doped 그래핀 TFT 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 스트레처블 전자소재(Stretchable Electronics)란 기판을 늘리거나 굽힘에도 정상적으로 작동하고, 반복응력을 가하더라도 전기적 특성을 유지하는 차세대 전기 소자를 의미한다. 일반적으로 스트레처블 전자소재는 신축성 있는 소재 위에 전극 소재를 패터닝하는 방식으로 연구되고 있는데, 그 중 높은 전자 이동도와 물리적 강도가 우수한 그래핀(Graphene)을 전극으로 활용한 스트래처블 전자소재에 대한 많은 연구가 진행중에 있다.

[0003] 하지만 그래핀은 평면방향으로 매우 강한 결합을 가지고 있어서 구조적 안정성은 높으나 연신 시 쉽게 결합이 깨져 연신성이 떨어진다는 단점이 있다. 실제로, 대한민국 등록특허 10-1262319호 에서는 PDMS기판 위에 반도체층과 그래핀 전극을 성장시킨 반도체 소자에 대해 개시되어 있으나, 상기 선행기술은 그래핀의 연신 특성을 개선하기 위한 방법이 개시되지 않아 0.4%의 연신율 밖에 확보하지 못한 것을 확인할 수 있다.

[0004] 이를 개선하기 위해 Nan Liu등이 Science Advances에 2017년 발표한 Ultratransparent and stretchable graphene electrodes 논문에서는 그래핀을 3층으로 적층하여 100% 이상의 연신 상태에서도 전도도가 60% 이상을 가짐을 확인하였으나, 전기적 특성이 좋지 않아 TFT로 상용화 하기에는 어려움이 있다.

[0005] 이에 전기적 특성이 우수하고 연신율이 우수한 그래핀 기반 TFT에 대한 연구가 요구되고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록특허공보 제10-1262319호 (2013.05.02. 등록)

비특허문헌

[0007] (비특허문헌 0001) 논문 Ultratransparent and stretchable graphene electrodes(Science Advances 08 Sep 2017, Vol. 3, no. 9, e1700159)

발명의 내용

해결하려는 과제

[0008] 상기와 같은 문제점을 해결하기 위하여 본 발명은 Ti 층 위에 in-situ로 성장한 질소 도핑된 그래핀층 활성층으로 포함하되, 구성성분을 연신 소재로 제공하여 120% 이상 연신 상태에서도 전기적 특성이 유지되는 스트레처블 N-doped 그래핀 TFT를 제공하는 것을 목적으로 한다.

[0009] 아울러, 상기 연신 상태를 3,000cycle 반복하여도 전기적 특성이 유지되는 스트레처블 N-doped 그래핀 TFT를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위한 본 발명의 일 양태는 게이트 전극, 상기 게이트 전극 위에 접촉하는 게이트 절연층, 상기 게이트 절연층의 일부 영역에 위치하여 질소 도핑된 그래핀층을 포함하여 채널로 사용되는 활성층 및 상기 활성층의 일측에 접촉하는 한 쌍의 전극을 포함하며, 상기 게이트 절연층은 신축성이 있는 고분자소재로 제공되는 스트레처블 N-doped 그래핀 TFT이다.

[0011] 상기 일 양태에 있어, 상기 질소 도핑된 그래핀층은, 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층이 증착된 후 In-situ로 그래핀층이 직접 생성되고 도핑된 질소 도핑 그래핀층/TiO_{2-x}층일 수 있다.

[0012] 상기 일 양태에 있어, 상기 게이트전극이 그래핀층을 포함할 수 있다.

[0013] 상기 일 양태에 있어, 상기 제1 전극 및 제2 전극은 그래핀층/TiO_{2-x}층을 포함할 수 있다.

[0014] 상기 일 양태에 있어, 상기 신축성이 있는 고분자소재는 폴리이미드(polyimide), 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 폴리우레탄(polyurethanes), 폴리올레핀(polyolefin), 합성고무(synthetic rubbers), 폴리우레탄폴리클로로프렌(polychloroprene), 실리콘, 스티렌계 물질(styrenic materials), 열가소성 탄성 중합체(thermoplastic elastomer), 폴리부타디엔(polybutadiene), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리이소부티렌(polyisobutylene), 올레핀계 물질(olefenic materials) 및 이들의 조합들로 이루어진 군에서 선택될 수 있다.

[0015] 상기 일 양태에 있어, 상기 스트레처블 N-doped 그래핀 TFT의 투명도가 90% 이상일 수 있다.

[0016] 상기 일 양태에 있어, 상기 TFT에서 상기 채널과 수평한 방향인 수평방향 또는 상기 채널에 수직한 방향인 수직방향 중 어느 하나의 방향으로 120% 인장 시 점멸비(On/off ratio)가 $1.4x10^8$을 초과할 수 있다.

[0017] 상기 일 양태에 있어, 상기 TFT를 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 인장 시 전기전하이동도(Mobility)가 250㎠/V·S을 초과할 수 있다.

[0018] 상기 일 양태에 있어, 상기 TFT를 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 인장 시 서브문턱 스윙(Subthreshold Swing)이 0.12V/decade 미만일 수 있다.

[0019] 상기 일 양태에 있어, 상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 점멸비(On/off ratio)가 $1.1x10^8$을 초과할 수 있다.

[0020] 상기 일 양태에 있어, 상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 전기전하이동도(Mobility)가 200㎠/V·S을 초과할 수 있다.

[0021] 상기 일 양태에 있어, 상기 TFT를 수평방향으로 120% 인장 하는 것을 3,000번 반복 수행하는 동안 서브문턱 스윙(Subthreshold Swing)이 35%미만으로 증가할 수 있다.

[0022] 본 발명의 다른 일 양태에 있어서 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계; in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계, 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계 및 상기 결함이 형성된 그래핀층을 질소 도핑하는 단계를 포함하여 활성층을 형성하는 것을 특징으로 하는 그래핀 기반의 TFT 제조방법에 관한 것이다.

[0023] 상기 일 양태에 있어, 상기 활성층 형성단계 이후에 제1 전극 및 제2 전극을 형성한 후 100 내지 400℃에서 어닐링하는 단계를 더 포함할 수 있다.

발명의 효과

[0024] 본 발명은 상기 게이트 전극, 상기 게이트 절연층, 상기 활성층 및 상기 한 쌍의 전극은 유연소재로 제공함으로서, 120% 이상의 연신 상태에서 전기적 특성이 유지되는 박막 트랜지스터(TFT)를 제공할 수 있다. 이를 통해, 박막 트랜지스터의 연신율을 향상하고 구조적 안정성을 확보하여 스트레처블 디스플레이, 웨어러블 전자소재에 활용할 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 설명하기 위한 사시도이다.

도 2는 본 발명의 실시 예에 따른 활성층을 형성하기 위한 세부 공정을 설명하는 흐름도이다.

도 3은 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT의 투명도를 설명하기 위한 그래프이다.

도 4는 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 수평방향으로 120% 연신 시 전기적 특성을 설명하기위한 그래프이다.

도 5는 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 수직방향으로 140% 연신 시 전기적 특성을 설명하기위한 그래프이다.

도 6은 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 수평방향으로 120% 연신하는 것을 3,000cycle 반복하였을 때 전기적 특성을 설명하기위한 그래프이다.

도 7은 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 수직방향으로 140% 연신하는 것을 3,000cycle 반복하였을 때 전기적 특성을 설명하기위한 그래프이다.

도 8은 본 발명의 실시 예에 따른 140% 인장에 따른 박막 트랜지스터(TFT)의 전류 전달 특성(Transfer curve)을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하 본 발명에 따른 다층 그래핀 적층체 및 이의 제조방법에 대하여 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 이 때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[0027] 도 1은 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT를 설명하기 위한 사시도이다.

[0028] 본 발명은 질소 도핑 그래핀층을 활성층으로 가지는 스트레처블 N-doped 그래핀 TFT(Thin-film transistor)에 관한 것이며, 보다 상세하게는 게이트 전극, 상기 게이트 전극 위에 접촉하는 게이트 절연층, 상기 게이트 절연층의 일부 영역에 위치하여 질소 도핑된 그래핀층을 포함하는 활성층 및 상기 활성층의 일측에 접촉하는 제1 전극 및 제2 전극을 포함하며, 상기 게이트 전극, 상기 게이트 절연층, 상기 활성층, 상기 제1 전극 및 상기 제2 전극은 유연소재로 제공되는 스트레처블 N-doped 그래핀 TFT인 것을 특징으로 한다,

[0029] 도 1을 참조하면, 상기 스트레처블 N-doped 그래핀 TFT(1000)는 게이트 전극(200) 게이트 절연층(300), 활성층(400), 제1 전극(510) 및 제2 전극(530) 중 어느 하나 이상을 포함할 수 있다.

[0030] 상기 게이트 전극(120)은 통장적인 도전성 물질, 예를 들어 금속, 다결정 실리콘(Polycrystalline silicon), 전도성 산화물(Transparent Conducting Oxide; TCO) 또는 그래핀 필름등으로 제공될 수 있다. 본 발명에서는 상기 기판(100) 위에 직접 성장된 그래핀층을 적용하였다.

[0031] 실시 예에 따르면 상기 게이트 전극(200)은 소정의 기판(100) 일 면에 위치할 수 있다. 이 때, 상기 기판(100)은 소정의 유연소재로 제조된 스트레처블(stretchable)한 기판일 수 있다. 상기 유연소재는 연신이 가능한 플라스틱 또는 고무 기판으로 제공될 수 있으며, 더 바람직하게는 폴리디메틸실록산(Polydimethylsiloxane; PDMS), 폴리비닐알코올(polyvinyl alcohol; PVA) 에폭시 수지(epoxy resine), 헥사메틸디실록산(hexamethyldisiloxane),폴리우레탄(polyurethane; PU), 폴리에스테르(Polyester), 폴리페닐메틸실록산(polyphenylmethylsiloxane), 폴리우레탄 아크릴레이트(polyurethane acrylate; PUA) 및 에코플렉스(ecoflex) 중에서 선택되는 어느 하나 이상으로 제공될 수 있다. 본 발명에서 상기 기판(100)은 폴리디메틸실록산(PDMS)로 제공되는 것으로 예를 들어 설명하나 이에 한정되지 않는다.

[0032] 상기 게이트 절연층(300)은 상기 게이트 전극(200) 상면에 위치할 수 있으며, 더 바람직하게는 상기 게이트 전극(200) 상면에 100 내지 200㎚ 두께로 증착될 수 있다.

[0033] 실시 예에 따르면, 상기 게이트 절연층(300)은상기 게이트 절연층(300)은 신축성이 있는 고분자소재로 제공될 수 있으며, 바람직하게는 폴리이미드(polyimide), 열가소성 탄성 중합체(polyurethane thermoplastic elastomers), 폴리아미드(polyamides), 폴리우레탄(polyurethanes), 폴리올레핀(polyolefin), 합성고무(synthetic rubbers), 폴리우레탄폴리클로로프렌(polychloroprene), 실리콘, 스티렌계 물질(styrenic materials), 열가소성 탄성 중합체(thermoplastic elastomer), 폴리부타디엔(polybutadiene), 폴리디메틸실록산(polydimethylsiloxane; PDMS), 폴리이소부티렌(polyisobutylene), 올레핀계 물질(olefenic materials) 및 이들의 조합들로 이루어진 군에서 선택되는 어느 하나 이상으로 제공될 수 있다. 더 바람직하게는 폴리이미드(polyimide)로 제공될 수 있다.

[0034] 상기 활성층(400)은 상기 게이트 절연층(300) 상면에 위치할 수 있다. 상기 활성층(400)은 그래핀층이 포함될 수 있으며, 더 바람직하게는 질소 도핑된 그래핀층이 포함될 수 있다. 상기 질소 도핑된 그래핀층은 무산소 분위기에서 형성될 수 있으며, 동일한 장비 내에서 연속하여 그래핀층이 증착되고 질소 도핑될 수 있다.상기 그래핀층을 증착, 도핑하는 구체적인 과정은 후술하도록 한다.

[0035] 실시 예에 따르면, 상기 활성층(400)은 후술할 제1 전극(510)에서 제2 전극(530)으로 전류가 흐르는 경로를 제공하는 채널(Channel)로 사용될 수 있다.

[0036] 도 1에서는 상기 활성층(400)과 상기 게이트 전극(200)의 연결관계를 설명하기 위해 활성층(400)의 폭이 상기 게이트 전극(200)의 폭보다 다소 작게 도시하였으나, 이에 한정되지 않으며 경우에 따라서는 상기 게이트 전극(200)의 폭과 유사하거나 더 클 수 있음은 물론이다.

[0037] 상기 제1 전극(510) 및 상기 제2 전극(530)은 상기 활성층(400)위에 위치하며, 둘 이상이 전극이 서로 소정 거리 이격한 상태로 위치할 수 있다. 예를 들어, 상기 제1 전극(510)이 활성층(400)의 일 단에 접촉될 수 있으며, 상기 제2 전극은 상기 활성층(400)의 일 단과 소정거리 이격된 상기 활성층(400)의 타단에 접촉할 수 있다.

[0038] 실시 예에 따르면, 상기 제1 전극(510) 및 상기 제2 전극(530)은 통상적으로 공지된 도전성 물질로 제공될 수 있으며, 바람직하게는 금속, 폴리실리콘, 도전성 산화물로 형성될 수 있다. 상기 제1 전극(510)과 상기 제2 전극(530)은 서로 같은 종류의 물질로 제공될 수 있으나, 서로 다른 도전성 물질로 제공되어도 무방하다. 이하 본 발명에서는 상기 제1 전극(510) 및 상기 제2 전극(530)을 구성하는 물질로 하나의 전극에는 Au/Ti로, 다른 하나 이상의 전극에는 그래핀/Ti로 제공되는 것을 예를 들어 설명하나, 이에 한정되지 않는다.

[0039] 상기 제1 전극(510) 및 상기 제2 전극(530)이 전도성 물질층과 티타늄(Ti)층을 포함하는 경우, 무산소 분위기에서 티타늄(Ti)층이 증착되고 이어서 전도성 물질층이 증착되어지는데, 상기 증착 과정은 동일한 장비 내에서 연속하여 수행될 수 있다. 즉, 상기 티타늄(Ti)층과 상기 전도성 물질층이 무산소 분위기에서 in-situ로 증착될 수 있다.

[0040] 실시 예에 따르면 상기 제1 전극(510), 상기 제2 전극(530) 및 상기 게이트 전극(200)은 동일한 성분으로 구성되는 물질층을 가질 수 있다. 아울러, 상기 제1 전극(510) 및 상기 제2 전극(530)은 단일층 또는 다중층일 수 있다. 상기 제1 전극 (510) 및 상기 제2 전극(530)의 형태 및 위치는 달라질 수 있다. 예를 들어, 상기 제1 전극(510)은 상기 활성층(400)의 일단에서 그와 인접한 상기 게이트 절연층(300) 영역 위로 연장되는 구조를 가질 수 있다. 또한, 상기 제1 전극(510)및 상기 제2 전극(530)은 상기 활성층(400)의 양단(일단 및 타단)이 아닌 다른 두 영역에 접촉하도록 구비될 수 있다.

[0041] 도 1에는 도시되지 않았으나, 본 발명의 실시 예에 의한 스트레처블 N-doped 그래핀 TFT(1000)에서는 상기 활성층(400)을 덮는 식각 정지층이 더 포함될 수 있다. 상기 식각 정지층은 상기 제1 전극(510) 및 상기 제2 전극(530)이 형성되는 식각 공정에서 상기 식각으로 인하여 상기 활성층(400) 일 면이 손상되는 것을 방지하는 역할을 수행할 수 있다. 아울러, 상기 제1 전극(510)과 상기 제2 전극(530)은 식각 정지층에 형성된 소정의 홀을 통해 상기 활성층(400)과 전기적으로 연결될 수 있다. 또한, 상기 식각 정지층은 실리콘 산화물, 실리콘 질화물, 유기 절연물 등으로 구성될 수 있으나, 이에 한정되지 않는다.

[0042] 실시 예에 따르면, 상기 스트레처블 N-doped 그래핀 TFT(1000)은 상기 게이트 전극(200), 상기 게이트 절연층(300), 상기 활성층(400), 상기 제1 전극(510)및 상기 제2 전극(530)을 덮는 통상의 보호층(Passivation layer)이 더 포함될 수 있다. 상기 보호층(Passivation layer)은 실리콘 산화물층, 실리콘 질화물층, 유기 절연층에서 선택되는 하나 이상의 층으로 제공될 수 있으며, 하나 이상의 층이 적층된 복합층으로 제공될 수 있다.

[0043] 이상 상기 스트레처블 N-doped 그래핀 TFT의 구성에 대해 설명하였다. 이하 상기 스트레처블 N-doped 그래핀 TFT의 활성층 형성과정에 대해 설명한다.

[0045] 실시 예에 따르면, 상기 스트레처블 N-doped 그래핀 TFT는 소정의 기판 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 위에 활성층을 형성하는 단계 및 상기 활성층의 일면에 제1 전극 상기 활성층의 타면에 제2 전극을 형성하는 단계를 포함할 수 있다. 이 때, 상기 스트레처블 N-doped 그래핀 TFT는 소정의 기판 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계 및 상기 제1 전극, 상기 제2 전극을 형성하는 단계는 본 발명이 속한 기술분야의 통상의 기술자가 기 공지된 방법을 적용하여 형성할 수 있기에 생략하도록 한다.

[0046] 상기 활성층을 형성하는 단계는 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계, in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계, 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계 및 상기 결함이 형성된 그래핀층을 질소 도핑하는 단계 중 어느 하나 이상의 단계를 포함하여 형성될 수 있다.

[0047] 구체적으로, 상기 게이트 절연층 위에 상기 활성층 형태에 대응하는 섀도우 마스크(Shadow mask)를 부착할 수

있다. 상기 챔버의 무산소 분위기를 유지하면서 in-situ로 remote 플라즈마 보조 화학기상증착(Plasma Assisted Thermal Chemical Vapor Deposition; PAT-CVD)에 의해 티타늄(Ti) 막 위에 그래핀층을 성장시킨다. 이에 의해 본 발명에서는 전사(Transfer)하는 과정 없이 그래핀층이 티타늄(Ti)층을 매개로 상기 게이트 절연층 위에 안정적으로 밀착 형성된다. 아울러, 상기 그래핀층에 remote 플라즈마 처리하여 상기 그래핀층에 소정에 데미지를 주어 결함(defect)을 생성할 수 있다. 상기 결함을 생성하는 조건에 대해서는 후술할 실시예를 통해 더 자세히 설명도록 한다. 이어서 결함이 생성된 그래핀층에 대해 질소(N_2) 분위기하에서 remote 플라즈마에 노출시켜 N_2 도핑할 수 있다. 즉, 전사(Transfer) 과정 없이 그래핀층을 직접 in-situ로 성장시킴으로써 고품질과 고안정성의 TFT가 가능하며, 연신 능력이 우수한 스트레처블 N-doped 그래핀 TFT를 제조할 수 있다. 상술한 형성과정에서는 상기 게이트 절연층이 형성 된 이후에, 상기 게이트 절연층 위에 상기 섀도우 마스크(Shadow mask)를 부착하였으나, 상황에 따라서는 상기 티타늄(Ti)박막이 형성된 이후부터 그래핀층 질소 도핑 이전에 과정 중 임의의 단계에서 상기 섀도우 마스크(Shadow mask)를 부착할 수 있다.

[0048] 도시하지는 않았으나, 상기 스트레처블 N-doped 그래핀 TFT가 외부로 노출되면 상기 그래핀층 아래의 상기 티타늄(Ti)층이 부분적으로 산화되어 TiO_{2-x}로 변환될 수 있다. 이에, 본 명세서에서는 시점에 따라서 '그래핀/Ti' 또는 '그래핀/TiO_{2-x}'를 혼용하여 표기하도록 한다.

[0049] 실시 예에 따르면, 상기 스트레처블 N-doped 그래핀 TFT는 제조 후에 20 내지 400℃에서 어닐링(Annealing)하는 단계를 더 포함할 수 있다. 상기 어닐링은 상기 질소 도핑된 그래핀층의 전기적 특성을 변화시키지 않는 상태에서, 상기 제1 전극 및 상기 제2 전극이 증착하는 과정에서 발생된 그래핀층 상의 결함(defect)을 제거할 수 있다. 즉 상기 어닐링을 통해 상기 스트레처블 N-doped 그래핀 TFT의 작동특성이 개선될 수 있다.

[0050] 또한, 상기 스트레처블 N-doped 그래핀 TFT는 통상적인 바텀 게이트 구조의 박막 트랜지스터를 가정하여 설명하였으나, 탑 게이트 구조의 박막 트랜지스터에서도 동일 또는 유사하게 적용될 수 있음은 물론이다.

[0051] 아래 실시예에서 확인된 바와 같이, 본 발명의 실시 예에 의한 스트레처블 N-doped 그래핀 TFT는 점멸비(On/off ratio)가 $3.8x10^8$ 이상, 전기전하이동도(Mobility)가 300㎠/V·S 이상이며, 서브문턱 스윙(Subthreshold Swing)이 0.1V/decade, 문턱전압(V_{th})이 -3.0 V이하로 매우 우수한 특성을 가지는 것을 확인할 수 있다. 따라서, 본 발명에 의한 박막 트랜지스터는 액정 디스플레이나 유기 발광 디스플레이, UHD(Ultra high definition)영사을 제공하는 차세대 고해상도 AMLCD(Active matrix liquid crystal display), AMOLED(Active matrix organic light emitting diode)등 능동 행렬(active matrix) 디스플레이에서 화소 스위칭 소자나 구동 소자로 사용될 수 있다.

[0052] 아울러, 본 발명의 실시 예에 따른 스트레처블 N-doped 그래핀 TFT는 TFT에 전류가 흐르는 방향과 동일한 방향(이하, 수평방향) 또는 상기 TFT에 전류가 흐르는 방향과 수직한 방향(이하, 수직방향) 중 어느 방향으로 120% 이상 인장하여도 점멸비(On/off ratio)가 $1.2x10^8$, 전기전하이동도(Mobility)가 250㎠/V·S을 초과하며, 서브문턱 스윙(Subthreshold Swing)이 0.12V/decade, 문턱전압(V_{th})이 -3.0 미만으로 매우 우수한 특성을 가진다. 이를 통해 상기 스트레처블 N-doped 그래핀 TFT는 웨어러블 전자 소자나 전자피부, 사물인터텟(IoT), 차량용 전자 소자, 지능형(AI) 로봇 구현을 위한 핵심 부품 소재로 사용될 수 있다.

[0054] 이하, 실시예를 통해 본 발명에 따른 다층 그래핀 적층체 및 이의 제조방법에 대하여 더욱 상세히 설명한다. 다만 하기 실시예는 본 발명을 상세히 설명하기 위한 하나의 참조일 뿐 본 발명이 이에 한정되는 것은 아니며, 여러 형태로 구현될 수 있다.

[0055] 또한 달리 정의되지 않은 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본원에서 설명에 사용되는 용어는 단지 특정 실시예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다. 또한 명세서에서 특별히 기재하지 않은 첨가물의 단위는 중량%일 수 있다.

[0056] **[제조예 1. 활성층 형성 방법]**

[0057] a) 게이트 절연층 위에 티타늄(Ti)층을 형성

[0058] 후술할 폴리이미드(polyimide; PI) 절연층 위에 dc power 60W, 압력 1mTorr을 유지한 후, Ar과 H2를 각각

10sccm씩 주입하여 150℃에서 10분간 스퍼터링하였으며, 이를 통해, 10nm 두께의 티타늄(Ti)을 증착한다. 이때, 상기 스퍼터에서 타겟과 타겟 사이 간격(T-T distance), 다시 말해 스퍼터의 건과 건 사이 간격은 20cm이고, 타겟과 기판 사이의 간격(T-S distance), 다시 말해 플라즈마와 기판 사이의 간격은 19cm이다.

[0059] 이후, 무산소 분위기를 유지하며 하기 표 1에 제시된 조건으로 상기 티타늄(Ti)층 위에 그래핀층을 형성한다.

표 1

[0060]

	그래핀 합성 조건
Gas Injection	H_2 / Ar / CH_4 - 50 / 10 / 200sccm
Working Temperature	150℃
Working Pressure	5.0 torr
Plasma Power	120W
Working Time	2h
T-T distance	15cm
T-S distance	12cm

[0061] 이후, 상기 그래핀 층 위에 폴리이미드(polyimide)를 120nm 두께로 증착하여 게이트 절연층을 구성하였다. 마지막으로, 상기 게이트 절연층 위에 상술한 조건으로 Ti층과 그래핀층을 다시 증착하여 활성층을 제조하였다.

[0062] b) 그래핀층의 결함(defect) 형성 조건을 결정

[0063] 그래핀층을 질소(N)로 도핑하기 전 적절한 데미지를 가하여 그래핀층 표면에 결함(defect)을 형성할 수 있다. 이 때, 최적화된 상기 결함 형성 조건을 결정하기 위해 하기 표 2의 조건에 따라 Ar플라즈마에15, 30 및 45초 동안 노출하였으며, 상기 Ar플라즈마 노출에 따른 그래핀의 데미지 정도를 라만피크, 면저항 및 투명도를 통하여 확인하였다.

표 2

[0064]

	실험 조건
Plasma power	20W
Base pressure	5 x 10^{-6}Torr
Gas flow(Ar)	10sccm
Deposition temp.	150℃
Working pressure	2mTorr
Working time	15 / 30 / 45s

[0065] Ar 플라즈마에 15초 노출시킨 샘플은 면저항이 126.2Ω/□ 투명도가 96.6%로 플라즈마에 노출시키지 않은 순수한 그래핀(Pristine graphene)의 면저항 86.2 Ω/□, 투명도 97.2%에 비해 투명도에서는 투명도에서는 변화를 보이지 않았지만 면저항이 약간 상승하는 것을 확인하였다. 이는 Ar 플라즈마에 15초 노출시킨 샘플은 결함이 거의 형성되지 않았음을 알 수 있다.

[0066] Ar 플라즈마에 30초 노출시킨 샘플은 면저항이 281.2Ω/□, 투명도가 97.8%로 적절한 결함이 형성되었음을 확인하였다. 아울러, Ar 플라즈마에 30초 노출시킨 샘플의 라만피크를 분석한 결과 약간의 D peak(그래핀의 결함을 의미)이 생긴 것을 확인하였다. 이는 Ar 플라즈마에 30초 노출시킴으로 그래핀에 적절한 결함이 형성되었음을 확인할 수 있는 증거이다.

[0067] 반면, Ar 플라즈마에 45초 노출시킨 샘플은 라만피크에서 그래핀이 완전히 에칭되어 사라진 것을 확인하였다. 따라서, 이상과 같은 처리조건에서는 30초 전후, 예를 들어 25 내지 35초 정도의 데미지를 주어 결함을 형성하는 것이 적절한 것으로 확인되었다. 그러나 처리조건이나 환경에 따라서 처리 시간이 달라질 수 있음은 자명할 것이다.

[0068] c) 그래핀층의 N_2 도핑 조건 결정

[0069] 상기 b)를 통해 Ar플라즈마 처리를 30초 진행한 후, N_2 플라즈마를 이용하여 질소 도핑을 진행하였다. 적절한 도핑정도를 조절하기 위하여 도핑시간은 30초로 고정하고 하기 표 3의 조건에 따라 N_2 가스의 양을 0.3, 0.5 및

1.0sccm으로 조절하였다.

표 3

[0070]

	실험 조건
Plasma power	20W
Base pressure	5 x 10^{-6}Torr
Gas flow(Ar)	0.3 / 0.5 / 1.0sccm
Deposition temp.	Room Temperature
Working pressure	2mTorr
Working time	30s
T-T distance	10cm
T-S distance	13cm

[0071] 실험 결과 N_2 0.3sccm 플라즈마에 노출시킨 샘플은 투명도가 97.1%이며, N_2 0.5sccm 플라즈마에 노출시킨 샘플은 투명도가 95.1%이며, N_2 1.0sccm 플라즈마에 노출시킨 샘플은 투명도가 96.4.1%인 것을 확인하였다. 반면에, 순수한 그래핀(Pristine graphene)의 투명도 97.2%으로, N_2 0.3sccm 플라즈마에 노출시킨 샘플과 가장 유사하였으나 큰 차이를 보이지 않음을 확인하였다.

[0072] 반면에 면저항은 N_2 0.3sccm 플라즈마에 노출시킨 샘플은 85.0Ω/□, N_2 0.5sccm 플라즈마에 노출시킨 샘플은 22.4Ω/□ 및 N_2 0.3sccm 플라즈마에 노출시킨 샘플은 17.6Ω/□로 N_2 0.3sccm 플라즈마에 노출시킨 샘플이 면저항이 가장 큰 것을 확인하였다.

[0073] 한편 라만피크를 분석한 결과에서도 N_2 0.3sccm 플라즈마에 노출시킨 샘플은 G peak이 1,576cm^{-1}에서 1,580cm^{-1}로 전형적인 질소 도핑 peak의 효과를 나타냄을 확인하였다. 이를 통하여 N_2는 0.3sccm이하로 공급하는 것이 적절하다는 것을 알 수 있다. 이 경우에도 상기 Ar 데미지 조건과 마찬가지로 처리조건이나 환경에 따라서 처리 시간이 달라질 수 있음은 자명하다.

[0074] 상술한 과정을 통해 상기 Ti 위에 in-situ로 성장된 그래핀에 Ar 플라즈마를 30초 동안 데미지를 가하여 결함을 형성하고, N_2 0.3sccm 플라즈마에 노출시키는 것이 가장 최적화 되는 것을 확인하였다.

[0075] 다시 말해, 상기 활성층의 형성은 도 2와 같이 게이트 절연층 위에 티타늄(Ti)층을 형성하는 단계, 티타늄(Ti)층 위에 그래핀층을 형성하는 단계, 그래핀층에 Ar 플라즈마 데미지를 가하는 단계 및 그래핀층을 N_2 도핑하는 단계를 통해 제조될 수 있다.

[0076] **[제조예 2. TFT(Thin Film Transistor) 제조 방법]**

[0077] 기판 - 게이트 층 - 게이트 절연층 - 활성층 - 전극을 각각 하기 표 3과 같은 재질로 제작하여 본 발명의 실시예에 따른 TFT를 제조한다.

표 4

[0078]

	재 질
기판	PDMS
게이트 전극	Graphene/TiO_{2-x}
게이트 절연층	PI
활성층	N-doped Graphene/TiO_{2-x}
전극	Graphene/TiO_{2-x}

[0079] 이 때, 상기 PDMS는 폴리디메틸실록산(Polydimethylsiloxane)을 의미하며, 상기 PI는 폴리이미드(Polyimide)를 미한다.

[0080] 상기 PDMS 기판 위에 상기 티타늄(Ti)층(10nm 두께)과 상기 그래핀층(단층, 0.4nm 두께)을 무산소 분위기에서

in-situ로 직접 형성하여 게이트 전극으로 한다. 상기 게이트 전극 위에 100㎚ 두께로 PI 절연층을 형성한다. 이어서 절연층 위에 섀도우 마스크(Shadow mask)를 부착한 다음 앞서 설명한 조건 및 과정을 통해 800 x 1200㎛^{2}의 활성층을 형성한다.

[0081] 상기 활성층 위에 제1 전극과 제2 전극이 형성된 마스크(mask)를 활성층이 형성된 기판에 정밀하게 배치하고 하기 표 4에서 제시된 조건에서 스퍼터링 방식으로 티타늄(Ti)층(10㎚ 두께)과 Au층(50㎚ 두께)을 연속 증착하여 800㎛의 폭(width)과 200㎛의 길이(length)를 갖는 제1 전극(Source 전극)과 제2 전극(Drain 전극)을 형성한다.

표 5

[0082]

	Ti 층	Au 층
dc power	20W,	12W
기저 압력	6.6 x 10^{-4}Pa	6.6 x 10^{-4}Pa
작업 압력	0.4Pa	0.4Pa
증착 시간	3.0min.	3.5min.

[0083] 마지막으로 150℃에서 어닐링하여 박막 트랜지스터를(TFT)제조한다.

[0085] **[분석 및 성능 평가]**

[0086] 1) 투명도 분석:

[0087] UV-vis 분광법을 사용하여 300 내지 800 파장대에서 상기 박막 트랜지스터(TFT)의 투명도를 측정하였으며, 이를 소정의 증착 작용을 거치지 않은 PDMS 기판과 비교하였다. 상기 투명도 분석의 구체적인 값을 표 6 및 도 3에 개시하였다.

표 6

[0088]

	300	400	500	600	700	800
TFT	91.864	91.664	89.764	90.564	91.660	92.393
PDMS	95.628	95.251	93.696	94.495	95.396	95.765

[0089] 표 6을 참조하면, 300 내지 800㎚의 파장대에서 상기 박막 트랜지스터(TFT)는 89 내지 93%의 투명도를 가진다. 이는 박막 트랜지스터(TFT)가 증착되지 않은 PDMS에 비해 투명도가 평균 약 4% 감소하였으나, 그래도 90% 이상의 투명도를 가지며, 특정 파장에서 투명도가 크게 감소하는 현상 없이 전체적으로 고른 투명도를 가짐을 확인할 수 있다. 이를 통해 상기 박막 트랜지스터(TFT)가 투명 전극 소자로 활용될 수 있음을 확인할 수 있다.

[0090] 2) 연신(Stretchable)특성 분석:

[0091] 상기 박막 트랜지스터(TFT)의 연신특성을 분석하기 위해 상기 박막 트랜지스터가 형성된 기판의 양 끝을 고정하고 인장하였다. 상기 채널에 수평한 방향, 더 구체적으로 채널 길이 방향으로 연신하였을 때 전기적 특성을 측정하였으며(도 4), 상기 채널에 수직한 방향, 더 구체적으로 채널 길이에 수직한 방향으로 연신하였을 때 전기적 특성을 측정하였다(도 5). 이하, 상기 채널에 수평한 방향을 수평방향, 채널에 수직한 방향을 수직방향으로 정의한다.

[0092] 다른 관점에서 상기 수평방향은 상기 제1 전극(Source 전극;S) 및 제2 전극(Drain 전극;D)이 마주보는 방향일 수 있으며, 도 1에서 x축 방향일 수 있다. 또한, 상기 수직방향은 상기 수평방향과 수직한 방향 을 의미하며, 채널의 폭 방향을 의미할 수 있다. 상기 수직방향은 도 1의 y축 방향일 수 있다.

[0093] 실시 예에 따르면, 상기 박막 트랜지스터(TFT)의 연신특성을 분석하기 위해 상기 수평방향으로는 120% 연신하였으며, 상기 수직방향은 상기 수평방향으로 연신하는 것보다 구조적 안정성이 더 높다고 판단하여, 20%를 추가로 연신하여 140%로 연신하였다.

[0094] 상기 도 4를 참조하면, 상기 수평방향으로 120% 연신하였을 때 각각 20% 연신한 위치에서 점멸비(On/off

ratio), 전기전하이동도(Mobility), 서브문턱 스윙(Subthreshold Swing) 및 문턱전압(V_{th})을 측정하였으며, 이때의 결과값을 하기 표 7에 정리하였다.

표 7

[0095]

Strain(%)	0	20	40	60	80	100	120
On/off ratio ($x10^8$)	3.8010	3.4900	3.4070	3.1582	2.8679	2.1007	1.4204
Mobility (㎠/V·S)	304	303	299	293	282	272	255
서브문턱 스윙(Subthreshold Swing) (V/decade)	0.09	0.092	0.094	0.096	0.098	0.1	0.102
Vth (v)	-3.1	-3.105	-3.11	-3.115	-3.12	-3.125	-3.13

[0096] 상기 도 4 및 표 7을 참조하면, 상기 박막 트랜지스터(TFT)가 120%로 연신됨에 따라 상기 점멸비(On/off ratio)는 1.4 내지 $3.9x10^8$이며, 상기 전기전하이동도(Mobility)는 250 내지 305㎠/V·S이다. 상기 점멸비(On/off ratio) 및 전기전하이동도(Mobility)는 연신이 증가할 수록 값이 감소하는 것을 알 수 있다. 구체적으로, 상기 점멸비(On/off ratio)의 감소 비율을 살펴보면 연신이 되지 않은 0%를 기준으로 0.92(20%), 0.90(40%), 0.83(60%), 0.75(80%), 0.55(100%) 및 0.37(120%)의 비율로 감소하였으며, 상기 전기전하이동도(Mobility)는 1.00(20%), 0.98(40%), 0.96(60%), 0.93(80%), 0.89(100%) 및 0.84(120%)의 비율로 감소하였다. 이는 상기 점멸비(On/off ratio)와 상기 전기전하이동도(Mobility)는 상기 박막 트랜지스터(TFT)가 연신됨에 따라 영향을 받지만, 그 감소폭이 65% 및 20% 미만이며, 상기 박막 트랜지스터(TFT)가 120%로 연장되어도 각각 $0.3x10^8$ 이상 및 0.8㎠/V·S 이상을 유지하는 것을 확인할 수 있다. 특히, 60% 이상의 고연신에서도 상기 점멸비(On/off ratio)가 1.4 내지 $3.2x10^8$로 감소 비율이 35 내지 85%의 비율이고, 상기 전기전하이동도(Mobility)는 250 내지 295㎠/V·S로 감소 비율이 80 내지 95%인 것을 알 수 있다.

[0097] 반면에, 상기 서브문턱 스윙(Subthreshold Swing)은 상기 박막 트랜지스터(TFT)가 120%로 연신됨에 따라 0.09에서 0.102V/decade로 증가하였음을 확인하였다. 이 역시 상기 점멸비(On/off ratio)와 상기 전기전하이동도(Mobility)와 마찬가지로 상기 박막 트랜지스터(TFT)가 연신됨에 따라 전기적 특성이 감소하였지만, 그 증가비율이 각각 1.02(20%), 1.04(40%), 1.07(60%), 1.09(80%), 1.11(100%) 및 1.13(120%)으로 증가폭이 15% 미만이며, 상기 박막 트랜지스터(TFT)가 120%로 연장되어도 1.15V/decade 미만인 것을 확인할 수 있다. 특히, 60% 이상의 고연신에서도 상기 서브문턱 스윙(Subthreshold Swing)가 0.09 내지 1.11V/decade로 증가 비율이 1.05 내지 1.2%인 알 수 있다.

[0098] 한편, 상기 문턱전압(V_{th})은 -3.0 내지 -3.2를 유지하는 것을 확인할 수 있다.

[0099] 상기 도 5를 참조하면, 상기 수직방향으로 140% 인장하였으며, 상기 도 2와 동일한 조건으로 점멸비(On/off ratio), 전기전하이동도(Mobility), 서브문턱 스윙(Subthreshold Swing) 및 문턱전압(V_{th})을 측정하였다. 이때의 결과값을 하기 표 8에 정리하였다.

표 8

[0100]

Strain(%)	20	40	60	80	100	120	140
On/off ratio ($x10^8$)	3.4900	3.4070	3.1582	2.8679	2.1007	1.754	1.2457
Mobility (㎠/V·S)	304	299	293	282	272	257	242
서브문턱 스윙(Subthreshold Swing) (V/decade)	0.09	0.091	0.092	0.093	0.094	0.095	0.096
Vth (v)	-3.1	-3.103	-3.106	-3.109	-3.112	-3.115	-3.118

[0101] 상기 도 5 및 표 8을 참조하면, 상기 수직방향으로 인장하여도, 상기 도 4와 유사한 경향성을 가지며 전기적 특성이 저하되는 것을 알 수 있다.

[0102] 구체적으로, 상기 박막 트랜지스터(TFT)가 20%에서 140%로 연신됨에 따라, 상기 점멸비(On/off ratio)는 1.2 내지 $3.5x10^8$를 가지며, 20%에 대비하여 0.98(40%), 0.90(60%), 0.82(80%), 0.60(100%), 0.50(120%) 및 0.36(140%)의 비율로 감소하였으며, 상기 전기전하이동도(Mobility) 또한 240 내지 310㎠/V·S를 가지며, 20%에 대비하여 0.98(40%), 0.96(60%), 0.93(80%), 0.89(100%), 0.85(120%) 및 0.80(140%)의 비율로 감소한 것을 알 수 있다. 특히, 60% 이상의 고연신에서도 상기 점멸비(On/off ratio)가 1.2 내지 $3.2x10^8$로 감소 비율이 35 내지 85%의 비율이고, 상기 전기전하이동도(Mobility)는 240 내지 295㎠/V·S로 감소 비율이 80 내지 95%인 것을 알 수 있다.

[0103] 반면에, 상기 서브문턱 스윙(Subthreshold Swing)은 상기 박막 트랜지스터(TFT)가 20%에서 140%로 연신됨에 따라 0.08 내지 0.1/decade를 가지며 1.01(40%), 1.02(60%), 1.03(80%), 1.04(100%), 1.06(120%) 및 1.07(140%)의 비율로 증가하였다. 특히, 60% 이상의 고연신에서도 상기 서브문턱 스윙(Subthreshold Swing)가 0.09 내지 1.0V/decade로 증가 비율이 1.0 내지 1.1%인 알 수 있다. 아울러, 상기 문턱전압(V_{th})은 -3.1 내지 -3.2를 유지하는 것을 확인할 수 있다.

[0104] 즉, 상기 박막 트랜지스터(TFT)는 상기 수평방향 또는 수직방향으로 120%연신하면 전기적 특성이 감소하나 상기 점멸비(On/off ratio)가 $0.35x10^8$이상, 상기 전기전하이동도(Mobility)가 0.8㎠/V·S이상이며, 상기 서브문턱 스윙(Subthreshold Swing)은 1.1V/decade 미만인 것을 확인하였다. 이는, 상기 박막 트랜지스터(TFT)가 방향에 관계 없이 연신(Stretchable)특성이 매우 우수하며, 120% 이상의 연신 상태에서도 안정적으로 트랜지스터 소자로 작동할 수 있음을 확인할 수 있다.

[0105] 다시 말해, 상기 박막 트랜지스터(TFT)를 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 이상 인장할 수 있으며, 수평방향 또는 수직방향 중 어느 하나의 방향으로 120% 인장하여도 점멸비(On/off ratio)가 $1.4x10^8$, 전기전하이동도(Mobility)가 250㎠/V·S을 초과하며, 서브문턱 스윙(Subthreshold Swing)이 0.12V/decade 미만인 것을 확인할 수 있다. 이를 통해, 상기 박막 트랜지스터(TFT)가 120% 이상 연장하여도 우수한 전기적 특성을 유지하는 것을 확인할 수 있다.

[0106] 3) 반복 하중 시 연신특성 분석:

[0107] 상기 박막 트랜지스터(TFT)에 반복 하중을 작용하였을 때, 전기적 특성을 분석하기 위해 상기 수평방향으로 120% 연신하는 것을 3,000cycle 반복한 결과를 도 6에 개시하였으며, 상기 수직방향으로 140% 연신하는 것을 3,000cycle 반복한 결과를 도 7에 개시하였다.

[0108] 도 6을 참조하면, 상기 수평방향으로 120% 연신하는 것을 0 내지 3,000cycle 반복하였을 때, 점멸비(On/off ratio), 전기전하이동도(Mobility), 서브문턱 스윙(Subthreshold Swing) 및 문턱전압(V_{th})은 하기 표 9와 같다.

표 9

[0109]

Cycle	0	500	1,000	1,500	2,000	2,500	3,000
On/off ratio ($x10^8$)	3.8010	1.9864	1.8568	1.756	1.5688	1.3816	1.1944
Mobility (㎠/V·S)	304	252	247	239	218	201	183
서브문턱 스윙(Subthreshold Swing) (V/decade)	0.09	0.103	0.106	0.110	0.112	0.115	0.12
Vth (v)	-3.1	-3.13	-3.14	-3.15	-3.16	-3.16	-3.18

[0110] 상기 도 6 및 표 9를 참조하면, 상기 점멸비(On/off ratio)는 1.1 내지 $3.9x10^8$이며, 상기 전기전하이동도(Mobility)는 180 내지 310㎠/V·S로 반복 하중이 증가할 수록 값이 감소하는 것을 알 수 있다. 구체적으로, 상

기 점멸비(On/off ratio)의 감소 비율을 살펴보면 초기 120%로 한번 연신한 결과를 기준으로 0.52(500 cycle), 0.49(1,000 cycle), 0.46(1,500 cycle), 0.41(2,000 cycle), 0.36(2,500 cycle) 및 0.31(3,000 cycle)의 비율로 감소하였으며, 상기 전기전하이동도(Mobility)는 0.83(500 cycle), 0.81(1,000 cycle), 0.79(1,500 cycle), 0.72(2,000 cycle), 0.66(2,500 cycle) 및 0.60(3,000 cycle)의 비율로 감소하였다. 이는 상기 점멸비(On/off ratio)와 상기 전기전하이동도(Mobility)는 상기 박막 트랜지스터(TFT)가 연속 하중을 반복할 수록 상기 도 4 내지 7과 마찬가지로 전기적 특성이 감소되나, 그 감소폭이 70% 및 45%을 미만이며, 상기 박막 트랜지스터(TFT)가 120%로 3,000cycle 반복 연장되어도 각각 $0.3x10^{8}$ 이상 및 0.5㎠/V·S 이상을 유지하는 것을 확인할 수 있다.

[0111] 반면에, 상기 서브문턱 스윙(Subthreshold Swing)은 3,000cycle 동안 0.09에서 0.15로 증가하였음을 확인하였다. 이 역시 상기 점멸비(On/off ratio)와 상기 전기전하이동도(Mobility)와 마찬가지로 상기 박막 트랜지스터(TFT)가 반복 연신됨에 따라 전기적 특성이 감소하였지만, 그 증가비율이 각각 1.14(500 cycle), 1.18(1,000 cycle), 1.22(1,500 cycle), 1.24(2,000 cycle), 1.28(2,500 cycle) 및 1.33(3,000 cycle)으로 증가폭이 35% 미만이며, 상기 박막 트랜지스터(TFT)가 120%로 연장되어도 1.35V/decade 미만인 것을 확인할 수 있다.

[0112] 한편, 상기 문턱전압(V_{th})은 -3.1 내지 -3.2를 유지하는 것으로 연신 또는 반복 하중 상태에서도 그 변화값이 크지 않음을 확인할 수 있다.

[0113] 마지막으로 도 7을 참조하면, 상기 수평방향과 수직한 방향으로 140% 연신하는 것을 0 내지 3,000cycle 반복하였을 때, 점멸비(On/off ratio), 전기전하이동도(Mobility), 서브문턱 스윙(Subthreshold Swing) 및 문턱전압(V_{th})은 하기 표 10과 같다.

표 10

[0114]

Cycle	0	500	1,000	1,500	2,000	2,500	3,000
On/off ratio ($x10^{8}$)	3.8010	1.9912	1.8868	1.816	1.6653	1.4113	1.2314
Mobility (㎠/V·S)	304	252	247	242	232	222	212
서브문턱 스윙(Subthreshold Swing) (V/decade)	0.09	0.118	0.119	0.12	0.125	0.126	0.128
Vth (v)	-3.1	-3.125	-3.125	-3.13	-3.13	-3.15	-3.16

[0115] 상기 도 7 및 표 10을 참조하면, 상기 수직방향으로 반복하여 인장하여도, 상기 도 4 내지 8과 유사한 경향성을 가지는 것을 알 수 있다.

[0116] 구체적으로, 상기 점멸비(On/off ratio)는 3,000cycle 동안 1.2 내지 $3.9x10^{8}$를 가질 수 있으며, 반복 인장을 수행하지 않은 결과와 대비하여 0.52(500 cycle), 0.50(1,000 cycle), 0.48(1,500 cycle), 0.44(2,000 cycle), 0.37(2,500 cycle) 및 0.32(3,000 cycle)의 비율로 감소하였으며, 상기 전기전하이동도(Mobility) 또한 210 내지 310㎠/V·S를 가지며 0.83(500 cycle), 0.81(1,000 cycle), 0.80(1,500 cycle), 0.76(2,000 cycle), 0.73(2,500 cycle) 및 0.70(3,000 cycle)의 비율로 감소한 것을 알 수 있다.

[0117] 반면에, 상기 서브문턱 스윙(Subthreshold Swing)은 0.09 내지 0.13/decade의 범위 내에서 1.31(500 cycle), 1.32(1,000 cycle), 1.33(1,500 cycle), 1.39(2,000 cycle), 1.40(2,500 cycle) 및 1.42(3,000 cycle)의 비율로 증가하였다.

[0118] 상기 문턱전압(V_{th})은 -3.1 내지 -3.2를 유지하는 것을 확인할 수 있다.

[0119] 즉, 상기 박막 트랜지스터(TFT)는 상기 제1 전극(S)과 상기 제2 전극(D)을 동일한 방향으로 120%이상 연신하는 것을 3,000cycle 반복 수행하여도 상기 점멸비(On/off ratio)가 $1.2x10^{8}$이상, 상기 전기전하이동도(Mobility)가 210㎠/V·S이상이며, 상기 서브문턱 스윙(Subthreshold Swing)은 0.13/decade 미만을 가지는 것을 확인할 수 있다. 이는, 상기 박막 트랜지스터(TFT)가 반복적인 연신 상태에서도 안정적으로 트랜지스터 소자로 작동할 수 있으며, 플랙서블 소자로 활용될 수 있음을 확인할 수 있다.

[0120] 도 8은 본 발명의 실시 예에 따른 140% 인장에 따른 박막 트랜지스터(TFT)의 전류 전달 특성(Transfer curve)을 비교한 그래프이다.

[0121] 상기 도 8을 참조하면, 인장하지 않은 박막 트랜지스터(TFT)와 140% 인장한 박막 트랜지스터(TFT)가 유사한 전류 전달 특성을 가지는 것을 확인할 수 있다. 구체적으로 140% 인장 이전과 이후 상관없이 공통적으로 드레인 전압(Drain voltage; V_d)이 0.1V일 때, 게이트 전압(Gare voltage)을 -10V에서 0V 사이에서 스윕(Sweep)하여 드레인 전류가 급상승 되었음을 알 수 있다. 즉, 본 발명의 실시 예에 따라 제조된 박막 트랜지스터(TFT)는 인장 이후에도 전류 전달 특성이 크게 감소하지 않으며, 이는 인장(Stretchable) 안정성이 매우 우수하다는 것을 의미한다.

[0123] 이상과 같이 특정된 사항들과 한정된 제조예를 통해 본 발명이 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 제조예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0124] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0126] 100: 기판

200: 게이트 전극 (Graphene/TiO_{2-x})

300: 게이트 절연층 (Polyimide: 120 nm)

400: 활성층

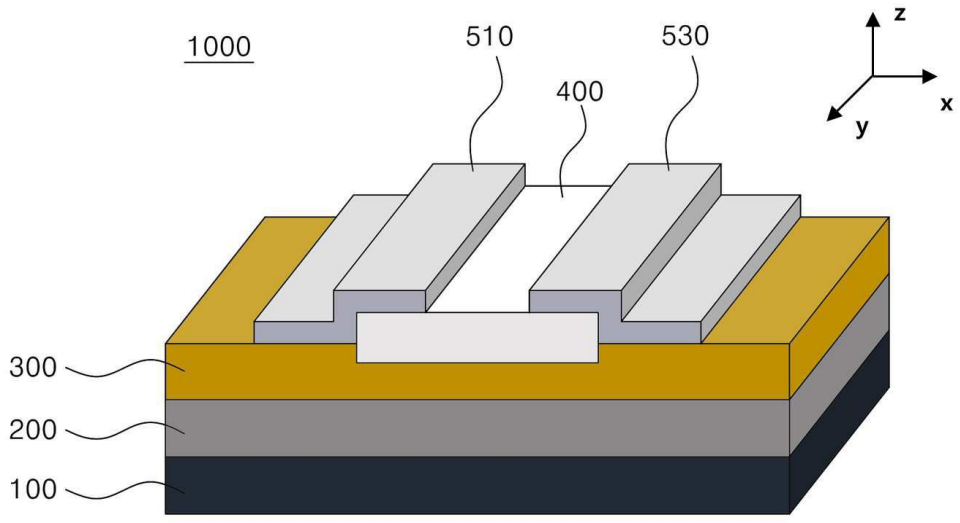
510: 제1 전극 (Source, Graphene/TiO_{2-x})

530: 제2 전극 (Drain, Graphene/TiO_{2-x})

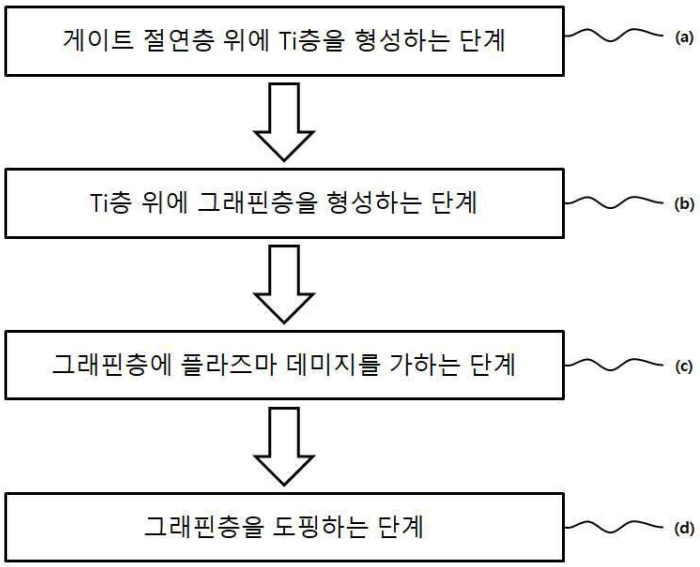
1000: 스트레처블 N-doped 그래핀 TFT

도면

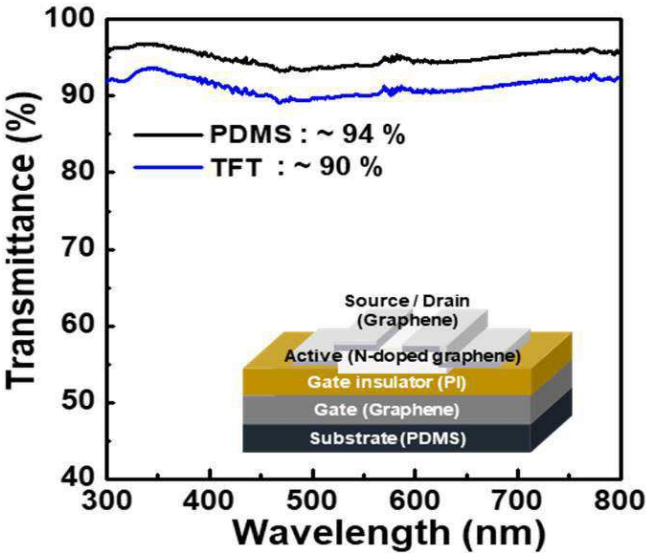
도면1



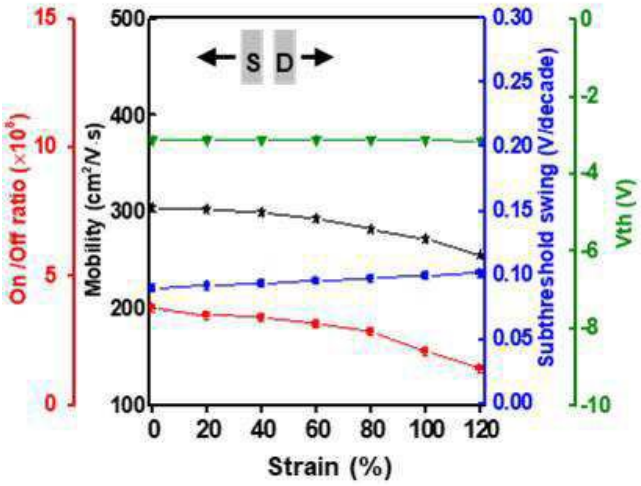
도면2


게이트 절연층 위에 Ti층을 형성하는 단계
(a)
Ti층 위에 그래핀층을 형성하는 단계
(b)
그래핀층에 플라즈마 데미지를 가하는 단계
(c)
그래핀층을 도핑하는 단계
(d)

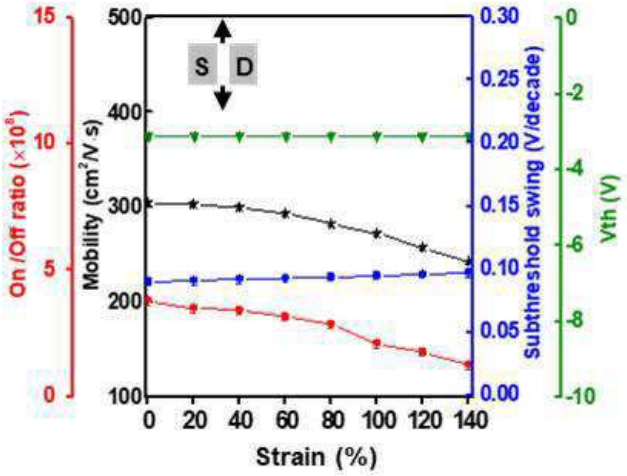
도면3


Transmittance (%)
100
90
80
70
60
50
40
300
400
500
600
700
800
Wavelength (nm)
PDMS : ~ 94 %
TFT : ~ 90 %
Source / Drain
(Graphene)
Active (N-doped graphene)
Gate insulator (PI)
Gate (Graphene)
Substrate (PDMS)

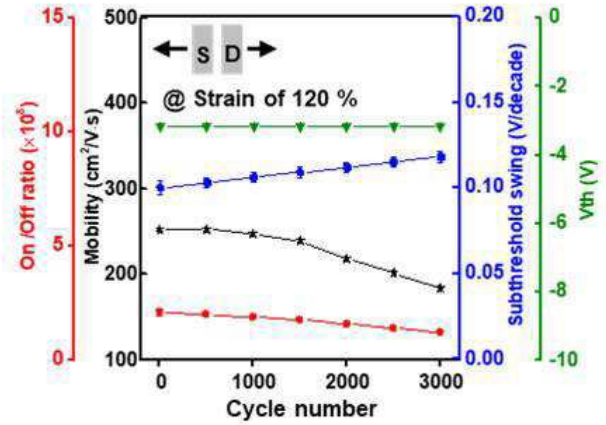
도면4


S D
On /Off ratio (×10⁵)
Mobility (cm²/V s)
Subthreshold swing (V/decade)
Vth (V)
Strain (%)

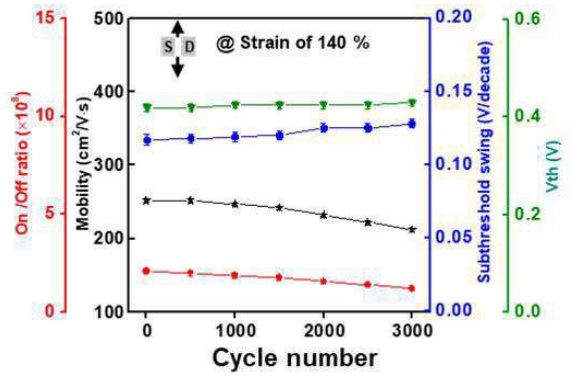
도면5


S D
On /Off ratio (×10⁵)
Mobility (cm²/V s)
Subthreshold swing (V/decade)
Vth (V)
Strain (%)

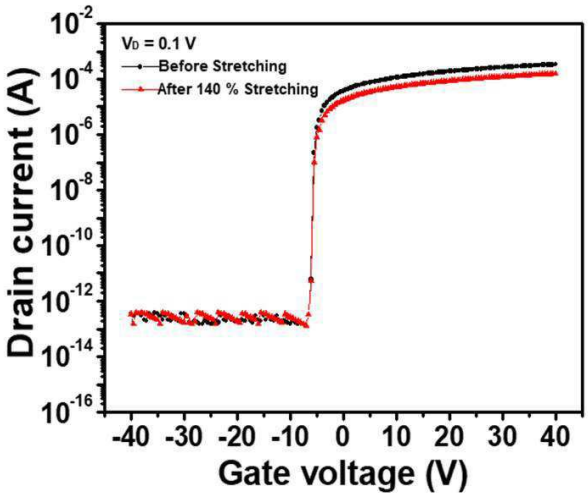
도면6


S D
@ Strain of 120 %
On /Off ratio (×10⁵)
Mobility (cm²/V s)
Subthreshold swing (V/decade)
Vth (V)
Cycle number

도면7


@ Strain of 140 %
S D
On /Off ratio (×10⁵)
Mobility (cm²/V·s)
Subthreshold swing (V/decade)
Vth (V)
Cycle number

도면8


V₀ = 0.1 V
Before Stretching
After 140 % Stretching
Drain current (A)
Gate voltage (V)