(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 27/02

(45) 공고일자 2000년03월15일
(11) 등록번호 10-0248298
(24) 등록일자 1999년12월17일

(21) 출원번호	10-1997-0019751	(65) 공개번호	특1997-0077616
(22) 출원일자	1997년05월21일	(43) 공개일자	1997년12월12일
(30) 우선권주장	1996-127006 1996년05월22일 일본(JP)		

(73) 특허권자 가부시키가이샤 아드반테스트 오우라 히로시
일본 토쿄토 네리마꾸 아사히쵸 1-32-1
(72) 발명자 니시오 나오끼
일본국 도꾜도 네리마꾸 아사히죠 잇죠메 32-1 가부시끼가이샤 아드반테스트 나이
후꾸하라 히데유끼
일본국 도꾜도 미나도꾸 기다아오야마 산죠메 6-12, 텍사스 인스루멘쯔 재팬 가부시끼가이샤 나이
미야이 요이찌
일본국 도꾜도 미나도꾸 기다아오야마 산죠메 6-12, 텍사스 인스루멘쯔 재팬 가부시끼가이샤 나이
가가와 요시노부
일본국 도꾜도 미나도꾸 기다아오야마 산죠메 6-12, 텍사스 인스루멘쯔 재팬 가부시끼가이샤 나이
(74) 대리인 이돈상

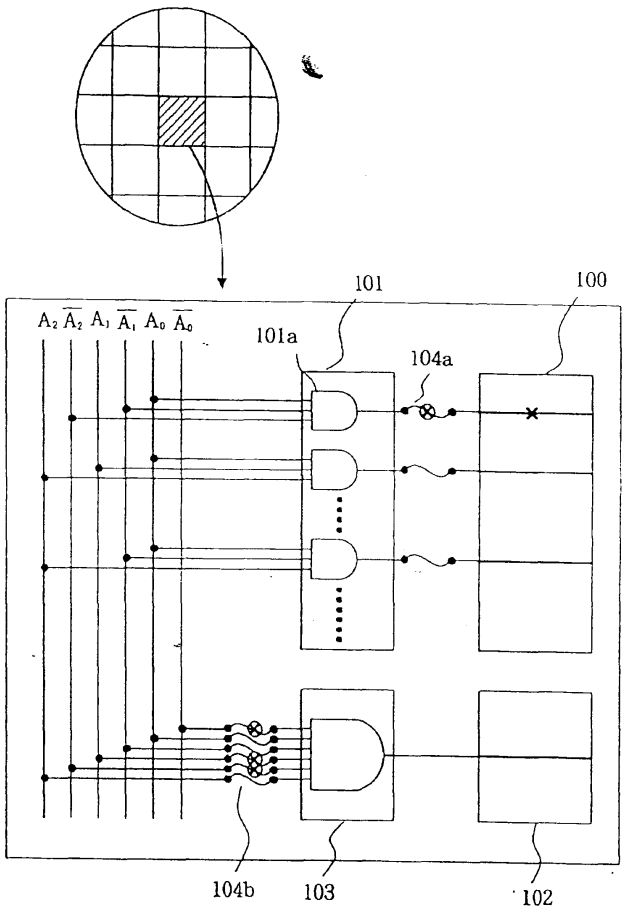
심사관 : 민병준

(54) 메모리리페어방법 및 메모리용장회로

요약

통상의 메모리셀에 결손이 있을 때에도 소정 두께이하의 배선을 형성할 수 있는 메모리 리페어 방법 및 메모리 용장회로를 제공하기 위한 것을 목적으로 한다. 반도체 메모리칩내에 퓨즈와 그 퓨즈의 절단에 의해 통상셀과의 전환이 가능한 용장셀을 갖추고, 통상 메모리셀에 결손이 있을 때에는 그 결손한 통상 메모리셀에 대응하는 퓨즈를 절단하여 용장셀로 전환하는 메모리 리페어 방법으로서, 칩의 전체면에 레지스트를 도포하고 결손한 통상 메모리셀에 대응하는 퓨즈의 부분을 노광하여 현상처리 하는 것으로서 그 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리를 함으로써 퓨즈의 절단을 한다.

대표도



명세서

[발명의 명칭]

메모리 리페어 방법 및 메모리 용장회로

[도면의 간단한 설명]

제1도는 웨이퍼의 칩내에 설치되는 용장(冗長)셀의 일반적인 구성(용장회로)예를 나타내는 회로도이다.

제2a도～제2d도는, 레이저 절단방식의 원리를 설명하기 위한 도면이다.

제3a도～제3d도는, 본 발명의 제 1의 실시예의 메모리 리페어 방법에서의 퓨즈의 절단 원리를 설명하기 위한 도면이다.

제4도는 본 발명의 메모리 리페어 방법이 적용되는 전자빔 메모리 리페어 장치의 개략 구성을 나타내는 블록도이다.

제5a도～제5e도는, 본 발명의 제 2의 실시예의 메모리 리페어 방법에서의 퓨즈의 접속 원리를 설명하기 위한 도면이다.

제6도는 본 발명의 제 2의 실시예의 메모리 리페어 방법에 적용되는 용장회로의 일례의 회로도이다.

[발명의 상세한 설명]

[발명의 배경]

[발명의 분야]

본 발명은 반도체 메모리 칩내에 예비의 메모리셀(용장셀)를 설치해두고, 통상의 메모리셀의 결손이 있었을 때 그 메모리셀 대신에 용장셀을 접속하는 메모리 리페어 방법에 관한 것이다. 또한 그 메모리 리페어 방법이 적용되는 전자빔 메모리 리페어 장치 및 메모리 용장회로에 관한 것이다.

[종래기술의 설명]

제 1 도에 웨이퍼의 칩내에 설치되는 용장셀의 일반적인 구성(용장회로)예를 나타낸다. 제 1 도에서, 통

상 메모리셀(100)은 예컨대 0~511번지(512본의 통상 데이터선)를 갖는다. 어드레스 디코더(101)는 각각의 출력선이 통상 메모리셀(100)의 각 통상 데이터선에 접속되어 있고, 입력라인인 어드레스 [Ao(바), Ao, ····]에 의해 각 출력(출력번지)의 설정이 이루어진다. 여기서, Ao(바)는 Ao의 반전 출력을 나타낸다. 어드레스 디코더(101)의 각 출력에는, 각각 퓨즈(104a)가 설치되어 있다.

디코더(103)는 출력선이 용장셀(102)의 용장 데이터선에 접속되어 있고, 어드레스 [Ao(바), Ao, ····]의 라인이 각각 퓨즈(104b)를 거쳐서 입력되어 있다. 이들 용장셀(102), 어드레스(103), 퓨즈(104b)에 의해 구성되는 용장회로는 통상은 금지 상태에 있고, 이네이블 신호에 의해 금지 상태가 해제되어, 출력이 유효하게 된다.

상기 구성의 용장회로에서는, 통상셀(100)의 각 통상 데이터선에 대해서 용장셀(102)의 용장 데이터선이 설치되어 있고, 예컨대 논리회로(101a)의 출력과 이어지는 통상 데이터선에 결손 비트가 있었을 때는, 그 논리회로(101a)의 출력에 설치된 퓨즈(104a)가 절단되고, 결손한 통상의 데이터선(결손 데이터선)의 대신으로 용장셀(102)의 용장 데이터선이 사용되도록 디코더(103)의 입력에 설치된 퓨즈(104b)가 절단된다. 이와 같이, 결손 데이터선을 무효로 하고, 이네이블 신호에 의해 금지 상태를 해제하여 용장셀(102)의 용장 데이터선으로의 출력이 유효하게 된다.

상술의 퓨즈의 절단에는 레이저를 이용한 퓨즈절단 방식을 채용하는 메모리 리페어 방법이 일반적으로 쓰이고 있다. 이 레이저 절단방식의 원리를 제 2 도에 나타낸다.

퓨즈가 설치된 부분은, Si 기판상에 SiO_2층으로 되는 절연막, 알루미늄 또는 폴리실리콘 등의 재료를 써서 형성된 배선에 의해 구성되는 퓨즈층, SiO_2층으로 되는 절연막이 순차 적층된 구성으로 되어 있다. 제 2 도의 상단에 나타내는 것 같은 레이저 펄스가 조사되면, 조사된 레이저가 퓨즈층에 흡수되어 그 온도가 상승한다. [제 2a 도 참조]. 온도가 상승하면, 더욱 퓨즈층의 흡수율이 상승하여, 퓨즈층에서의 내부 압력이 급격히 상승한다. 퓨즈층에서의 내부 압력이 급격히 상승하면, 상층의 SiO_2층이 폭발하여 퓨즈가 기화한다[제2b도 참조]. 레이저 펄스의 후반에서 나머지의 퓨즈가 기화되면 하층의 SiO_2층에 레이저가 조사되어 [제2c도 참조], SiO_2층이 다소 기화된다. [제 2d 도 참조]. 이와 같은 공정에 의해 퓨즈의 절단이 이루어진다.

상기의 레이저의 의한 퓨즈의 절단에는, 통상 칩내의 소정의 퓨즈 위치에 레이저빔을 고속, 고정밀도로 위치 정하고, 레이저 빔에 의해 퓨즈를 절단하는 기구가 쓰인다. 퓨즈의 절단은 리페어 직전에 행해지는 예비 테스팅에 의해 얻어진 웨이퍼에 관한 리페어 가능한 칩정보 및 결손 데이터선의 어드레스 정보에 의거하여 행해진다.

[발명이 해결하고자 하는 과제]

최근의 고집적 메모리에서는, 그 중에서 쓰이는 설계룰에 따라 퓨즈를 배치하여, 퓨즈의 점유 면적을 최소로 하는 것으로써 칩의 소형화를 도모하고 있다. 또 칩의 코스트를 조금이라도 싸게 하겠다는 강한 요망도 있다. 그러나, 상술한 레이저에 의한 퓨즈절단 방식을 쓴 종래의 메모리 리페어 방법에는 아래와 같은 제한이 있다.

(1) 레이저에 의한 퓨즈 절단방식에서는, 퓨즈만을 선택적으로 불어 날려보내서, 주위 및 하층의 실리콘 기판에 주는 손상을 극력 적게 할 필요가 있고, 이 조건을 채우기 위해서 적외선 또는 그보다 긴 파장의 레이저를 사용하지 않으면 안된다. 이와 같이 파장에 제한이 있기 때문에, 스포트 지름을 약 2.5㎛ 이하로 좁힐 수가 없다.

(2) 또 레이저에 의한 퓨즈절단 방식에서는, 칩내의 소정의 퓨즈 위치에 레이저빔을 고속·고정도로 위치결정하는 기구가 설치되나, 그 위치결정 오차는 기계적 정밀도로 결정되기 때문에, 0.3㎛ 정도가 실용적 한계이다.

주로 여기에 들은 2가지 제한으로 인하여, 종래의 메모리 리페어 방법에서는 퓨즈 간격을 예컨대, 2㎛ 이하로 하는 것은 기술적으로 곤란하고, 퓨즈의 점유 면적을 최소로 하는 것에는 한계가 있었다.

또 최근의 반도체 메모리에서는, 퓨즈는 알루미늄 등의 금속재료의 배선과 같은 층에 형성된다. 그 이유는 아래와 같다.

배선층은 통상 복수층이고, 최상층에는 금속 배선이 일반적으로 사용되고, 하층에는 폴리실리콘이 사용된다. 하층의 배선층을 퓨즈층으로서 썼을 때에는 그 퓨즈 영역 근처의 퓨즈층상의 절연막이나 배선층을 에치백할 필요가 생겨, 이 절연막이나 배선층의 두께의 산포 및 에치백의 산포에 의해 안정한 두께의 절연막을 퓨즈층상에 남겨두도록 하는 것이 배선의 다층화에 의해 곤란하게 되어왔다. 따라서, 일반적으로 퓨즈의 최상층에 형성된다.

상기와 같이 퓨즈가 최상층에 금속재료로 형성될 때, 금속은 적외선 레이저광에 대한 반사율이 매우 높고, 또한 스킨 효과에 의해 내부로 침입한 빛이 표면에서 흡수되어 하부까지 도달하지 않는다는 성질을 갖는 것에서, 퓨즈를 절단하기 위해서는 레이저의 파워를 올릴 필요가 있다. 이 때문에 퓨즈 절단시에 퓨즈 하층에 손상이 나기 쉽고, 미세화된 퓨즈를 레이저로 안정하게 절단하는 것은 매우 곤란했었다.

[발명의 요약]

본 발명의 목적은 통상의 메모리셀에 결손이 있을 때에도 소정 두께이하의 배선을 형성할 수 있는 메모리 리페어 방법 및 메모리 용장회로를 제공하기 위한 것에 있다

상기 목적을 달성하기 위해 본 발명의 제 1의 메모리 방법은, 반도체 메모리 칩내에 용장셀을 두고, 통상 메모리셀에 결손이 있을 때 소정의 배선을 절단하는 것으로써 결손한 통상 메모리셀 대신에 전기 용장셀을 접속하는 메모리 리페어 방법으로서, 전기 배선의 절단을, 전기 칩의 전체면에 레지스트를 도포하고, 절단하는 배선의 소정부를 노광하여 현상 처리하는 것으로써 전기 레지스트에 소정 형상의 패턴을 형성하

고, 그 레지스트 패턴을 마스크로 하여 에칭 처리하는 것으로써 행하는 것을 특징으로 한다

본 발명의 제 2의 메모리 리페어 방법은, 반도체 메모리 칩내에 용장셀을 두고, 통상 메모리셀에 결손이 있을 때, 소정의 배선을 형성하는 것으로써 결손한 통상 메모리셀 대신에 전기 용장셀을 접속하는 메모리 리페어 방법으로서, 전기 배선의 형성을, 전기 칩의 전체면에 레지스트를 도포하고, 형성하는 배선부를 노광하여 현상 처리하는 것으로써 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트패턴을 마스크로 하여 에칭처리가 실시된 영역에 소정의 퇴적재료를 퇴적하는 것으로 하는 것을 특징으로 한다.

본 발명의 제 3의 메모리 리페어 방법은, 반도체 메모리칩내에 용장셀을 두고 통상 메모리셀에 결손이 있을 때, 소정의 배선을 절단함과 아울러 소정의 배선을 형성하는 것으로써 결손한 통상 메모리셀 대신에 전기 용장셀을 접속하는 메모리 리페어 방법으로서, 전기 배선의 절단을 할 때는, 전기 칩의 전체면에 레지스트를 도포하고 절단하는 배선의 소정부를 노광하여 현상 처리하는 것으로서 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리를 시행하는 것으로 하고, 전기 배선의 형성을 할 때는, 전기 칩의 전체면에 레지스트를 도포하고 형성하는 배선부를 노광하여 현상처리하는 것으로써 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리가 시행된 영역에 소정의 퇴적재료를 퇴적하는 것으로써 하는 것을 특징으로 한다.

이상의 어느 메모리 리페어 방법에서도, 전기 레지스트의 노광으로서 전자빔 노광을 이용할 수 있다.

또 제 2 및 제 3의 메모리 리페어 방법에서는, 전기 용장셀은 통상 메모리셀의 각각의 데이터선에서 분기된 일부에 절단부를 갖는 배선에 의해 접속되어 있고, 전기 배선의 형성에 있어서 노광되는 부분을 전기 배선의 절단부로 하여 그 절단부를 접속하도록 해도 좋다.

또한 제 2 및 제 3의 메모리 리페어 방법에서는, 전기 소정의 퇴적재료로서 폴리실리콘 또는 금속재료를 이용할 수 있다.

본 발명의 전자빔 메모리 리페어 장치는, 상술한 어느 하나의 메모리 리페어 방법이 적용되는 전자빔 메모리 리페어 장치로서, 웨이퍼의 각 반도체 메모리칩내의 통상 메모리셀의 결손을 검출하는 메모리 테스터와 접속되고, 그 메모리 테스터로 검출된 통상 메모리셀의 결손 데이터와 미리 입력된 퓨즈 및 용장셀에 관한 데이터에서 리페어 묘화(描畵)패턴을 생성하는 리페어 묘화패턴 생성부와, 전체면에 레지스트가 도포된 전기 웨이퍼가 고정되고, 그 웨이퍼를 X, Y방향으로 이동 가능한 스테이지와, 전기 스테이지에 고정된 웨이퍼상에 전자빔을 조사하는 전자빔 노광계와, 전기 리페어 묘화패턴 생성부에서 생성된 리페어 묘화패턴에 의거하여 전기 스테이지 및 전자빔 노광계를 제어하고, 전기 레지스트에 그 리페어 묘화패턴에 대응하는 노광패턴을 형성하는 제어부와를 갖는 것을 특징으로 한다.

본 발명의 메모리 용장회로는, 상술의 본 발명의 제 2 또는 제 3의 메모리 리페어 방법이 적용되는 메모리 용장회로이며, 반도체 메모리칩내에 통상 메모리셀의 각각의 데이터선에서 분기된 배선에 의해 접속된 용장셀을 두고, 전기 배선의 각각은 일부가 절단되어 있는 것을 특징으로 한다.

상술과 같은 본 발명의 메모리 리페어 방법에 의하면, 레지스트 패턴을 마스크로 하는 것으로서 선택적으로 에칭이 되고, 이것으로써 소정의 배선의 절단(또는 형성)이 가능하게 되어있다. 또 용장셀의 접속은 소정의 배선의 일부를 절단하는 것으로써 행해지므로, 종래와 같은 형상(레이저에 의한 퓨즈절단 방식 특유의 퓨즈의 형상)의 퓨즈를 둘 필요는 없다. 또 배선의 절단(또는 형성)은 에칭(또는 퇴적)에 의해 행해지므로 절단(또는 형성)되는 배선층하에의 손상이 거의 없다.

또한 배선의 절단(또는 형성)이 행해지는 부분(종래 말하는 퓨즈)의 점유 면적은 노광에 쓰이는 빔지름, 위치맞춤 정도 등에 의해 정해진다. 예컨대 전자빔을 써서 노광을 하는 방법에서는, 노광패턴 형상을 서브 미크론 이하의 해상도로 얻어지고, 그 위치검출 정도는 0.05㎛이하로 하는 것이 가능하므로, 본 발명의 방법에서의 배선의 절단(또는 형성)이 행해지는 부분(종래 말하는 퓨즈)의 점유 면적은 0.3㎛정도가 위치검출 정도의 실용적 한계로 되어 있는 종래의 방법에서의 퓨즈의 점유 면적보다 더욱 작은 것으로 된다. 본 발명에서는 배선의 절단(또는 형성)이 행해지는 부분의 간격(종래 말하는 퓨즈의 간격)을 2㎛이하로 하는 것이 가능하다.

본 발명의 메모리 용장회로에 의하면, 용장셀은 소정의 배선의 절단부를 접속하는 것으로써 소정의 통상 메모리셀과 전환되도록 구성되므로, 종래의 퓨즈의 절단만으로 용장셀의 전환이 행해지는 용장회로에서 필요로 하는 디코더(제 1 도의 103)는 필요없게 된다.

이상 설명한 것 같이, 본 발명의 메모리 리페어 방법에 의하면 퓨즈(절단되는 배선)의 재료가 어떠한 것이라도 하층으로 손상을 주는 일 없이 퓨즈(배선)를 안정되게 절단할 수가 있다는 효과가 있다.

또한 종래의 같은 형상(레이저에 의한 퓨즈절단 방식 특유의 현상)의 퓨즈를 둘 필요는 없고, 또 퓨즈(절단되는 배선)의 간격을 2㎛이하로 할 수가 있으므로, 퓨즈(절단되는 배선)의 점유 면적을 종래의 경우보다도 더욱 작은 것으로 할 수가 있다는 효과가 있다.

본 발명의 전자빔 메모리 리페어 장치에 의하면, 상기 각 효과를 나타내는 메모리 리페어 장치를 제공할 수가 있다.

본 발명의 메모리 용장회로에 의하면, 퓨즈의 절단만으로 용장셀의 접속이 되는 용장회로에서 필요로 하는 디코터[제 2도의 (103)]가 필요 없게 되므로 용장회로를 간단한 구성으로 할 수 있어 코스트 다운을 도모할 수 있다는 효과가 있다.

[바람직한 실시예]

다음에 본 발명의 실시예에 대해서 도면을 참조하여 설명한다.

[제 1 실시예]

제3도는 본 발명의 제 1 실시예의 메모리 리피에 방법에서의 퓨즈의 절단 원리를 설명하기 위한 도면이다.

퓨즈가 설치된 부분은 Si기판(1) 상에 SiO_2층(2), 알루미늄 또는 폴리실리콘 등의 재료를 써서 형성된 배선에서 구성되는 퓨즈층(3), SiO_2층(4)이 순차 적층된 구성으로 되어있다. 우선 SiO_2층(4) 상에 칩 전체면에 레지스트(5)를 도포하고, 그 레지스트의 소정의 부분(절단되는 퓨즈부에 대응한 부분)을 전자빔으로 노광한다[제 3a도 참조].

이때의 노광은, 스포트 형상이 구형 또는 원형 등의 1개비 또는 복수개비의 전자빔을 조사하는 것으로서 한다. 이어서 현상 처리를 시행하여 절단되는 퓨즈부에 대응한 소정의 부분을 제거하여 레지스트패턴(5′)을 형성한다[제 3b 도 참조].

레지스트패턴(5′)이 형성되면, 그 레지스트패턴(5′)을 마스크로 하여 SiO_2층(2)을 에칭하고, 이어서 그 레지스트패턴(5′) 및 SiO_2층(2)을 마스크로 하여 퓨즈층(3)을 에칭하고 [제3c도 참조], 그 후 레지스트패턴(5′)을 박리한다[제 3d도 참조].

여기서 제3c 도의 공정에서의 SiO_2층(4) 및 퓨즈층(3)의 에칭은, 다른 에칭장치를 써서 별개의 공정으로서 순차하도록 해도 좋고, 또는 에칭 시간에 따라 각각의 에칭량을 제어하도록 하여 도중에서 에칭 조건을 바꾸는 것으로써 하나의 에칭장치로써 하도록 해도 좋다.

본 실시예의 메모리 리페어 방법에서는, 상술의 퓨즈의 절단을 이용하여 메모리칩내에 설치된 용장회로의 접속을 한다. 예컨대 제 2 도에 나타낸 용장회로에서, 논리회로(101a)의 출력과 이어지는 통상 데어터선에 결손 비트가 있을때는, 그 논리 회로(101a)의 출력에 설치된 퓨즈(104a)의 위치 및 디코터(103)의 입력에 설치된 퓨즈(104b)중 논리회로(101a)의 입력라인과 공통의 라인 이외에 설치된 퓨즈의 위치를 전자빔에 의해 조사하도록 레지스트(5)의 노광이 행행진다.

현상처리를 하는 것으로써 각 조사위치에 구형 또는 원형의 패턴이 형성된 레지스트패턴(5′)이 형성된다. 레지스트패턴(5′)을 마스크에 주지의 에칭처리를 하면, 각 조사 위치에서 퓨즈가 절단된다. 이것으로써 결손한 통상 데이터선(결손 데이터선)이 무효로 되고, 용장셀(102)의 용장 데이터선으로의 출력이 유효하게 된다.

상술의 전자빔 노광에는 고속이면서 고정밀도의 위치 결정이 가능한 주지의 전자빔 노광장치를 쓸 수가 있다. 제 4 도에 상술의 메모리 리페어 방법이 적용되는 전자빔 메모리 리페어 장치의 개략구성을 나타낸다.

제4도에서 웨이퍼(32)는 오토로더(27)내에 설치된 카세트(28)에 수납되어 노광의 때에 전자광학경통(25) 내의 스테이지(26)상에 순차 끄집어내 진다. 전자광학경통(25)에는 진공계(23)가 설치되어 있고, 이것으로써 경통내가 소정의 진공도로 유지된다. 이들 진공계(23), 스테이지(26), 오토로더(27)는 기구제어부(22)에 의해 제어된다.

전자광학경통(25) 내에는 블랭커, 성형편향기, 부편향기, 초점보정렌즈, 주편향기가 비치되어 있고, 이들은 데이터제어부(30)에서의 신호를 기초로 아날로그편향기(31)에 의해 제어된다. 또한 전자광학경통(25) 내에는 반사전자검출기, Z방향검출기가 설치되어 있고, 이들의 검출신호에 의거하면 신호처리부(29)가 예컨대 웨이퍼에 만들어진 위치 마크를 검출한다. 이로써 웨이퍼의 위치 맞춤이 가능하게 되어있다.

스테이지(26)에는 레이저측장계(測長系)(24)가 갖추어져 있고, 이것으로써 스테이지(26)상에 재치되는 웨이퍼(32)의 이동량이 구해진다. 이 레이저측장계(24)에서 얻어진 이동량은 제어부(20)에 읽혀 들어가 묘화패턴의 위치와 비교하고, 비교결과가 데이터제어부(30)로 넘겨지고, 그 비교결과가 아날로그편향부(31)에 피드백된다.

리페어묘화패턴생성부(21)는 미리 입력된 예비의 데이터선(또는 워드선)에 관한 퓨즈좌표 등의 정보와 메모리테스터(40)에서의 불량 데이터선 등의 정보(리페어 데이터)에서 용장셀을 어디의 구제에 할당할건가 결정하고, 그 구제에 대응한 용장회로의 접속이 되도록 절단하는 퓨즈의 위치, 곧 노광부분을 리페어묘화패턴으로서 생성한다. 여기서 메모리테스터(40)는 웨이퍼 제조 과정에서 쓰이는 주지의 테스터이다.

제어부(20)는 상기 리페어묘화패턴생성부(21)에서 생성된 리페어 묘화패턴을 기초로 상기 기구제어부(22), 신호처리부(29), 데이터제어부(30)를 제어한다.

상술의 메모리 리페어 장치에서는, 리페어 묘화패턴에 의거하여 상술의 제 3a도에 나타낸 레지스트(5)의 노광이 행해지고, 레지스트(5′)이 형성된다. 그리고, 이 전자빔 노광에 의해 형성된 레지스트패턴(5′)을 기초로 퓨즈의 절단이 행해지고 용장회로의 접속이 행해진다.

상기 메모리 리페어 장치에 의한 묘화에서는, 패턴 형성을 서브 미크론 이하의 해상도로 얻어져, 그 위치 검출 정도는 0.05㎛이하로 하기가 가능하다. 여기서, 본 실시예의 메모리 리페어 방법을 이용함으로써 제 7 도에 나타낸 용장회로의 퓨즈의 간격을 예컨대 2㎛보다도 훨씬 작은 것으로 할 수가 있다. 따라서 퓨즈의 점유 면적을 보다 적은 것으로 할 수 있어, 칩의 제조원가를 보다 저렴하게 할 수 있다.

또한 상술의 설명에서는, 메모리칩내에 설치된 퓨즈를 절단하는 것으로 용장회로의 접속을 하고 있으나 퓨즈를 설치하지 않고 배선 그 자체를 절단하도록 해도 좋다.

[제 2 실시예]

상술한 제 1 실시예의 메모리 방법에서는, 퓨즈를 절단하는 것으로 용장셀의 접속을 하고 있었으나, 칩내에 미리 일부가 절단된 퓨즈를 두고 그 퓨즈를 접속하는 것으로써 용장회로의 접속을 할 수도 있다.

제5도는 본 발명의 제 2 실시예의 메모리 리페어 방법에서의 퓨즈의 접속 원리를 설명하기 위한 도면이다.

퓨즈가 설치된 부분은, 기판(11)상에 SiO_2층(12), 퓨즈층(13), SiO_2층(14)이 순차 적층된 구성으로 되어 있고, 퓨즈층(13)의 일부에 소정의 간격의 절단부(16)가 설치되어 있다. 우선 SiO_2층(14)의 전체면에 레지

스트(15)를 도포하고, 그 레지스트(15)의 소정의 부분[소정의 퓨즈의 절단부(16)에 상당하는 부분]을 전자빔으로 노광한다[제 5a 도 참조]. 여기서, 노광 범위는 퓨즈층(13)의 절단부(16)보다도 넓은 범위인 것이 바람직하다. 이어서, 현상처리를 하여 레지스트패턴(15′)을 형성한다[제 5b 도 참조]. 레지스트패턴(15′)이 형성되면, 그 레지스트패턴(15′)을 마스크로 하여 SiO_2층(14′)을 에칭한다[제5c도 참조]. 이때 퓨즈층(13)의 절단부(16)의 전기적 접속을 확실히 하기 위해 하층의 SiO_2층(12)까지 오버 에칭하는 것이 바람직하다. 이어서, 레지스트패턴(15′)을 제거한 후, 폴리실리콘 또는 알루미늄 등의 금속재료(설계에 따라 자유로히 선택가능)를 스퍼트법 또는 CVD법에 의해 퇴적하고[제 5d 도 참조], 그 후 금속재료가 절단부(16)에 퇴적된 자리를 제외하고 SiO_2층(14)이 표면에 나타날 때까지 에치백한다[제5e도 참조].

이상의 공정에서는, 레지스트패턴(15′)을 마스크로 하는 것으로써 SiO_2층(14′)을 선택적으로 제거하고, 그 제거한 부분에 폴리실리콘 또는 알루미늄 등의 금속재료의 퇴적이 선택적으로 행해진다. 이로써 소정 위치의 퓨즈의 접속이 가능하게 된다.

본 실시예의 메모리 리페어 방법에서는, 상기 퓨즈의 접속과 전술한 제 1 실시예의 퓨즈의 절단을 병용하여, 예컨대 제6도에 도시하는 바와 같은 용장회로의 접속을 한다.

제6도에 도시하는 용장회로는, 제1도에 나타낸 용장회로의 어드레스 디코더(101)의 각 출력선을 각각 분기하고, 그 분기한 각 출력선을 용장셀(102)의 용장 데이터선에 접속하고, 그 용장 데이터선에 접속된 출력선의 각각에 일부가 절단된 퓨즈(104a′)가 설치되어, 디코더(103)가 제거된 구성으로 되어있다. 본 실시예에서는, 이 퓨즈(104a′)의 절단부는 제5도에 나타내는 레지스트(15)의 형성이 가능한 홈의 폭으로 되어있다.

상기 용장회로에서, 논리회로(101a)와 접속된 통상 데이터선에 결손 비트가 있을 때는 우선 칩상에 레지스트(5)가 형성되고, 논리회로(101a)의 출력에 설치된 퓨즈(104a)의 위치를 전자빔으로 조사하는 것으로써 레지스트(5)의 노광이 행해진다.

현상처리를 하는 것으로써, 그 조사 위치에 구형 또는 원형의 패턴이 형성된 레지스트패턴(5′)이 형성된다. 레지스트패턴(5′)을 마스크에 주지의 에칭처리를 하면, 조사 위치에서 퓨즈가 절단되고, 이것으로써 결손한 통상 데이터선(결손 데이터선)이 무효로 된다. 이후, 레지스트패턴(5′)은 박리된다. 이상은 제 3 도에 나타내는 퓨즈의 절단을 작용한 방법이다.

이어서 칩상에 레지스트(15)가 형성되고 디코더(101a)의 출력선중 용장 데이터선에 접속된 출력선에 설치된 퓨즈(104a′)위치를 전자빔으로 조사하는 것으로써 레지스트(15)의 노광이 이루어진다.

현상처리를 하는 것으로써 조사 위치에 구형 또는 원형의 패턴이 형성된 레지스트패턴(15′)이 형성된다. 레지스트패턴(15′)을 마스크에 폴리실리콘 또는 알루미늄 등의 금속재료를 스퍼트법 또는 CVD법에 의해 퇴적하면은 조사 위치에서 퓨즈가 접속된다. 이에 의해 용장셀(102)의 용장 데이터선으로의 출력이 유효하게 된다. 또 이 퓨즈의 접속은 상술의 퓨즈의 절단전에 해도 좋다.

본 실시예에서도, 상술의 제4도에 나타낸 메모리 리페어 장치를 이용할 수 있다. 즉 리페어묘화패턴생성부(21)에서 퓨즈의 절단을 위한 리페어묘화패턴과 퓨즈접속을 위한 리페어묘화패턴을 각각 생성하기로 하고, 각 리페어묘화 패턴에 의거하여 상술의 제 3a 도에 도시한 레지스트(5)의 노광, 제5a도에 도시한 레지스트(15)를 노광하여 레지스트패턴(5′)(15′)을 형성한다. 그리고 이 형성된 레지스트패턴(5′)(15′)을 기초로 퓨즈의 절단, 접속을 하여 용장회로의 접속을 한다.

본 실시예의 메모리 리페어 방법에 의하면, 제6도에 도시한 바와 같은 구성의 용장회로를 적용할 수가 있고, 그 용장회로에서는 제1도에 도시한 바와 같은 용장회로 전환을 위한 디코더(103)가 필요 없으므로 칩의 제조원가를 제1실시예에 비하여 더욱 낮출 수 있다.

또한 상술의 설명에서는 퓨즈의 접속과 퓨즈의 절단을 병용하는 예에 대해서 설명했으나, 퓨즈의 접속만으로서 용장회로의 접속을 하는 것도 가능하다. 단 이때의 용장회로는 제6도에 나타내는 용장회로에서 퓨즈의 접속이 이루어지는 것으로써 결손 데이터선이 사용금지 되도록 구성한다.

상술한 제 2 실시예에서는 메모리 칩내에 설치된 일부가 절단된 퓨즈를 접속하는 것으로써 용장회로의 접속을 하고 있으나, 이 일부가 절단된 퓨즈 대신에 배선 그 자체에 절단부를 두도록 해도 좋다. 또 제6도의 용장회로에서 용장셀(102)으로의 접속 라인을 주지 않고, 결손이 판명되었을 때 그 용장셀(102)으로의 접속 라인을 제 5도에 나타낸 접속방법으로써 형성하도록 해도 좋다.

이상 설명한 각 제 1, 제 2 실시예에서는 레지스트의 노광에 전자빔을 이용하고 있으나, 본 발명의 메모리 리페어 방법은 이것에 한정되는 것은 아니고, 예컨대 이온빔, 노광용 단파장 자외선 레이저 등을 사용해도 좋다.

또 본 발명의 메모리 리페어 방법의 대상은 메모리 장치에 한하지 않고, 논리장치에 내장된 메모리 소자도 포함된다.

또한 본 발명의 메모리 리페어 방법은 제6도 또는 제1도에 나타낸 용장회로에 한정되는 일없이 다른 여러가지 용장회로에 적용 가능하다.

(57) 청구의 범위

청구항 1

반도체 메모리칩내에 용장셀을 두고, 통상 메모리셀에 결손이 있을 때 소정의 배선을 형성하는 것으로서 결손한 통상 메모리셀 대신에 전기 용장셀을 접속하는 메모리 리페어 방법으로서, 전기 배선의 형성을, 전기 칩의 전체면에 레지스트를 도포하고, 배선을 형성하는 부분을 노광하여 현상처리 하는 것으로서 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리가 실시된 영역

에 소정의 퇴적재료를 퇴적하는 것을 특징으로 하는 메모리 리페어 방법.

청구항 2

반도체 메모리칩내에 용장셀을 수고, 통상 메모리셀에 결손이 있을 때에 소정의 배선을 절단하는 것과 함께 소정의 배선을 형성하는 것에 의해 결손한 통상 메모리셀 대신에 전기 용장셀을 접속하는 메모리 리페어 방법으로서, 전기 칩의 전체면에 레지스트를 도포하고, 전기 배선의 절단을 할 때는 절단하는 배선의 소정부를 노광하여 현상처리하는 것에 의해 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리를 하고, 전기 배선의 형성을 할 때에는 배선을 형성하는 부분을 노광하여 현상처리하는 것에 의해 전기 레지스트에 소정 형상의 패턴을 형성하고, 그 레지스트 패턴을 마스크로 하여 에칭처리가 실시된 영역에 소정의 퇴적재료를 퇴적하는 메모리 리페어방법.

청구항 3

제 1 항에 있어서, 전기 레지스트의 노광으로서 전자빔 노광을 사용한 메모리 리페어 방법.

청구항 4

제 2 항에 있어서, 전기 레지스트의 노광으로서 전자빔 노광을 사용한 메모리 리페어 방법.

청구항 5

제 1 항에 있어서, 전기 용장셀을 통상 메모리셀의 각각의 데이터선에서 분기된 일부에 절단부를 갖는 배선에 의해 접속하고, 전기 통상 메모리셀 대신에 전기 용장셀을 접속할 때의 배선의 접속처리를, 전기 배선의 절단부를 노광하고 그 절단부를 접속하는 것을 특징으로 하는 메모리 리페어 방법.

청구항 6

제 2 항에 있어서, 전기 용장셀을 통상 메모리셀의 각각의 데이터선에서 분기된 일부에 절단부를 갖는 배선에 의해 접속하고, 전기 통상 메모리셀 대신에 전기 용장셀을 접속할 때의 배선의 접속처리를, 전기 배선의 절단부를 노광하고 그 절단부를 접속하는 것을 특징으로 하는 메모리 리페어 방법.

청구항 7

제 1 항에 있어서, 전기 소정의 퇴적재료로서 폴리실리콘 또는 금속재료를 사용한 메모리 리페어 방법.

청구항 8

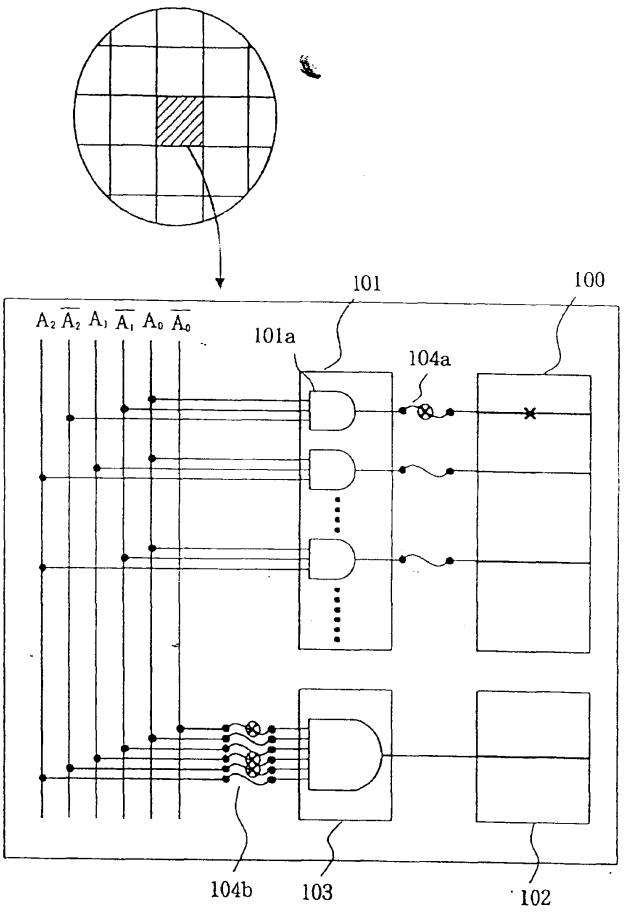
제 2 항에 있어서, 전기 소정의 퇴적재료로서 폴리실리콘 또는 금속재료를 사용한 메모리 리페어 방법.

청구항 9

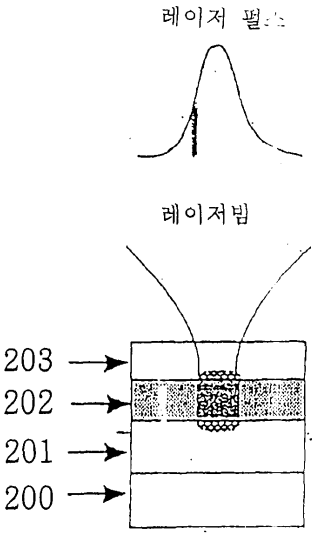
제 1 항, 또는 제 2 항 또는 제 3항에 기재한 메모리 리페어 방법이 적용되는 메모리 용장회로로서, 반도체 메모리칩내에 통상 메모리셀의 각각의 데이터선에서 분기된 배선에 의해 접속된 용장셀을 두고, 전기 배선의 각각은 일부가 절단되어 있는 것을 특징으로 하는 메모리 용장회로.

도면

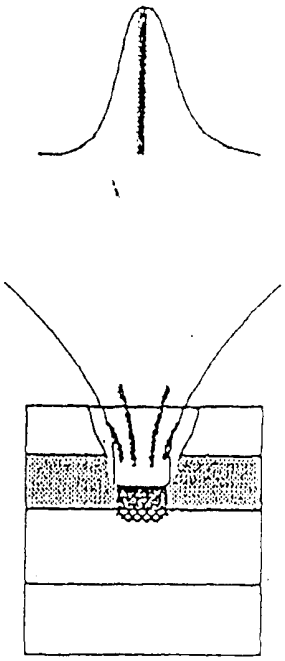
도면1


101
100
A_2 $\overline{A_2}$ A_1 $\overline{A_1}$ A_0 $\overline{A_0}$
101a
104a
104b
103
102

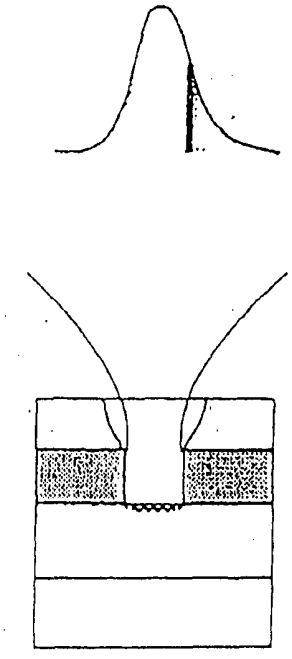
도면2a


레이저 펄스
레이저빔
203
202
201
200

도면2b

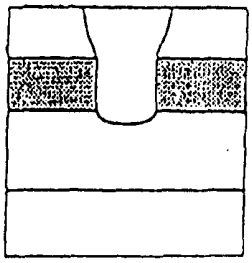


도면2c

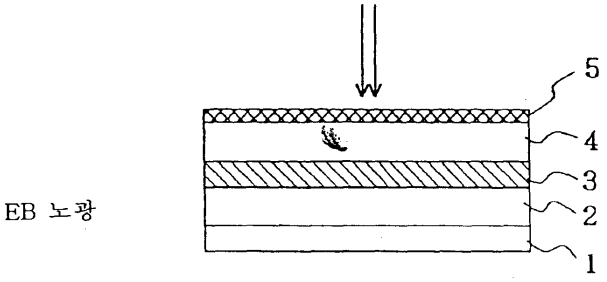


도면2d

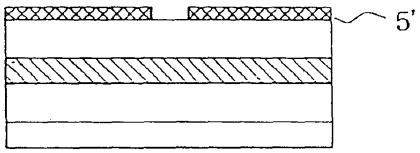




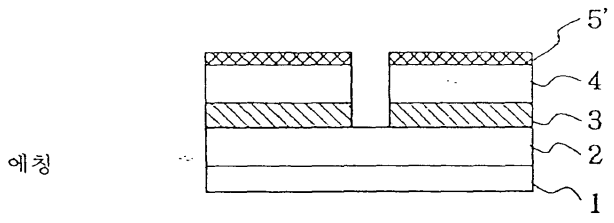
도면3a



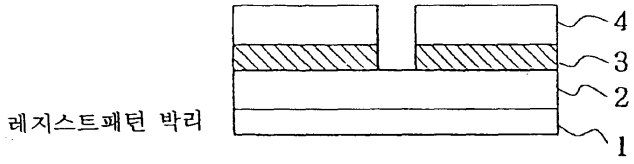
도면3b



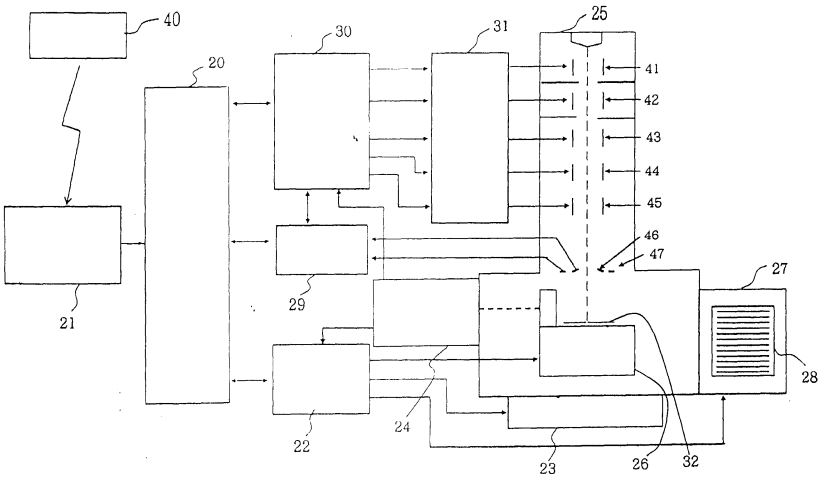
도면3c



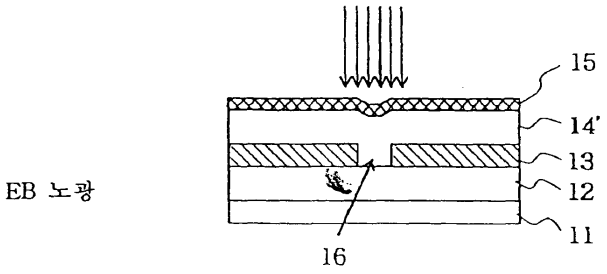
도면3d



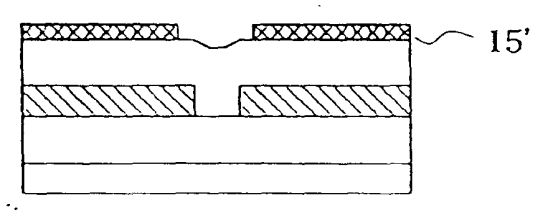
도면4



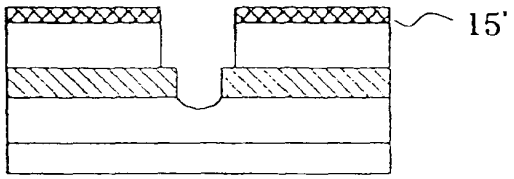
도면5a



도면5b

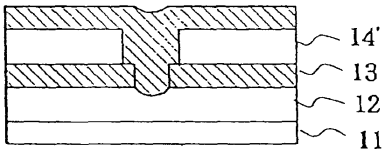


도면5c



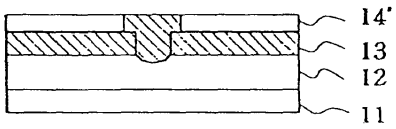
도면5d

CVD법 또는 스퍼트법에 의한 퇴적



도면5e

에치백



도면6

